

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 特性のばらつきが少ない半導体装置を提供する。半導体装置は、酸化物と、酸化物上の第1の導電体、および第2の導電体と、第1の導電体上の第1の絶縁体と、第2の導電体上の第2の絶縁体と、第1の絶縁体上、および第2の絶縁体上の第3の絶縁体と、第3の絶縁体上の第4の絶縁体と、酸化物上にあり、且つ第1の導電体と第2の導電体の間に配置される第5の絶縁体と、第5の絶縁体上の第6の絶縁体と、第6の絶縁体上の第3の導電体と、を有し、第3の導電体は、酸化物と重なる領域を有し、第5の絶縁体は、酸化物、第1の導電体、第2の導電体、および第1の絶縁体乃至第4の絶縁体とそれぞれ、接する領域を有し、第5の絶縁体は、窒素、酸素、およびシリコンを含む。

明細書

発明の名称

半導体装置、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、トランジスタ、半導体装置、および電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。また、本発明の一態様は、半導体ウェハ、およびモジュールに関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSI、CPU、メモリなどに主に用いられている。CPUは、半導体ウェハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSI、CPU、メモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）、および画像表示装置（単に表示装置とも表記する）のような電子機器に広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている。

[0008]

また、近年では電子機器の小型化、および軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0009]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

発明の概要

発明が解決しようとする課題

[0010]

本発明の一態様は、トランジスタ特性のばらつきが少ない半導体装置を提供することを課題の一つとする。または、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。または、本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。または、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。または、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1の絶縁体を成膜し、第1の絶縁体上に、酸化膜を成膜し、第1の加熱処理を行い、酸化膜上に、第1の導電膜、および第1の絶縁膜を順に成膜し、酸化膜、第1の導電膜、および第1の絶縁膜を島状に加工して、酸化物、導電層、および絶縁層を形成し、第1の絶縁体、酸化物、導電層、および絶縁層の上に第2の絶縁体を成膜し、第2の絶縁体上に、第3の絶縁体を成膜し、導電層、絶縁層、第2の絶縁体、および第3の絶縁体に、酸化物に達する開口を形成し、開口の形成によって、導電層から第1の導電体、および第2の導電体が形成され、絶縁層から第4の絶縁体、および第5の絶縁体が形成され、第2の加熱処理を行い、第3の絶縁体上、および開口上に第2の絶縁膜を成膜し、第2の絶縁膜上に第3の絶縁膜を成膜し、マイクロ波処理を行い、第3の絶縁膜上に第2の導電膜を成膜し、第2の絶縁膜、第3の絶縁膜、および第2の導電膜に、第3の絶縁体の上面が露出するまで、CMP処理を行うことで、第6の絶縁体、第7の絶縁体、および第3の導電体を形成し、第2の絶縁膜は、シリコンを含み、炭化水素を含まないガス、および酸化性ガスを用いて、PEALD法によって成膜される、半導体装置の作製方法である。

[0013]

また、上記において、PEALD法による成膜は、シリコンを含み、炭化水素を含まないガス、および酸化性ガスを反応室へ導入する、第1のステップと、シリコンを含み、炭化水素を含まないガスの導入を止めて、反応室に残留するシリコンを含み、炭化水素を含まないガスをパージする、第2のステップと、高周波電力を印加して、酸化性ガスによるプラズマを発生させる、第3のステップと、高周波電力の印加を止める、第4のステップと、を有し、第1のステップ乃至第4のステップを1サイクルとし、1サイクル乃至500サイクル行うことが好ましい。

[0014]

また、上記において、シリコンを含み、炭化水素を含まないガスは、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiCl_4 、 SiBr_4 、 SiH_2Cl_2 、および SiH_2I_2 の中から選ばれるいずれか一または複数を含み、酸化性ガスは、 O_2 、 O_3 、 N_2O 、 NO_2 、および H_2O の中から選ばれるいずれか一または複数を含む、ことが好ましい。

[0015]

また、上記において、シリコンを含み、炭化水素を含まないガスは、 SiH_4 であり、酸化性ガスは、 N_2O である、ことが好ましい。

[0016]

また、上記において、第1のステップの反応室の圧力は、400Pa以上1000Pa以下である、ことが好ましい。

[0017]

また、上記において、第1の加熱処理の温度は、第2の加熱処理の温度よりも高い、ことが好ましい。

[0018]

また、本発明の一態様は、酸化物と、酸化物上の第1の導電体、および第2の導電体と、第1の導電体上の第1の絶縁体と、第2の導電体上の第2の絶縁体と、第1の絶縁体上、および第2の絶縁体上の第3の絶縁体と、第3の絶縁体上の第4の絶縁体と、酸化物上にあり、且つ第1の導電体と第2の導電体の間に配置される第5の絶縁体と、第5の絶縁体上の第6の絶縁体と、第6の絶縁体上の第3の導電体と、を有し、第3の導電体は、酸化物と重なる領域を有し、第5の絶縁体は、酸化物、第1の導電体、第2の導電体、および第1の絶縁体乃至第4の絶縁体とそれぞれ、接する領域を有し、第5の絶縁体は、窒素、酸素、およびシリコンを含む、半導体装置である。

[0019]

また、上記において、第6の絶縁体は、ハフニウムを含む、ことが好ましい。

[0020]

また、上記において、第6の絶縁体の膜厚は、0.5nm以上5.0nm以下であることが好ましい。

[0021]

また、上記において、第5の絶縁体の膜厚は、0.5nm以上15.0nm以下である、ことが好ましい。

[0022]

また、上記において、酸化物は、In、Ga、またはZnの中から選ばれるいずれか一または複数を含む酸化物半導体である、ことが好ましい。

発明の効果

[0023]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。または、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態

様により、低消費電力の半導体装置を提供することができる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0025]

図1Aは本発明の一態様である半導体装置の上面図である。図1B乃至図1Dは本発明の一態様である半導体装置の断面図である。

図2Aは本発明の一態様である半導体装置の上面図である。図2B乃至図2Dは本発明の一態様である半導体装置の断面図である。

図3は本発明の一態様である半導体装置の断面図である。

図4AはIGZOの結晶構造の分類を説明する図である。図4BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図4CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

図5は本発明の一態様であるプロセスフローを説明する図である。

図6Aおよび図6Bは本発明の一態様である成膜シーケンスを説明する図である。

図7Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図7B乃至図7Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図8Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図8B乃至図8Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図9Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図9B乃至図9Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図10Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図10B乃至図10Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図11Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図11B乃至図11Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図12Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図12B乃至図12Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図13Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図13B乃至図13Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図14Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図14B乃至図14Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図15Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図15B乃至図15Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図16Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図16B乃至図16Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図17Aは本発明の一態様である半導体装置の作製方法を示す上面図である。図17B乃至図17Dは本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 8 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 8 B 乃至図 1 8 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 1 9 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 1 9 B 乃至図 1 9 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 0 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 0 B 乃至図 2 0 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 1 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 1 B 乃至図 2 1 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 2 A は本発明の一態様である半導体装置の作製方法を示す上面図である。図 2 2 B 乃至図 2 2 D は本発明の一態様である半導体装置の作製方法を示す断面図である。

図 2 3 は本発明の一態様に係るマイクロ波処理装置を説明する上面図である。

図 2 4 は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 2 5 は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 2 6 は本発明の一態様に係るマイクロ波処理装置を説明する断面図である。

図 2 7 A および図 2 7 B は本発明の一態様である半導体装置の断面図である。

図 2 8 は本発明の一態様に係る記憶装置の構成を示す断面図である。

図 2 9 は本発明の一態様に係る記憶装置の構成を示す断面図である。

図 3 0 A は本発明の一態様に係る半導体装置の断面図である。図 3 0 B は本発明の一態様に係る半導体装置の断面図である。

図 3 1 A は本発明の一態様に係る半導体装置の断面図である。図 3 1 B は本発明の一態様に係る半導体装置の断面図である。

図 3 2 は本発明の一態様に係る半導体装置の断面図である。

図 3 3 は本発明の一態様に係る半導体装置の断面図である。

図 3 4 A および図 3 4 B は本発明の一態様に係る記憶装置の構成例を示すブロック図である。

図 3 5 A 乃至図 3 5 H は本発明の一態様に係る記憶装置の構成例を示す回路図である。

図 3 6 A および図 3 6 B は本発明の一態様に係る半導体装置の模式図である。

図 3 7 A および図 3 7 B は本発明の一態様に係る電子部品の一例を説明する図である。

図 3 8 A 乃至図 3 8 E は本発明の一態様に係る記憶装置の模式図である。

図 3 9 A 乃至図 3 9 H は本発明の一態様に係る電子機器を示す図である。

図 4 0 は本実施例に係る A L D W i n d o w を説明する図である。

図 4 1 は本実施例に係る各基板温度における G P C をプロットした図である。

図 4 2 A は本実施例に係る S T E M 断面写真である。図 4 2 B は膜厚測定結果をまとめた図である。

発明を実施するための形態

[0 0 2 6]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0 0 2 7]

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合があ

る。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層、レジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0028]

また、特に上面図（「平面図」ともいう。）、斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0029]

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0030]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0031]

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章を開示されているものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0032]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0033]

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースおよびドレインの用語は、入れ替えて用いることができる場合がある。

[0034]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャ

ネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0035]

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0036]

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0037]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0038]

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0039]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（ V_o : oxygen vacancyともいう）が形成される場合がある。

[0040]

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。同様に、酸化窒化アルミニウムとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多いものである。同様に、酸化窒化ハフニウムとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化ハフニウムとは、その組成として、酸素よりも窒素の含有量が多いものである。

[0041]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0042]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0043]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0044]

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりのドレイン電流が、室温において $1 \times 10^{-20}\text{A}$ 以下、 85°C において $1 \times 10^{-18}\text{A}$ 以下、または 125°C において $1 \times 10^{-16}\text{A}$ 以下であることをいう。

[0045]

(実施の形態 1)

本実施の形態では、図 1 A 乃至図 2 D を用いて、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例、およびその作製方法について説明する。

[0046]

<半導体装置の構成例>

図 1 A 乃至図 1 D を用いて、トランジスタ 200 を有する半導体装置の構成を説明する。図 1 A 乃至図 1 D は、トランジスタ 200 を有する半導体装置の上面図および断面図である。図 1 A は、当該半導体装置の上面図である。また、図 1 B 乃至図 1 D は、当該半導体装置の断面図である。ここで、図 1 B は、図 1 A に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 1 C は、図 1 A に A3-A4 の一点鎖線で示す部位の断面図で

あり、トランジスタ 200 のチャンネル幅方向の断面図でもある。また、図 1 D は、図 1 A に A 5－A 6 の一点鎖線で示す部位の断面図である。なお、図 1 A の上面図では、図の明瞭化のために一部の要素を省いている。

[0047]

本発明の一態様の半導体装置は、基板（図示せず）上の絶縁体 212 と、絶縁体 212 上の絶縁体 214 と、絶縁体 214 上のトランジスタ 200 と、トランジスタ 200 上の絶縁体 280 と、絶縁体 280 上の絶縁体 282（絶縁体 282 a および絶縁体 282 b）と、絶縁体 282 上の絶縁体 283 と、絶縁体 283 上の絶縁体 274 と、絶縁体 283 上、および絶縁体 274 上の絶縁体 284 と、絶縁体 284 上の絶縁体 286 と、を有する。絶縁体 212、絶縁体 214、絶縁体 280、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 274 は層間膜として機能する。また、トランジスタ 200 と電氣的に接続し、プラグとして機能する導電体 240（導電体 240 a、および導電体 240 b）を有する。なお、プラグとして機能する導電体 240 の側面に接して絶縁体 241（絶縁体 241 a、および絶縁体 241 b）が設けられる。また、絶縁体 284 上、および導電体 240 上には、導電体 240 と電氣的に接続し、配線として機能する導電体 246（導電体 246 a、および導電体 246 b）が設けられる。また、導電体 246 上、および絶縁体 284 上には、絶縁体 286 が設けられる。

[0048]

絶縁体 283 は、絶縁体 214 の上面の一部、絶縁体 216 の側面、絶縁体 222 の側面、絶縁体 272 の側面、絶縁体 280 の側面、および絶縁体 282 の側面と接する。

[0049]

絶縁体 280、絶縁体 282、絶縁体 283、および絶縁体 284 の開口の内壁に接して絶縁体 241 a が設けられ、絶縁体 241 a の側面に接して導電体 240 a の第 1 の導電体が設けられ、さらに内側に導電体 240 a の第 2 の導電体が設けられている。また、絶縁体 280、絶縁体 282、絶縁体 283、および絶縁体 284、の開口の内壁に接して絶縁体 241 b が設けられ、絶縁体 241 b の側面に接して導電体 240 b の第 1 の導電体が設けられ、さらに内側に導電体 240 b の第 2 の導電体が設けられている。ここで、導電体 240 の上面の高さと、導電体 246 と重なる領域の、絶縁体 284 の上面の高さと、は同程度にできる。なお、トランジスタ 200 では、導電体 240 の第 1 の導電体および導電体 240 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 240 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

[0050]

[トランジスタ 200]

図 1 A 乃至図 1 D に示すように、トランジスタ 200 は、絶縁体 214 上の絶縁体 216 と、絶縁体 214 および／または絶縁体 216 に埋め込まれるように配置された導電体 205（導電体 205 a、導電体 205 b、および導電体 205 c）と、絶縁体 216 上、および導電体 205 上の絶縁体 222 と、絶縁体 222 上の絶縁体 224 と、絶縁体 224 上の酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、酸化物 230 b 上の、酸化物 243（酸化物 243 a、および酸化物 243 b）と、酸化物 243 a 上の導電体 242 a と、導電体 242 a 上の絶縁体 271 a と、酸化物 243 b 上の導電体 242 b と、導電体 242 b 上の絶縁体 271 b と、酸化物 230 b 上の絶縁体 250 a と、絶縁体 250 a 上の絶縁体 250 b と、絶縁体 250 b 上に位置し、酸化物 230 b の一

部と重なる導電体 2 6 0（導電体 2 6 0 a、および導電体 2 6 0 b）と、絶縁体 2 2 2 上、絶縁体 2 2 4 上、酸化物 2 3 0（酸化物 2 3 0 a、および酸化物 2 3 0 b）上、酸化物 2 4 3 上、導電体 2 4 2（導電体 2 4 2 a、および導電体 2 4 2 b）上、および絶縁体 2 7 1（絶縁体 2 7 1 a、および絶縁体 2 7 1 b）上に配置される絶縁体 2 7 2 と、を有する。ここで、図 1 B および図 1 C に示すように、導電体 2 6 0 の上面は、絶縁体 2 5 0 の上面、および絶縁体 2 8 0 の上面と略一致して配置される。また、絶縁体 2 8 2 は、導電体 2 6 0、絶縁体 2 5 0、および絶縁体 2 8 0 のそれぞれの上面と接する。

[0051]

なお、以下において、酸化物 2 3 0 a と酸化物 2 3 0 b をまとめて酸化物 2 3 0 と呼ぶ場合がある。また、絶縁体 2 5 0 a と絶縁体 2 5 0 b をまとめて絶縁体 2 5 0 と呼ぶ場合がある。また、絶縁体 2 7 1 a と絶縁体 2 7 1 b をまとめて絶縁体 2 7 1 と呼ぶ場合がある。

[0052]

絶縁体 2 8 0、および絶縁体 2 7 2 には、酸化物 2 3 0 b に達する開口が設けられる。当該開口内に、絶縁体 2 5 0、および導電体 2 6 0 が配置されている。また、トランジスタ 2 0 0 のチャネル長方向において、絶縁体 2 7 1 a、導電体 2 4 2 a および酸化物 2 4 3 a と、絶縁体 2 7 1 b、導電体 2 4 2 b および酸化物 2 4 3 b と、の間に導電体 2 6 0、および絶縁体 2 5 0 が設けられている。絶縁体 2 5 0 は、導電体 2 6 0 の側面と接する領域と、導電体 2 6 0 の底面と接する領域と、を有する。

[0053]

酸化物 2 3 0 は、絶縁体 2 2 4 の上に配置された酸化物 2 3 0 a と、酸化物 2 3 0 a の上に配置された酸化物 2 3 0 b と、を有することが好ましい。酸化物 2 3 0 b 下に酸化物 2 3 0 a を有することで、酸化物 2 3 0 a よりも下方に形成された構造物から、酸化物 2 3 0 b への不純物の拡散を抑制することができる。

[0054]

なお、トランジスタ 2 0 0 では、酸化物 2 3 0 が、酸化物 2 3 0 a、および酸化物 2 3 0 b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 2 3 0 b の単層、または 3 層以上の積層構造を設ける構成にしてもよいし、酸化物 2 3 0 a、および酸化物 2 3 0 b のそれぞれが積層構造を有していてもよい。

[0055]

導電体 2 6 0 は、第 1 のゲート（トップゲートともいう。）電極として機能し、導電体 2 0 5 は、第 2 のゲート（バックゲートともいう。）電極として機能する。また、絶縁体 2 5 0 は、第 1 のゲート絶縁体として機能し、絶縁体 2 2 2、および絶縁体 2 2 4 は、第 2 のゲート絶縁体として機能する。また、導電体 2 4 2 a は、ソースまたはドレインの一方として機能し、導電体 2 4 2 b は、ソースまたはドレインの他方として機能する。また、酸化物 2 3 0 の導電体 2 6 0 と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

[0056]

ここで、図 1 B におけるチャネル形成領域近傍の拡大図を図 3 に示す。図 3 に示すように、酸化物 2 3 0 b は、トランジスタ 2 0 0 のチャネル形成領域として機能する領域 2 3 0 b c と、領域 2 3 0 b c を挟むように設けられ、ソース領域またはドレイン領域として機能する領域 2 3 0 b a および領域 2 3 0 b b と、を有する。領域 2 3 0 b c は、少なくとも一部が導電体 2 6 0 と重畳している。言い換えると、領域 2 3 0 b c は、導電体 2 4 2 a と導電体 2 4 2 b の間の領域に設けられている。

領域 2 3 0 b a は、導電体 2 4 2 a に重畳して設けられており、領域 2 3 0 b b は、導電体 2 4 2 b に重畳して設けられている。

[0057]

チャネル形成領域として機能する領域 2 3 0 b c は、領域 2 3 0 b a および領域 2 3 0 b b よりも、酸素欠損が少なく、または不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。また、ソース領域またはドレイン領域として機能する領域 2 3 0 b a および領域 2 3 0 b b は、酸素欠損が多く、または水素、窒素、金属元素などの不純物濃度が高いことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、領域 2 3 0 b a および領域 2 3 0 b b は、領域 2 3 0 b c と比較して、キャリア濃度が高く、低抵抗な領域である。

[0058]

ここで、チャネル形成領域として機能する領域 2 3 0 b c のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域として機能する領域 2 3 0 b c のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0059]

また、領域 2 3 0 b c と領域 2 3 0 b a または領域 2 3 0 b b との間に、キャリア濃度が、領域 2 3 0 b a および領域 2 3 0 b b のキャリア濃度と同等、またはそれよりも低く、領域 2 3 0 b c のキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域 2 3 0 b c と領域 2 3 0 b a または領域 2 3 0 b b との接合領域として機能する。当該接合領域は、水素濃度が、領域 2 3 0 b a および領域 2 3 0 b b の水素濃度と同等、またはそれよりも低く、領域 2 3 0 b c の水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域 2 3 0 b a および領域 2 3 0 b b の酸素欠損と同等、またはそれよりも少なく、領域 2 3 0 b c の酸素欠損と同等、またはそれよりも多くなる場合がある。

[0060]

なお、図 3 では、領域 2 3 0 b a、領域 2 3 0 b b、および領域 2 3 0 b c が酸化物 2 3 0 b に形成される例について示しているが、本発明はこれに限られるものではない。例えば、上記の各領域が酸化物 2 3 0 b だけでなく、酸化物 2 3 0 a まで形成されてもよい。

[0061]

また、酸化物 2 3 0 において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

[0062]

トランジスタ 2 0 0 は、チャネル形成領域を含む酸化物 2 3 0（酸化物 2 3 0 a、および酸化物 2 3 0 b）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0063]

また、半導体として機能する金属酸化物は、バンドギャップが 2 e V 以上のものを用いることが好

ましく、2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0064]

酸化物230として、例えば、インジウム、元素Mおよび亜鉛を有する I_n-M-Z_n 酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、 I_n-Ga 酸化物、 I_n-Zn 酸化物、インジウム酸化物を用いてもよい。

[0065]

ここで、酸化物230bに用いる金属酸化物における、元素Mに対する I_n の原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対する I_n の原子数比より大きいことが好ましい。

[0066]

このように、酸化物230bの下に酸化物230aを配置することで、酸化物230aよりも下方に形成された構造物からの、酸化物230bに対する、不純物および酸素の拡散を抑制することができる。

[0067]

また、酸化物230aおよび酸化物230bが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物230aと酸化物230bとの界面における欠陥準位密度が低くすることができる。酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0068]

酸化物230bは、それぞれ結晶性を有することが好ましい。特に、酸化物230bとして、CAAC-OS（c-axis aligned crystalline oxide semiconductor）を用いることが好ましい。

[0069]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物および欠陥（例えば、酸素欠損（ V_o : oxygen vacancyともいう）など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

[0070]

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0071]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_oH と呼ぶ場合がある。）を形成し、キャ

リアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、 i 型（真性化）または実質的に i 型であることが好ましい。

[0072]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_OH を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ200のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

[0073]

よって、酸化物半導体中において、チャネル形成領域として機能する領域230bcは、キャリア濃度が低減され、 i 型または実質的に i 型であることが好ましいが、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbは、キャリア濃度が高く、 n 型であることが好ましい。つまり、酸化物半導体の領域230bcの酸素欠損、および V_OH を低減し、領域230baおよび領域230bbには過剰な量の酸素が供給されないようにすることが好ましい。

[0074]

そこで、本実施の形態では、酸化物230b上に導電体242aおよび導電体242bを設けた状態で、酸素を含む雰囲気でマイクロ波処理を行い、領域230bcの酸素欠損、および V_OH の低減を図る。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0075]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、またはRF (Radio Frequency) 等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域230bcに照射することもできる。プラズマ、マイクロ波などの作用により、領域230bcの V_OH を分断し、水素(H)を領域230bcから除去し、酸素欠損(V_O)を酸素で補填することができる。つまり、領域230bcにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域230bcの水素濃度を低減することができる。よって、領域230bc中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

[0076]

また、酸素を含む雰囲気でマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体242aおよび導電体242bに遮蔽され、領域230baおよび領域230bbには及ばない。さらに、酸素プラズマの作用は、酸化物230b、および導電体242を覆って設けられている、絶縁体271、および絶縁体280によって、低減することができる。これにより、マイクロ波処理の際に、領域230baおよび領域230bbで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0077]

特に、絶縁体250bとなる絶縁膜の成膜後に酸素を含む雰囲気でマイクロ波処理を行うと上述の効果が大きい。また、絶縁体250aとなる絶縁膜の成膜後に酸素を含む雰囲気でマイクロ波処理を行い、さらに絶縁体250bとなる絶縁膜の成膜後に酸素を含む雰囲気でマイクロ波処理を行うことが好ましい。このように絶縁体250a、または絶縁体250bを介して、酸素を含む雰囲気でマイクロ波処理を行うことで、効率よく領域230bc中へ酸素を注入することができる。また、領域230bc中に注入される酸素は、酸素原子、酸素分子、酸素ラジカル（不対電子をもつ原子または分子、あるいはイオン）など様々な形態がある。なお、領域230bc中に注入される酸素は、上述の形態のいずれか一または複数であればよく、特に酸素ラジカルであると好適である。また、絶縁体250bとなる絶縁膜の成膜後に酸素を含む雰囲気でマイクロ波処理を行うことで、絶縁体250a、および絶縁体250bの膜質を向上させることができるので、トランジスタ200の信頼性が向上する。

[0078]

このようにして、酸化物半導体の領域230bcで選択的に酸素欠損、および V_O を除去して、領域230bcをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域230baおよび領域230bbに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ200の電気特性の変動を抑制し、基板面内でトランジスタ200の電気特性がばらつくのを抑制することができる。

[0079]

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0080]

なお、図1などにおいて、導電体260等を埋め込む開口の側面が、酸化物230bの溝部も含めて、酸化物230bの被形成面に対して概略垂直となっているが、本実施の形態はこれに限られるものではない。例えば、当該開口の底部が緩やかな曲面を有する、U字型の形状となってもよい。また、例えば、当該開口の側面が酸化物230bの被形成面に対して傾斜していてもよい。

[0081]

また、図1Cに示すように、トランジスタ200のチャネル幅方向の断面視において、酸化物230bの側面と酸化物230bの上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

[0082]

上記湾曲面での曲率半径は、0nmより大きく、導電体242と重なる領域の酸化物230bの膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0nmより大きく20nm以下、好ましくは1nm以上15nm以下、さらに好ましくは2nm以上10nm以下とする。このような形状にすることで、絶縁体250および導電体260の、酸化物230bへの被覆性を高めることができる。

[0083]

酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、主成分である金属元素に対する元素Mの原子数比

が、酸化物 2 3 0 b に用いる金属酸化物における、主成分である金属元素に対する元素 M の原子数比より、大きいことが好ましい。また、酸化物 2 3 0 a に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 3 0 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 2 3 0 a に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。

[0084]

また、酸化物 2 3 0 b は、C A A C - O S などの結晶性を有する酸化物であることが好ましい。C A A C - O S などの結晶性を有する酸化物は、不純物および欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 2 3 0 b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 2 3 0 b から酸素が引き抜かれることを低減できるので、トランジスタ 2 0 0 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0085]

ここで、酸化物 2 3 0 a と酸化物 2 3 0 b の接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物 2 3 0 a と酸化物 2 3 0 b の接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 2 3 0 a と酸化物 2 3 0 b との界面に形成される混合層の欠陥準位密度を低くするとよい。

[0086]

具体的には、酸化物 2 3 0 a と酸化物 2 3 0 b が、酸素以外に共通の元素を主成分として有することで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 2 3 0 b が I n - M - Z n 酸化物の場合、酸化物 2 3 0 a として、I n - M - Z n 酸化物、M - Z n 酸化物、元素 M の酸化物、I n - Z n 酸化物、インジウム酸化物などを用いてもよい。

[0087]

具体的には、酸化物 2 3 0 a として、I n : M : Z n = 1 : 3 : 4 [原子数比] もしくはその近傍の組成、または I n : M : Z n = 1 : 1 : 0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物 2 3 0 b として、I n : M : Z n = 1 : 1 : 1 [原子数比] もしくはその近傍の組成、または I n : M : Z n = 4 : 2 : 3 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。また、元素 M として、ガリウムを用いることが好ましい。

[0088]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0089]

酸化物 2 3 0 a および酸化物 2 3 0 b を上述の構成とすることで、酸化物 2 3 0 a と酸化物 2 3 0 b との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 2 0 0 は大きいオン電流、および高い周波数特性を得ることができる。

[0090]

絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 8 4、および絶縁体 2 8 6 の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ 2 0 0 の上方からトランジスタ 2 0 0 に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 8 4、および絶縁体 2 8 6 の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0091]

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

[0092]

絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 8 4、および絶縁体 2 8 6 としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体を用いることが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体 2 1 2、絶縁体 2 7 2、絶縁体 2 8 3、および絶縁体 2 8 6 として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 8 2、および絶縁体 2 8 4 として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体 2 1 2、および絶縁体 2 1 4 を介して、基板側からトランジスタ 2 0 0 側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体 2 8 6 よりも外側に配置されている層間絶縁膜などから、トランジスタ 2 0 0 側に拡散するのを抑制することができる。または、絶縁体 2 2 4 などに含まれる酸素が、絶縁体 2 1 2、および絶縁体 2 1 4 を介して基板側に、拡散するのを抑制することができる。または、絶縁体 2 8 0 などに含まれる酸素が、絶縁体 2 8 2 などを介してトランジスタ 2 0 0 より上方に、拡散するのを抑制することができる。この様に、トランジスタ 2 0 0 を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 8 4、および絶縁体 2 8 6 で取り囲む構造とすることが好ましい。

[0093]

ここで、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 8 2、絶縁体 2 8 3、絶縁体 2 8 4、および絶縁体 2 8 6 として、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x （ x は 0 より大きい任意数）、または MgO_y （ y は 0 より大きい任意数）などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ 2 0 0 の構成要素として用いる、またはトランジスタ 2 0 0 の周囲に設けることで、トランジスタ 2 0 0 に含まれる水素、またはトランジスタ 2 0 0 の周囲に存在する水素を捕獲または固着することがで

きる。特にトランジスタ 200 のチャネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ 200 の構成要素として用いる、またはトランジスタ 200 の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

[0094]

また、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 286 は、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 286 は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

[0095]

絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 286 の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を用いなくてよいので、絶縁体 212、絶縁体 214、絶縁体 271、絶縁体 272、絶縁体 282、絶縁体 283、絶縁体 284、および絶縁体 286 の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法、原子層堆積 (ALD: Atomic Layer Deposition) 法などを適宜用いてもよい。

[0096]

また、絶縁体 212、絶縁体 272、絶縁体 283、および絶縁体 286 の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体 212、絶縁体 272、絶縁体 283、および絶縁体 286 の抵抗率を概略 $1 \times 10^{13} \Omega \text{ cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体 212、絶縁体 272、絶縁体 283、および絶縁体 286 が、導電体 205、導電体 242、導電体 260、または導電体 246 のチャージアップを緩和することができる場合がある。絶縁体 212、絶縁体 272、絶縁体 283、および絶縁体 286 の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{ cm}$ 以上 $1 \times 10^{15} \Omega \text{ cm}$ 以下とする。

[0097]

また、絶縁体 216、絶縁体 274、および絶縁体 280 は、絶縁体 214 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 216、絶縁体 274、および絶縁体 280 として、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

[0098]

導電体 205 は、酸化物 230、および導電体 260 と、重なるように配置する。ここで、導電体 205 は、絶縁体 216 に形成された開口に埋め込まれて設けることが好ましい。

[0099]

導電体 205 は、導電体 205 a、導電体 205 b、および導電体 205 c を有する。導電体 20

5 a は、当該開口の底面および側壁に接して設けられる。導電体 2 0 5 b は、導電体 2 0 5 a に形成された凹部に埋め込まれるように設けられる。ここで、導電体 2 0 5 b の上面は、導電体 2 0 5 a の上面および絶縁体 2 1 6 の上面より低くなる。導電体 2 0 5 c は、導電体 2 0 5 b の上面、および導電体 2 0 5 a の側面に接して設けられる。ここで、導電体 2 0 5 c の上面の高さは、導電体 2 0 5 a の上面の高さおよび絶縁体 2 1 6 の上面の高さと略一致する。つまり、導電体 2 0 5 b は、導電体 2 0 5 a および導電体 2 0 5 c に包み込まれる構成になる。

[0 1 0 0]

ここで、導電体 2 0 5 a および導電体 2 0 5 c は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0 1 0 1]

導電体 2 0 5 a および導電体 2 0 5 c に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体 2 0 5 b に含まれる水素などの不純物が、絶縁体 2 2 4 等を介して、酸化物 2 3 0 に拡散するのを防ぐことができる。また、導電体 2 0 5 a および導電体 2 0 5 c に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 2 0 5 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 2 0 5 a としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 2 0 5 a は、窒化チタンを用いればよい。

[0 1 0 2]

また、導電体 2 0 5 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体 2 0 5 b は、タングステンを用いればよい。

[0 1 0 3]

導電体 2 0 5 は、第 2 のゲート電極として機能する場合がある。その場合、導電体 2 0 5 に印加する電位を、導電体 2 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 2 0 0 のしきい値電圧 (V_{th}) を制御することができる。特に、導電体 2 0 5 に負の電位を印加することにより、トランジスタ 2 0 0 の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 2 0 5 に負の電位を印加したほうが、印加しない場合よりも、導電体 2 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

[0 1 0 4]

また、導電体 2 0 5 の電気抵抗率は、上記の導電体 2 0 5 に印加する電位を考慮して設計され、導電体 2 0 5 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 2 1 6 の膜厚は、導電体 2 0 5 とほぼ同じになる。ここで、導電体 2 0 5 の設計が許す範囲で導電体 2 0 5 および絶縁体 2 1 6 の膜厚を薄くすることが好ましい。絶縁体 2 1 6 の膜厚を薄くすることで、絶縁体 2 1 6 中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物 2 3 0 に拡散するのを低減することができる。

[0 1 0 5]

なお、導電体 2 0 5 は、図 1 A に示すように、酸化物 2 3 0 の導電体 2 4 2 a および導電体 2 4 2 b と重ならない領域の大きさよりも、大きく設けるとよい。特に、図 1 C に示すように、導電体 2 0

5は、酸化物230aおよび酸化物230bのチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート、および第2のゲートの電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel* (*S-channel*) 構造とよぶ。

[0106]

なお、本明細書等において、*S-channel* 構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示する*S-channel* 構造は、*Fin*型構造およびプレーナ型構造とは異なる。*S-channel* 構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0107]

また、図1Cに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

[0108]

なお、トランジスタ200では、導電体205は、導電体205a、導電体205b、および導電体205cを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、2層または4層以上の積層構造として設ける構成にしてもよい。

[0109]

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

[0110]

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

[0111]

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230から基板側への酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ200の内側へ拡散することを抑制し、酸化物230中の酸素欠損の生成を抑制することができる。また、導電体205が、絶縁体224や、酸化物230が有する酸素と反応することを抑制することができる。

[0112]

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、または酸化ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 2 2 2 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0 1 1 3]

また、絶縁体 2 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (P Z T)、チタン酸ストロンチウム (S r T i O₃)、(B a, S r) T i O₃ (B S T) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0 1 1 4]

酸化物 2 3 0 と接する絶縁体 2 2 4 は、例えば、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。

[0 1 1 5]

また、トランジスタ 2 0 0 の作製工程中において、酸化物 2 3 0 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、1 0 0 °C 以上 6 0 0 °C 以下、より好ましくは 3 5 0 °C 以上 5 5 0 °C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 1 0 p p m 以上、1 % 以上、もしくは 1 0 % 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 2 3 0 に酸素を供給して、酸素欠損 (V_o) の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを 1 0 p p m 以上、1 % 以上、または 1 0 % 以上含む雰囲気で行ってもよい。または、酸化性ガスを 1 0 p p m 以上、1 % 以上、または 1 0 % 以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ってもよい。

[0 1 1 6]

なお、酸化物 2 3 0 に加酸素化処理を行うことで、酸化物 2 3 0 中の酸素欠損を、供給された酸素により修復させる、別言すると「V_o+O→n u l l」という反応を促進させることができる。さらに、酸化物 2 3 0 中に残存した水素に供給された酸素が反応することで、当該水素を H₂O として除去する（脱水化する）ことができる。これにより、酸化物 2 3 0 中に残存していた水素が酸素欠損に再結合して V_oH が形成されるのを抑制することができる。

[0 1 1 7]

なお、絶縁体 2 2 2、および絶縁体 2 2 4 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、絶縁体 2 2 4 は、酸化物 2 3 0 a と重畳して島状に形成してもよい。この場合、絶縁体 2 7 2 が、絶縁体 2 2 4 の側面および絶縁体 2 2 2 の上面に接する構成になる。

[0 1 1 8]

酸化物 2 4 3 a、および酸化物 2 4 3 b が、酸化物 2 3 0 b 上に設けられる。酸化物 2 4 3 a と酸化物 2 4 3 b は、導電体 2 6 0 を挟んで離隔して設けられる。

[0 1 1 9]

酸化物 2 4 3（酸化物 2 4 3 a、および酸化物 2 4 3 b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極またはドレイン電極として機能する導電体 2 4 2 と酸化物 2 3 0 b との間に酸素の透過を抑制する機能を有する酸化物 2 4 3 を配置することで、導電体 2 4 2 と、酸化物 2 3 0 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 2 0 0 の電気特性およびトランジスタ 2 0 0 の信頼性を向上させることができる。なお、導電体 2 4 2 と酸化物 2 3 0 b の間の電気抵抗を十分低減できる場合、酸化物 2 4 3 を設けない構成にしてもよい。

[0 1 2 0]

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、 $I n - M - Z n$ 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、 $I n$ に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、 $I n$ に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0.5 nm 以上 5 nm 以下が好ましく、より好ましくは 1 nm 以上 3 nm 以下、さらに好ましくは 1 nm 以上 2 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

[0 1 2 1]

導電体 2 4 2 a は酸化物 2 4 3 a の上面に接して設けられ、導電体 2 4 2 b は、酸化物 2 4 3 b の上面に接して設けられることが好ましい。導電体 2 4 2 a および導電体 2 4 2 b は、それぞれトランジスタ 2 0 0 のソース電極またはドレイン電極として機能する。

[0 1 2 2]

導電体 2 4 2（導電体 2 4 2 a、および導電体 2 4 2 b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0 1 2 3]

なお、酸化物 2 3 0 b などに含まれる水素が、導電体 2 4 2 a または導電体 2 4 2 b に拡散する場合がある。特に、導電体 2 4 2 a および導電体 2 4 2 b に、タンタルを含む窒化物を用いることで、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に拡散しやすく、拡散した水素は、導電体 2 4 2 a または導電体 2 4 2 b が有する窒素と結合することがある。つまり、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a または導電体 2 4 2 b に吸い取られる場合がある。

[0 1 2 4]

また、導電体 2 4 2 の側面と導電体 2 4 2 の上面との間に、湾曲面が形成されないことが好ましい。

当該湾曲面が形成されない導電体 2 4 2 とすることで、図 1 D に示すような、チャネル幅方向の断面における、導電体 2 4 2 の断面積を大きくすることができる。これにより、導電体 2 4 2 の導電率を大きくし、トランジスタ 2 0 0 のオン電流を大きくすることができる。

[0 1 2 5]

絶縁体 2 7 1 a は、導電体 2 4 2 a の上面に接して設けられており、絶縁体 2 7 1 b は、導電体 2 4 2 b の上面に接して設けられている。絶縁体 2 7 1 は、少なくとも酸素に対するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 2 7 1 は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 2 7 1 は、絶縁体 2 8 0 よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体 2 7 1 としては、例えば、窒化シリコンなどのシリコンを含む窒化物を用いればよい。また、絶縁体 2 7 1 は、水素などの不純物を捕獲する機能を有することが好ましい。その場合、絶縁体 2 7 1 としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を用いればよい。特に、絶縁体 2 7 1 として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 2 0 0、および半導体装置を作製することができる。

[0 1 2 6]

絶縁体 2 7 2 は、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物 2 4 3、導電体 2 4 2、および絶縁体 2 7 1 を覆うように設けられる。絶縁体 2 7 2 として、水素を捕獲および水素を固着する機能を有することが好ましい。その場合、絶縁体 2 7 2 としては、窒化シリコンまたは、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムまたは酸化マグネシウムなどの絶縁体を含むことが好ましい。

[0 1 2 7]

上記のような絶縁体 2 7 1 および絶縁体 2 7 2 を設けることで、酸素に対するバリア性を有する絶縁体で導電体 2 4 2 を包み込むことができる。つまり、絶縁体 2 2 4、および絶縁体 2 8 0 に含まれる酸素が、導電体 2 4 2 に拡散するのを防ぐことができる。これにより、絶縁体 2 2 4、および絶縁体 2 8 0 に含まれる酸素によって、導電体 2 4 2 が直接酸化されて抵抗率が増大し、オン電流が低減するのを抑制することができる。

[0 1 2 8]

絶縁体 2 5 0 は、ゲート絶縁体として機能する。絶縁体 2 5 0 は、酸化物 2 3 0 b の上面に接して配置することが好ましい。絶縁体 2 5 0 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0 1 2 9]

絶縁体 2 5 0（絶縁体 2 5 0 a、および絶縁体 2 5 0 b）は、絶縁体 2 2 4 と同様に、絶縁体 2 5 0 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 2 5 0 の膜厚は、1 nm 以上 2 0 nm 以下とするのが好ましい。特に、絶縁体 2 5 0 a の膜厚は、0.5 nm 以上 1 5.0 nm 以下とするのが好ましい。

[0 1 3 0]

なお、図 1 B および図 1 C に示すように、絶縁体 2 5 0 を 2 層の積層構造とする場合、下層の絶縁

体 2 5 0 a は、酸素を透過しやすい絶縁体を用いて形成し、上層の絶縁体 2 5 0 b は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 2 5 0 a に含まれる酸素が、導電体 2 6 0 へ拡散するのを抑制することができる。つまり、酸化物 2 3 0 へ供給する酸素量の減少を抑制することができる。また、絶縁体 2 5 0 a に含まれる酸素による導電体 2 6 0 の酸化を抑制することができる。例えば、絶縁体 2 5 0 a は、上述した絶縁体 2 5 0 に用いることができる材料を用いて設け、絶縁体 2 5 0 b は、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、アルミニウムおよびシリコンを含む酸化物（ハフニウムシリケート）などを用いることができる。本実施の形態では、絶縁体 2 5 0 b として、酸化ハフニウムを用いる。また、絶縁体 2 5 0 b の膜厚は、0.5 nm 以上 5.0 nm 以下、好ましくは、1.0 nm 以上 5.0 nm 以下、より好ましくは、1.0 nm 以上 3.0 nm 以下とする。

[0131]

絶縁体 2 5 0 a は、シリコンを含み、炭化水素を含まないガス 4 0 1（プリカーサ）、および酸化性ガス 4 0 2（リアクタント）を用いて、PEALD 法によって形成することが好ましい。また、リアクタントにヘリウム、ネオン、アルゴン、クリプトン、キセノンなどの希ガスを添加してもよい。

[0132]

ALD 法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱 ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いる PEALD（Plasma Enhanced ALD）法などがある。

[0133]

また、ALD 法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。PEALD 法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD 法で用いるプリカーサには炭素などを含むものがある。このため、ALD 法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）、または X 線光電子分光法（XPS: X-ray Photoelectron Spectroscopy）を用いて行うことができる。

[0134]

本実施の形態では、PEALD 法を用いる。また、シリコンを含み、炭化水素を含まないガス 4 0 1 としては、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiCl_4 、 SiBr_4 、 SiH_2Cl_2 、 SiH_2I_2 などを用いることができる。また、酸化性ガス 4 0 2 としては、 O_2 、 O_3 、 N_2O 、 NO_2 、 H_2O などを用いることができる。本実施の形態では、シリコンを含み、炭化水素を含まないガス 4 0 1 として、 SiH_4 を、酸化性ガス 4 0 2 として、 N_2O をそれぞれ用いる。

[0135]

図 5 にシリコンを含み、炭化水素を含まないガス 4 0 1 として SiH_4 、および酸化性ガス 4 0 2 として N_2O を用いて、PEALD 法によって、絶縁体 2 5 0 a となる酸化シリコンを形成するプロセスフローを、図 6 A および図 6 B に成膜シーケンスを示す。

[0136]

まず、反応室内に SiH_4 、および N_2O を導入し、反応室内の圧力を一定に保つ（ステップS01）。ここでヘリウムを導入してもよい。 SiH_4 と N_2O との流量比は、 SiH_4 流量を1とすると、 N_2O は、10以上3000以下、好ましくは、10以上800以下、より好ましくは、50以上400以下とする。また、50以上とすることで、絶縁体250a中の NO_x 発生を抑制することができる。また、反応室内の圧力は、200Pa以上1200Pa以下、好ましくは、400Pa以上1000Pa以下、さらに好ましくは、600Pa以上800Pa以下とする。また、基板温度は、100℃以上500℃以下、好ましくは、200℃以上400℃以下である。また、基板は加熱しなくてもよく、室温で成膜してもよい。

[0137]

次に、 SiH_4 の導入を止めて、反応室内に残留する SiH_4 のパージを行う（ステップS02）。

[0138]

次に、反応室に高周波電力403を印加し、 N_2O によるプラズマを発生させる。高周波の周波数は、13.56MHz以上60MHz以下とする。 N_2O プラズマによって、ステップS01にて、基板上に吸着した SiH_x を酸化することによって、凡そ一分子層の酸化シリコンを形成することができる（ステップS03）。尚、当該酸化シリコン中に、 N_2O プラズマによって注入された窒素が含まれることがある。また、窒素が含まれる酸化シリコンを酸化窒化シリコンと呼ぶ場合がある。

[0139]

次に、高周波電力403の印加を止める（ステップS04）。

[0140]

上述のステップS01乃至ステップS04を1サイクルとして所望の膜厚に達するまで繰り返し行うことで、絶縁体250aとなる酸化シリコンを形成することができる。また、サイクル数は、1サイクル以上、500サイクル以下とする。ただし、絶縁体250aの求める膜厚に合わせてサイクル数を適宜決めてもよい。また、図6Bに示すように、ステップS02において、 SiH_4 、および N_2O の導入を止めて反応室内に残留する SiH_4 、および N_2O を排気する真空引きのステップを挿入してもよい。このとき、 SiH_4 の導入、および N_2O の導入を同時に止めてもよいし、 SiH_4 の導入を止めた後に、 N_2O の導入を止めてもよい。また、ステップS03の開始前に N_2O の導入を再開することが好ましい。

[0141]

上述のように形成した絶縁体250aとなる酸化シリコンは、 SiH_4 、および N_2O を用いて、PECVD法によって形成する酸化シリコンよりも、水素濃度、および炭素濃度の低減された良好な絶縁体を形成することができる。

[0142]

SiH_4 、および N_2O を用いたPECVD法は、 SiH_4 、および N_2O を導入した状態で高周波電力を印加してプラズマを発生させるので、 SiH_4 がプラズマ中で分解されて、大量の水素ラジカルが発生し、水素が絶縁体250aとなる酸化シリコン中に混入してしまう。また、図3に示すように、絶縁体250aは、チャネル形成領域として機能する領域230bcと接しているので、水素ラジカルの還元反応によって領域230bc中の酸素が引き抜かれて $\text{V}_\text{O}\text{H}$ が形成されると、領域230bc中の水素濃度が高くなってしまう。

[0143]

一方で、本発明の一態様である SiH_4 、および N_2O を用いた P E A L D 法では、上述のステップ 0 1 の SiH_4 、および N_2O の導入中は、高周波電力を印加せず、ステップ 0 2 にて、残留している SiH_4 をパージしたのち、ステップ 0 3 にて N_2O のみ導入した状態で、高周波電力を印加してプラズマを発生させるので、水素ラジカルの発生を抑制できる。従って、絶縁体 2 5 0 a となる酸化シリコン中、および絶縁体 2 5 0 a となる酸化シリコンと接する領域 2 3 0 b c への水素の混入を抑制することができる。また、 SiH_4 、および N_2O を用いた P E A L D 法では、プリカーサとして SiH_4 を用いており、炭素等の不純物を含むプリカーサ、例えば CH 基を有する有機プリカーサを用いていないので、絶縁体 2 5 0 a となる酸化シリコン中に炭素等の不純物、炭化水素などが混入することを抑制できる。このように形成された酸化シリコンは、不純物濃度が低減され、より緻密な膜であるため、酸化物 2 3 0 b の領域 2 3 0 b c から絶縁体 2 5 0 a となる酸化シリコンへの I n の拡散を防止することができる。

[0 1 4 4]

絶縁体 2 5 0 a となる酸化シリコン中の炭素濃度は S I M S による分析にて、好ましくは、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下、より好ましくは、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下である。また、絶縁体 2 5 0 a となる酸化シリコンは窒素を有し、その窒素濃度は S I M S 分析にて、好ましくは、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下、より好ましくは、 $3 \times 10^{19} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下である。また、絶縁体 2 5 0 a となる酸化シリコンに含まれる I n 濃度は S I M S 分析にて、好ましくは、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは、 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは、 $1.0 \times 10^{17} \text{ atoms/cm}^3$ 以下、である。

[0 1 4 5]

なお、絶縁体 2 5 0 a となる酸化シリコンが、酸化物 2 3 0 b と接する場合、上記絶縁体中の炭素濃度、窒素濃度、および I n 濃度は、酸化物 2 3 0 b との界面から 1 nm 以上離れた領域の濃度とする場合がある。

[0 1 4 6]

以上のように、本発明の一態様である、シリコンを含み、炭化水素を含まないガス（プリカーサ）、および酸化性ガス（リアクタント）を用いて、P E A L D 法によって、絶縁体 2 5 0 a となる酸化シリコンを形成することで、優れた電気特性、および高い信頼性を有するトランジスタとすることができる。

[0 1 4 7]

なお、絶縁体 2 5 0 a に酸化シリコン、酸化窒化シリコンなどを用いる場合、絶縁体 2 5 0 b は、比誘電率が高い h i g h - k 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体 2 5 0 a と絶縁体 2 5 0 b との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（E O T）の薄膜化が可能となる。

[0 1 4 8]

また、絶縁体 2 5 0 と導電体 2 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 2 5 0 から導電体 2 6 0 への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属

酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

[0149]

なお、上記金属酸化物は、第 1 のゲート電極の一部としての機能を有する構成にしてもよい。例えば、酸化物 230 として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体 260a をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これを OC (O x i d e C o n d u c t o r) 電極と呼ぶことができる。

[0150]

上記金属酸化物を有することで、導電体 260 からの電界の影響を弱めることなく、トランジスタ 200 のオン電流の向上を図ることができる。また、絶縁体 250 と、上記金属酸化物との物理的な厚みにより、導電体 260 と、酸化物 230 との間の距離を保つことで、導電体 260 と酸化物 230 との間のリーク電流を抑制することができる。また、絶縁体 250、および上記金属酸化物との積層構造を設けることで、導電体 260 と酸化物 230 との間の物理的な距離、および導電体 260 から酸化物 230 へかかる電界強度を、容易に適宜調整することができる。

[0151]

導電体 260 は、トランジスタ 200 の第 1 のゲート電極として機能する。導電体 260 は、導電体 260a と、導電体 260a の上に配置された導電体 260b と、を有することが好ましい。例えば、導電体 260a は、導電体 260b の底面および側面を包むように配置されることが好ましい。また、図 1B および図 1C に示すように、導電体 260 の上面は、絶縁体 250 の上面と略一致している。なお、図 1B および図 1C では、導電体 260 は、導電体 260a と導電体 260b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

[0152]

導電体 260a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0153]

また、導電体 260a が酸素の拡散を抑制する機能を持つことにより、絶縁体 250 に含まれる酸素により、導電体 260b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

[0154]

また、導電体 260 は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体 260b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 260b は積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

[0155]

また、トランジスタ 200 では、導電体 260 は、絶縁体 280 などに形成されている開口を埋め

るように自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 242a と導電体 242b との間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

[0156]

また、図 1C に示すように、トランジスタ 200 のチャネル幅方向において、絶縁体 222 の底面を基準としたときの、導電体 260 の、導電体 260 と酸化物 230b とが重ならない領域の底面の高さは、酸化物 230b の底面の高さより低いことが好ましい。ゲート電極として機能する導電体 260 が、絶縁体 250 などを通して、酸化物 230b のチャネル形成領域の側面および上面を覆う構成とすることで、導電体 260 の電界を酸化物 230b のチャネル形成領域全体に作用させやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。絶縁体 222 の底面を基準としたときの、酸化物 230a および酸化物 230b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さと、酸化物 230b の底面の高さと、の差は、0nm 以上 100nm 以下、好ましくは、3nm 以上 50nm 以下、より好ましくは、5nm 以上 20nm 以下とする。

[0157]

絶縁体 280 は、絶縁体 272 上に設けられ、絶縁体 250、および導電体 260 が設けられる領域に開口が形成されている。また、絶縁体 280 の上面は、平坦化されていてもよい。

[0158]

層間膜として機能する絶縁体 280 は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体 280 は、例えば、絶縁体 216 と同様の材料を用いて設けることが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0159]

絶縁体 280 中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体 280 は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。

[0160]

絶縁体 282、および絶縁体 284 は、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体 282、および絶縁体 284 は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体 282、および絶縁体 284 としては、アモルファス構造を有する金属酸化物、例えば、酸化アルミニウムなどの絶縁体を用いればよい。絶縁体 212 と絶縁体 283 に挟まれた領域内で、絶縁体 280 に接して、水素などの不純物を捕獲する機能を有する、絶縁体 282 を設けることで、絶縁体 280 などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。特に、絶縁体 282、および絶縁体 284 として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ 200、および半導体装置を作製することができる。

[0161]

絶縁体 283 は、水、水素などの不純物が、上方から絶縁体 280 に拡散するのを抑制するバリア

絶縁膜として機能する。絶縁体 283 は、絶縁体 282 の上に配置される。絶縁体 283 としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体 283 としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体 283 をスパッタリング法で成膜することで、密度が高く、鬆などが形成されにくい窒化シリコンを形成することができる。また、絶縁体 283 として、スパッタリング法で成膜された窒化シリコンの上に、さらに、PEALD 法または、CVD 法で成膜された窒化シリコンを積層してもよい。

[0162]

導電体 240a および導電体 240b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 240a および導電体 240b は積層構造としてもよい。

[0163]

また、導電体 240 を積層構造とする場合、絶縁体 283、絶縁体 284、絶縁体 282、絶縁体 280、絶縁体 272、および絶縁体 271 と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。また、絶縁体 283 より上層に含まれる水、水素などの不純物が、導電体 240a および導電体 240b を通じて酸化物 230 に混入するのを抑制することができる。

[0164]

絶縁体 241a および絶縁体 241b としては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 241a および絶縁体 241b は、絶縁体 283、絶縁体 284、絶縁体 282、絶縁体 280、絶縁体 272、および絶縁体 271 に接して設けられるので、絶縁体 280 などに含まれる水、水素などの不純物が、導電体 240a および導電体 240b を通じて酸化物 230 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 280 に含まれる酸素が導電体 240a および導電体 240b に吸収されるのを防ぐことができる。

[0165]

また、導電体 240a の上面、および導電体 240b の上面に接して配線として機能する導電体 246（導電体 246a、および導電体 246b）を配置してもよい。導電体 246 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0166]

絶縁体 286 は、導電体 246 上、および絶縁体 284 上に設けられる。これにより、導電体 246 の上面、および導電体 246 の側面は、絶縁体 286 と接し、導電体 246 の下面は、絶縁体 283 と接する。つまり、導電体 246 は、絶縁体 283、および絶縁体 286 で包まれる構成とすることができる。この様な構成とすることで、外方からの酸素の透過を抑制し、導電体 246 の酸化を防止することができる。また、導電体 246 から、水、水素などの不純物が外部に拡散することを防ぐことができるので好ましい。

[0167]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0168]

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0169]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0170]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0171]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

[0172]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

[0173]

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニ

ウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

[0174]

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

[0175]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0176]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0177]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0178]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含

む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0179]

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物(酸化物半導体)を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0180]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

[0181]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する I_n-M-Z_n 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0182]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸化窒化物 (metal oxynitride) と呼称してもよい。

[0183]

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図4Aを用いて説明を行う。図4Aは、酸化物半導体、代表的にはIGZO (I_n と、Gaと、 Z_n と、を含む金属酸化物)の結晶構造の分類を説明する図である。

[0184]

図4Aに示すように、酸化物半導体は、大きく分けて「Amorphous (無定形)」と、「Crystalline (結晶性)」と、「Crystal (結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、及びCAC (cloud-aligned composite)が含まれる (excluding single crystal and polycrystal)。なお、「Crystalline」の分類には、single cry

stal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

[0185]

なお、図4Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」、および「Crystal（結晶）」とは全く異なる構造と言い換えることができる。

[0186]

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図4Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図4Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図4Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図4Bに示すCAAC-IGZO膜の厚さは、500nmである。

[0187]

図4Bでは、横軸は 2θ [deg.] であり、縦軸は強度（Intensity）[a. u.] である。図4Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図4Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

[0188]

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図4Cに示す。図4Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図4Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

[0189]

図4Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

[0190]

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図4Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、などが含まれる。

[0191]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0192]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0193]

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0194]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M, Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

[0195]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

[0196]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

[0197]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍におい

ても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないこと、金属原子が置換することで原子間の結合距離が変化すること、などによって、歪みを許容することができるためと考えられる。

[0198]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0199]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物および欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0200]

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSまたは非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0201]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-O

S及びCAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAC-OSと比べて、膜中の水素濃度が高い。

[0202]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0203]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0204]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0205]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0206]

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0207]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0208]

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0209]

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因す

る絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On／Off させる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、および良好なスイッチング動作を実現することができる。

[0210]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0211]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0212]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0213]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0214]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0215]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0216]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0217]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0218]

酸化物半導体において、第14族元素であるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンまたは炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンまたは炭素の濃度（SIMSにより得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0219]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0220]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0221]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0222]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0223]

<<その他の半導体材料>>

酸化物230に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物230として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0224]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス力のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0225]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0226]

酸化物230として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物230として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

[0227]

<半導体装置の作製方法>

次に、図1A乃至図1Dに示す、本発明の一態様である半導体装置の作製方法を、図7A乃至図22Dを用いて説明する。

[0228]

各図のAは、上面図を示す。また、各図のBは、各図のAに示すA1-A2の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、各図のCは、各図のAにA3-A4の一点鎖線で示す部位に対応する断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、各図のDは、各図のAにA5-A6の一点鎖線で示す部位の断面図である。なお、各図のAの上面図では、図の明瞭化のために一部の要素を省いている。

[0229]

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、または半導体を形成するための半導体材料は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを適宜用いて成膜することができる。

[0230]

なお、スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらにパルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、炭化物などの化合物をリアクティブスパッタリング法で成膜する際

に用いられる。

[0231]

なお、CVD法は、プラズマを利用するプラズマCVD (PECVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0232]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0233]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いるPEALD法などを用いることができる。

[0234]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における気相反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0235]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送および圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0236]

また、ALD法では、異なる組成の複数のプリカーサを同時に導入する、または、異なる組成の複数のプリカーサを各プリカーサの1サイクル中の導入回数を制御することで任意の組成の膜を成膜することができる。

[0237]

まず、基板（図示しない。）を準備し、当該基板上に絶縁体212を成膜する（図7A乃至図7D参照。）。絶縁体212の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体212中の水素濃度を低減することができる。ただし、絶縁体212の成膜は、スパッタリング法に限られるものではなく、CVD法、

MBE法、PLD法、ALD法などを適宜用いてもよい。

[0238]

本実施の形態では、絶縁体212として、窒素ガスを含む雰囲気でシリコンターゲットを用いて、パルスDCスパッタリング法で窒化シリコンを成膜する。パルスDCスパッタリング法を用いることで、ターゲット表面のアーキングによるパーティクルの発生を抑制することができるので、膜厚分布をより均一にすることができる。また、パルス電圧を用いることで、高周波電圧より、放電の立ち上がり、立ち下がり急峻にすることができる。これにより、電極に、電力をより効率的に供給しスパッタレート、および膜質を向上することができる。

[0239]

窒化シリコンのように水、水素などの不純物が透過しにくい絶縁体を用いることにより、絶縁体212より下層に含まれる水、水素などの不純物の拡散を抑制することができる。また、絶縁体212として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、絶縁体212より下層（図示しない。）の導電体に銅など拡散しやすい金属を用いても、当該金属が絶縁体212を介して上方に拡散するのを抑制することができる。

[0240]

次に、絶縁体212上に絶縁体214を成膜する（図7A乃至図7D参照。）。絶縁体214の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体214中の水素濃度を低減することができる。ただし、絶縁体214の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

[0241]

本実施の形態では、絶縁体214として、酸素ガスを含む雰囲気でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。ここで、基板にRF（Radio Frequency）電力を印加してもよい。基板に印加するRF電力の大きさによって、絶縁体214より下層へ注入する酸素量を制御することができる。RF電力としては、 0 W/cm^2 以上、 1.86 W/cm^2 以下とする。つまり、絶縁体214の形成の際のRF電力によって、トランジスタの特性に適する酸素量を変化させて注入することができる。従って、トランジスタの信頼性向上に適する酸素量を注入することができる。また、RFの周波数は、 10 MHz 以上が好ましい。代表的には、 13.56 MHz である。RFの周波数が高いほど基板へ与えるダメージを小さくすることができる。

[0242]

絶縁体214として、水素を捕獲および水素を固着する機能が高い、アモルファス構造を有する金属酸化物、例えば酸化アルミニウムを用いることが好ましい。これにより、絶縁体216などに含まれる水素を捕獲または固着し、当該水素が酸化物230に拡散するのを防ぐことができる。特に、絶縁体214として、アモルファス構造を有する酸化アルミニウム、またはアモルファス構造の酸化アルミニウムを用いることで、より効果的に水素を捕獲または固着できる場合があるため好ましい。これにより、良好な特性を有し、信頼性の高いトランジスタ200、および半導体装置を作製することができる。

[0243]

次に、絶縁体 2 1 4 上に絶縁体 2 1 6 を成膜する。絶縁体 2 1 6 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 1 6 中の水素濃度を低減することができる。ただし、絶縁体 2 1 6 の成膜は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

[0 2 4 4]

本実施の形態では、絶縁体 2 1 6 として、酸素ガスを含む雰囲気中でシリコンターゲットを用いて、パルスDCスパッタリング法で酸化シリコンを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。

[0 2 4 5]

絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 は、大気に暴露することなく連続して成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

[0 2 4 6]

次に、絶縁体 2 1 6 に絶縁体 2 1 4 に達する開口を形成する。開口とは、例えば、溝、スリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 2 1 4 は、絶縁体 2 1 6 をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体 2 1 6 に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体 2 1 4 は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

[0 2 4 7]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0 2 4 8]

開口の形成後に、導電膜 2 0 5 A を成膜する (図 7 A 乃至図 7 D 参照。)。導電膜 2 0 5 A は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。または、酸素の透過を抑制する機能を有する導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電膜 2 0 5 A の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0 2 4 9]

本実施の形態では、導電膜 2 0 5 A として窒化チタンを成膜する。このような金属窒化物を導電体

205bの下層に用いることにより、絶縁体216などによって、導電体205bが酸化されるのを抑制することができる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205aから外に拡散するのを防ぐことができる。

[0250]

次に、導電膜205Bを成膜する（図7A乃至図7D参照。）。導電膜205Bとしては、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金などを用いることができる。導電膜205Bの成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、導電膜205Bとして、タングステンを成膜する。

[0251]

次に、CMP処理を行うことで、導電膜205Aおよび導電膜205Bの一部を除去し、絶縁体216を露出する（図8A乃至図8D参照。）。その結果、開口部のみに、導電体205aおよび導電体205bが残存する。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0252]

次に、エッチングを行って、導電体205bの上部を除去する（図9A乃至図9D参照。）。これにより、導電体205bの上面は、導電体205aの上面および絶縁体216の上面より低くなる。導電体205bのエッチングには、ドライエッチングまたはウェットエッチングを用いればよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0253]

次に、絶縁体216、導電体205a、および導電体205bの上に、導電膜205Cを成膜する（図10A乃至図10D参照。）。導電膜205Cは、導電膜205Aと同様に、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。

[0254]

本実施の形態では、導電膜205Cとして窒化チタンを成膜する。このような金属窒化物を導電体205bの上層に用いることにより、絶縁体222などによって、導電体205bが酸化されるのを抑制することができる。また、導電体205bとして銅などの拡散しやすい金属を用いても、当該金属が導電体205cから外に拡散するのを防ぐことができる。

[0255]

次に、CMP処理を行うことで、導電膜205Cの一部を除去し、絶縁体216を露出する（図11A乃至図11D参照。）。その結果、開口部のみに、導電体205a、導電体205b、および導電体205cが残存する。これにより、上面が平坦な、導電体205を形成することができる。さらに、導電体205bが、導電体205aおよび導電体205cに包みこまれる構成になる。よって、導電体205bから水素などの不純物が導電体205aおよび導電体205cの外に拡散するのを防ぎ、かつ導電体205aおよび導電体205cの外から酸素が混入し、導電体205bを酸化するのを防ぐことができる。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0256]

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いる

ことが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 2 2 2 が、水素および水に対するバリア性を有することで、トランジスタ 2 0 0 の周辺に設けられた構造体に含まれる水素、および水が、絶縁体 2 2 2 を通じてトランジスタ 2 0 0 の内側へ拡散することが抑制され、酸化物 2 3 0 中の酸素欠損の生成を抑制することができる。

[0 2 5 7]

絶縁体 2 2 2 の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 2 2 として、ALD法を用いて、酸化ハフニウムを成膜する。

[0 2 5 8]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

[0 2 5 9]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、絶縁体 2 2 2 などに水分等が取り込まれることを可能な限り防ぐことができる。

[0 2 6 0]

本実施の形態では、加熱処理として、絶縁体 2 2 2 の成膜後に、窒素ガスと酸素ガスの流量比を4slm:1slmとして、400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体 2 2 2 に含まれる水、水素などの不純物を除去することなどができる。また、絶縁体 2 2 2 として、ハフニウムを含む酸化物を用いる場合、当該加熱処理によって、絶縁体 2 2 2 の一部が結晶化する場合がある。また、加熱処理は、絶縁体 2 2 4 の成膜後などのタイミングで行うこともできる。

[0 2 6 1]

次に、絶縁体 2 2 2 上に絶縁体 2 2 4 を成膜する。絶縁体 2 2 4 の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体 2 2 4 として、スパッタリング法を用いて、酸化シリコンを成膜する。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 2 4 中の水素濃度を低減することができる。絶縁体 2 2 4 は、後の工程で酸化物 2 3 0 a と接するので、このように水素濃度が低減されていることが好適である。

[0 2 6 2]

次に、絶縁体 2 2 4 上に、酸化膜 2 3 0 A、酸化膜 2 3 0 B を順に成膜する（図 1 2 A 乃至図 1 2 D 参照。）。なお、酸化膜 2 3 0 A および酸化膜 2 3 0 B は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜 2 3 0 A、および酸化膜 2 3 0 B 上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜 2 3 0 A と酸化膜 2 3 0

Bとの界面近傍を清浄に保つことができる。

[0263]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜230Aおよび酸化膜230Bの成膜は、ALD法を用いることで、アスペクト比の大きい溝や開口部に対しても、厚さの均一な膜を形成することができるため、好ましい。また、PEALD法を用いることで、熱ALD法に比べて低温で酸化膜230Aおよび酸化膜230Bを形成することができるため、好ましい。本実施の形態では、酸化膜230Aおよび酸化膜230Bの成膜はスパッタリング法を用いる。

[0264]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットなどを用いることができる。

[0265]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0266]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度を得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

[0267]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1 [原子数比] の酸化物ターゲット、In:Ga:Zn=1:1:1 [原子数比] の酸化物ターゲットまたは、In:Ga:Zn=1:1:0.5 [原子数比] の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230a、および酸化物230bに求める特性に合わせて形成するとよい。

[0268]

次に、酸化膜230B上に酸化膜243Aを成膜する（図12A乃至図12D参照）。酸化膜243Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。酸化膜243Aは、Inに対するGaの原子数比が、酸化膜230BのInに対するGaの

原子数比より大きいことが好ましい。本実施の形態では、酸化膜 2 4 3 A として、スパッタリング法によって、 $I n : G a : Z n = 1 : 3 : 4$ [原子数比] の酸化物ターゲットを用いて成膜する。

[0 2 6 9]

なお、絶縁体 2 2 2、絶縁体 2 2 4、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A を、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、絶縁体 2 2 2、絶縁体 2 2 4、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A を、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。

[0 2 7 0]

次に、加熱処理を行うことが好ましい。加熱処理は、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A が多結晶化しない温度範囲で行えばよく、 250°C 以上 650°C 以下、好ましくは 400°C 以上 600°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 ppm 以上、 1% 以上、もしくは 10% 以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを 20% 程度にすればよい。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、 1% 以上、または 10% 以上含む雰囲気で行ってもよい。

[0 2 7 1]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が 1 ppb 以下、好ましくは 0.1 ppb 以下、より好ましくは 0.05 ppb 以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、酸化膜 2 3 0 A、酸化膜 2 3 0 B、および酸化膜 2 4 3 A などに水分等が取り込まれることを可能な限り防ぐことができる。

[0 2 7 2]

本実施の形態では、加熱処理として、窒素雰囲気にて 400°C の温度で 1 時間の処理を行った後に、連続して酸素雰囲気にて 400°C の温度で 1 時間の処理を行う。当該加熱処理によって、酸化膜 2 3 0 A 中、酸化膜 2 3 0 B 中、および酸化膜 2 4 3 A 中の水、水素などの不純物を除去することなどができる。さらに、当該加熱処理によって、酸化膜 2 3 0 B の結晶性を向上させ、より密度の高い、緻密な構造にすることができる。これにより、酸化膜 2 3 0 B 中における、酸素または不純物の拡散を低減することができる。

[0 2 7 3]

次に、酸化膜 2 4 3 A 上に導電膜 2 4 2 A を成膜する（図 1 2 A 乃至図 1 2 D 参照。）。導電膜 2 4 2 A の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、導電膜 2 4 2 A として、スパッタリング法を用いて窒化タンタルを成膜すればよい。なお、導電膜 2 4 2 A の成膜前に、加熱処理を行ってもよい。当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜 2 4 2 A を成膜してもよい。このような処理を行うことによって、酸化膜 2 4 3 A の表面に吸着している水分および水素を除去し、さらに酸化膜 2 3 0 A 中、酸化膜 2 3 0 B 中、および酸化膜 2 4 3 A 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、 100°C 以上 400°C 以下が好ましい。本実施の形態では、加熱処理の温度を 200°C とする。

[0274]

次に、導電膜242A上に絶縁膜271Aを成膜する（図12A乃至図12D参照。）。絶縁膜271Aの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁膜271Aは、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、絶縁膜271Aとして、スパッタリング法によって、酸化アルミニウム、または窒化シリコンを成膜すればよい。

[0275]

本実施の形態では、絶縁膜271Aとして、酸素ガスを含む雰囲気でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。また、基板に印加するRF電力は 0.62 W/cm^2 以下とする。好ましくは、 0 W/cm^2 以上 0.31 W/cm^2 以下とする。RF電力を小さくすることで、導電膜242Aへ注入される酸素量を抑制し、導電膜242Aの酸化を防止することができる。

[0276]

なお、導電膜242A、および絶縁膜271Aを、大気に暴露することなく、スパッタリング法で成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。これにより、導電膜242A、および絶縁膜271Aを、膜中の水素を低減して成膜し、さらに、各成膜工程の合間に膜中に水素が混入するのを低減することができる。また、絶縁膜271A上にハードマスクを設ける場合、当該ハードマスクとなる膜も大気に暴露することなく連続して成膜すればよい。

[0277]

次に、リソグラフィー法を用いて、酸化膜230A、酸化膜230B、酸化膜243A、導電膜242A、絶縁膜271A、および絶縁体224を島状に加工して、酸化物230a、酸化物230b、酸化物層243B、導電層242B、および絶縁層271Bを形成する（図13A乃至図13D参照。）。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜230A、酸化膜230B、酸化膜243A、導電膜242A、絶縁膜271A、および絶縁体224の加工は、それぞれ異なる条件で行ってもよい。当該工程において、絶縁体224を酸化物230aと重畳して島状に加工する。

[0278]

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultraviolet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームまたはイオンビームを用いてもよい。なお、電子ビームまたはイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0279]

さらに、レジストマスクの下に絶縁体または導電体からなるハードマスクを用いてもよい。ハード

マスクを用いる場合、導電膜 2 4 2 A 上にハードマスク材料となる絶縁膜または導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電膜 2 4 2 A などのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電膜 2 4 2 A などのエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。本実施の形態では、絶縁層 2 7 1 B をハードマスクとして用いている場合、絶縁層 2 7 1 B の膜厚を適宜調整し、導電膜 2 4 2 A などのエッチング中に絶縁層 2 7 1 B の消失を抑制することが好ましい。

[0 2 8 0]

ここで、絶縁層 2 7 1 B が導電層 2 4 2 B のマスクとして機能するので、図 1 3 B 乃至図 1 3 D に示すように、導電層 2 4 2 B は側面と上面の間に湾曲面を有さない。これにより、図 1 B および図 1 D に示す導電体 2 4 2 a および導電体 2 4 2 b は、側面と上面が交わる端部が角状になる。導電体 2 4 2 の側面と上面が交わる端部が角状になることで、当該端部が曲面を有する場合に比べて、導電体 2 4 2 の断面積が大きくなる。これにより、導電体 2 4 2 の抵抗が低減されるので、トランジスタ 2 0 0 のオン電流を大きくすることができる。

[0 2 8 1]

また、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B は、少なくとも一部が導電体 2 0 5 と重なるように形成する。また、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B の側面は、絶縁体 2 2 2 の上面に対し、概略垂直であることが好ましい。絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B の側面が、絶縁体 2 2 2 の上面に対し、概略垂直であることで、複数のトランジスタ 2 0 0 を設ける際に、小面積化、高密度化が可能となる。または、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B の側面と、絶縁体 2 2 2 の上面とのなす角が低い角度になる構成にしてもよい。その場合、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B の側面と、絶縁体 2 2 2 の上面とのなす角は 6 0 度以上 7 0 度未満が好ましい。この様な形状とすることで、これより後の工程において、絶縁体 2 7 2 などの被覆性が向上し、鬆などの欠陥を低減することができる。

[0 2 8 2]

また、上記エッチング工程で発生した副生成物が、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、および絶縁層 2 7 1 B の側面に層状に形成される場合がある。この場合、当該層状の副生成物が、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物 2 4 3、導電体 2 4 2、および絶縁体 2 7 1 と絶縁体 2 7 2 の間に形成されることになる。また、同様に層状の副生成物が、絶縁体 2 2 2 上に形成される場合がある。当該層状の副生成物が絶縁体 2 2 2 上に形成された状態で、工程を進めてトランジスタ 2 0 0 を作製すると、トランジスタ 2 0 0 の信頼性が悪化することがある。よって、絶縁体 2 2 2 の上面に接して形成された当該層状の副生成物は、除去することが好ましい。

[0 2 8 3]

次に、絶縁体 2 2 4、酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物層 2 4 3 B、導電層 2 4 2 B、お

よび絶縁層 271B の上に、絶縁体 272 を成膜する（図 14A 乃至図 14D 参照。）。絶縁体 272 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 272 としては、窒化シリコン、酸化アルミニウムなどを用いることができる。また、絶縁体 272 は、積層構造としてもよい。例えば、窒化シリコン成膜し、該窒化シリコン上に酸化アルミニウムを成膜してもよいし、酸化アルミニウムを成膜し、該酸化アルミニウム上に窒化シリコンを成膜してもよい。本実施の形態では、絶縁体 272 として、スパッタリング法で窒化シリコンを成膜する。

[0284]

このようにして、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B を、酸素の拡散を抑制する機能を有する、絶縁体 272、および絶縁層 271B で覆うことができる。これにより、のちの工程で、酸化物 230a、酸化物 230b、酸化物層 243B、および導電層 242B に、酸素が拡散するのを低減することができる。

[0285]

次に、絶縁体 272 上に、絶縁体 280 となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、当該絶縁膜として、スパッタリング法を用いて酸化シリコン膜を成膜すればよい。当該絶縁膜を、酸素を含む雰囲気、スパッタリング法で成膜することで、過剰酸素を含む絶縁体 280 を形成することができる。また、成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 280 中の水素濃度を低減することができる。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁体 272 の表面などに吸着している水分および水素を除去し、さらに酸化物 230a 中、酸化物 230b 中、酸化物層 243B 中、および絶縁体 224 中の水分濃度および水素濃度を低減させることができる。当該加熱処理には、上述した加熱処理条件を用いることができる。

[0286]

次に、上記絶縁体 280 となる絶縁膜に CMP 処理を行い、上面が平坦な絶縁体 280 を形成する（図 14A 乃至図 14D 参照。）。なお、絶縁体 280 上に、例えば、スパッタリング法によって窒化シリコンを成膜し、該窒化シリコンを絶縁体 280 に達するまで、CMP 処理を行ってもよい。

[0287]

次に、絶縁体 280 の一部、絶縁体 272 の一部、絶縁層 271B の一部、導電層 242B の一部、および酸化物層 243B の一部を加工して、酸化物 230b に達する開口を形成する。当該開口は、導電体 205 と重なるように形成することが好ましい。当該開口の形成によって、絶縁体 271a、絶縁体 271b、導電体 242a、導電体 242b、酸化物 243a、および酸化物 243b を形成する（図 15A 乃至図 15D 参照。）。

[0288]

上記開口を形成する際に、酸化物 230b の上部が除去されることがある。酸化物 230b の一部が除去されることで、酸化物 230b に溝部が形成される。当該溝部の深さによっては、当該溝部を、上記開口の形成工程で形成してもよいし、上記開口の形成工程と異なる工程で形成してもよい。

[0289]

また、絶縁体 280 の一部、絶縁体 272 の一部、絶縁層 271B の一部、導電層 242B の一部、

および酸化物層 2 4 3 B の一部の加工は、ドライエッチング法、またはウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、当該加工は、それぞれ異なる条件で行ってもよい。例えば、絶縁体 2 8 0 の一部をドライエッチング法で加工し、絶縁体 2 7 2 の一部、および絶縁層 2 7 1 B の一部をウェットエッチング法で加工し、導電層 2 4 2 B の一部、および酸化物層 2 4 3 B の一部をドライエッチング法で加工してもよい。また、導電層 2 4 2 B の一部と、酸化物層 2 4 3 B の一部の加工とは、異なる条件で行ってもよい。

[0 2 9 0]

ここで、酸化物 2 3 0 a、酸化物 2 3 0 b などの表面に付着または内部に拡散した不純物を除去することが好ましい。また、上記ドライエッチングで酸化物 2 3 0 b 表面に形成される、損傷領域を除去することが好ましい。当該不純物としては、絶縁体 2 8 0、絶縁体 2 7 2、絶縁層 2 7 1 B の一部、および導電層 2 4 2 B に含まれる成分、上記開口を形成する際に用いられる装置に使われている部材に含まれる成分、エッチングに使用するガスまたは液体に含まれる成分などに起因したものが挙げられる。当該不純物としては、例えば、アルミニウム、シリコン、タンタル、フッ素、塩素などがある。

[0 2 9 1]

特に、アルミニウム、またはシリコンなどの不純物は、酸化物 2 3 0 b の C A A C - O S 化を阻害する。よって、アルミニウム、またはシリコンなどの、C A A C - O S 化を阻害する不純物元素が、低減または除去されていることが好ましい。例えば、酸化物 2 3 0 b、およびその近傍における、アルミニウム原子の濃度が、5. 0 原子%以下とすればよく、2. 0 原子%以下が好ましく、1. 5 原子%以下がより好ましく、1. 0 原子%以下がさらに好ましく、0. 3 原子%未満がさらに好ましい。

[0 2 9 2]

なお、アルミニウム、またはシリコンなどの不純物により C A A C - O S 化が阻害され、擬似非晶質酸化物半導体 (a - l i k e O S : a m o r p h o u s - l i k e o x i d e s e m i c o n d u c t o r) となった金属酸化物の領域を、非 C A A C 領域と呼ぶ場合がある。非 C A A C 領域では、結晶構造の緻密さが低下しているため、V_oH が多量に形成され、トランジスタがノーマリーオン化しやすくなる。よって、酸化物 2 3 0 b の非 C A A C 領域は、低減または除去されていることが好ましい。

[0 2 9 3]

これに対して、酸化物 2 3 0 b に層状の C A A C 構造を有していることが好ましい。特に、酸化物 2 3 0 b のドレイン下端部まで C A A C 構造を有することが好ましい。ここで、トランジスタ 2 0 0 において、導電体 2 4 2 a または導電体 2 4 2 b、およびその近傍がドレインとして機能する。つまり、導電体 2 4 2 a (導電体 2 4 2 b) の下端部近傍の、酸化物 2 3 0 b が、C A A C 構造を有することが好ましい。このように、ドレイン耐圧に顕著に影響するドレイン端部においても、酸化物 2 3 0 b の損傷領域が除去され、C A A C 構造を有することで、トランジスタ 2 0 0 の電気特性の変動をさらに抑制することができる。また、トランジスタ 2 0 0 の信頼性を向上させることができる。

[0 2 9 4]

上記の不純物などを除去するために、洗浄処理を行う。洗浄方法としては、洗浄液などを用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせで行ってもよい。なお、当該洗浄処理によって、上記溝部が深くなる場合がある。

[0 2 9 5]

ウェット洗浄としては、アンモニア水、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液、純水、炭酸水などを用いて洗浄処理を行ってもよい。または、これらの水溶液、純水、または炭酸水を用いた超音波洗浄を行ってもよい。または、これらの洗浄を適宜組み合わせを行ってもよい。

[0296]

なお、本明細書等では、市販のフッ化水素酸を純水で希釈した水溶液を希釈フッ化水素酸と呼び、市販のアンモニア水を純水で希釈した水溶液を希釈アンモニア水と呼ぶ場合がある。また、当該水溶液の濃度、温度などは、除去したい不純物、洗浄される半導体装置の構成などによって、適宜調整すればよい。希釈アンモニア水のアンモニア濃度は0.01%以上5%以下、好ましくは0.1%以上0.5%以下とすればよい。また、希釈フッ化水素酸のフッ化水素濃度は0.01ppm以上100ppm以下、好ましくは0.1ppm以上10ppm以下とすればよい。

[0297]

なお、超音波洗浄には、200kHz以上、好ましくは900kHz以上の周波数を用いる。当該周波数を用いることで、酸化物230bなどへのダメージを低減することができる。

[0298]

また、上記洗浄処理を複数回行ってもよく、洗浄処理毎に洗浄液を変更してもよい。例えば、第1の洗浄処理として希釈フッ化水素酸、または希釈アンモニア水を用いた処理を行い、第2の洗浄処理として純水、または炭酸水を用いた処理を行ってもよい。

[0299]

上記洗浄処理として、本実施の形態では、希釈フッ化水素酸を用いてウェット洗浄を行い、続いて純水、または炭酸水を用いてウェット洗浄を行う。当該洗浄処理を行うことで、酸化物230a、酸化物230bなどの表面に付着または内部に拡散した不純物を除去することができる。さらに、酸化物230bの結晶性を高めることができる。

[0300]

これまでのドライエッチングなどの加工、または上記洗浄処理によって、上記開口と重なり、かつ酸化物230bと重ならない領域の、絶縁体224の膜厚が、酸化物230bと重なる領域の、絶縁体224の膜厚より薄くなる場合がある。

[0301]

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100℃以上450℃以下、好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物230aおよび酸化物230bに酸素を供給して、酸素欠損の低減を図ることができる。また、このような熱処理を行うことで、酸化物230bの結晶性を向上させることができる。また、加熱処理は減圧状態で行ってもよい。または、酸素雰囲気で加熱処理した後に、大気に露出せずに連続して窒素雰囲気で加熱処理を行ってもよい。

[0302]

次に絶縁体250aとなる絶縁膜250Aを成膜する(図16A乃至図16D参照)。絶縁膜250Aの成膜前に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜250Aを成膜してもよい。また、当該加熱処理は、酸素を含む雰囲気で行うことが

好ましい。このような処理を行うことによって、酸化物 2 3 0 b の表面などに吸着している水分および水素を除去し、さらに酸化物 2 3 0 a 中、および酸化物 2 3 0 b 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、1 0 0 °C 以上 4 0 0 °C 以下が好ましい。

[0 3 0 3]

絶縁膜 2 5 0 A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。また、絶縁膜 2 5 0 A は、水素原子が低減または除去されたガスを用いた成膜方法で成膜することが好ましい。これにより、絶縁膜 2 5 0 A の水素濃度を低減することができる。絶縁膜 2 5 0 A は、後の工程で酸化物 2 3 0 b と接する絶縁体 2 5 0 となるので、このように水素濃度が低減されていることが好適である。

[0 3 0 4]

また、絶縁膜 2 5 0 A は、シリコンを含み、炭化水素を含まないガス（プリカーサ）、および酸化性ガス（リアクタント）を用いて、PEALD 法によって成膜することが好ましい。微細化されたトランジスタ 2 0 0 の、ゲート絶縁膜として機能する絶縁体 2 5 0 の膜厚は、極めて薄く（例えば、0.5 nm 以上 1 5. 0 nm 以下程度。）、且つバラつきが小さくなるようにする必要がある。これに対して、PEALD 法は、プリカーサと、リアクタント（酸化剤）を交互に導入して行う成膜方法であり、このサイクルを繰り返す回数によって膜厚を調節することができるため、精密な膜厚調節が可能である。よって、微細化されたトランジスタ 2 0 0 が要求するゲート絶縁膜の精度を達成することができる。また、図 1 6 B および図 1 6 C に示すように、絶縁膜 2 5 0 A は、絶縁体 2 8 0 等によって形成される開口の底面および側面に、被覆性良く成膜される必要がある。当該開口の底面および側面において、原子の層を一層ずつ堆積させることができるので、絶縁膜 2 5 0 A を当該開口に対して良好な被覆性で成膜することができる。また、PEALD 法を用いることで、基板温度を比較的低温で成膜することができる。

[0 3 0 5]

また、シリコンを含み、炭化水素を含まないガス（プリカーサ）、および酸化性ガス（リアクタント）を用いることで、絶縁膜 2 5 0 A 中、および酸化物 2 3 0 b への水素の混入を抑制することができる。また、炭素等の不純物を含むプリカーサ、例えば CH 基を有する有機プリカーサを用いていないので、絶縁膜 2 5 0 A 中に炭素等の不純物、炭化水素などが混入することを抑制できる。このように不純物などを含まない、より緻密な膜を形成するために酸化物 2 3 0 b から絶縁膜 2 5 0 A への I n の拡散を防止することができる。

[0 3 0 6]

本実施の形態では、プリカーサとして、SiH₄ を用い、リアクタントとして、N₂O を用いる。また、絶縁膜 2 5 0 A の成膜は、図 5 に示すプロセスフロー、ならびに図 6 A および図 6 B に示すシーケンスに従って、ステップ S 0 1 乃至ステップ S 0 4 を 1 サイクルとして所望の膜厚に達するまで繰り返し行う。

[0 3 0 7]

次に、絶縁体 2 5 0 b となる絶縁膜 2 5 0 B を成膜する（図 1 7 A 乃至図 1 7 D 参照）。絶縁膜 2 5 0 B の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。絶縁膜 2 5 0 B は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 2 5 0 a に含まれる酸素が、導電体 2 6 0 へ拡散するのを抑制することができる。つまり、酸化物 2 3 0 へ供給する酸素量の減少を抑制することができる。

できる。また、絶縁体 250a に含まれる酸素による導電体 260 の酸化を抑制することができる。例えば、絶縁膜 250A は、上述した絶縁体 250 に用いることができる材料を用いて設け、絶縁膜 250B は、絶縁体 222 と同様の材料を用いて設けることができる。

[0308]

絶縁膜 250B として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物 230 として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。

[0309]

本実施の形態では、絶縁膜 250A として酸化窒化シリコンを PECVD 法で成膜し、絶縁膜 250B として酸化ハフニウムを熱 ALD 法で成膜する。

[0310]

次に、酸素を含む雰囲気でマイクロ波処理を行う（図 17A 乃至図 17D 参照）。ここで、図 17B、図 17C、および図 17D に示す、点線はマイクロ波、RF などの高周波、酸素プラズマ、または酸素ラジカルなどを示す。マイクロ波処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。また、マイクロ波処理装置は基板側に RF を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。また、基板側に RF を印加することで、高密度プラズマによって生成された酸素イオンを、効率よく酸化物 230b 中に導くことができる。また、上記マイクロ波処理は、減圧下で行うことが好ましく、圧力を 60Pa 以上、好ましくは 133Pa 以上、より好ましくは 200Pa 以上、さらに好ましくは 400Pa 以上とすればよい。また、酸素流量比 ($O_2 / (O_2 + Ar)$) が 50% 以下、好ましくは 10% 以上 30% 以下で行うとよい。また、処理温度は、750℃ 以下、好ましくは 500℃ 以下、例えば 400℃ 程度で行えばよい。また、酸素プラズマ処理を行った後に、外気に曝すことなく、連続して熱処理を行ってもよい。

[0311]

図 17B、図 17C、および図 17D に示すように、酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、または RF 等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを酸化物 230b の導電体 242a と導電体 242b の間の領域に作用させることができる。このとき、マイクロ波、または RF 等の高周波を領域 230bc に照射することもできる。つまり、図 3 に示す領域 230bc に、マイクロ波、または RF 等の高周波、酸素プラズマなどを作用させることができる。プラズマ、マイクロ波などの作用により、領域 230bc の V_OH を分断し、水素を領域 230bc から除去することができる。つまり、領域 230bc において、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域 230bc の水素濃度を低減することができる。よって、領域 230bc 中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。また、領域 230bc で形成された酸素欠損に、上記酸素プラズマで発生した酸素ラジカル、または絶縁体 250 に含まれる酸素を供給することで、さらに、領域 230bc 中の酸素欠損を低減し、キャリア濃度を低下させることができる。

[0312]

一方、図 3 に示す領域 230ba および領域 230bb 上には、導電体 242a および導電体 24

2 b が設けられている。図 1 7 B、図 1 7 C、および図 1 7 D に示すように、導電体 2 4 2 a および導電体 2 4 2 b は、マイクロ波、または R F 等の高周波、酸素プラズマなどの作用を遮蔽するので、これらの作用は領域 2 3 0 b a および領域 2 3 0 b b には及ばない。これにより、マイクロ波処理によって、領域 2 3 0 b a および領域 2 3 0 b b で、 V_{OH} の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

[0 3 1 3]

このようにして、酸化物半導体の領域 2 3 0 b c で選択的に酸素欠損、および V_{OH} を除去して、領域 2 3 0 b c を i 型または実質的に i 型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域 2 3 0 b a および領域 2 3 0 b b に過剰な酸素が供給されるのを抑制し、n 型化を維持することができる。これにより、トランジスタ 2 0 0 の電気特性の変動を抑制し、基板面内でトランジスタ 2 0 0 の電気特性がばらつくのを抑制することができる。

[0 3 1 4]

よって、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。

[0 3 1 5]

また、絶縁膜 2 5 0 A の成膜後にマイクロ波処理を行ってもよい。また、絶縁膜 2 5 0 A の成膜後に行うマイクロ波処理を行って、絶縁膜 2 5 0 B の成膜後にマイクロ波処理を行わなくてもよい。

[0 3 1 6]

また、絶縁膜 2 5 0 A の成膜後、および絶縁膜 2 5 0 B の成膜後それぞれのマイクロ波処理後に減圧状態を保ったままで、加熱処理を行ってもよい。このような処理を行うことで、絶縁膜 2 5 0 A 中、絶縁膜 2 5 0 B 中、酸化物 2 3 0 b 中、および酸化物 2 3 0 a 中の水素を効率よく除去することができる。また、水素の一部は、導電体 2 4 2 (導電体 2 4 2 a、および導電体 2 4 2 b) にゲッタリングされる場合がある。または、マイクロ波処理後に減圧状態を保ったままで、加熱処理を行うステップを複数回繰り返して行ってもよい。加熱処理を繰り返し行うことで、絶縁膜 2 5 0 A 中、酸化物 2 3 0 b 中、および酸化物 2 3 0 a 中の水素をさらに効率よく除去することができる。なお、加熱処理温度は、3 0 0 °C 以上 5 0 0 °C 以下とすることが好ましい。

[0 3 1 7]

また、マイクロ波処理を行って絶縁膜 2 5 0 A、および絶縁膜 2 5 0 B の膜質を改質することで、水素、水、不純物等の拡散を抑制することができる。従って、導電体 2 6 0 となる導電膜の成膜などの後工程、または熱処理などの後処理により、絶縁体 2 5 0 を介して、水素、水、不純物等が、酸化物 2 3 0 b、酸化物 2 3 0 a などへ拡散することを抑制することができる。

[0 3 1 8]

次に、導電体 2 6 0 a となる導電膜、導電体 2 6 0 b となる導電膜を順に成膜する。導電体 2 6 0 a となる導電膜および導電体 2 6 0 b となる導電膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、ALD 法を用いて、導電体 2 6 0 a となる導電膜を成膜し、CVD 法を用いて導電体 2 6 0 b となる導電膜を成膜する。

[0 3 1 9]

次に、CMP 処理によって、絶縁膜 2 5 0 A、絶縁膜 2 5 0 B、導電体 2 6 0 a となる導電膜、および導電体 2 6 0 b となる導電膜を絶縁体 2 8 0 が露出するまで研磨することによって、絶縁体 2

50a、絶縁体250b、および導電体260（導電体260a、および導電体260b）を形成する（図18A乃至図18D参照。）。これにより、絶縁体250は、酸化物230bに達する開口および酸化物230bの溝部の内壁（側壁、および底面）を覆うように配置される。また、導電体260は、絶縁体250を介して、上記開口および上記溝部を埋め込むように配置される。

[0320]

次に、上記の加熱処理と同様の条件で加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。該加熱処理によって、絶縁体250中および絶縁体280中の水分濃度および水素濃度を低減させることができる。なお、上記加熱処理後、大気に曝すことなく連続して、絶縁体282の成膜を行ってもよい。

[0321]

次に、絶縁体250上、導電体260上、および絶縁体280上に、絶縁体282aおよび絶縁体282bを連続して形成する（図19A乃至図19D参照。）。絶縁体282a、および絶縁体282bの成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。絶縁体282a、および絶縁体282bの成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体282a中、および絶縁体282b中の水素濃度を低減することができる。

[0322]

本実施の形態では、絶縁体282a、および絶縁体282bとして、酸素ガスを含む雰囲気でアルミニウムターゲットを用いて、パルスDCスパッタリング法で酸化アルミニウムを成膜する。パルスDCスパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。また、基板に印加するRF電力は1.86W/cm²以下とする。好ましくは、0W/cm²以上0.31W/cm²以下とする。RF電力を小さくすることで、絶縁体280へ注入される酸素量を抑制することができる。本実施の形態では、絶縁体282aは、基板に印加するRF電力を0W/cm²として成膜し、絶縁体282bは、基板に印加するRF電力を0.31W/cm²として成膜する。

[0323]

次に、絶縁体282a、絶縁体282b、絶縁体280、絶縁体272、絶縁体222、および絶縁体216を絶縁体214の上面に達するまで加工する（図20A乃至図20D参照。）。当該加工は、ウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0324]

次に加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは400℃以上600℃以下で行えばよい。また、当該加熱処理は、酸化膜243A成膜後に行う加熱処理温度よりも低いことが好ましい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行う。当該加熱処理を行うことで、絶縁体282a、絶縁体282b、絶縁体280、絶縁体272、絶縁体222、および絶縁体216の加工により、形成された絶縁体280の側面から、絶縁体280に含まれる酸素、および当該酸素と結合した水素を外部に放出することができる。ならびに、絶縁体280に含まれる酸素、および当該酸素と結合した水素を、外部に放出することができる。尚、酸素と結合した水素は、水として放出される。従って、絶縁体280に含まれる、不要な酸素、および水素を低減することができる。

[0325]

次に、絶縁体 2 8 2 b 上に、絶縁体 2 8 3 を形成する（図 2 1 A 乃至図 2 1 D 参照。）。絶縁体 2 8 3 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 2 8 3 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 8 3 中の水素濃度を低減することができる。また、絶縁体 2 8 3 は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、ALD 法を用いて窒化シリコンを成膜してもよい。バリア性の高い絶縁体 2 8 3 および絶縁体 2 1 4 でトランジスタ 2 0 0 を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。

[0 3 2 6]

次に、絶縁体 2 8 3 上に、絶縁体 2 7 4 を形成する。絶縁体 2 7 4 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、絶縁体 2 7 4 として、CVD 法によって酸化シリコンを成膜する。

[0 3 2 7]

次に、CMP 処理によって、絶縁体 2 7 4 を絶縁体 2 8 3 が露出するまで研磨することによって、絶縁体 2 7 4 の上面を平坦化する（図 2 2 A 乃至図 2 2 D 参照。）。当該 CMP 処理により、絶縁体 2 8 3 の上面の一部が除去される場合がある。

[0 3 2 8]

次に、絶縁体 2 7 4 上、および絶縁体 2 8 3 上に、絶縁体 2 8 4 を形成する（図 2 2 A 乃至図 2 2 D 参照。）。絶縁体 2 8 4 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 2 8 4 の成膜は、スパッタリング法を用いて行うことが好ましい。成膜ガスに水素を用いなくてもよいスパッタリング法を用いることで、絶縁体 2 8 4 中の水素濃度を低減することができる。

[0 3 2 9]

本実施の形態では、絶縁体 2 8 4 として、酸素ガスを含む雰囲気中でアルミニウムターゲットを用いて、パルス DC スパッタリング法で酸化アルミニウムを成膜する。パルス DC スパッタリング法を用いることで、膜厚分布をより均一にし、スパッタレート、および膜質を向上することができる。また、基板に印加する RF 電力は 0.62 W/cm^2 以下とする。好ましくは、 0 W/cm^2 以上 0.31 W/cm^2 以下とする。また、基板に印加する RF 電力は、絶縁体 2 8 2 の成膜時に基板に印加する RF 電力よりも大きいことが好ましい。

[0 3 3 0]

次に、絶縁体 2 7 1、絶縁体 2 7 2、絶縁体 2 8 0、絶縁体 2 8 2、絶縁体 2 8 3、および絶縁体 2 8 4 に、導電体 2 4 2 に達する開口を形成する（図 2 2 A および図 2 2 B 参照。）。当該開口の形成は、リソグラフィ法を用いて行えばよい。なお、図 2 2 A で当該開口の形状は、上面視において円形状にしているが、これに限られるものではない。例えば、当該開口が、上面視において、楕円などの略円形状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。

[0 3 3 1]

次に、絶縁体 2 4 1 となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体 2 4 1 を形成する。（図 2 2 B 参照。）。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。当該絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD 法を用いて、酸化アルミニウムを成膜するこ

とが好ましい。または、P E A L D法を用いて、窒化シリコンを成膜することが好ましい。窒化シリコンは水素に対するブロッキング性が高いので好ましい。

[0332]

また、絶縁体241となる絶縁膜の異方性エッチングとしては、例えばドライエッチング法などを用いればよい。開口の側壁部に絶縁体241を設けることで、外方からの酸素の透過を抑制し、次に形成する導電体240aおよび導電体240bの酸化を防止することができる。また、導電体240aおよび導電体240bから、水、水素などの不純物が外部に拡散することを防ぐことができる。

[0333]

次に、導電体240aおよび導電体240bとなる導電膜を成膜する。当該導電膜は、水、水素など不純物の透過を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅などとの積層とすることができる。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0334]

次に、CMP処理を行うことで、導電体240aおよび導電体240bとなる導電膜の一部を除去し、絶縁体284の上面を露出する。その結果、開口のみに、当該導電膜が残存することで上面が平坦な導電体240aおよび導電体240bを形成することができる（図22B参照。）。なお、当該CMP処理により、絶縁体284の上面の一部が除去される場合がある。

[0335]

次に、導電体246となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

[0336]

次に、導電体246となる導電膜をリソグラフィ法によって加工し、導電体240aの上面と接する導電体246a、および導電体240bの上面と接する導電体246bを形成する。この時、導電体246aおよび導電体246bと、絶縁体284とが重ならない領域の絶縁体284の一部が除去されることがある。

[0337]

次に、導電体246上、および絶縁体284上に、絶縁体286を成膜する。絶縁体286の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。また、絶縁体286は、多層としてもよい。例えば、スパッタリング法を用いて、窒化シリコンを成膜し、当該窒化シリコン上に、CVD法を用いて窒化シリコンを成膜してもよい。

[0338]

以上により、図1A乃至図1Dに示すトランジスタ200を有する半導体装置を作製することができる。図7A乃至図22Dに示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作製することができる。

[0339]

<マイクロ波処理装置>

以下では、上記半導体装置の作製方法に用いることができる、マイクロ波処理装置について説明する。

[0340]

まずは、半導体装置などの製造時に不純物の混入が少ない製造装置の構成について図 2 3 乃至図 2 6 を用いて説明する。

[0 3 4 1]

図 2 3 は、枚葉式マルチチャンバーの製造装置 2 7 0 0 の上面図を模式的に示している。製造装置 2 7 0 0 は、基板を収容するカセットポート 2 7 6 1 と、基板のアライメントを行うアライメントポート 2 7 6 2 と、を備える大気側基板供給室 2 7 0 1 と、大気側基板供給室 2 7 0 1 から、基板を搬送する大気側基板搬送室 2 7 0 2 と、基板の搬入を行い、かつ室内の圧力を大気圧から減圧、または減圧から大気圧へ切り替えるロードロック室 2 7 0 3 a と、基板の搬出を行い、かつ室内の圧力を減圧から大気圧、または大気圧から減圧へ切り替えるアンロードロック室 2 7 0 3 b と、真空中の基板の搬送を行う搬送室 2 7 0 4 と、チャンバー 2 7 0 6 a と、チャンバー 2 7 0 6 b と、チャンバー 2 7 0 6 c と、チャンバー 2 7 0 6 d と、を有する。

[0 3 4 2]

また、大気側基板搬送室 2 7 0 2 は、ロードロック室 2 7 0 3 a およびアンロードロック室 2 7 0 3 b と接続され、ロードロック室 2 7 0 3 a およびアンロードロック室 2 7 0 3 b は、搬送室 2 7 0 4 と接続され、搬送室 2 7 0 4 は、チャンバー 2 7 0 6 a、チャンバー 2 7 0 6 b、チャンバー 2 7 0 6 c およびチャンバー 2 7 0 6 d と接続する。

[0 3 4 3]

なお、各室の接続部にはゲートバルブ G V が設けられており、大気側基板供給室 2 7 0 1 と、大気側基板搬送室 2 7 0 2 を除き、各室を独立して真空状態に保持することができる。また、大気側基板搬送室 2 7 0 2 には搬送ロボット 2 7 6 3 a が設けられており、搬送室 2 7 0 4 には搬送ロボット 2 7 6 3 b が設けられている。搬送ロボット 2 7 6 3 a および搬送ロボット 2 7 6 3 b によって、製造装置 2 7 0 0 内で基板を搬送することができる。

[0 3 4 4]

搬送室 2 7 0 4 および各チャンバーの背圧（全圧）は、例えば、 $1 \times 10^{-4} \text{ Pa}$ 以下、好ましくは $3 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下とする。また、搬送室 2 7 0 4 および各チャンバーの質量電荷比（ m/z ）が 1 8 である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。また、搬送室 2 7 0 4 および各チャンバーの m/z が 2 8 である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。また、搬送室 2 7 0 4 および各チャンバーの m/z が 4 4 である気体分子（原子）の分圧は、例えば、 $3 \times 10^{-5} \text{ Pa}$ 以下、好ましくは $1 \times 10^{-5} \text{ Pa}$ 以下、さらに好ましくは $3 \times 10^{-6} \text{ Pa}$ 以下とする。

[0 3 4 5]

なお、搬送室 2 7 0 4 および各チャンバー内の全圧および分圧は、質量分析計を用いて測定することができる。例えば、株式会社アルバック製四重極形質量分析計（Q-m a s s とomいう。）Q u l e e C G M-0 5 1 を用いればよい。

[0 3 4 6]

また、搬送室 2 7 0 4 および各チャンバーは、外部リークまたは内部リークが少ない構成とすることが望ましい。例えば、搬送室 2 7 0 4 および各チャンバーのリークレートは、 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が 1 8 である

気体分子（原子）のリークレートが $1 \times 10^{-7} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $3 \times 10^{-8} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が28である気体分子（原子）のリークレートが $1 \times 10^{-5} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。また、例えば、 m/z が44である気体分子（原子）のリークレートが $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下、好ましくは $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 以下とする。

[0347]

なお、リークレートに関しては、前述の質量分析計を用いて測定した全圧および分圧から導出すればよい。リークレートは、外部リークおよび内部リークに依存する。外部リークは、微小な穴、シール不良などによって真空系外から気体が流入することである。内部リークは、真空系内のバルブなどの仕切りからの漏れまたは内部の部材からの放出ガスに起因する。リークレートを上述の数値以下とするために、外部リークおよび内部リークの両面から対策をとる必要がある。

[0348]

例えば、搬送室2704および各チャンバーの開閉部分はメタルガスケットでシールするとよい。メタルガスケットは、フッ化鉄、酸化アルミニウム、または酸化クロムによって被覆された金属を用いると好ましい。メタルガスケットはOリングと比べ密着性が高く、外部リークを低減できる。また、フッ化鉄、酸化アルミニウム、酸化クロムなどによって被覆された金属の不動態を用いることで、メタルガスケットから放出される不純物を含む放出ガスが抑制され、内部リークを低減することができる。

[0349]

また、製造装置2700を構成する部材として、不純物を含む放出ガスの少ないアルミニウム、クロム、チタン、ジルコニウム、ニッケルまたはバナジウムを用いる。また、前述の不純物を含む放出ガスの少ない金属を鉄、クロムおよびニッケルなどを含む合金に被覆して用いてもよい。鉄、クロムおよびニッケルなどを含む合金は、剛性があり、熱に強く、また加工に適している。ここで、表面積を小さくするために部材の表面凹凸を研磨などによって低減しておく、放出ガスを低減できる。

[0350]

または、前述の製造装置2700の部材をフッ化鉄、酸化アルミニウム、酸化クロムなどで被覆してもよい。

[0351]

製造装置2700の部材は、極力金属のみで構成することが好ましく、例えば石英などで構成される覗き窓などを設置する場合も、放出ガスを抑制するために表面をフッ化鉄、酸化アルミニウム、酸化クロムなどで薄く被覆するとよい。

[0352]

搬送室2704および各チャンバーに存在する吸着物は、内壁などに吸着しているために搬送室2704および各チャンバーの圧力に影響しないが、搬送室2704および各チャンバーを排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないものの、排気能力の高いポンプを用いて、搬送室2704および各チャンバーに存在する吸着物をできる限り脱離し、あらかじめ排気しておくことは重要である。なお、吸着物の脱離を促すために、搬送室2704および各チャンバーをベーキングしてもよい。ベーキングすることで吸着物の脱離速度を10倍程度大きくすることができる。ベーキングは 100°C 以上 450°C 以下で行えばよい。このとき、不活性ガスを搬送室2704および各チャンバーに導入しながら吸着物の除去を行うと、排気するだけでは脱

離しにくい水などの脱離速度をさらに大きくすることができる。なお、導入する不活性ガスをベーキングの温度と同程度に加熱することで、吸着物の脱離速度をさらに高めることができる。ここで不活性ガスとして希ガスを用いると好ましい。

[0353]

または、加熱した希ガスなどの不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を高め、一定時間経過後に再び搬送室2704および各チャンバーを排気する処理を行うと好ましい。加熱したガスの導入により搬送室2704および各チャンバー内の吸着物を脱離させることができ、搬送室2704および各チャンバー内に存在する不純物を低減することができる。なお、この処理は2回以上30回以下、好ましくは5回以上15回以下の範囲で繰り返し行うと効果的である。具体的には、温度が40℃以上400℃以下、好ましくは50℃以上200℃以下である不活性ガスまたは酸素などを導入することで搬送室2704および各チャンバー内の圧力を0.1Pa以上10kPa以下、好ましくは1Pa以上1kPa以下、さらに好ましくは5Pa以上100Pa以下とし、圧力を保つ期間を1分以上300分以下、好ましくは5分以上120分以下とすればよい。その後、搬送室2704および各チャンバーを5分以上300分以下、好ましくは10分以上120分以下の期間排気する。

[0354]

次に、チャンバー2706bおよびチャンバー2706cについて図24に示す断面模式図を用いて説明する。

[0355]

チャンバー2706bおよびチャンバー2706cは、例えば、被処理物にマイクロ波処理を行うことが可能なチャンバーである。なお、チャンバー2706bと、チャンバー2706cと、はマイクロ波処理を行う際の雰囲気異なるのみである。そのほかの構成については共通するため、以下ではまとめて説明を行う。

[0356]

チャンバー2706bおよびチャンバー2706cは、スロットアンテナ板2808と、誘電体板2809と、基板ホルダ2812と、排気口2819と、を有する。また、チャンバー2706bおよびチャンバー2706cの外などには、ガス供給源2801と、バルブ2802と、高周波発生器2803と、導波管2804と、モード変換器2805と、ガス管2806と、導波管2807と、マッチングボックス2815と、高周波電源2816と、真空ポンプ2817と、バルブ2818と、が設けられる。

[0357]

高周波発生器2803は、導波管2804を介してモード変換器2805と接続している。モード変換器2805は、導波管2807を介してスロットアンテナ板2808に接続している。スロットアンテナ板2808は、誘電体板2809と接して配置される。また、ガス供給源2801は、バルブ2802を介してモード変換器2805に接続している。そして、モード変換器2805、導波管2807および誘電体板2809を通るガス管2806によって、チャンバー2706bおよびチャンバー2706cにガスが送られる。また、真空ポンプ2817は、バルブ2818および排気口2819を介して、チャンバー2706bおよびチャンバー2706cからガスなどを排気する機能を有する。また、高周波電源2816は、マッチングボックス2815を介して基板ホルダ2812に接続している。

[0358]

基板ホルダ2812は、基板2811を保持する機能を有する。例えば、基板2811を静電チャックまたは機械的にチャックする機能を有する。また、高周波電源2816から電力を供給される電極としての機能を有する。また、内部に加熱機構2813を有し、基板2811を加熱する機能を有する。

[0359]

真空ポンプ2817としては、例えば、ドライポンプ、メカニカルブースターポンプ、イオンポンプ、チタンサブリメーションポンプ、クライオポンプまたはターボ分子ポンプなどを用いることができる。また、真空ポンプ2817に加えて、クライオトラップを用いてもよい。クライオポンプおよびクライオトラップを用いると、水を効率よく排気できて特に好ましい。

[0360]

また、加熱機構2813としては、例えば、抵抗発熱体などを用いて加熱する加熱機構とすればよい。または、加熱されたガスなどの媒体からの熱伝導または熱輻射によって、加熱する加熱機構としてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) または LRTA (Lamp Rapid Thermal Annealing) などのRTA (Rapid Thermal Annealing) を用いることができる。GRTAは、高温のガスを用いて加熱処理を行う。ガスとしては、不活性ガスが用いられる。

[0361]

また、ガス供給源2801は、マスフローコントローラを介して、精製機と接続されていてもよい。ガスは、露点が -80°C 以下、好ましくは -100°C 以下であるガスを用いることが好ましい。例えば、酸素ガス、窒素ガス、および希ガス（アルゴンガスなど）を用いればよい。

[0362]

誘電体板2809としては、例えば、酸化シリコン（石英）、酸化アルミニウム（アルミナ）または酸化イットリウム（イットリア）などを用いればよい。また、誘電体板2809の表面に、さらに別の保護層が形成されていてもよい。保護層としては、酸化マグネシウム、酸化チタン、酸化クロム、酸化ジルコニウム、酸化ハフニウム、酸化タンタル、酸化シリコン、酸化アルミニウムまたは酸化イットリウムなどを用いればよい。誘電体板2809は、後述する高密度プラズマ2810の特に高密度領域に曝されることになるため、保護層を設けることで損傷を緩和することができる。その結果、処理時のパーティクルの増加などを抑制することができる。

[0363]

高周波発生器2803では、例えば、 0.3GHz 以上 3.0GHz 以下、 0.7GHz 以上 1.1GHz 以下、または 2.2GHz 以上 2.8GHz 以下のマイクロ波を発生させる機能を有する。高周波発生器2803で発生させたマイクロ波は、導波管2804を介してモード変換器2805に伝わる。モード変換器2805では、TEモードとして伝わったマイクロ波がTEMモードに変換される。そして、マイクロ波は、導波管2807を介してスロットアンテナ板2808に伝わる。スロットアンテナ板2808は、複数のスロット孔が設けられており、マイクロ波は該スロット孔および誘電体板2809を通過する。そして、誘電体板2809の下方に電界を生じさせ、高密度プラズマ2810を生成することができる。高密度プラズマ2810には、ガス供給源2801から供給されたガス種に応じたイオンおよびラジカルが存在する。例えば、酸素ラジカルなどが存在する。

[0364]

このとき、基板 2 8 1 1 が高密度プラズマ 2 8 1 0 で生成されたイオンおよびラジカルによって、基板 2 8 1 1 上の膜などを改質することができる。なお、高周波電源 2 8 1 6 を用いて、基板 2 8 1 1 側にバイアスを印加すると好ましい場合がある。高周波電源 2 8 1 6 には、例えば、1 3 . 5 6 M H z 、 2 7 . 1 2 M H z などの周波数の R F (R a d i o F r e q u e n c y) 電源を用いればよい。基板側にバイアスを印加することで、高密度プラズマ 2 8 1 0 中のイオンを基板 2 8 1 1 上の膜などの開口部の奥まで効率よく到達させることができる。

[0 3 6 5]

例えば、チャンバー 2 7 0 6 b またはチャンバー 2 7 0 6 c で、ガス供給源 2 8 0 1 から酸素を導入することで高密度プラズマ 2 8 1 0 を用いた酸素ラジカル処理を行うことができる。

[0 3 6 6]

次に、チャンバー 2 7 0 6 a およびチャンバー 2 7 0 6 d について図 2 5 に示す断面模式図を用いて説明する。

[0 3 6 7]

チャンバー 2 7 0 6 a およびチャンバー 2 7 0 6 d は、例えば、被処理物に電磁波の照射を行うことが可能なチャンバーである。なお、チャンバー 2 7 0 6 a と、チャンバー 2 7 0 6 d と、は電磁波の種類が異なるのみである。そのほかの構成については共通する部分が多いため、以下ではまとめて説明を行う。

[0 3 6 8]

チャンバー 2 7 0 6 a およびチャンバー 2 7 0 6 d は、一または複数のランプ 2 8 2 0 と、基板ホルダ 2 8 2 5 と、ガス導入口 2 8 2 3 と、排気口 2 8 3 0 と、を有する。また、チャンバー 2 7 0 6 a およびチャンバー 2 7 0 6 d の外などには、ガス供給源 2 8 2 1 と、バルブ 2 8 2 2 と、真空ポンプ 2 8 2 8 と、バルブ 2 8 2 9 と、が設けられる。

[0 3 6 9]

ガス供給源 2 8 2 1 は、バルブ 2 8 2 2 を介してガス導入口 2 8 2 3 に接続している。真空ポンプ 2 8 2 8 は、バルブ 2 8 2 9 を介して排気口 2 8 3 0 に接続している。ランプ 2 8 2 0 は、基板ホルダ 2 8 2 5 と向かい合って配置されている。基板ホルダ 2 8 2 5 は、基板 2 8 2 4 を保持する機能を有する。また、基板ホルダ 2 8 2 5 は、内部に加熱機構 2 8 2 6 を有し、基板 2 8 2 4 を加熱する機能を有する。

[0 3 7 0]

ランプ 2 8 2 0 としては、例えば、可視光または紫外光などの電磁波を放射する機能を有する光源を用いればよい。例えば、波長 1 0 n m 以上 2 5 0 0 n m 以下、 5 0 0 n m 以上 2 0 0 0 n m 以下、または 4 0 n m 以上 3 4 0 n m 以下にピークを有する電磁波を放射する機能を有する光源を用いればよい。

[0 3 7 1]

例えば、ランプ 2 8 2 0 としては、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどの光源を用いればよい。

[0 3 7 2]

例えば、ランプ 2 8 2 0 から放射される電磁波は、その一部または全部が基板 2 8 2 4 に吸収されることで基板 2 8 2 4 上の膜などを改質することができる。例えば、欠陥の生成もしくは低減、または不純物の除去などができる。なお、基板 2 8 2 4 を加熱しながら行くと、効率よく、欠陥の生成も

しくは低減、または不純物の除去などができる。

[0373]

または、例えば、ランプ2820から放射される電磁波によって、基板ホルダ2825を発熱させ、基板2824を加熱してもよい。その場合、基板ホルダ2825の内部に加熱機構2826を有さなくともよい。

[0374]

真空ポンプ2828は、真空ポンプ2817についての記載を参照する。また、加熱機構2826は、加熱機構2813についての記載を参照する。また、ガス供給源2821は、ガス供給源2801についての記載を参照する。

[0375]

本実施の形態に用いることができるマイクロ波処理装置は、上記に限らない。図26に示すマイクロ波処理装置2900を用いることができる。マイクロ波処理装置2900は、石英管2901、排気口2819、ガス供給源2801、バルブ2802、高周波発生器2803、導波管2804、ガス管2806、真空ポンプ2817、およびバルブ2818を有する。また、マイクロ波処理装置2900は、石英管2901内に、複数の基板2811（2811__1乃至2811__n、nは2以上の整数）を保持する基板ホルダ2902を有する。また、マイクロ波処理装置2900は、石英管2901の外側に、加熱手段2903を有していてもよい。

[0376]

高周波発生器2803で発生させたマイクロ波は、導波管2804を介して、石英管2901内に設けられた基板に照射される。真空ポンプ2817は、バルブ2818を介して排気口2819と接続されており、石英管2901内部の圧力を調整することができる。また、ガス供給源2801は、バルブ2802を介して、ガス管2806に接続されており、石英管2901内に所望のガスを導入することができる。また、加熱手段2903により、石英管2901内の基板2811を、所望の温度に加熱することができる。または、加熱手段2903により、ガス供給源2801から供給されるガスを加熱してもよい。マイクロ波処理装置2900により、基板2811に対して、加熱処理と、マイクロ波処理を同時に行うことができる。また、基板2811を加熱した後に、マイクロ波処理を行うことができる。また、基板2811に対してマイクロ波処理を行った後に、加熱処理を行うことができる。

[0377]

基板2811__1乃至基板2811__nは、全て半導体装置、または記憶装置を形成する処理基板でもよいし、一部の基板をダミー基板としてもよい。例えば、基板2811__1、および基板2811__nをダミー基板とし、基板2811__2乃至基板2811__n-1を処理基板としてもよい。また、基板2811__1、基板2811__2、基板2811__n-1、および基板2811__nをダミー基板とし、基板2811__3乃至基板2811__n-2を処理基板としてもよい。ダミー基板を用いることで、マイクロ波処理、または加熱処理の際、複数の処理基板が均一に処理され、処理基板間のばらつきを低減できるため好ましい。例えば、高周波発生器2803、および導波管2804に最も近い処理基板上にダミー基板を配置することで、該処理基板が直接マイクロ波に曝されることを抑制できるため、好ましい。

[0378]

以上の製造装置を用いることで、被処理物への不純物の混入を抑制しつつ、膜の改質などが可能と

なる。

[0379]

<半導体装置の変形例>

以下では、図2A乃至図2Dを用いて、本発明の一態様である半導体装置の一例について説明する。

[0380]

図2Aは半導体装置の上面図を示す。また、図2Bは、図2Aに示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、図2Cは、図2AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図2Dは、図2AにA5-A6の一点鎖線で示す部位に対応する断面図である。図2Aの上面図では、図の明瞭化のために一部の要素を省いている。

[0381]

なお、図2A乃至図2Dに示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0382]

図2A乃至図2Dに示す半導体装置は、図1A乃至図1Dに示した半導体装置の変形例である。図2A乃至図2Dに示す半導体装置は、図1A乃至図1Dに示した半導体装置とは、絶縁体283が、絶縁体212の上面の一部と接する構造となっているところが異なる。従って、トランジスタ200は、絶縁体283、および絶縁体212で封止された領域内に配置される。上記構成にすることで、上記封止された領域外に含まれる水素が、上記封止された領域内に混入することを抑制することができる。また、図2A乃至図2Dに示すトランジスタ200では、絶縁体212、および絶縁体283を、単層として設ける構成について示しているが、本発明はこれに限られるものではない。例えば、絶縁体212、および絶縁体283のそれぞれを2層以上の積層構造として設ける構成にしてもよい。

[0383]

<半導体装置の応用例>

以下では、図27Aおよび図27Bを用いて、先の<半導体装置の構成例>および先の<半導体装置の変形例>で示したものと異なる、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。なお、図27Aおよび図27Bに示す半導体装置において、<半導体装置の構成例>に示した半導体装置(図1A乃至図1D参照。)を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ200の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0384]

図27Aおよび図27Bに、トランジスタ200__1乃至トランジスタ200__nを、絶縁体283と絶縁体214で、包括して封止した構成について示す。なお、図27Aおよび図27Bにおいて、トランジスタ200__1乃至トランジスタ200__nは、チャネル長方向に並んでいるように見えるが、これにかぎられるものではない。トランジスタ200__1乃至トランジスタ200__nは、チャネル幅方向に並んでいてもよいし、マトリクス状に配置されていてもよい。また、設計に応じて、規則性を持たずに配置されていてもよい。

[0385]

図27Aに示すように、トランジスタ200__1乃至トランジスタ200__nの外側において、絶

縁体 283 と絶縁体 214 が接する部分（以下、封止部 265 と呼ぶ場合がある。）が形成されている。封止部 265 は、トランジスタ 200__1 乃至トランジスタ 200__n を囲むように形成されている。このような構造にすることで、トランジスタ 200__1 乃至トランジスタ 200__n を絶縁体 283 と絶縁体 214 で包み込むことができる。よって封止部 265 に囲まれた複数のトランジスタ（トランジスタ群ともいう。）が、基板上に複数設けられることになる。

[0386]

また、封止部 265 に重ねてダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）を設けてもよい。上記基板はダイシングラインにおいて分断されるので、封止部 265 に囲まれたトランジスタ群が 1 チップとして取り出されることになる。

[0387]

また、図 27A では、トランジスタ 200__1 乃至トランジスタ 200__n を一つの封止部 265 で囲む例について示したが、これに限られるものではない。図 27B に示すように、トランジスタ 200__1 乃至トランジスタ 200__n を複数の封止部で囲む構成にしてもよい。図 27B では、トランジスタ 200__1 乃至トランジスタ 200__n を封止部 265a で囲み、さらに外側の封止部 265b でも囲む構成にしている。

[0388]

このように、複数の封止部でトランジスタ 200__1 乃至トランジスタ 200__n を囲む構成にすることで、絶縁体 283 と絶縁体 214 が接する部分が増えるので、絶縁体 283 と絶縁体 214 の密着性をより向上させることができる。これにより、より確実にトランジスタ 200__1 乃至トランジスタ 200__n を封止することができる。

[0389]

この場合、封止部 265a または封止部 265b に重ねてダイシングラインを設けてもよいし、封止部 265a と封止部 265b の間にダイシングラインを設けてもよい。

[0390]

なお、図 27A、および図 27B に示すトランジスタでは、絶縁体 283 と絶縁体 214 が接する構成の一例を示したが、図 2 および＜半導体装置の変形例＞に示すように、絶縁体 283 と絶縁体 212 が接する構成にしてもよい。

[0391]

本発明の一態様により、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、低消費電力の半導体装置を提供することができる。

[0392]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせ用いることができる。

[0393]

（実施の形態 2）

本実施の形態では、半導体装置の一形態を、図 28 乃至図 33 を用いて説明する。

[0394]

[記憶装置1]

本発明の一態様に係る半導体装置（記憶装置）の一例を図28に示す。本発明の一態様の半導体装置は、トランジスタ200がトランジスタ300の上方に設けられ、容量素子100がトランジスタ300、およびトランジスタ200の上方に設けられている構成となっている。なお、トランジスタ200として、先の実施の形態で説明したトランジスタ200を用いることができる。

[0395]

トランジスタ200は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0396]

図28に示す半導体装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0397]

また、図28に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0398]

<トランジスタ300>

トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0399]

ここで、図28に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

[0400]

なお、図28に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0401]

<容量素子 1 0 0>

容量素子 1 0 0 は、トランジスタ 2 0 0 の上方に設けられる。容量素子 1 0 0 は、第 1 の電極として機能する導電体 1 1 0 と、第 2 の電極として機能する導電体 1 2 0、および誘電体として機能する絶縁体 1 3 0 とを有する。ここで、絶縁体 1 3 0 は、上記実施の形態に示す絶縁体 2 8 6 として用いることができる絶縁体を用いることが好ましい。

[0 4 0 2]

また、例えば、導電体 1 1 2 と、導電体 1 1 0 とは、同時に形成することができる。なお、導電体 1 1 2 は、容量素子 1 0 0、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。

[0 4 0 3]

図 2 8 では、導電体 1 1 2、および導電体 1 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0 4 0 4]

また、絶縁体 1 3 0 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0 4 0 5]

例えば、絶縁体 1 3 0 には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率 (h i g h - k) 材料との積層構造を用いることが好ましい。当該構成により、容量素子 1 0 0 は、高誘電率 (h i g h - k) の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 1 0 0 の静電破壊を抑制することができる。

[0 4 0 6]

なお、高誘電率 (h i g h - k) 材料 (高い比誘電率の材料) としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0 4 0 7]

一方、絶縁耐力が大きい材料 (低い比誘電率の材料) としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0 4 0 8]

<配線層>

各構造体の間には、層間膜、配線、およびプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0 4 0 9]

例えば、トランジスタ 3 0 0 上には、層間膜として、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 1 0 0、またはトランジスタ 2 0 0 と電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線として機能する。

[0 4 1 0]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0 4 1 1]

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 2 8 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。

[0 4 1 2]

同様に、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体 (導電体 2 0 5) 等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線としての機能を有する。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。

[0 4 1 3]

ここで、上記実施の形態に示す絶縁体 2 4 1 と同様に、プラグとして機能する導電体 2 1 8 の側面に接して絶縁体 2 1 7 が設けられる。絶縁体 2 1 7 は、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 に形成された開口の内壁に接して設けられている。つまり、絶縁体 2 1 7 は、導電体 2 1 8 と、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 と、の間に設けられている。なお、導電体 2 0 5 は導電体 2 1 8 と並行して形成することができるので、導電体 2 0 5 の側面に接して絶縁体 2 1 7 が形成される場合もある。

[0 4 1 4]

絶縁体 2 1 7 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体 2 1 7 は、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 2 2 に接して設けられるので、絶縁体 2 1 0 または絶縁体 2 1 6 などから水または水素などの不純物が、導電体 2 1 8 を通じて酸化物 2 3 0 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体 2 1 0 または絶縁体 2 1 6 に含まれる酸素が導電体 2 1 8 に吸収されるのを防ぐことができる。

[0 4 1 5]

絶縁体 2 1 7 は、絶縁体 2 4 1 と同様の方法で形成することができる。例えば、PEALD法を用いて、窒化シリコンを成膜し、異方性エッチングを用いて導電体 3 5 6 に達する開口を形成すればよい。

[0 4 1 6]

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、

窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0417]

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0418]

例えば、絶縁体150、絶縁体210、絶縁体352、および絶縁体354等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0419]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体214、絶縁体212および絶縁体350等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

[0420]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0421]

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0422]

例えば、導電体328、導電体330、導電体356、導電体218、および導電体112等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。また

は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0423]

<酸化物半導体が設けられた層の配線、またはプラグ>

なお、トランジスタ200に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体を設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

[0424]

例えば、図28では、過剰酸素を有する絶縁体280と、導電体240との間に、絶縁体241を設けるとよい。絶縁体241と、絶縁体222、絶縁体282、および絶縁体283とが接して設けられることで、トランジスタ200は、バリア性を有する絶縁体により、封止する構造とすることができる。

[0425]

つまり、絶縁体241を設けることで、絶縁体280が有する過剰酸素が、導電体240に吸収されることを抑制することができる。また、絶縁体241を有することで、不純物である水素が、導電体240を介して、トランジスタ200へ拡散することを抑制することができる。

[0426]

なお、絶縁体241としては、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、窒化シリコン、窒化酸化シリコン、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。特に、窒化シリコンは水素に対するブロッキング性が高いため好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物などを用いることができる。

[0427]

また、上記実施の形態で示したように、トランジスタ200は、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で封止される構成にしてもよい。このような構成とすることで、絶縁体274、絶縁体150などに含まれる水素が絶縁体280などに混入するのを低減することができる。

[0428]

ここで絶縁体283、および絶縁体282には導電体240が、絶縁体214、および絶縁体212には導電体218が貫通しているが、上記の通り、絶縁体241が導電体240に接して設けられ、絶縁体217が導電体218に接して設けられている。これにより、導電体240および導電体218を介して、絶縁体212、絶縁体214、絶縁体282、および絶縁体283の内側に混入する水素を低減することができる。このようにして、絶縁体212、絶縁体214、絶縁体282、絶縁体283、絶縁体241、および絶縁体217でトランジスタ200を封止し、絶縁体274等に含まれる水素などの不純物が外側から混入するのを低減することができる。

[0429]

<ダイシングライン>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼

ぶ場合がある) について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝(ダイシングライン)を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断(分割)する場合がある。

[0430]

ここで、例えば、図28に示すように、絶縁体283と、絶縁体214とが接する領域がダイシングラインと重なるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセルの外縁に設けられるダイシングラインとなる領域近傍において、絶縁体282、絶縁体280、絶縁体272、絶縁体222、および絶縁体216に開口を設ける。

[0431]

つまり、絶縁体282、絶縁体280、絶縁体272、絶縁体222、および絶縁体216に設けた開口において、絶縁体214と、絶縁体283とが接する。

[0432]

また、例えば、絶縁体282、絶縁体280、絶縁体272、絶縁体222、絶縁体216、および絶縁体214に開口を設けてもよい。このような構成とすることで、絶縁体282、絶縁体280、絶縁体272、絶縁体222、絶縁体216、および絶縁体214に設けた開口において、絶縁体212と、絶縁体283とが接する。このとき、絶縁体212と、絶縁体283とを同材料及び同方法を用いて形成してもよい。絶縁体212、および絶縁体283を、同材料、および同方法で設けることで、密着性を高めることができる。例えば、窒化シリコンを用いることが好ましい。

[0433]

当該構造により、絶縁体212、絶縁体214、絶縁体282、および絶縁体283で、トランジスタ200を包み込むことができる。絶縁体212、絶縁体214、絶縁体282、および絶縁体283の少なくとも一は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ200に拡散することを防ぐことができる。

[0434]

また、当該構造により、絶縁体280、および絶縁体224の過剰酸素が外部に拡散することを防ぐことができる。従って、絶縁体280、および絶縁体224の過剰酸素は、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ200におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0435]

なお、図28に示す記憶装置では、容量素子100の形状をプレーナ型としたが、本実施の形態に示す記憶装置はこれに限られるものではない。たとえば、図29に示すように、容量素子100の形状をシリンダ型にしてもよい。なお、図29に示す記憶装置は、絶縁体150より下の構成は、図28に示す半導体装置と同様である。

[0436]

図29に示す容量素子100は、絶縁体130上の絶縁体150と、絶縁体150上の絶縁体14

2と、絶縁体150および絶縁体142に形成された開口の中に配置された導電体115と、導電体115および絶縁体142上の絶縁体145と、絶縁体145上の導電体125と、導電体125および絶縁体145上の絶縁体152と、を有する。ここで、絶縁体150および絶縁体142に形成された開口の中に導電体115、絶縁体145、および導電体125の少なくとも一部が配置される。

[0437]

導電体115は容量素子100の下部電極として機能し、導電体125は容量素子100の上部電極として機能し、絶縁体145は、容量素子100の誘電体として機能する。容量素子100は、絶縁体150および絶縁体142の開口において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。よって、当該開口の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

[0438]

絶縁体152は、絶縁体280に用いることができる絶縁体を用いればよい。また、絶縁体142は、絶縁体150の開口を形成するときのエッチングストッパとして機能することが好ましく、絶縁体214に用いることができる絶縁体を用いればよい。

[0439]

絶縁体150および絶縁体142に形成された開口を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、楕円を含む円形状としてもよい。ここで、上面視において、当該開口とトランジスタ200の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ200を有する半導体装置の占有面積を低減することができる。

[0440]

導電体115は、絶縁体142、および絶縁体150に形成された開口に接して配置される。導電体115の上面は、絶縁体142の上面と略一致することが好ましい。また、導電体115の下面は、絶縁体130の開口を介して導電体110に接する。導電体115は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体205に用いることができる導電体を用いればよい。

[0441]

絶縁体145は、導電体115および絶縁体142を覆うように配置される。例えば、ALD法またはCVD法などを用いて絶縁体145を成膜することが好ましい。絶縁体145は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。例えば、絶縁体145として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0442]

また、絶縁体145には、酸化窒化シリコンなどの絶縁耐力が大きい材料、または高誘電率(high-k)材料を用いることが好ましい。または、絶縁耐力が大きい材料と高誘電率(high-k)材料の積層構造を用いてもよい。

[0443]

なお、高誘電率（*high-k*）材料（高い比誘電率の材料）としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。このような *high-k* 材料を用いることで、絶縁体 145 を厚くしても容量素子 100 の静電容量を十分確保することができる。絶縁体 145 を厚くすることにより、導電体 115 と導電体 125 の間に生じるリーク電流を抑制することができる。

[0444]

一方、絶縁耐力が大きい材料としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。例えば、PEALD法を用いて成膜した窒化シリコン（ SiN_x ）、PEALD法を用いて成膜した酸化シリコン（ SiO_x ）、PEALD法を用いて成膜した窒化シリコン（ SiN_x ）の順番で積層された絶縁膜を用いることができる。または、酸化ジルコニウム、ALD法を用いて成膜した酸化シリコン、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。このような、絶縁耐力が大きい絶縁体を用いることで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0445]

導電体 125 は、絶縁体 142 および絶縁体 150 に形成された開口を埋めるように配置される。また、導電体 125 は、導電体 140、および導電体 153 を介して配線 1005 と電氣的に接続している。導電体 125 は、ALD法またはCVD法などを用いて成膜することが好ましく、例えば、導電体 205 に用いることができる導電体を用いればよい。

[0446]

また、導電体 153 は、絶縁体 154 上に設けられており、絶縁体 156 に覆われている。導電体 153 は、導電体 112 に用いることができる導電体を用いればよく、絶縁体 156 は、絶縁体 152 に用いることができる絶縁体を用いればよい。ここで、導電体 153 は導電体 140 の上面に接しており、容量素子 100、トランジスタ 200、またはトランジスタ 300 の端子として機能する。

[0447]

[記憶装置 2]

本発明の一態様に係る半導体装置（記憶装置）の一例を図 30A および図 30B に示す。

[0448]

<メモリデバイスの構成例 1>

図 30A は、メモリデバイス 290 を有する半導体装置の断面図である。図 30A に示すメモリデバイス 290 は、図 1A 乃至図 1D に示すトランジスタ 200 に加えて、容量デバイス 292 を有する。図 30A は、トランジスタ 200 のチャネル長方向の断面図に相当する。

[0449]

容量デバイス 292 は、導電体 242b と、導電体 242b 上に設けられた絶縁体 271b と、絶縁体 271b の上面、絶縁体 271b の側面、導電体 242b の側面に接して設けられた絶縁体 272 と、絶縁体 272 上の導電体 294 と、を有する。すなわち、容量デバイス 292 は、MIM（Metal-Insulator-Metal）容量を構成している。なお、容量デバイス 292 が有

する一対の電極の一方、すなわち導電体 2 4 2 b は、トランジスタのソース電極を兼ねることができる。また、容量デバイス 2 9 2 が有する誘電体層は、トランジスタに設けられる保護層、すなわち絶縁体 2 7 1、および絶縁体 2 7 2 を兼ねることができる。したがって、容量デバイス 2 9 2 の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、容量デバイス 2 9 2 が有する一対の電極の一方、すなわち導電体 2 4 2 b は、トランジスタのソース電極と兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

[0 4 5 0]

なお、導電体 2 9 4 としては、例えば、導電体 2 4 2 に用いることのできる材料を用いればよい。

[0 4 5 1]

<メモリデバイスの構成例 2>

図 3 0 B は、図 3 0 A に示す構造とは異なる、メモリデバイス 2 9 0 を有する半導体装置の断面図である。図 3 0 B に示すメモリデバイス 2 9 0 は、図 1 A 乃至図 1 D に示すトランジスタ 2 0 0 に加えて、容量デバイス 2 9 2 を有する。ここで、図 3 0 B に示す容量デバイス 2 9 2 の一部は、図 3 0 A に示す容量デバイス 2 9 2 と異なり、絶縁体 2 8 0、絶縁体 2 7 2、および絶縁体 2 7 1 b に形成された開口の中に設けられる。なお、図 3 0 B は、トランジスタ 2 0 0 のチャネル長方向の断面図に相当する。

[0 4 5 2]

容量デバイス 2 9 2 は、導電体 2 4 2 b と、導電体 2 4 2 b 上に設けられた絶縁体 2 9 3 と、絶縁体 2 9 3 上に設けられた導電体 2 9 4 と、を有する。ここで、絶縁体 2 9 3 および導電体 2 9 4 は、絶縁体 2 8 0、絶縁体 2 7 2、および絶縁体 2 7 1 b に形成された開口の中に配置されている。絶縁体 2 9 3 は、当該開口の底面および側壁に接して設けられている。つまり、絶縁体 2 9 3 は、導電体 2 4 2 b の上面、絶縁体 2 7 1 b の側面、絶縁体 2 7 2 の側面、および絶縁体 2 8 0 の側面に接する。また、絶縁体 2 9 3 は、当該開口の形状に沿って、凹部を形成するように設けられている。導電体 2 9 4 は、当該凹部を埋め込むように、絶縁体 2 9 3 の上面および側面に接して配置される。なお、絶縁体 2 9 3 および導電体 2 9 4 の上面の高さは、絶縁体 2 8 0、絶縁体 2 5 0、および導電体 2 6 0 の上面の高さと概略一致する場合がある。

[0 4 5 3]

ここで、導電体 2 4 2 b は容量デバイス 2 9 2 の下部電極として機能し、導電体 2 9 4 は容量デバイス 2 9 2 の上部電極として機能し、絶縁体 2 9 3 は容量デバイス 2 9 2 の誘電体として機能する。このように、容量デバイス 2 9 2 は、MIM 容量を構成している。なお、容量デバイス 2 9 2 が有する一対の電極の一方、すなわち導電体 2 4 2 b は、トランジスタのソース電極を兼ねることができる。したがって、容量デバイス 2 9 2 の作製工程において、トランジスタの作製工程の一部を兼用することができるため、生産性の高い半導体装置とすることができる。また、トランジスタ 2 0 0 の構成とは別に絶縁体 2 9 3 を設けることができるので、容量デバイス 2 9 2 に求められる性能に合わせて、絶縁体 2 9 3 の構造および材料を適宜選択することができる。また、容量デバイス 2 9 2 が有する一対の電極の一方、すなわち導電体 2 4 2 b は、トランジスタのソース電極と兼ねているため、トランジスタと、容量デバイスとが配置される面積を低減させることが可能となる。

[0 4 5 4]

絶縁体 2 9 3 は、高誘電率 (high-k) 材料を用いることが好ましい。高誘電率 (high-k)

k) 材料（高い比誘電率の材料）としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。また、絶縁体 293 として、これらの高誘電率材料の膜を積層したものを用いてもよい。例えば、絶縁体 293 として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。

[0455]

また、導電体 294 としては、例えば、導電体 260 に用いることのできる材料を用いればよい。また、導電体 294 は、導電体 260 と同様に積層構造にしてもよい。

[0456]

なお、絶縁体 293、および導電体 294 の形成は、絶縁体 282 の成膜前、つまり、図 19 に示す工程の前に行えばよい。絶縁体 293 および導電体 294 の形成は、絶縁体 250 および導電体 260 の形成と同様の方法で行うことができる。つまり、絶縁体 280、絶縁体 272、および絶縁体 271b に開口を形成し、当該開口の中に埋め込むように絶縁体 293 および導電体 294 となる積層膜を成膜し、当該積層膜の一部を、CMP 処理を用いて除去して、絶縁体 293 および導電体 294 を形成すればよい。

[0457]

<メモリデバイスの変形例>

以下では、図 31A、図 31B、図 32、および図 33 を用いて、先の<メモリデバイスの構成例 1>で示したものとは異なる、本発明の一態様に係るトランジスタ 200、および容量デバイス 292 を有する半導体装置の一例について説明する。なお図 31A、図 31B、図 32、および図 33 に示す半導体装置において、先の実施の形態および<メモリデバイスの構成例 1>に示した半導体装置（図 30A 参照。）を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目において、トランジスタ 200、および容量デバイス 292 の構成材料については、先の実施の形態および<メモリデバイスの構成例 1>で詳細に説明した材料を用いることができる。また、図 31A、図 31B、図 32、および図 33 などでは、メモリデバイスとして、図 30A に示すメモリデバイスを用いているが、これに限られるものではない。例えば、図 30B に示すメモリデバイスなどを用いてもよい。

[0458]

<<メモリデバイスの変形例 1>>

以下では、本発明の一態様に係るトランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 の一例について図 31A を用いて説明する。

[0459]

図 31A は、トランジスタ 200a、トランジスタ 200b、容量デバイス 292a、および容量デバイス 292b を有する半導体装置 600 のチャンネル長方向の断面図である。ここで、容量デバイス 292a は、導電体 242a と、導電体 242a 上の絶縁体 271a と、絶縁体 271a 上面、絶縁体 271a の側面、および導電体 242a の側面と接する絶縁体 272 と、絶縁体 272 上の導電

体 2 9 4 a と、を有する。また、容量デバイス 2 9 2 b は、導電体 2 4 2 b と、導電体 2 4 2 b 上の絶縁体 2 7 1 b と、絶縁体 2 7 1 b の上面、絶縁体 2 7 1 b の側面、および導電体 2 4 2 b の側面に接する絶縁体 2 7 2 と、絶縁体 2 7 2 上の導電体 2 9 4 b と、を有する。

[0 4 6 0]

半導体装置 6 0 0 は、図 3 1 A に示すように、A 3 - A 4 の一点鎖線を対称軸とした線対称の構成となっている。トランジスタ 2 0 0 a のソース電極またはドレイン電極の一方と、トランジスタ 2 0 0 b のソース電極またはドレイン電極の一方は、導電体 2 4 2 c が兼ねる構成となっている。なお、導電体 2 4 2 c 上には絶縁体 2 7 1 c が設けられる。また、配線として機能する導電体 2 4 6 と、トランジスタ 2 0 0 a、およびトランジスタ 2 0 0 b との接続もプラグとして機能する導電体 2 4 0 が、兼ねる構成となっている。このように、2 つのトランジスタと、2 つの容量デバイスと、配線とプラグとの接続を上述の構成とすることで、微細化または高集積化が可能な半導体装置を提供することができる。

[0 4 6 1]

トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b のそれぞれの構成および効果については、図 3 0 A に示す半導体装置の構成例を参酌することができる。

[0 4 6 2]

<<メモリデバイスの変形例 2>>

上記においては、半導体装置の構成例としてトランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b を挙げたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 3 1 B に示すように半導体装置 6 0 0 と、半導体装置 6 0 0 と同様の構成を有する半導体装置が容量部を介して接続されている構成としてもよい。本明細書では、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b を有する半導体装置をセルと称する。トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b の構成については、上述のトランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b に係る記載を参酌することができる。

[0 4 6 3]

図 3 1 B は、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a、および容量デバイス 2 9 2 b を有する半導体装置 6 0 0 と、半導体装置 6 0 0 と同様の構成を有するセルが容量部を介して接続されている断面図である。

[0 4 6 4]

図 3 1 B に示すように、半導体装置 6 0 0 が有する容量デバイス 2 9 2 b の一方の電極として機能する導電体 2 9 4 b は、半導体装置 6 0 0 と同様の構成を有する半導体装置 6 0 1 が有する容量デバイスの一方の電極を兼ねる構成となっている。また、図示しないが、半導体装置 6 0 0 が有する容量デバイス 2 9 2 a の一方の電極として機能する導電体 2 9 4 a が、半導体装置 6 0 0 の左側、つまり図 3 1 B において、A 1 方向に隣接する半導体装置の容量デバイスの一方の電極を兼ねている。また、半導体装置 6 0 1 の右側、つまり、図 3 1 B において、A 2 方向のセルについても同様の構成となっている。つまりセルアレイ（メモリデバイス層ともいう。）を構成することができる。このようなセルアレイの構成とすることで、隣り合うセルの間隔を小さくすることができるので、セルアレイ

の投影面積を小さくすることができ、高集積化が可能となる。また、図 3 1 B に示すセルアレイの構成を、マトリクス状に配置することで、マトリクス状のセルアレイを構成することができる。

[0 4 6 5]

上述のように、本実施の形態に示す構成で、トランジスタ 2 0 0 a、トランジスタ 2 0 0 b、容量デバイス 2 9 2 a および容量デバイス 2 9 2 b を形成することにより、セルの面積を低減し、セルアレイを有する半導体装置の微細化または高集積化を図ることができる。

[0 4 6 6]

また、上記セルアレイを平面のみでなく積層する構成としてもよい。図 3 2 にセルアレイ 6 1 0 を n 層積層する構成の断面図を示す。図 3 2 に示すように、複数のセルアレイ（セルアレイ 6 1 0 __1 乃至セルアレイ 6 1 0 __n）を積層することにより、セルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、3 D セルアレイを構成することができる。

[0 4 6 7]

<メモリデバイスの変形例 3>

図 3 3 は、メモリユニット 4 7 0 がトランジスタ 2 0 0 T を有するトランジスタ層 4 1 3 と、4 層のメモリデバイス層 4 1 5（メモリデバイス層 4 1 5 __1 乃至メモリデバイス層 4 1 5 __4）を有する例を示す。

[0 4 6 8]

メモリデバイス層 4 1 5 __1 乃至メモリデバイス層 4 1 5 __4 は、それぞれ複数のメモリデバイス 4 2 0 を有する。

[0 4 6 9]

メモリデバイス 4 2 0 は、導電体 4 2 4、および導電体 2 0 5 を介して異なるメモリデバイス層 4 1 5 が有するメモリデバイス 4 2 0、およびトランジスタ層 4 1 3 が有するトランジスタ 2 0 0 T と電氣的に接続する。

[0 4 7 0]

メモリユニット 4 7 0 は、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 8 2、および絶縁体 2 8 3 により封止される（便宜的に、以下では封止構造と呼ぶ）。絶縁体 2 8 3 の周囲には絶縁体 2 7 4 が設けられる。また、絶縁体 2 7 4、絶縁体 2 8 3、および絶縁体 2 1 2 には導電体 4 4 0 が設けられ、素子層 4 1 1 と電氣的に接続する。

[0 4 7 1]

また、封止構造の内部には、絶縁体 2 8 0 が設けられる。絶縁体 2 8 0 は、加熱により酸素を放出する機能を有する。または、絶縁体 2 8 0 は、過剰酸素領域を有する。

[0 4 7 2]

なお、絶縁体 2 1 2、および絶縁体 2 8 3 は、水素に対するブロッキング性が高い機能を有する材料であると好適である。また、絶縁体 2 1 4、および絶縁体 2 8 2 は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

[0 4 7 3]

例えば、上記水素に対するブロッキング性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

[0474]

なお、絶縁体212、絶縁体214、絶縁体282、および絶縁体283に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が多い場合がある。

[0475]

ここで、絶縁体280中の過剰酸素は、絶縁体280と接する酸化物半導体中の水素の拡散に対し、下記のようなモデルが考えられる。

[0476]

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へと拡散する。当該水素の拡散により、絶縁体280中の過剰酸素が酸化物半導体中の水素と反応しOH結合となり、絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、水素原子は絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡しの役割を担う蓋然性が高い。

[0477]

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

[0478]

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。そのあとに、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350℃以上、好ましくは400℃以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

[0479]

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、および絶縁体282を介して、外方に拡散することができる。つまり、酸化物半導体、及び当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

[0480]

上記加熱処理のあと、絶縁体283を形成する。絶縁体283は、水素に対するブロッキング性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

[0481]

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415__1乃至メモリデバイス層415__3の形成後に、それぞれ上記加熱処理を行っても良い。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層413の上方または横方向に水素が拡散される。同様に、メモリデバイス層415__1乃至メモリデバイス層415__3形成後に加熱

処理をする場合においては、水素は上方または横方向に拡散される。

[0482]

なお、上記の作製プロセスとすることで、絶縁体214と、絶縁体283と、が接着することで、上述した封止構造が形成される。

[0483]

以上のように、上記の構造、及び上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

[0484]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0485]

(実施の形態3)

本実施の形態では、図34A、図34Bおよび図35A乃至図35Hを用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSトランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OSメモリ装置と呼ぶ場合がある。）について説明する。OSメモリ装置は、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有する記憶装置である。OSトランジスタのオフ電流は極めて小さいので、OSメモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0486]

<記憶装置の構成例>

図34AにOSメモリ装置の構成の一例を示す。記憶装置1400は、周辺回路1411、およびメモリセルアレイ1470を有する。周辺回路1411は、行回路1420、列回路1430、出力回路1440、およびコントロールロジック回路1460を有する。

[0487]

列回路1430は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ1470が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路1440を介して、データ信号RDATAとして記憶装置1400の外部に出力される。また、行回路1420は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

[0488]

記憶装置1400には、外部から電源電圧として低電源電圧(VSS)、周辺回路1411用の高電源電圧(VDD)、メモリセルアレイ1470用の高電源電圧(VIL)が供給される。また、記憶装置1400には、制御信号(CE、WE、RE)、アドレス信号ADDR、データ信号WDATAが外部から入力される。アドレス信号ADDRは、行デコーダおよび列デコーダに入力され、データ信号WDATAは書き込み回路に入力される。

[0489]

コントロールロジック回路1460は、外部から入力される制御信号（CE、WE、RE）を処理して、行デコーダ、列デコーダの制御信号を生成する。制御信号CEは、チップイネーブル信号であり、制御信号WEは、書き込みイネーブル信号であり、制御信号REは、読み出しイネーブル信号である。コントロールロジック回路1460が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

[0490]

メモリセルアレイ1470は、行列状に配置された、複数のメモリセルMCと、複数の配線を有する。なお、メモリセルアレイ1470と行回路1420とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

[0491]

なお、図34Aにおいて、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図34Bに示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

[0492]

図35A乃至図35Hに上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

[0493]

[DOSRAM]

図35A乃至図35Cに、DRAMのメモリセルの回路構成例を示す。本明細書等において、1O5トランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAM (Dynamic Oxide Semiconductor Random Access Memory) (登録商標) と呼ぶ場合がある。図35Aに示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート（トップゲートと呼ぶ場合がある。）、及びバックゲートを有する。

[0494]

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線LLと接続されている。

[0495]

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線LLは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線LLは、接地電位でも、低レベル電位としてもよい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

[0496]

ここで、図35Aに示すメモリセル1471は、図30Aおよび図30Bに示す記憶装置に対応し

ている。つまり、トランジスタM1はトランジスタ200に、容量素子CAは容量デバイス292に対応している。

[0497]

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図35Bに示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図35Cに示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

[0498]

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSトランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

[0499]

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

[0500]

[NOSRAM]

図35D乃至図35Gに、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図35Dに示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM (Nonvolatile Oxide Semiconductor RAM)（登録商標）と呼ぶ場合がある。

[0501]

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

[0502]

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、およびデータの読み出し時においては、配

線C A Lには、高レベル電位を印加するのが好ましい。また、データ保持中においては、配線C A Lには、低レベル電位を印加するのが好ましい。配線B G Lは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線B G Lに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

[0503]

ここで、図35Dに示すメモリセル1474は、図28および図29に示す記憶装置に対応している。つまり、トランジスタM2はトランジスタ200に、容量素子CBは容量素子100に、トランジスタM3はトランジスタ300に、配線WBLは配線1003に、配線WOLは配線1004に、配線BGLは配線1006に、配線CALは配線1005に、配線RBLは配線1002に、配線SLは配線1001に対応している。

[0504]

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図35Eに示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図35Fに示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図35Gに示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

[0505]

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSトランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

[0506]

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSトランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタとして機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

[0507]

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0508]

また、図35Hに3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図35Hに示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

[0509]

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

[0510]

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

[0511]

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

[0512]

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

本発明の一態様の記憶装置は、動作速度が速く、長期間のデータ保持が可能である。

[0513]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせ用いることができる。

[0514]

(実施の形態4)

本実施の形態では、図36Aおよび図36Bを用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

[0515]

図36Aに示すように、チップ1200は、CPU1211、GPU1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

[0516]

チップ1200には、バンプ(図示しない)が設けられ、図36Bに示すように、プリント基板(P

rinted Circuit Board: PCB) 1201の第1の面と接続する。また、PCB 1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

[0517]

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

[0518]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

[0519]

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0520]

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0521]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0522]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

[0523]

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0524]

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0525]

GPU1212を有するチップ1200が設けられたPCB1201、DRAM1221、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0526]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0527]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0528]

（実施の形態5）

本実施の形態は、上記実施の形態に示す記憶装置などが組み込まれた電子部品および電子機器の一例を示す。

[0529]

<電子部品>

まず、記憶装置720が組み込まれた電子部品の例を、図37Aおよび図37Bを用いて説明を行う。

[0530]

図37Aに電子部品700および電子部品700が実装された基板（実装基板704）の斜視図を示す。図37Aに示す電子部品700は、モールド711内に記憶装置720を有している。図37Aは、電子部品700の内部を示すために、一部を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は記憶装置720とワイヤ714によって電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0531]

記憶装置720は、駆動回路層721と、記憶回路層722と、を有する。

[0532]

図37Bに電子部品730の斜視図を示す。電子部品730は、SiP（System in Package）またはMCM（Multi Chip Module）の一例である。電子部品73

0は、パッケージ基板732（プリント基板）上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、および複数の記憶装置720が設けられている。

[0533]

電子部品730では、記憶装置720を広帯域メモリ（HBM: High Bandwidth Memory）として用いる例を示している。また、半導体装置735は、CPU、GPU、FPGAなどの集積回路（半導体装置）を用いることができる。

[0534]

パッケージ基板732は、セラミック基板、プラスチック基板、ガラスエポキシ基板などを用いることができる。インターポーザ731は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。

[0535]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV（Through Silicon Via）を用いることも出来る。

[0536]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0537]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0538]

また、シリコンインターポーザを用いたSiPやMCMなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ（2.5次元実装）では、シリコンインターポーザを用いることが好ましい。

[0539]

また、電子部品730と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置720と半導体装置735の高さを揃えることが好ましい。

[0540]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けて

もよい。図37Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0541]

電子部品730は、BGAおよびPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、またはQFN (Quad Flat Non-leaded package) などの実装方法を用いることができる。

[0542]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0543]

(実施の形態6)

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図38A乃至図38Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

[0544]

図38AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

[0545]

図38BはSDカードの外観の模式図であり、図38Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ111

4などに先の実施の形態に示す半導体装置を組み込むことができる。

[0546]

図38DはSSDの外観の模式図であり、図38Eは、SSDの内部構造の模式図である。SSD 1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばDOSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD 1150の容量を増やすことができる。メモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

[0547]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[0548]

(実施の形態7)

本発明の一態様に係る半導体装置は、CPUやGPUなどのプロセッサ、またはチップに用いることができる。図39A乃至図39Hに、本発明の一態様に係るCPUやGPUなどのプロセッサ、またはチップを備えた電子機器の具体例を示す。

[0549]

<電子機器・システム>

本発明の一態様に係るGPUまたはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ(Digital Signage: 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係るGPUまたはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

[0550]

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

[0551]

本発明の一態様の電子機器は、センサ(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にoinまたは赤外線を測定する機能を含むもの)を有していてもよい。

[0552]

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア(プログラム)を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図39A乃至図39Hに、電子機器の例を示す。

[0553]

[情報端末]

図39Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

[0554]

情報端末5100は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

[0555]

図39Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

[0556]

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

[0557]

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図39A、図39Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

[0558]

[ゲーム機]

図39Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

[0559]

また、図39Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

[0560]

携帯ゲーム機 5 3 0 0、据え置き型ゲーム機 5 4 0 0などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0 5 6 1]

更に、携帯ゲーム機 5 3 0 0に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機 5 3 0 0を実現することができる。

[0 5 6 2]

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機 5 3 0 0に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

[0 5 6 3]

また、携帯ゲーム機 5 3 0 0で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

[0 5 6 4]

図 3 9 C、図 3 9 Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設(ゲームセンター、遊園地など)に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

[0 5 6 5]

[大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

[0 5 6 6]

図 3 9 Eは、大型コンピュータの一例である、スーパーコンピュータ 5 5 0 0を示す図である。図 3 9 Fは、スーパーコンピュータ 5 5 0 0が有するラックマウント型の計算機 5 5 0 2を示す図である。

[0 5 6 7]

スーパーコンピュータ 5 5 0 0は、ラック 5 5 0 1と、複数のラックマウント型の計算機 5 5 0 2と、を有する。なお、複数の計算機 5 5 0 2は、ラック 5 5 0 1に格納されている。また、計算機 5 5 0 2には、複数の基板 5 5 0 4が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

[0 5 6 8]

スーパーコンピュータ 5 5 0 0は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ 5 5 0 0に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路か

らの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

[0569]

図39E、図39Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

[0570]

[移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

[0571]

図39Gは、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図39Gでは、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

[0572]

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

[0573]

表示パネル5704には、自動車に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5704は、照明装置として用いることもできる。

[0574]

本発明の一態様のGPUまたはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5701乃至表示パネル5704には、道路案内、危険予測などの情報を表示する構成としてもよい。

[0575]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

[0576]

[電化製品]

図39Hは、電化製品の一例である電気冷凍冷蔵庫5800を示している。電気冷凍冷蔵庫580

0は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0577]

電気冷凍冷蔵庫5800に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫5800を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5800に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

[0578]

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

[0579]

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

[0580]

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、他の実施の形態に示す構成、方法、または実施例に示す構成、方法などと適宜組み合わせて用いることができる。

[実施例1]

[0581]

本実施例では、シリコンを含み、炭化水素を含まないガス（プリカーサ）として SiH_4 を用い、リアクタントとして N_2O を用いて、PEALD法によって酸化シリコンを成膜し、ALD Windowの評価を行った。

[0582]

以下では、図40を用いて、ALD Windowについて説明する。図40は、ALD Windowを説明する図であり、縦軸は、1サイクル行った際に成膜される膜厚であるGPC（Growth Per Cycle）、横軸は基板温度を示す。また、図40中の直線は、プリカーサの導入時間やパージ時間を変化させずに成膜温度だけを変化させた時のGPCの挙動の一例を示す。図40に示すようにGPCが、低温側や高温側で上昇や下降挙動する。詳しくは、図40中にAで示す直線は、プリカーサの基板への吸着が未飽和であり、基板温度の上昇に伴って、GPCが上昇する領域である。また、Cで示す直線は、プリカーサの基板への吸着が基板温度の上昇とともに脱離し、GPCが下降する領域である。また、Dで示す直線は、プリカーサの物理吸着の影響によるものでプリカーサの材料に依存する。また、Eで示す直線は、プリカーサの基板表面における分解反応によるものでプリカーサの材料に依存する。このように、GPCの上昇や下降の挙動は、プリカーサの表面反応やプリカーサの吸着に依存するものであり、Bで示す直線のように両者の影響が少なく、GPCが一定となる領域のことをALD Windowと呼び、理想的なALD成膜が行われている基板温度の領域となる。

[0583]

次に、ALD Windowの評価に用いた試料について説明する。試料は、シリコンウエハ上に、プリカーサとして SiH_4 を用い、リアクタントとして N_2O を用いて、PEALD法によって酸化シリコンを成膜した。基板温度は、150℃、200℃、250℃、300℃、325℃、350℃、

375℃、および400℃それぞれについて成膜した。また、全ての基板温度について、図5に示すステップ、および図6Bに示すシーケンスを用いて成膜した。

[0584]

図41に各基板温度におけるGPCをプロットした図を示す。縦軸はGPC[nm/cycle]、横軸は基板温度[℃]を示す。基板温度を150℃より高くすることでGPCが上昇し、基板温度300℃から400℃の間では、GPCが概ね一定となり飽和する傾向を確認した。この結果より、基板温度300℃から400℃がALD Windowであると考えられる。

[0585]

以上、本実施例に示す構成は、他の実施例または実施の形態と適宜組み合わせて用いることができる。

[実施例2]

[0586]

次に、実施例1で求めたALD Windowの温度範囲内である基板温度350℃にてシリコン酸化膜を成膜してその被覆性を評価した。被覆性の評価は、走査型透過電子顕微鏡(STEM: Scanning Transmission Electron Microscope)を用いた。

[0587]

以下に、被覆性の評価に用いた試料について説明する。試料は、図1に示すトランジスタ200を実施の形態1で説明した<半導体装置の作製方法>にて作製した。尚、酸化物230aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]の酸化物ターゲットを用いて成膜した。また、酸化物230bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1[原子数比]の酸化物ターゲットを用いて成膜した。

[0588]

また、酸化物230(酸化物230a、および酸化物230b)上に絶縁体250aをPEALD法にて成膜した。絶縁体250aとして、実施例1で求めたALD Windowの温度範囲内である基板温度350℃にてシリコン酸化膜を成膜した。シーケンスのサイクル数は50とした。以上により試料を作製した。

[0589]

被覆性は、図1Cに示した部位、すなわちトランジスタ200のチャネル形成領域におけるチャネル幅方向の断面をSTEMにて観察して評価した。

[0590]

図42AにSTEM断面写真を示す。断面写真に付与したF乃至Jの箇所(測定ポイント)それぞれの絶縁体250aの膜厚を測長により求めた。図42BにF乃至Jの測定ポイントの膜厚測定結果をまとめた。この結果、F乃至Jの箇所で絶縁体250aの膜厚は、2.0nm以上2.5nm以下であり、絶縁体250aの膜厚ばらつきが小さいことを確認した。特に、絶縁体250aが酸化物230の側面に接する位置であるF、およびJの箇所においてもそれぞれ膜厚2.4nmが得られており、被覆性に優れていることが確認できた。従って、ALD Windowの温度範囲内で成膜することにより、被覆性の優れたシリコン酸化膜を得ることができた。

[0591]

以上、本実施例に示す構成は、他の実施例または実施の形態と適宜組み合わせて用いることができ

る。

[符号の説明]

[0592]

100 : 容量素子、110 : 導電体、112 : 導電体、115 : 導電体、120 : 導電体、125 : 導電体、130 : 絶縁体、140 : 導電体、142 : 絶縁体、145 : 絶縁体、150 : 絶縁体、152 : 絶縁体、153 : 導電体、154 : 絶縁体、156 : 絶縁体、200 : トランジスタ、200__n : トランジスタ、200__1 : トランジスタ、200a : トランジスタ、200b : トランジスタ、200T : トランジスタ、205 : 導電体、205a : 導電体、205A : 導電膜、205b : 導電体、205B : 導電膜、205c : 導電体、205C : 導電膜、210 : 絶縁体、212 : 絶縁体、214 : 絶縁体、216 : 絶縁体、217 : 絶縁体、218 : 導電体、222 : 絶縁体、224 : 絶縁体、230 : 酸化物、230a : 酸化物、230A : 酸化膜、230b : 酸化物、230B : 酸化膜、230ba : 領域、230bb : 領域、230bc : 領域、240 : 導電体、240a : 導電体、240b : 導電体、241 : 絶縁体、241a : 絶縁体、241b : 絶縁体、242 : 導電体、242a : 導電体、242A : 導電膜、242b : 導電体、242B : 導電層、242c : 導電体、243 : 酸化物、243a : 酸化物、243A : 酸化膜、243b : 酸化物、243B : 酸化物層、246 : 導電体、246a : 導電体、246b : 導電体、250 : 絶縁体、250a : 絶縁体、250A : 絶縁膜、250b : 絶縁体、250B : 絶縁膜、260 : 導電体、260a : 導電体、260b : 導電体、265 : 封止部、265a : 封止部、265b : 封止部、271 : 絶縁体、271a : 絶縁体、271A : 絶縁膜、271b : 絶縁体、271B : 絶縁層、271c : 絶縁体、272 : 絶縁体、274 : 絶縁体、280 : 絶縁体、282 : 絶縁体、282a : 絶縁体、282b : 絶縁体、283 : 絶縁体、284 : 絶縁体、286 : 絶縁体、290 : メモリデバイス、292 : 容量デバイス、292a : 容量デバイス、292b : 容量デバイス、293 : 絶縁体、294 : 導電体、294a : 導電体、294b : 導電体、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、401 : ガス、402 : 酸化性ガス、403 : 高周波電力、411 : 素子層、413 : トランジスタ層、415 : メモリデバイス層、415__1 : メモリデバイス層、415__3 : メモリデバイス層、415__4 : メモリデバイス層、420 : メモリデバイス、424 : 導電体、440 : 導電体、470 : メモリユニット、600 : 半導体装置、601 : 半導体装置、610 : セルアレイ、610__n : セルアレイ、610__1 : セルアレイ、700 : 電子部品、702 : プリント基板、704 : 実装基板、711 : モールド、712 : ランド、713 : 電極パッド、714 : ワイヤ、720 : 記憶装置、721 : 駆動回路層、722 : 記憶回路層、730 : 電子部品、731 : インターポーザ、732 : パッケージ基板、733 : 電極、735 : 半導体装置、1001 : 配線、1002 : 配線、1003 : 配線、1004 : 配線、1005 : 配線、1006 : 配線

請求の範囲

[請求項 1]

第 1 の絶縁体を成膜し、
 前記第 1 の絶縁体上に、酸化膜を成膜し、
 第 1 の加熱処理を行い、
 前記酸化膜上に、第 1 の導電膜、および第 1 の絶縁膜を順に成膜し、
 前記酸化膜、前記第 1 の導電膜、および前記第 1 の絶縁膜を島状に加工して、酸化物、導電層、および絶縁層を形成し、
 前記第 1 の絶縁体、前記酸化物、前記導電層、および前記絶縁層の上に第 2 の絶縁体を成膜し、
 前記第 2 の絶縁体上に、第 3 の絶縁体を成膜し、
 前記導電層、前記絶縁層、前記第 2 の絶縁体、および前記第 3 の絶縁体に、前記酸化物に達する開口を形成し、
 前記開口の形成によって、前記導電層から第 1 の導電体、および第 2 の導電体が形成され、前記絶縁層から第 4 の絶縁体、および第 5 の絶縁体が形成され、
 第 2 の加熱処理を行い、
 前記第 3 の絶縁体上、および前記開口上に第 2 の絶縁膜を成膜し、
 前記第 2 の絶縁膜上に第 3 の絶縁膜を成膜し、
 マイクロ波処理を行い、
 前記第 3 の絶縁膜上に第 2 の導電膜を成膜し、
 前記第 2 の絶縁膜、前記第 3 の絶縁膜、および前記第 2 の導電膜に、前記第 3 の絶縁体の上面が露出するまで、CMP 処理を行うことで、第 6 の絶縁体、第 7 の絶縁体、および第 3 の導電体を形成し、
 前記第 2 の絶縁膜は、シリコンを含み、炭化水素を含まないガス、および酸化性ガスを用いて、P E A L D 法によって成膜される、半導体装置の作製方法。

[請求項 2]

請求項 1 において、
 前記 P E A L D 法による成膜は、
 前記シリコンを含み、炭化水素を含まないガス、および前記酸化性ガスを反応室へ導入する、第 1 のステップと、
 前記シリコンを含み、炭化水素を含まないガスの導入を止めて、前記反応室に残留する前記シリコンを含み、炭化水素を含まないガスをパージする、第 2 のステップと、
 高周波電力を印加して、前記酸化性ガスによるプラズマを発生させる、第 3 のステップと、
 前記高周波電力の印加を止める、第 4 のステップと、を有し、
 前記第 1 のステップ乃至前記第 4 のステップを 1 サイクルとし、
 1 サイクル乃至 5 0 0 サイクル行う、半導体装置の作製方法。

[請求項 3]

請求項 1 または請求項 2 において、
 前記シリコンを含み、炭化水素を含まないガスは、 SiH_4 、 Si_2H_6 、 SiF_4 、 SiCl_4 、 SiBr_4 、 SiH_2Cl_2 、および SiH_2I_2 の中から選ばれるいずれか一または複数を含み、
 前記酸化性ガスは、 O_2 、 O_3 、 N_2O 、 NO_2 、および H_2O の中から選ばれるいずれか一または複数を含む、半導体装置の作製方法。

[請求項 4]

請求項 1 または請求項 2 において、

前記シリコンを含み、炭化水素を含まないガスは、 SiH_4 であり、前記酸化性ガスは、 N_2O である、半導体装置の作製方法。

[請求項 5]

請求項 2 において、

前記第 1 のステップの前記反応室の圧力は、 400 Pa 以上 1000 Pa 以下である、半導体装置の作製方法。

[請求項 6]

請求項 1 において、

前記第 1 の加熱処理の温度は、前記第 2 の加熱処理の温度よりも高い、半導体装置の作製方法。

[請求項 7]

酸化物と、

前記酸化物上の第 1 の導電体、および第 2 の導電体と、

前記第 1 の導電体上の第 1 の絶縁体と、

前記第 2 の導電体上の第 2 の絶縁体と、

前記第 1 の絶縁体上、および前記第 2 の絶縁体上の第 3 の絶縁体と、

前記第 3 の絶縁体上の第 4 の絶縁体と、

前記酸化物上にあり、且つ前記第 1 の導電体と前記第 2 の導電体の間に配置される第 5 の絶縁体と、

前記第 5 の絶縁体上の第 6 の絶縁体と、

前記第 6 の絶縁体上の第 3 の導電体と、を有し、

前記第 3 の導電体は、前記酸化物と重なる領域を有し、

前記第 5 の絶縁体は、前記酸化物、前記第 1 の導電体、前記第 2 の導電体、および前記第 1 の絶縁体乃至前記第 4 の絶縁体とそれぞれ、接する領域を有し、

前記第 5 の絶縁体は、窒素、酸素、およびシリコンを含む、半導体装置。

[請求項 8]

請求項 7 において、

前記第 6 の絶縁体は、ハフニウムを含む、半導体装置。

[請求項 9]

請求項 7 または請求項 8 において、

前記第 6 の絶縁体の膜厚は、 0.5 nm 以上 5.0 nm 以下である、半導体装置。

[請求項 10]

請求項 7 において、

前記第 5 の絶縁体の膜厚は、 0.5 nm 以上 15.0 nm 以下である、半導体装置。

[請求項 11]

請求項 7 において、

前記酸化物は、 In 、 Ga 、または Zn の中から選ばれるいずれか一または複数を含む酸化物半導体である、半導体装置。

図1A

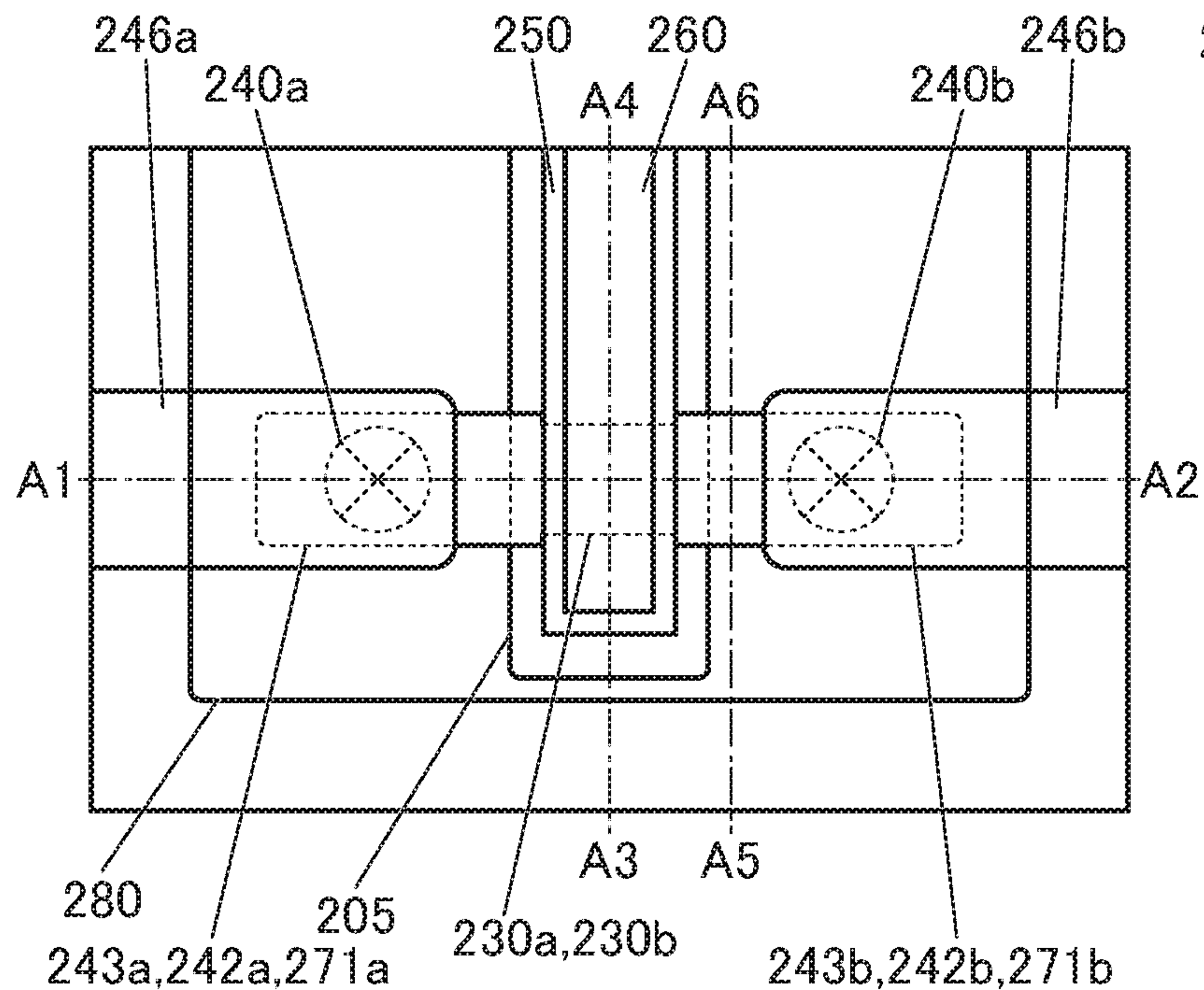


図1C

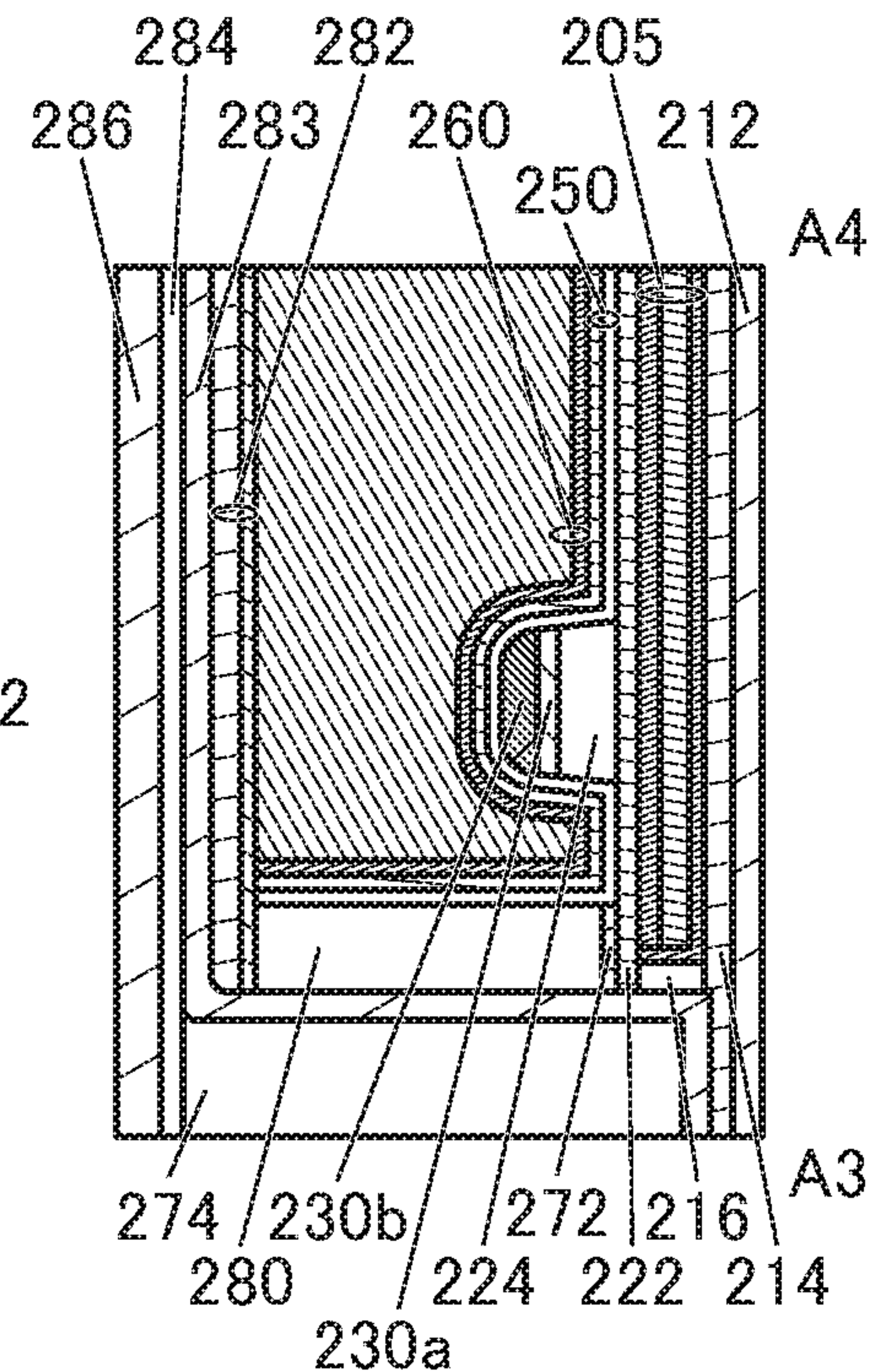


図1B

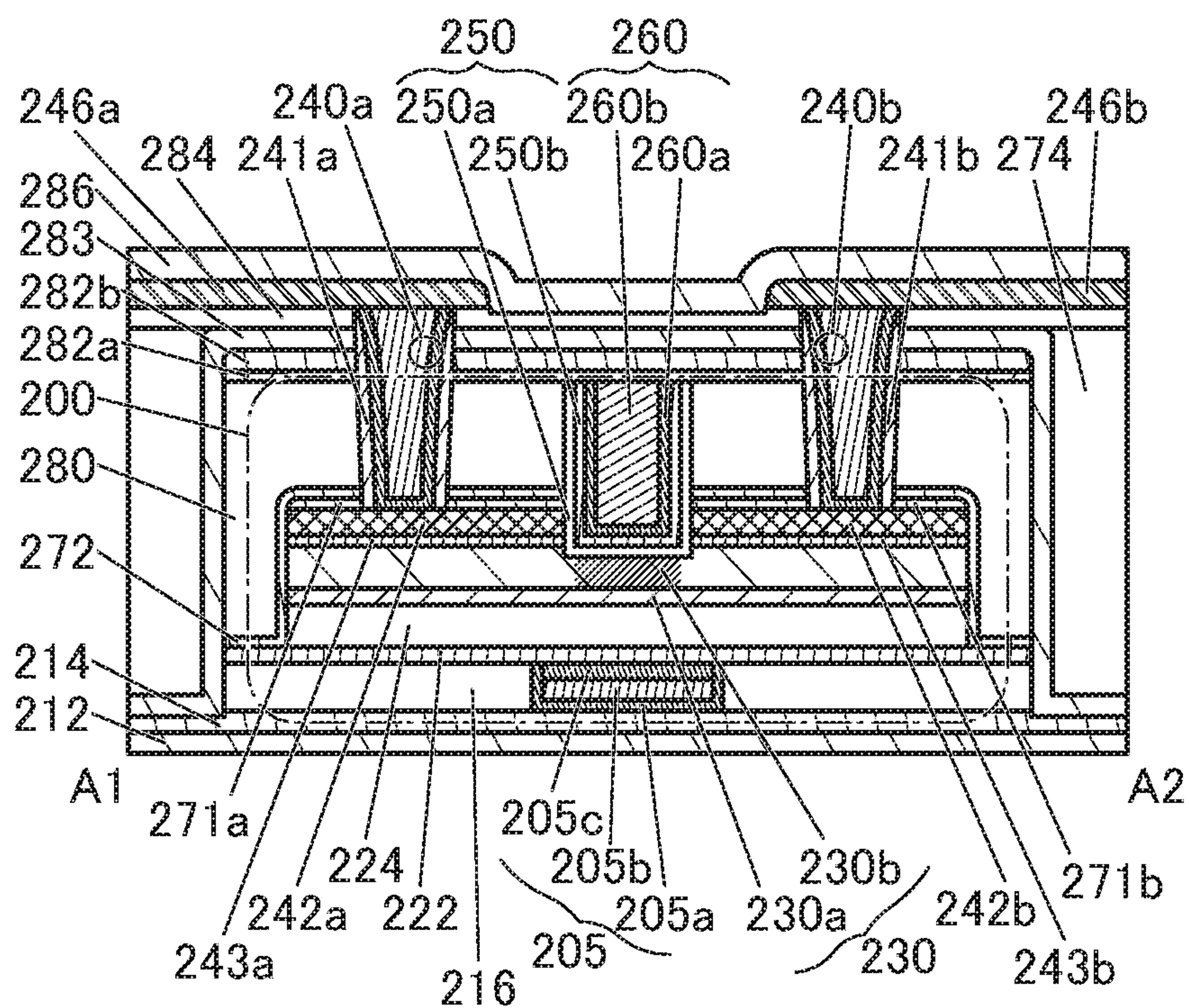


図1D

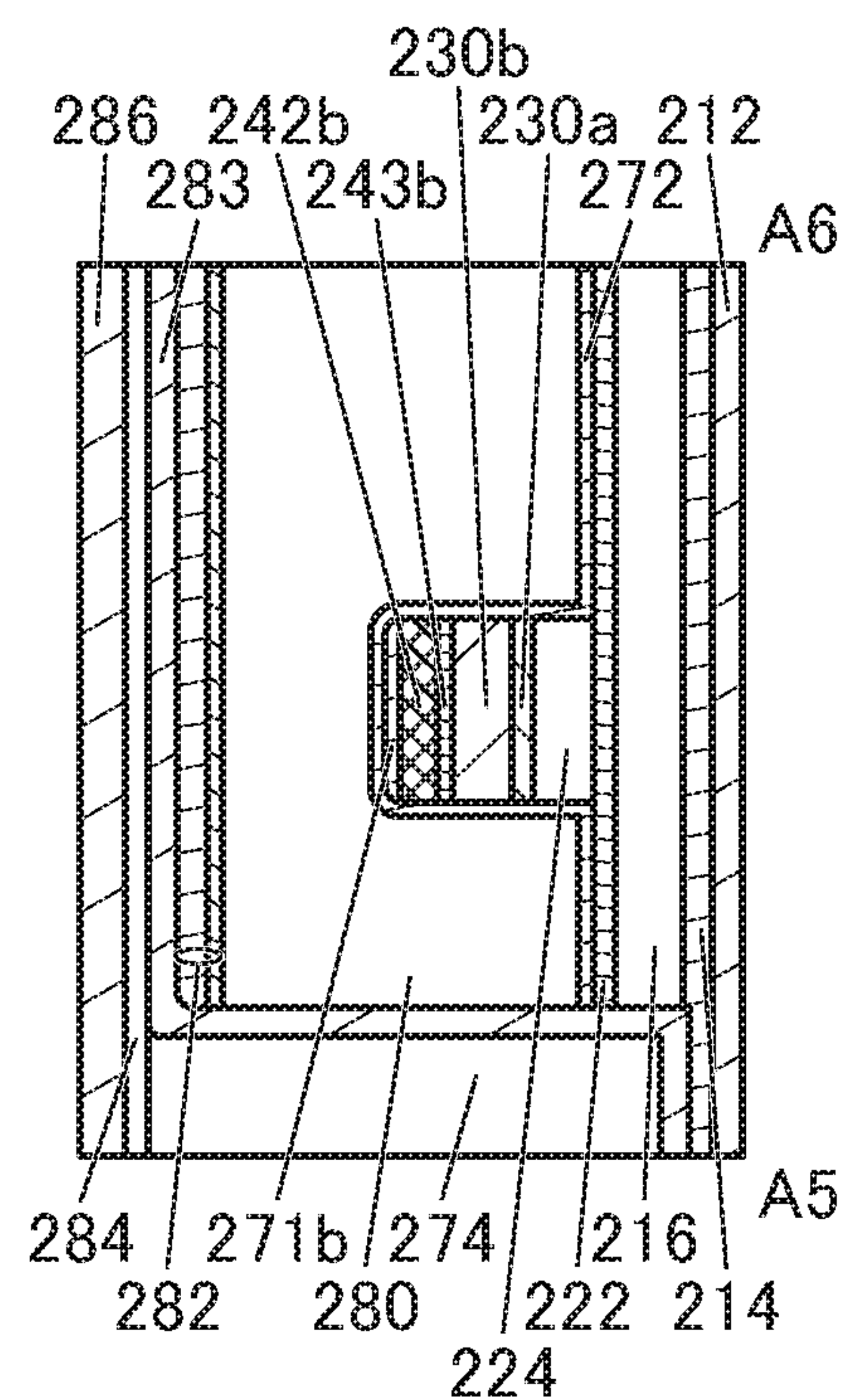


図2A

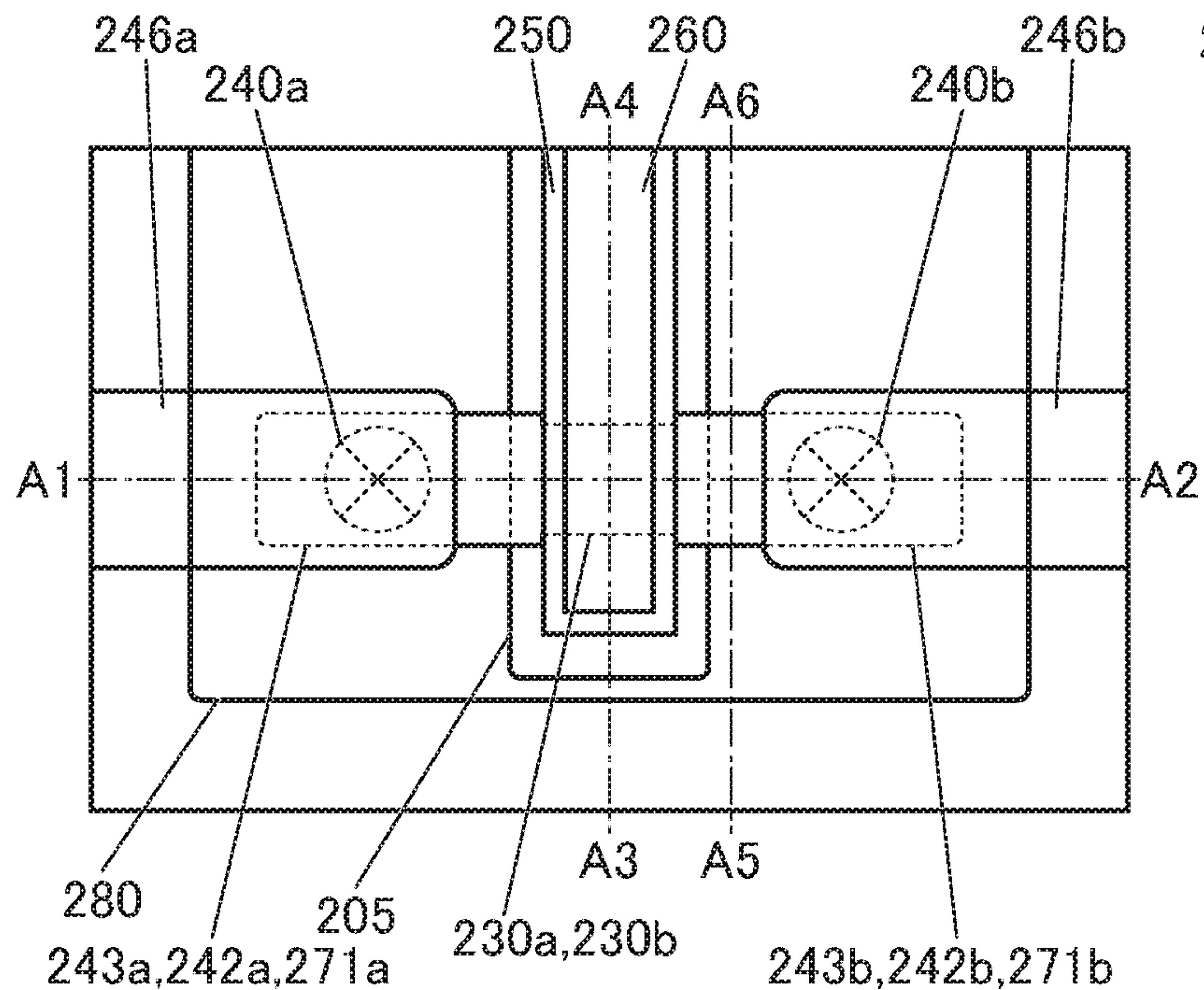


図2C

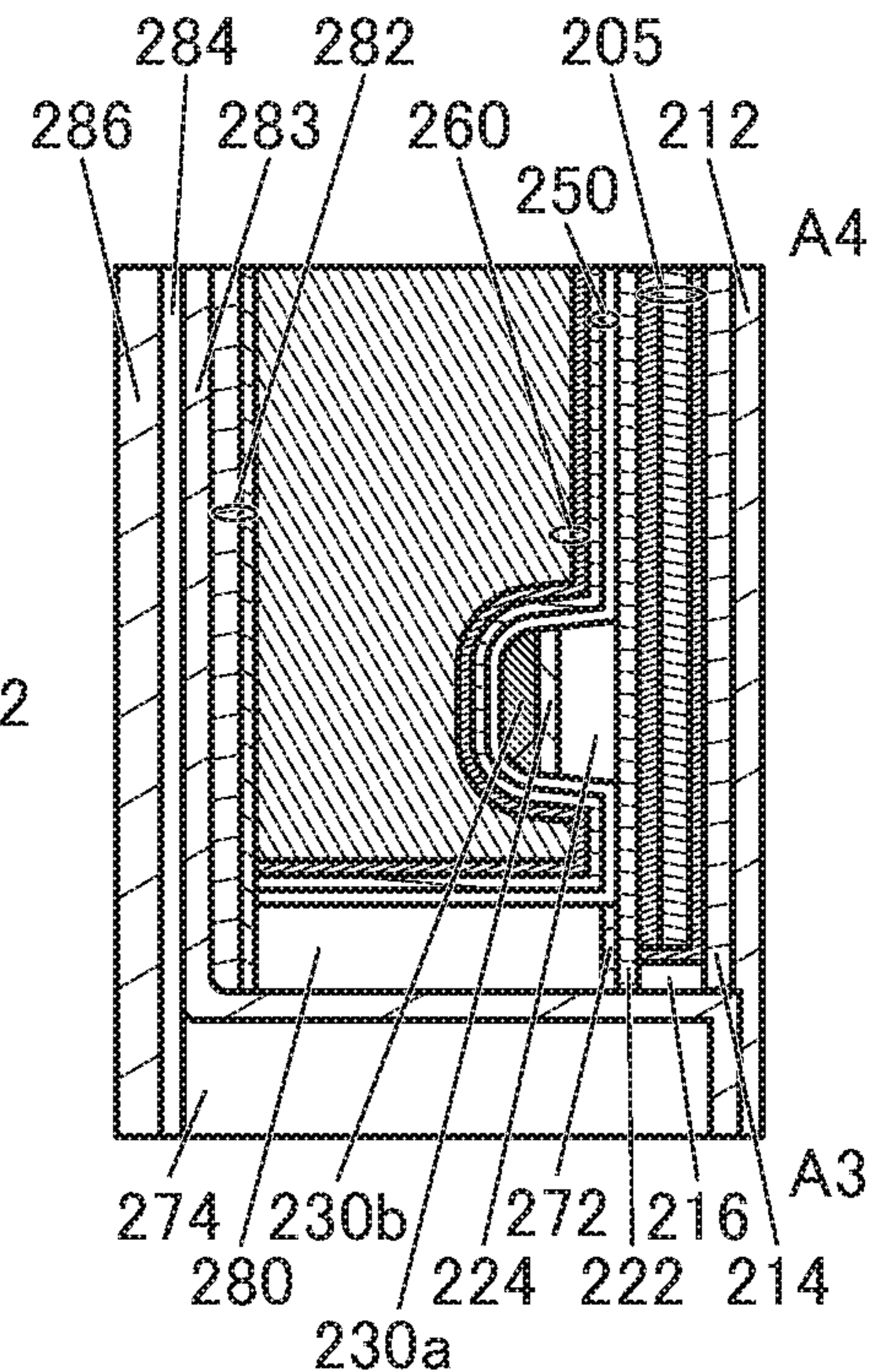


図2B

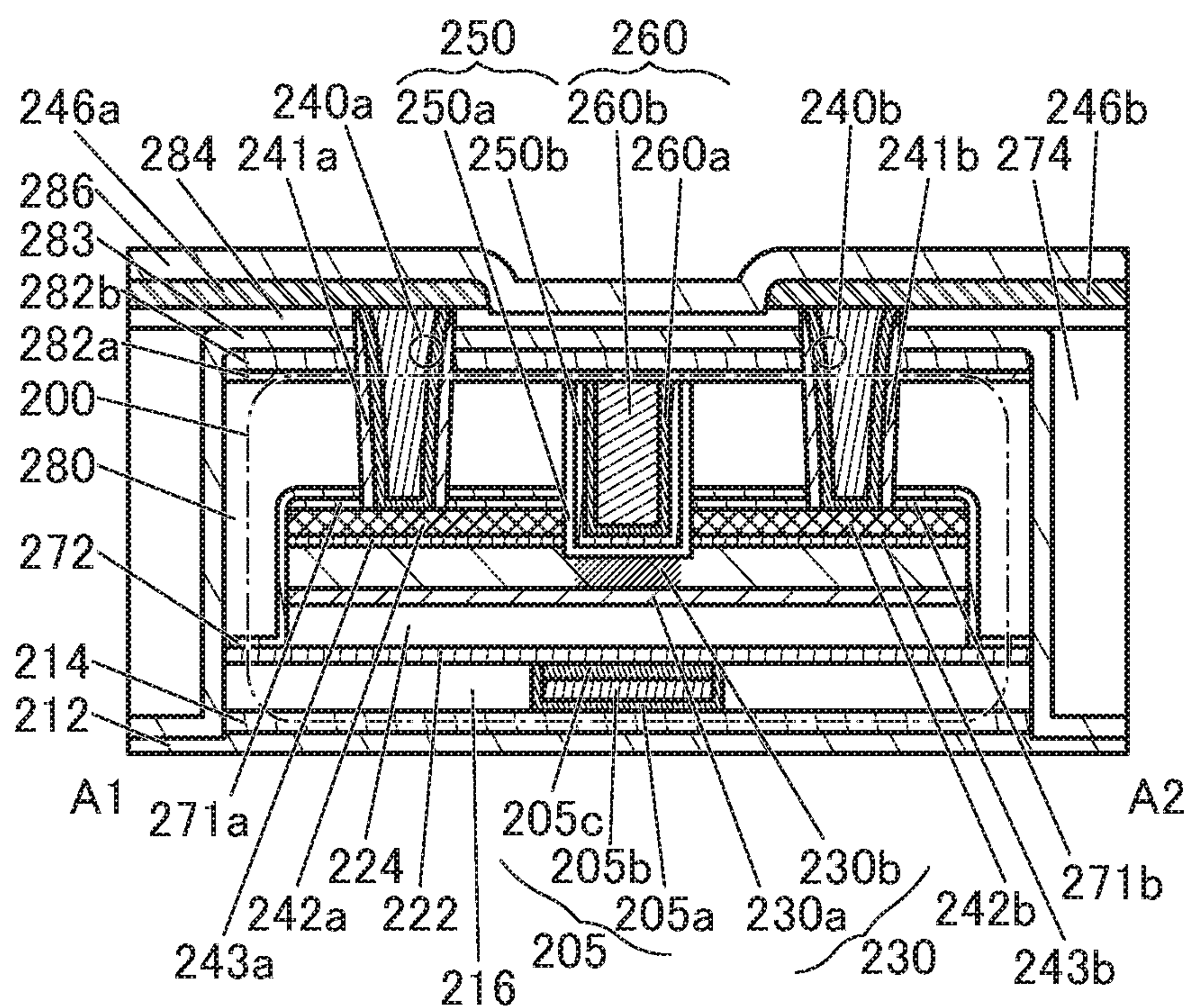


図2D

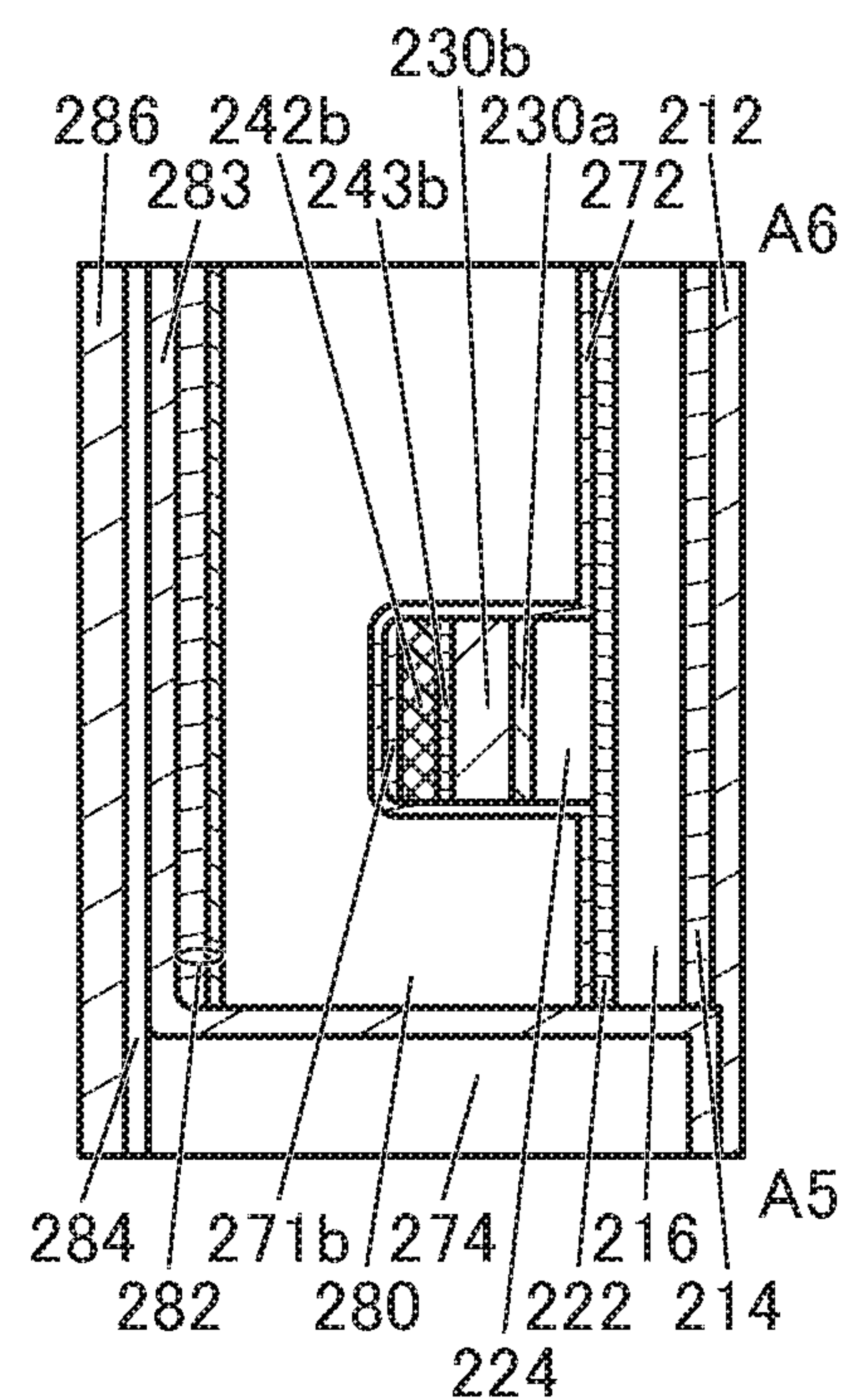


図3

3/42

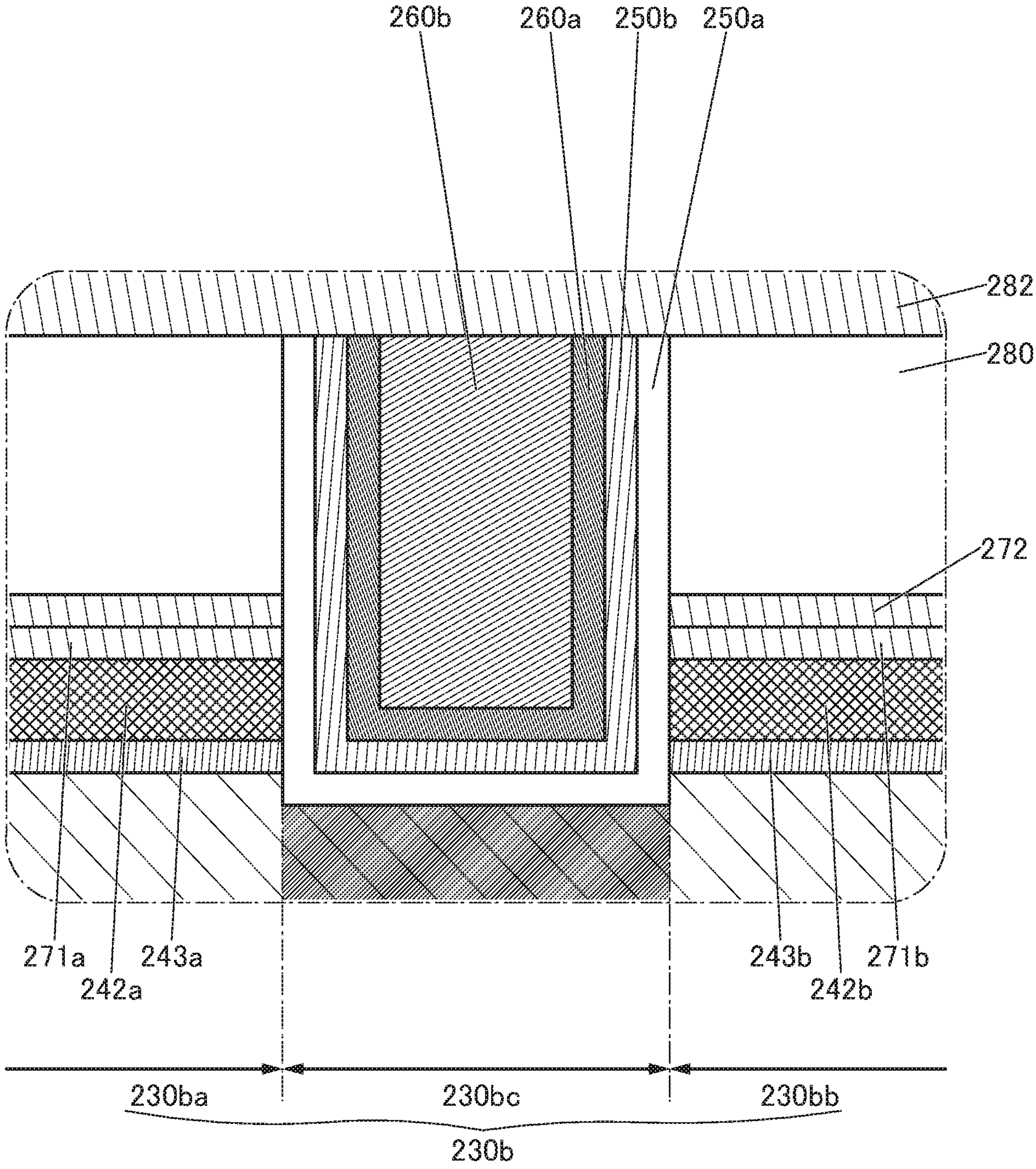


図4A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
▪ completely amorphous	▪ CAAC ▪ nc ▪ CAC excluding single crystal and poly crystal	▪ single crystal ▪ poly crystal

図4B

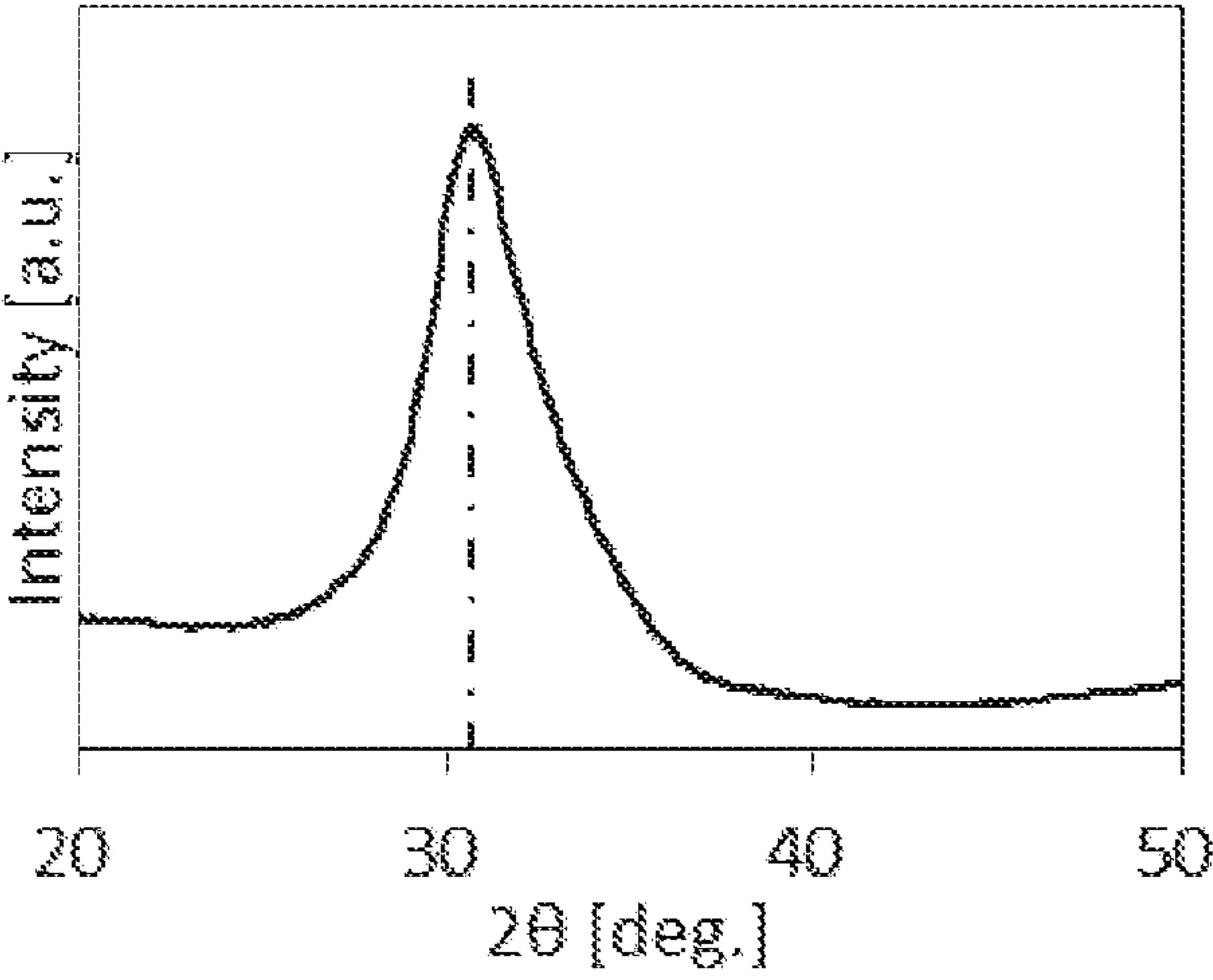


図4C

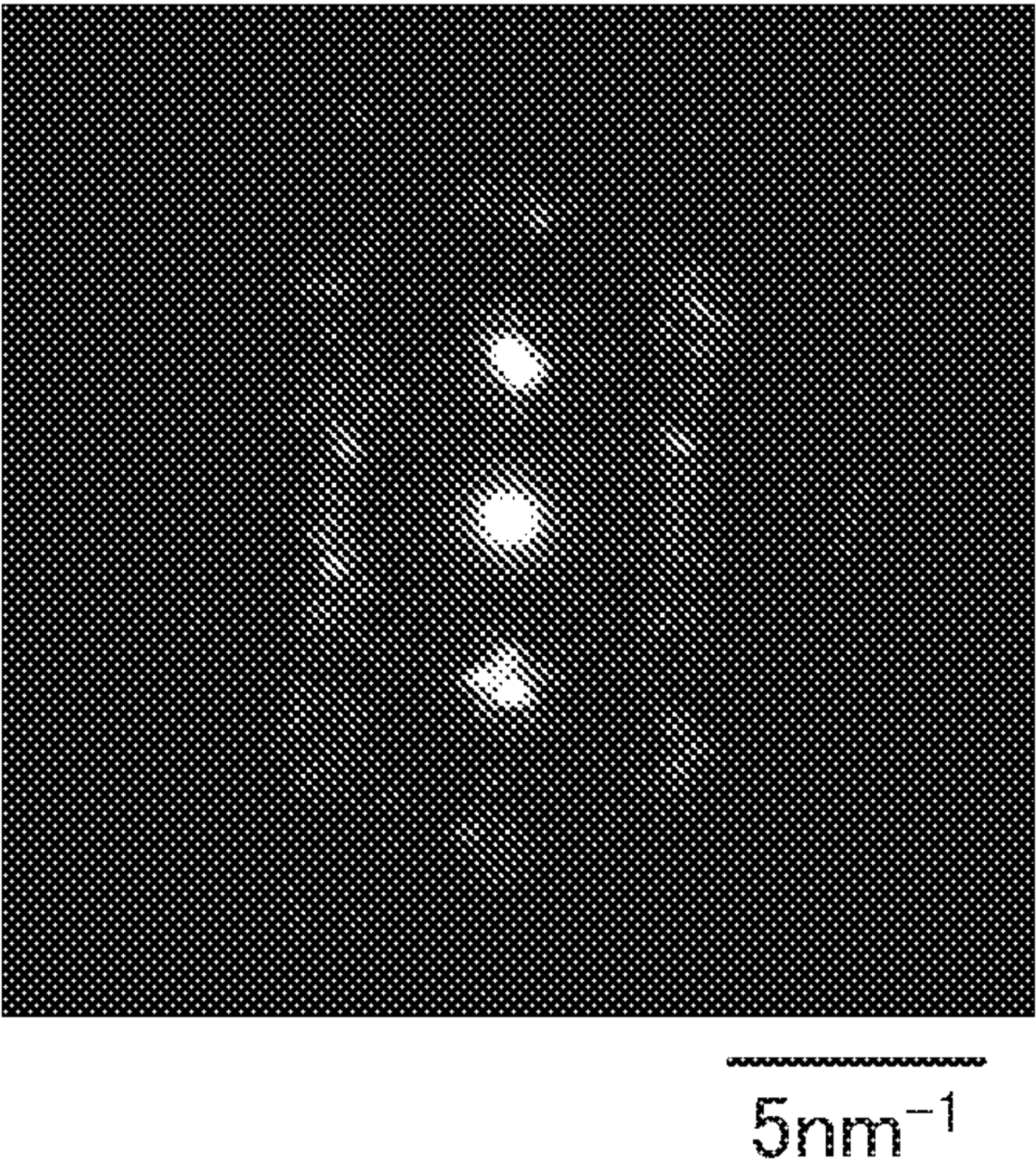


図5

5/42

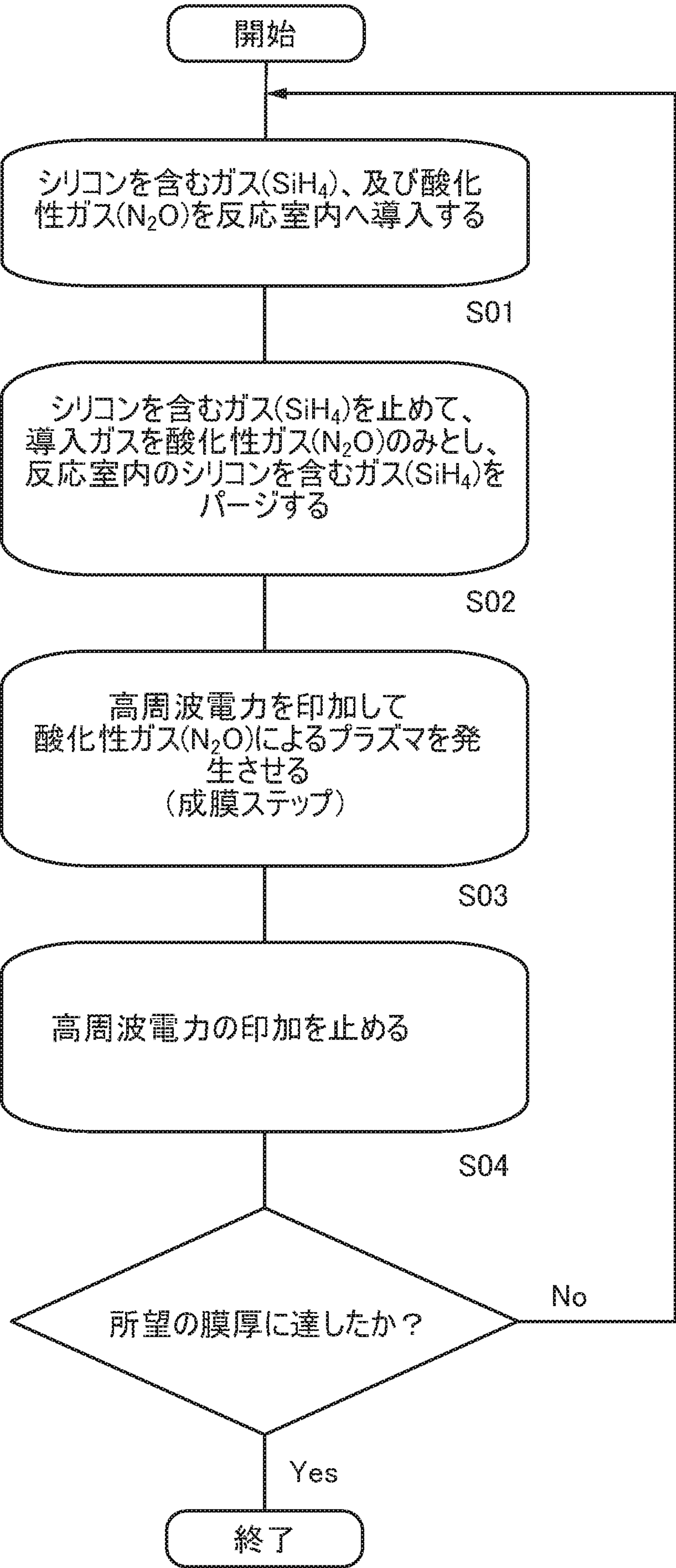


図6A

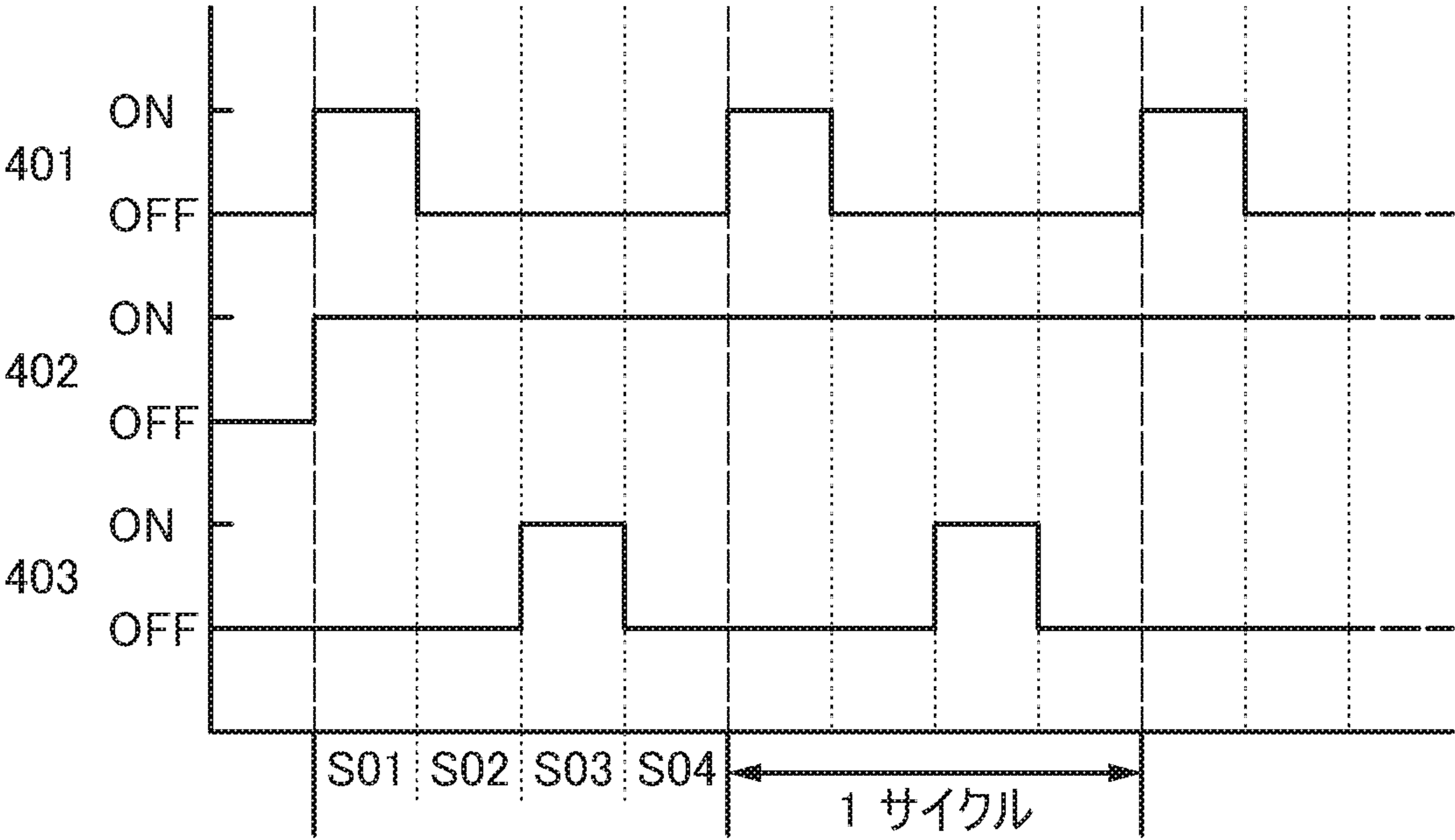


図6B

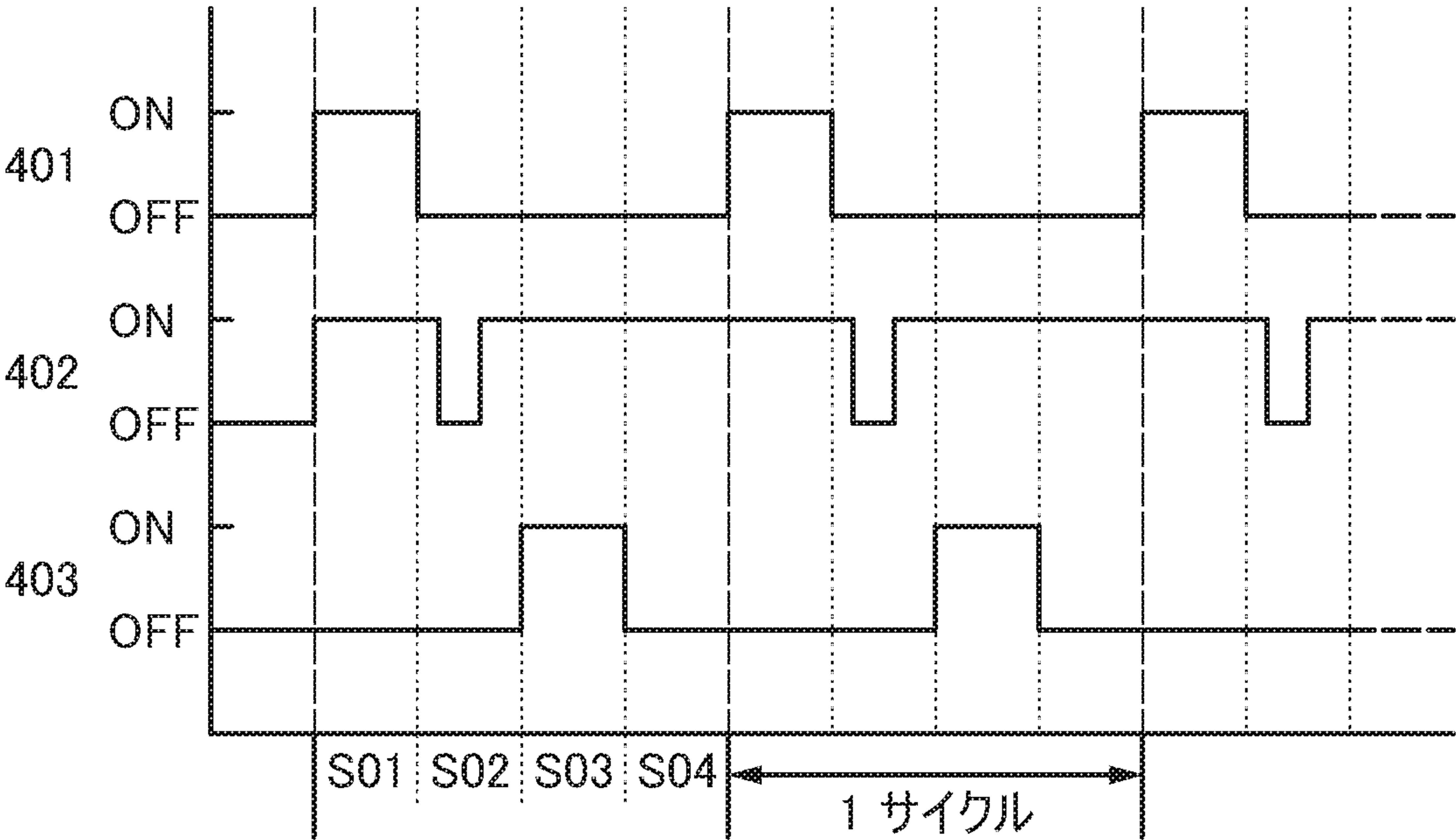


図7A

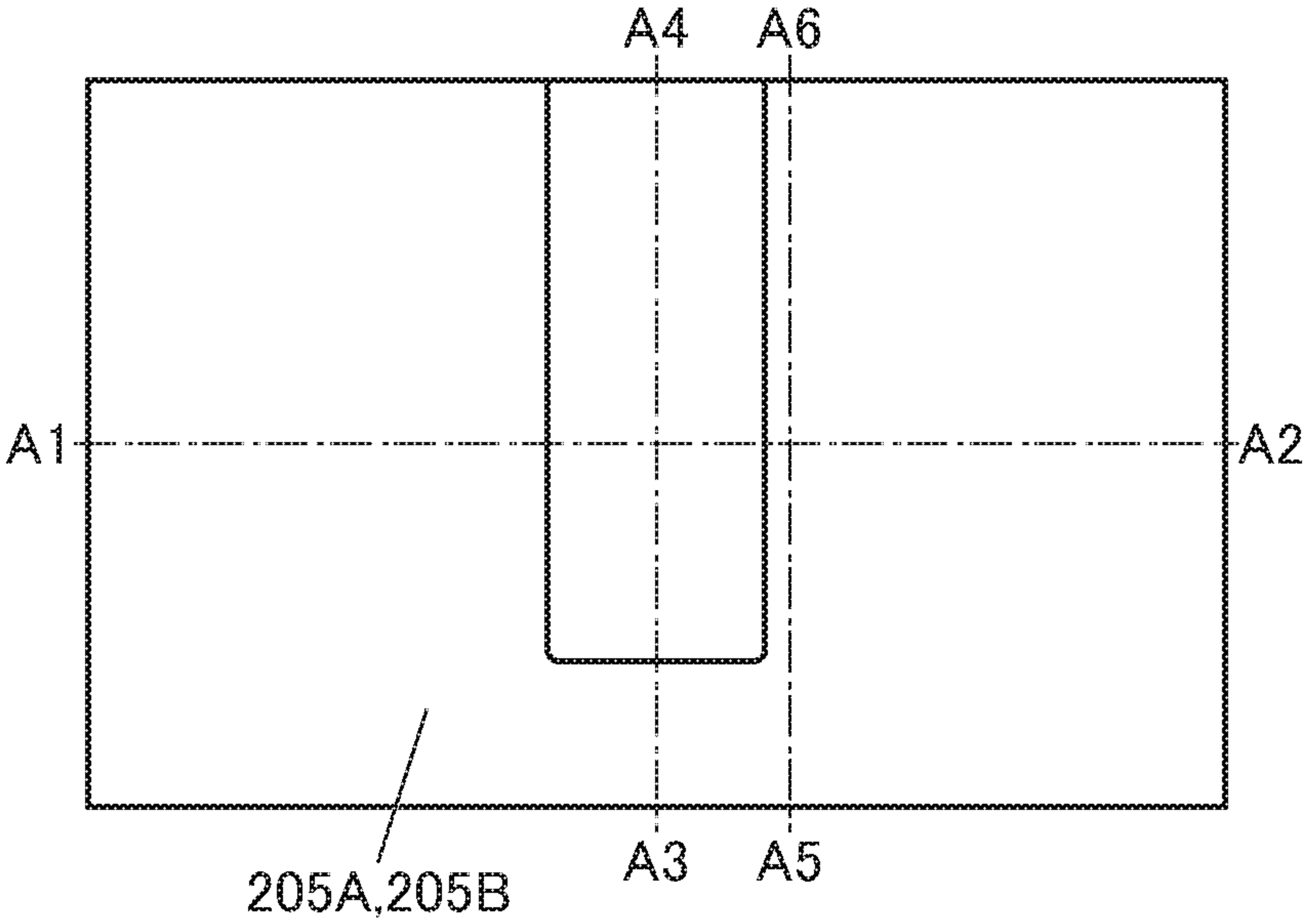


図7C

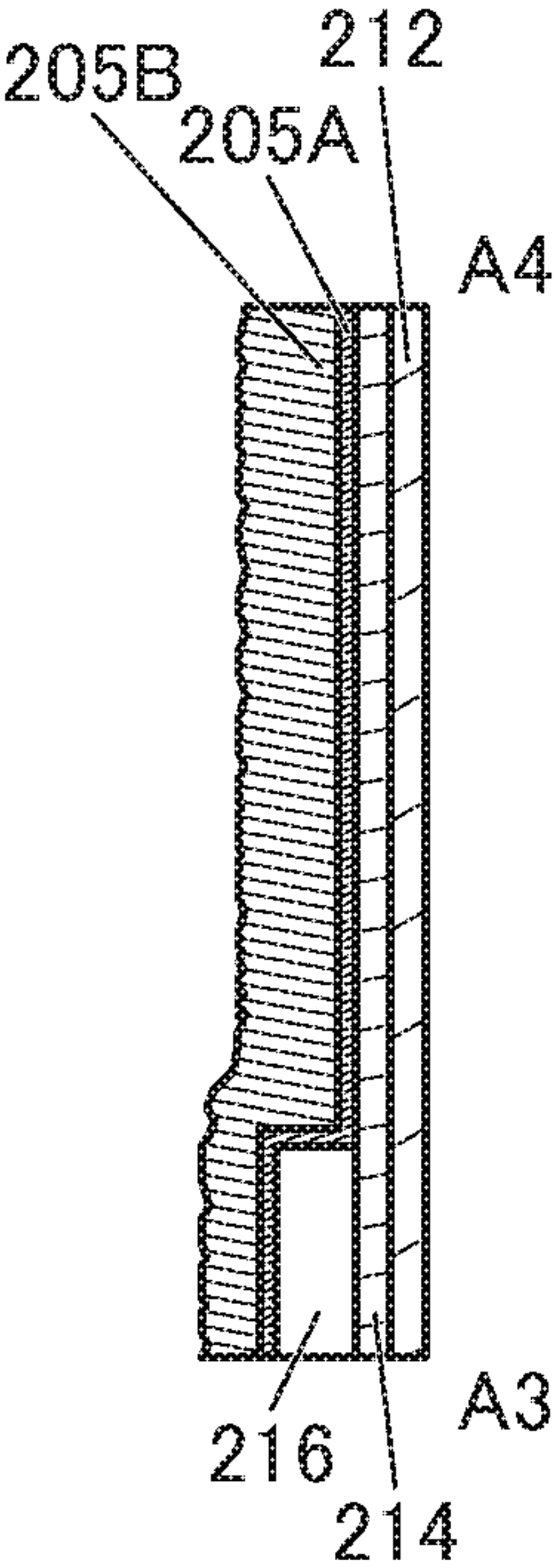


図7B

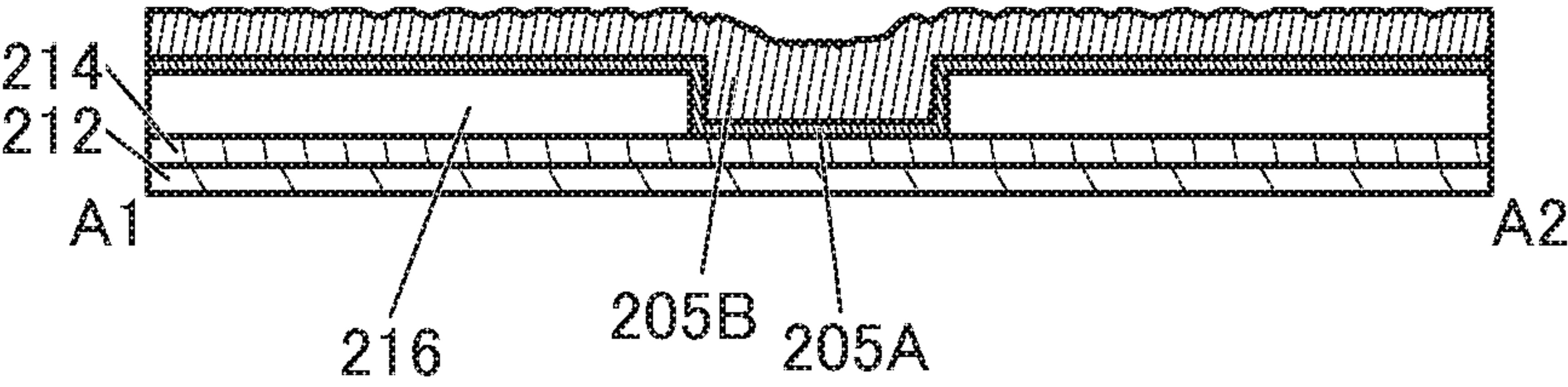


図7D

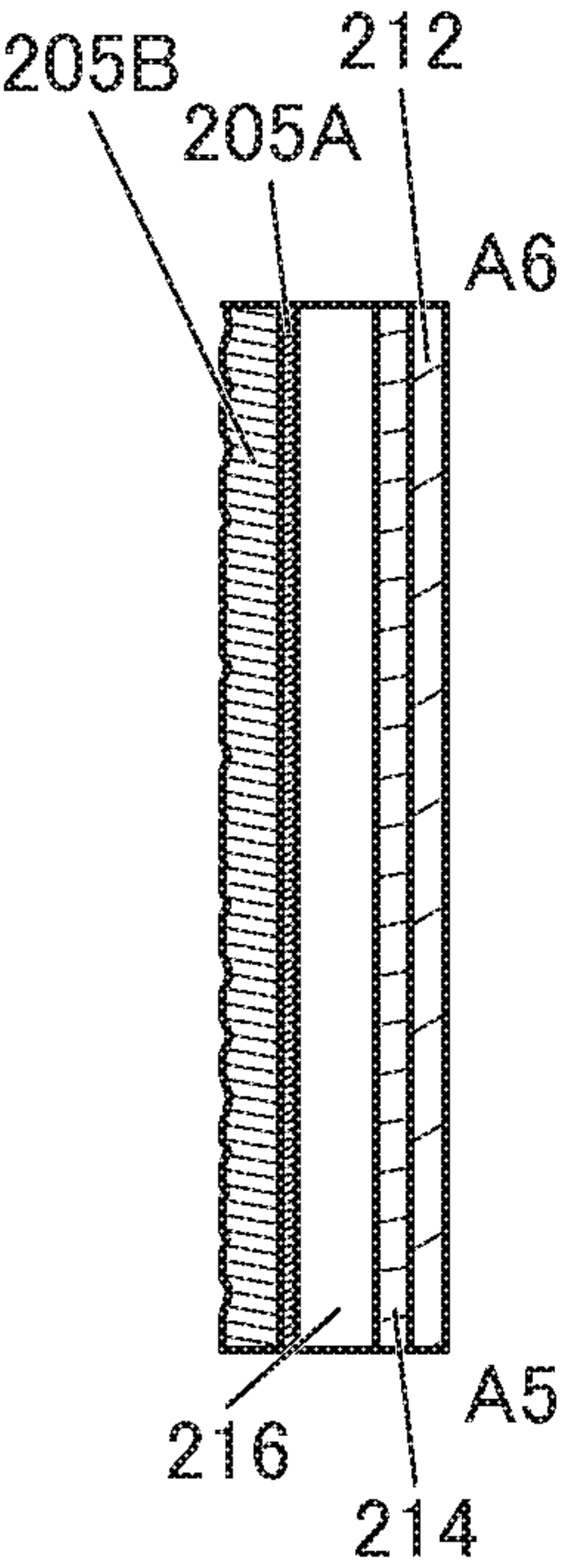


図8A

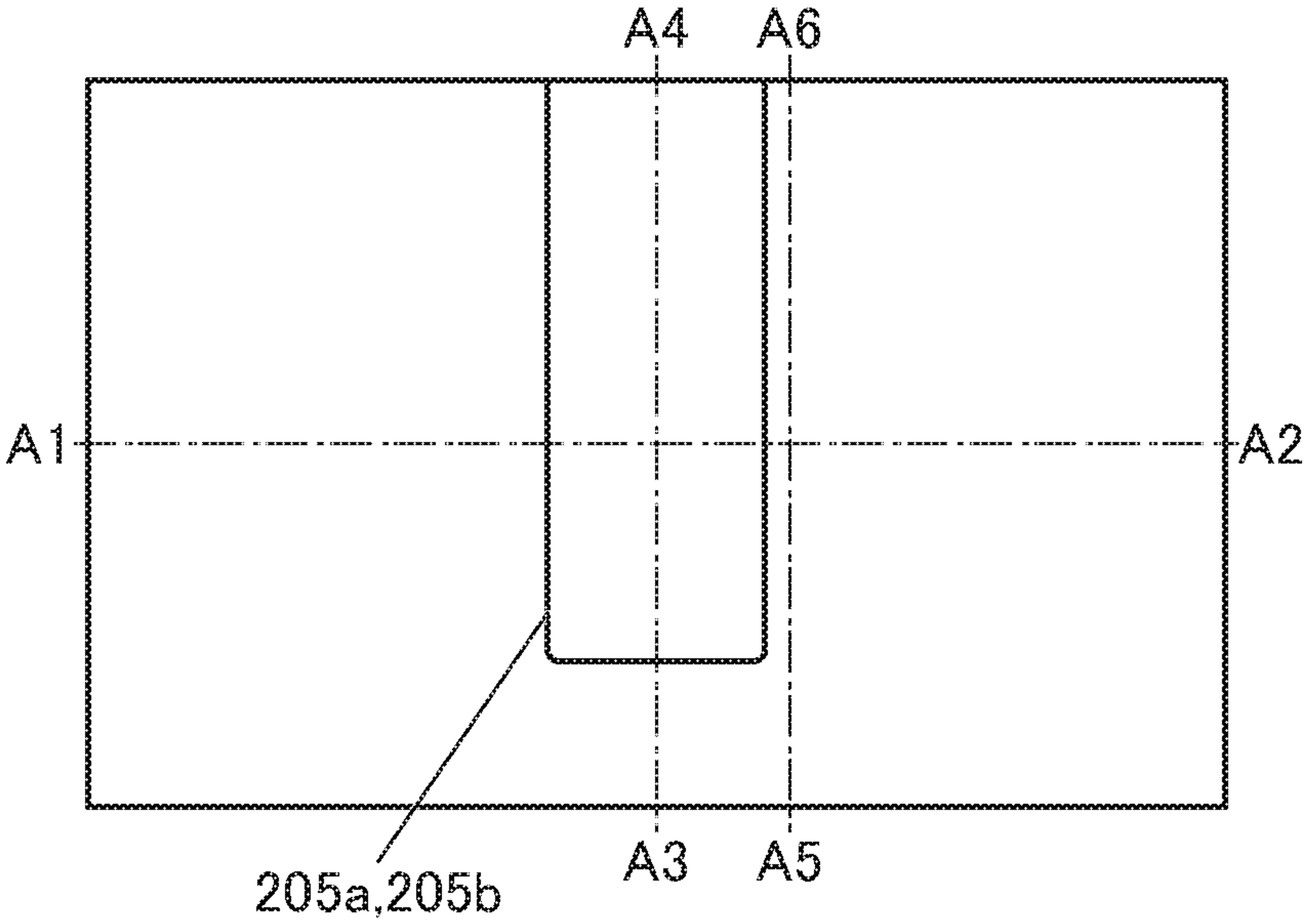


図8C

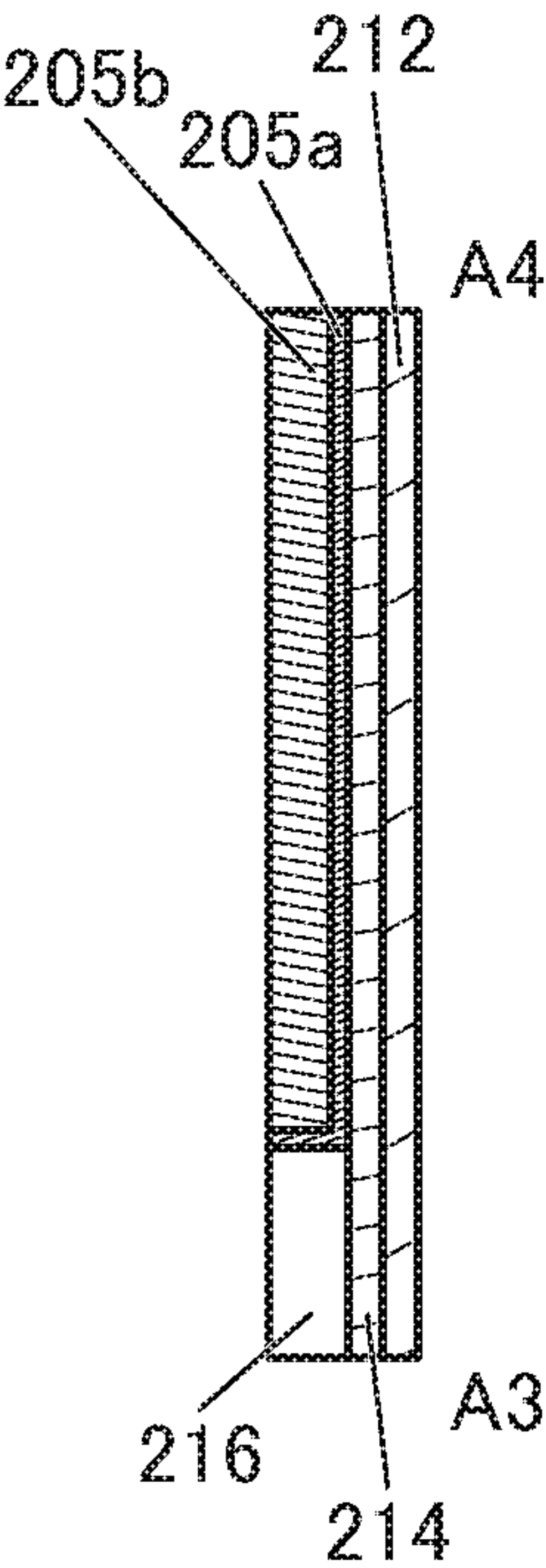


図8B

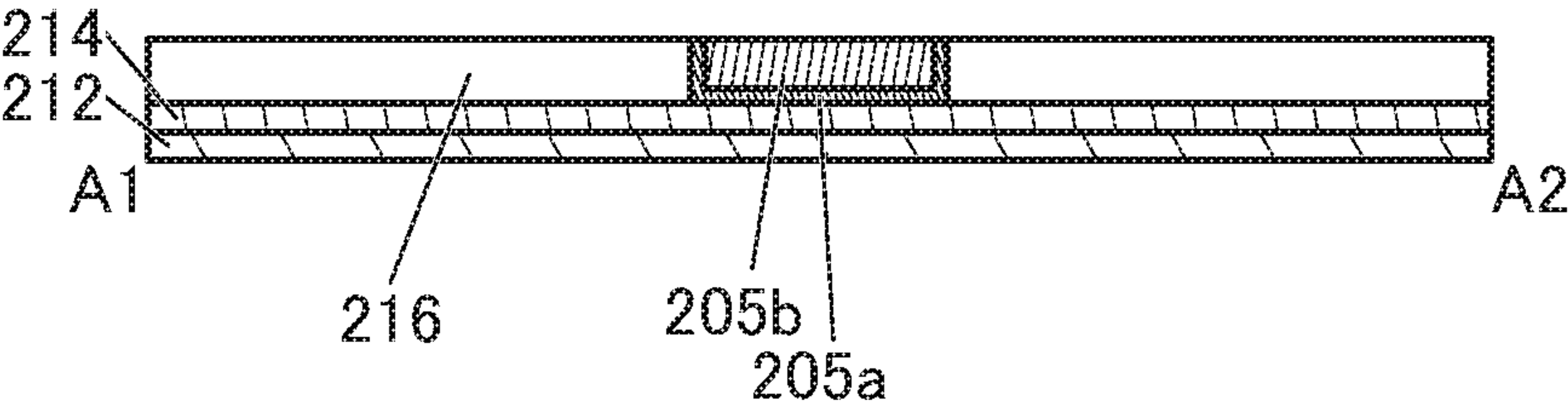


図8D

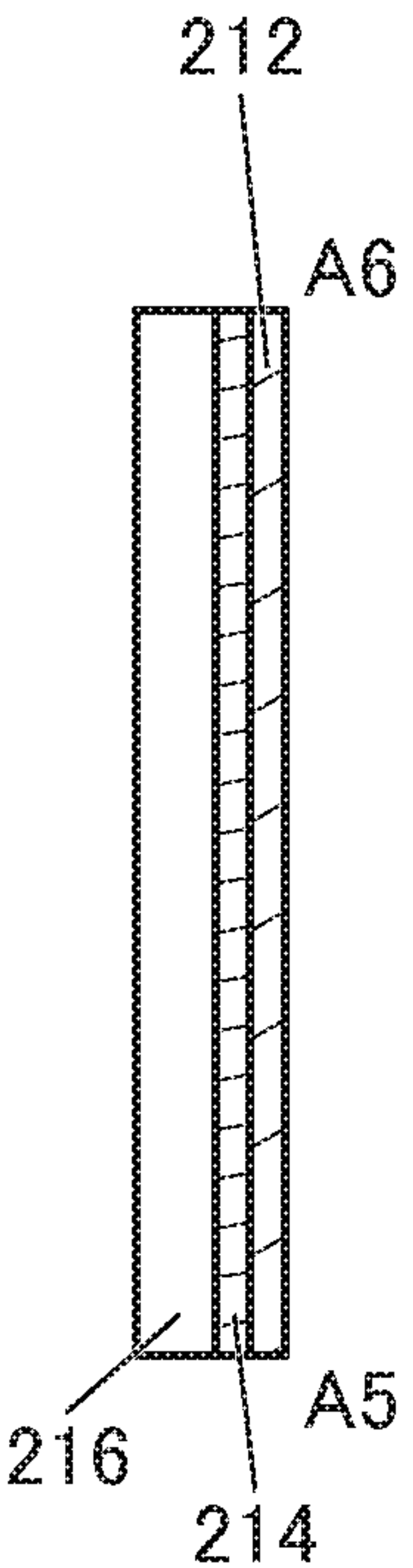


図9A

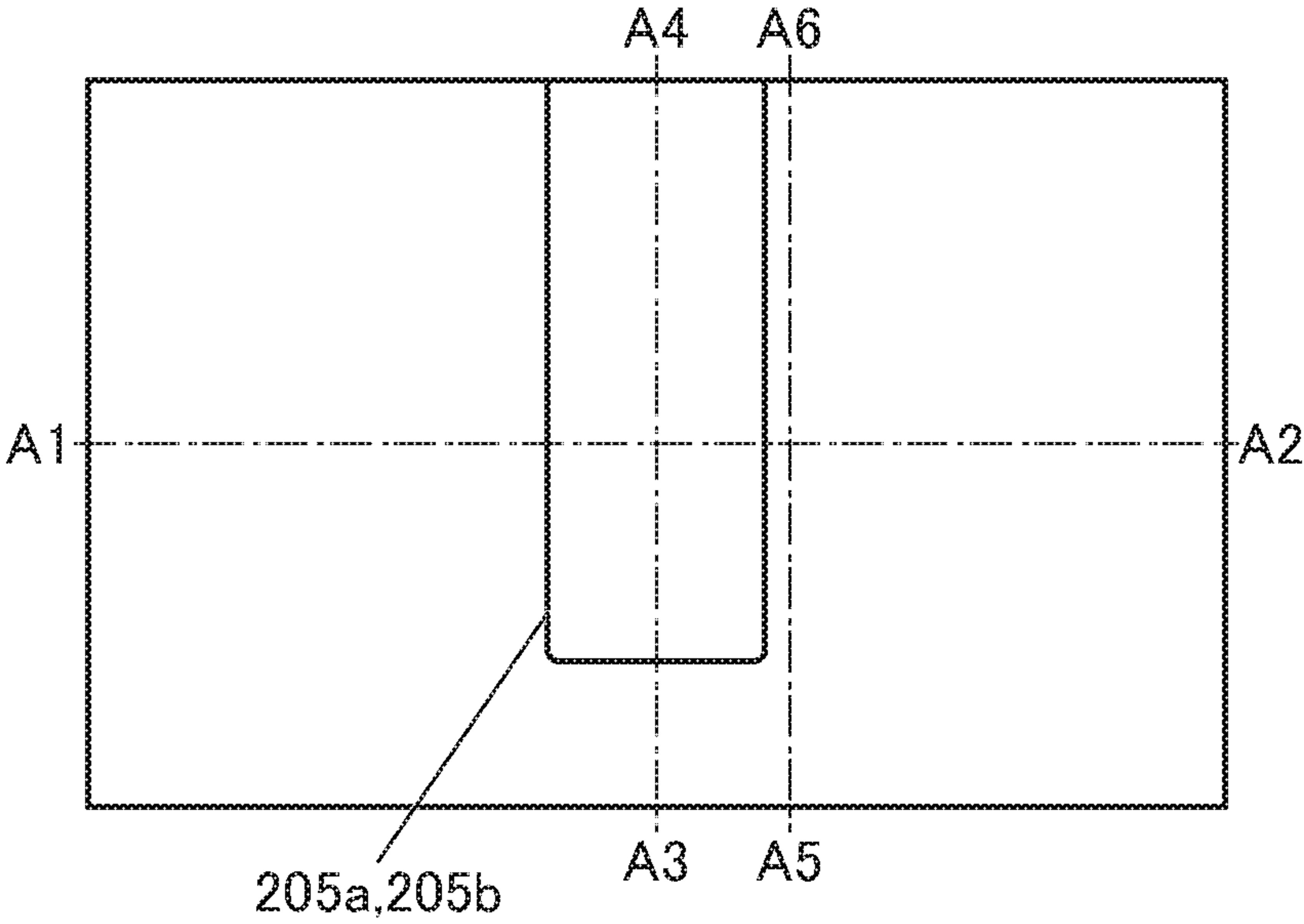


図9C

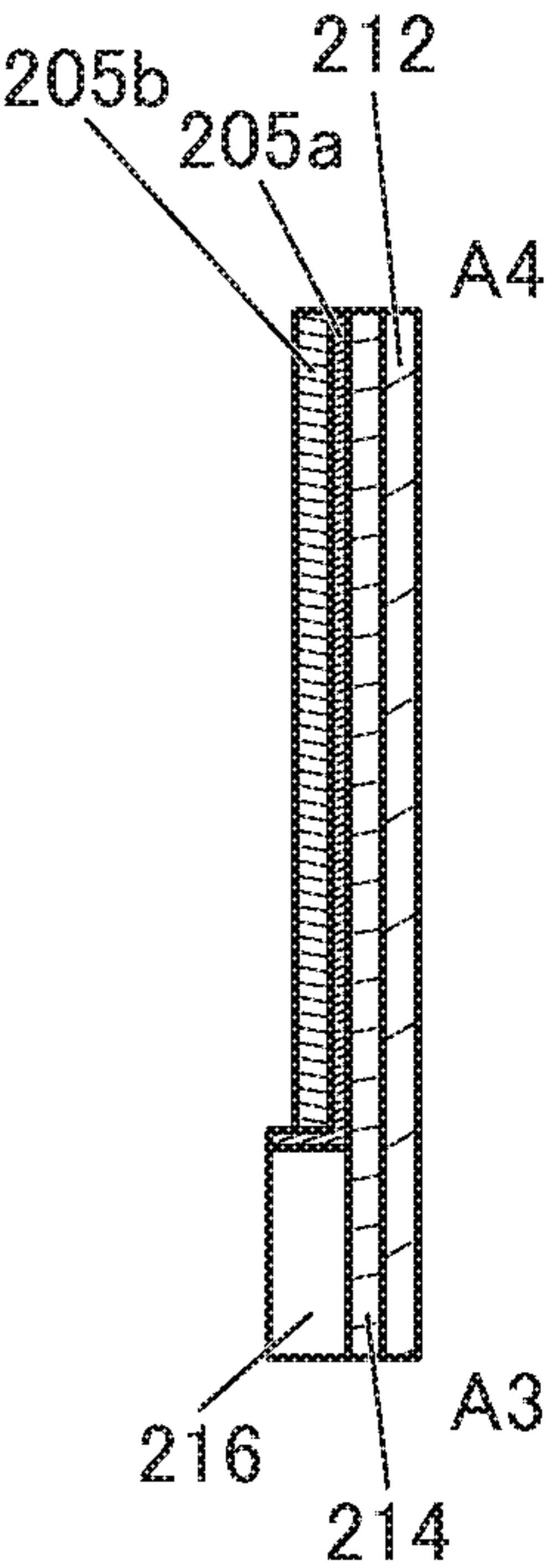


図9B

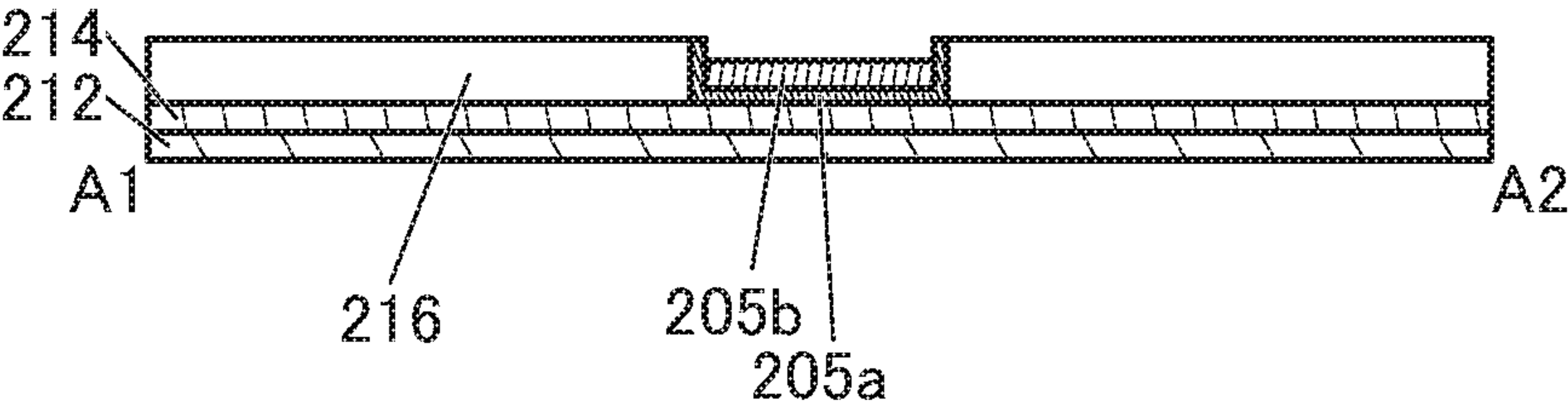


図9D

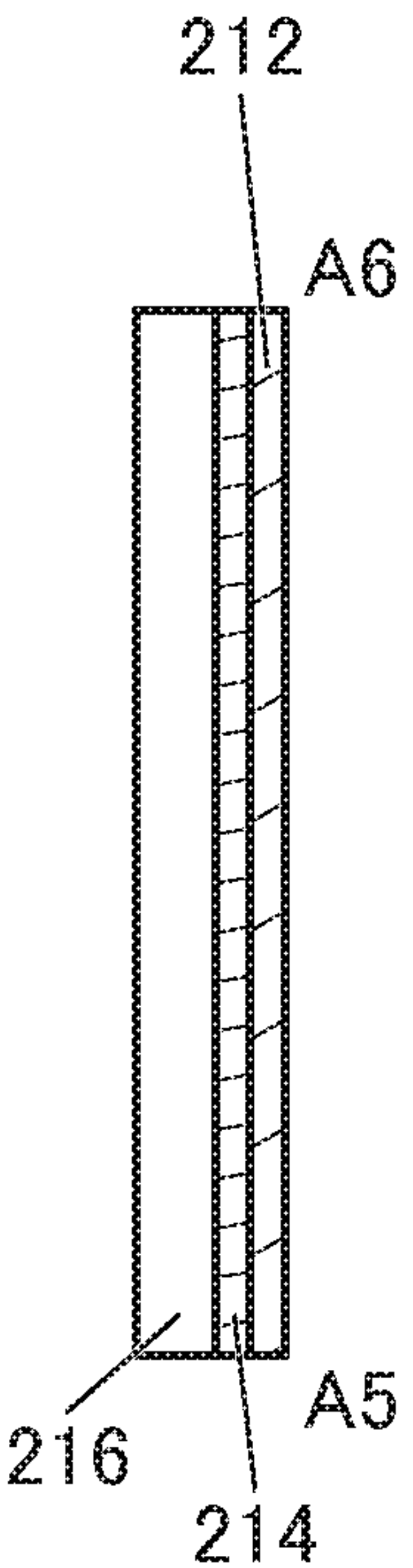


図10A

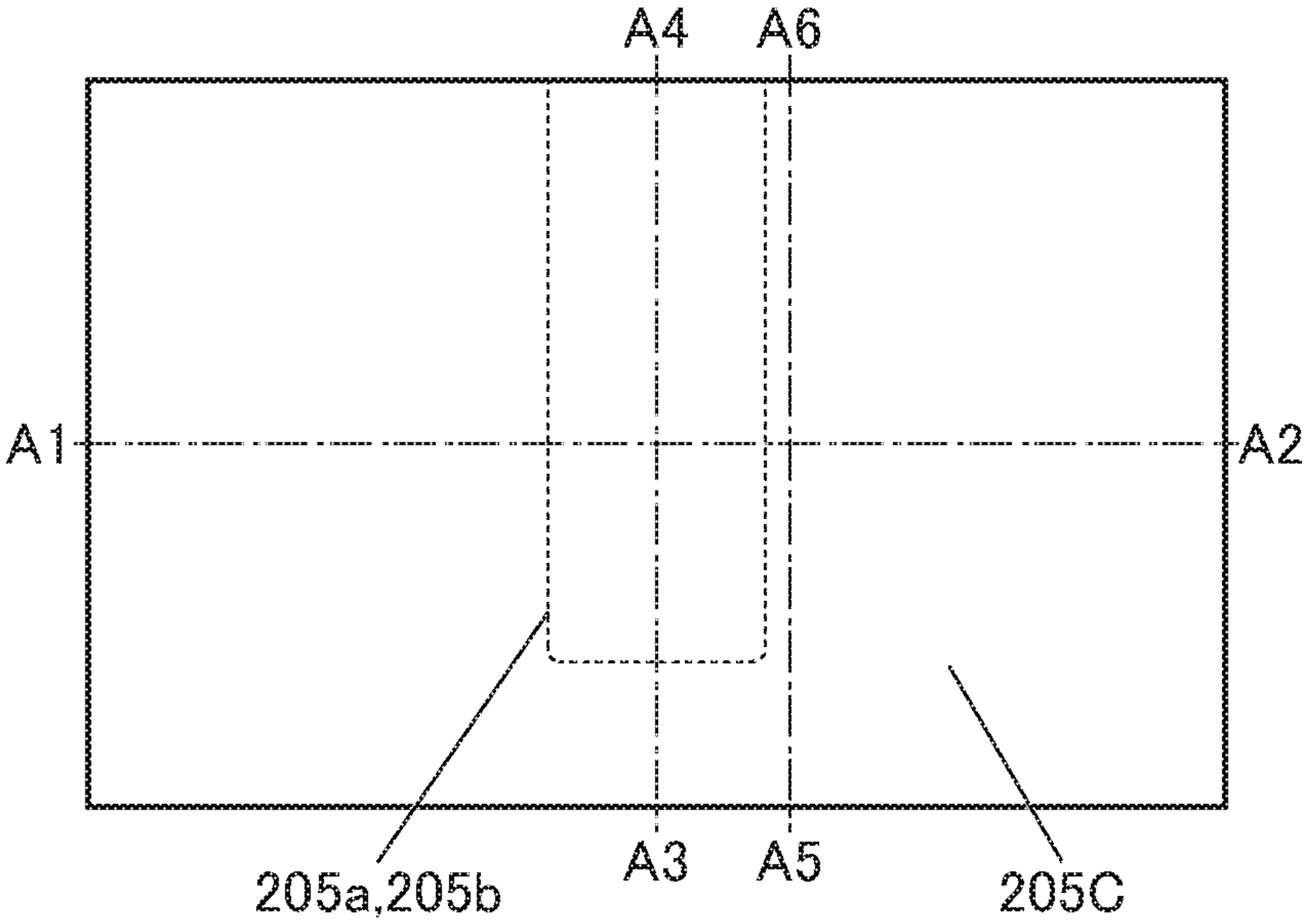


図10C

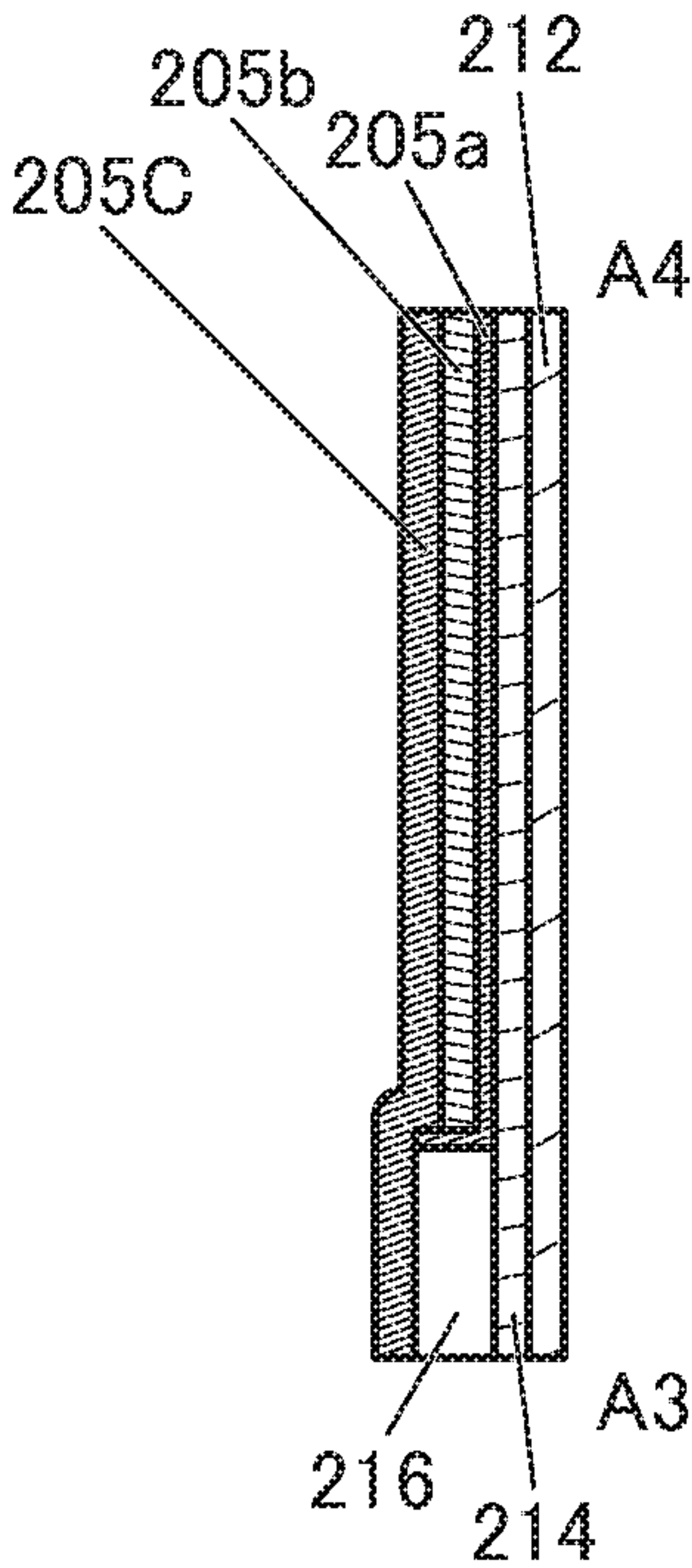


図10B

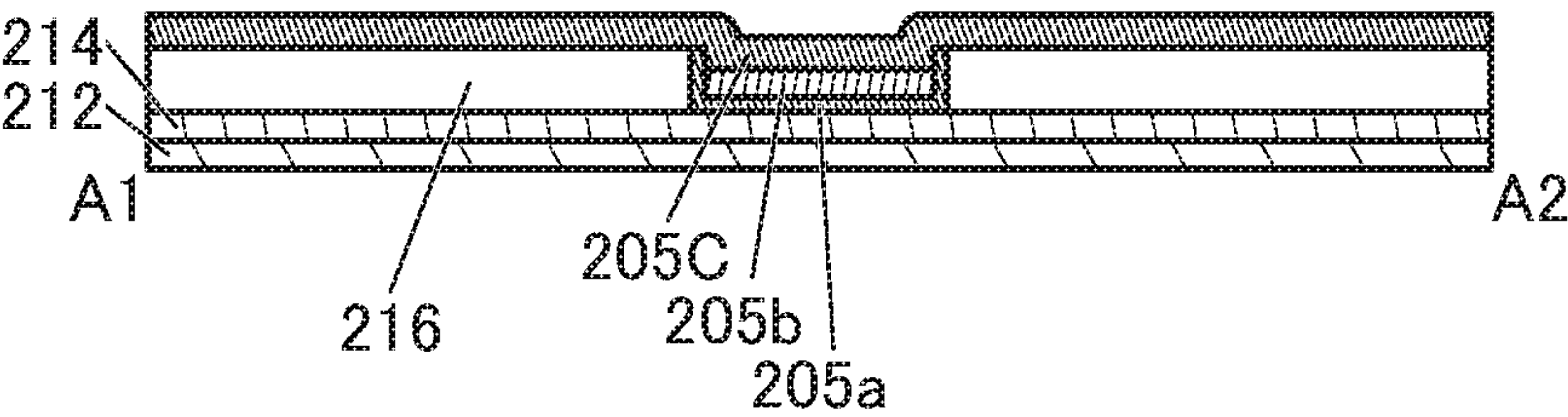


図10D

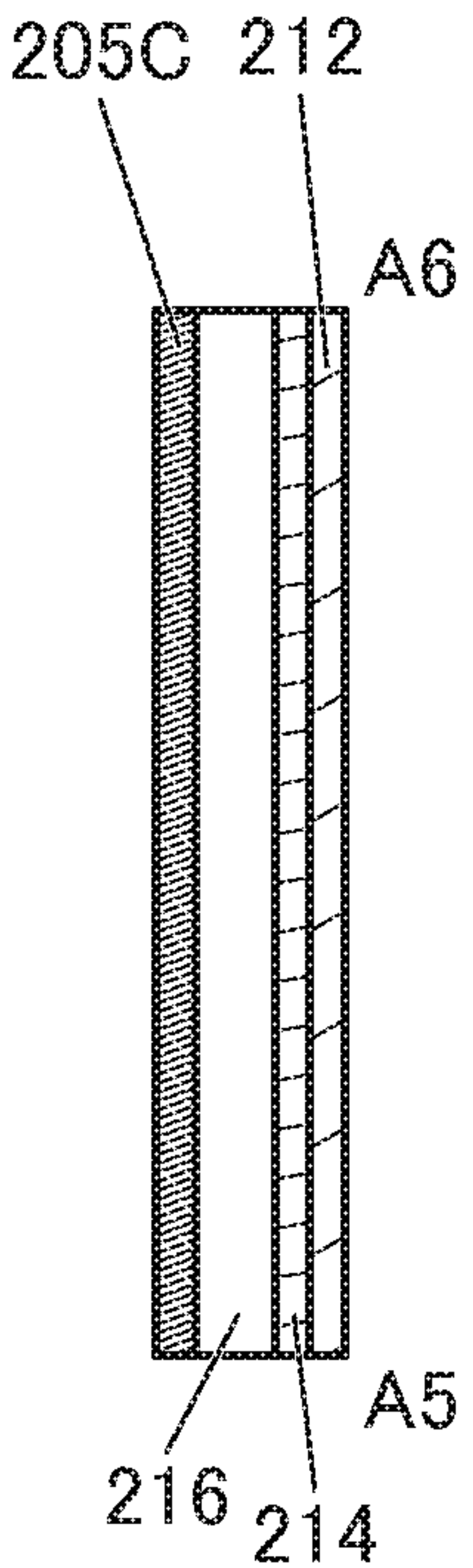


図11A

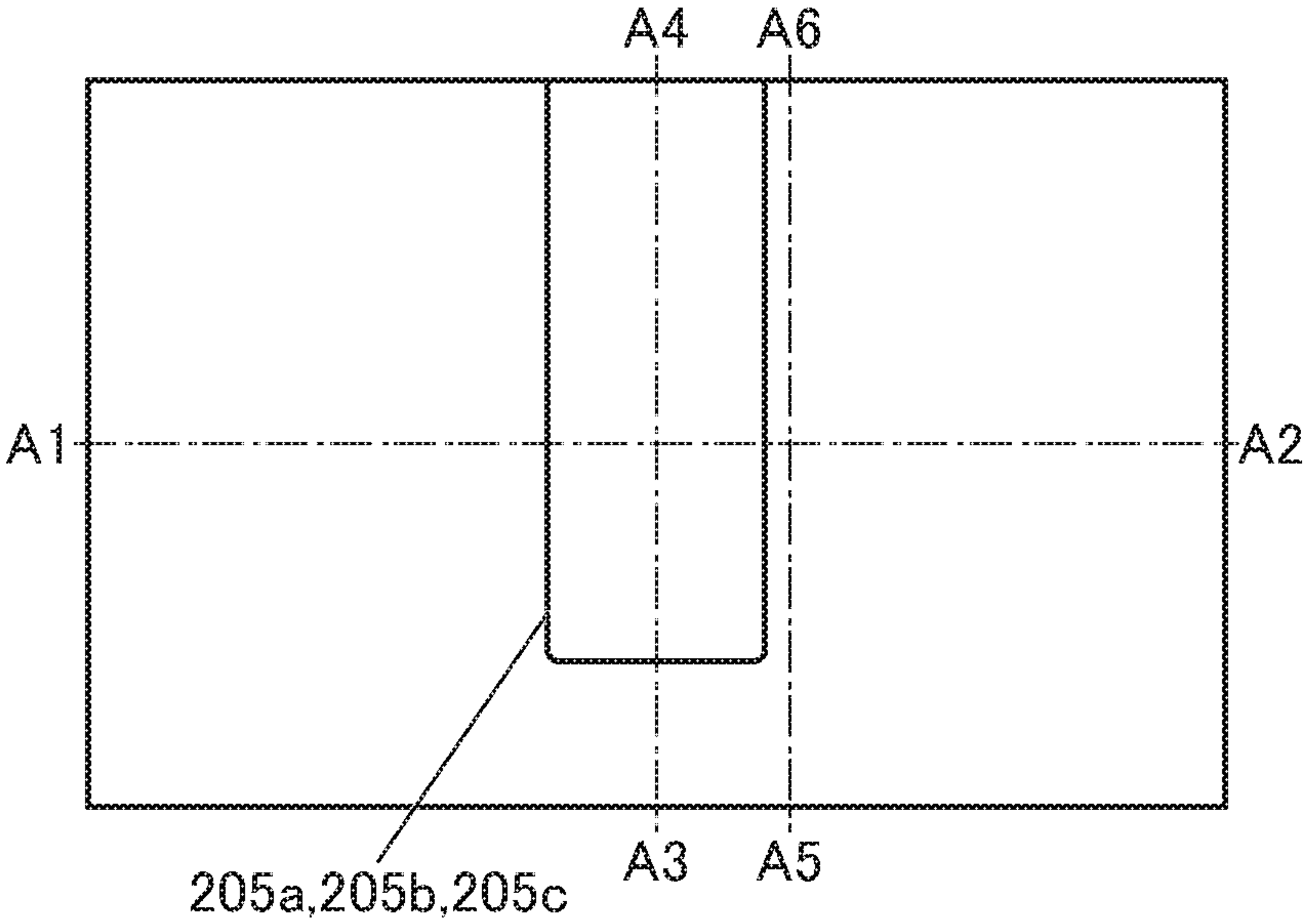


図11C

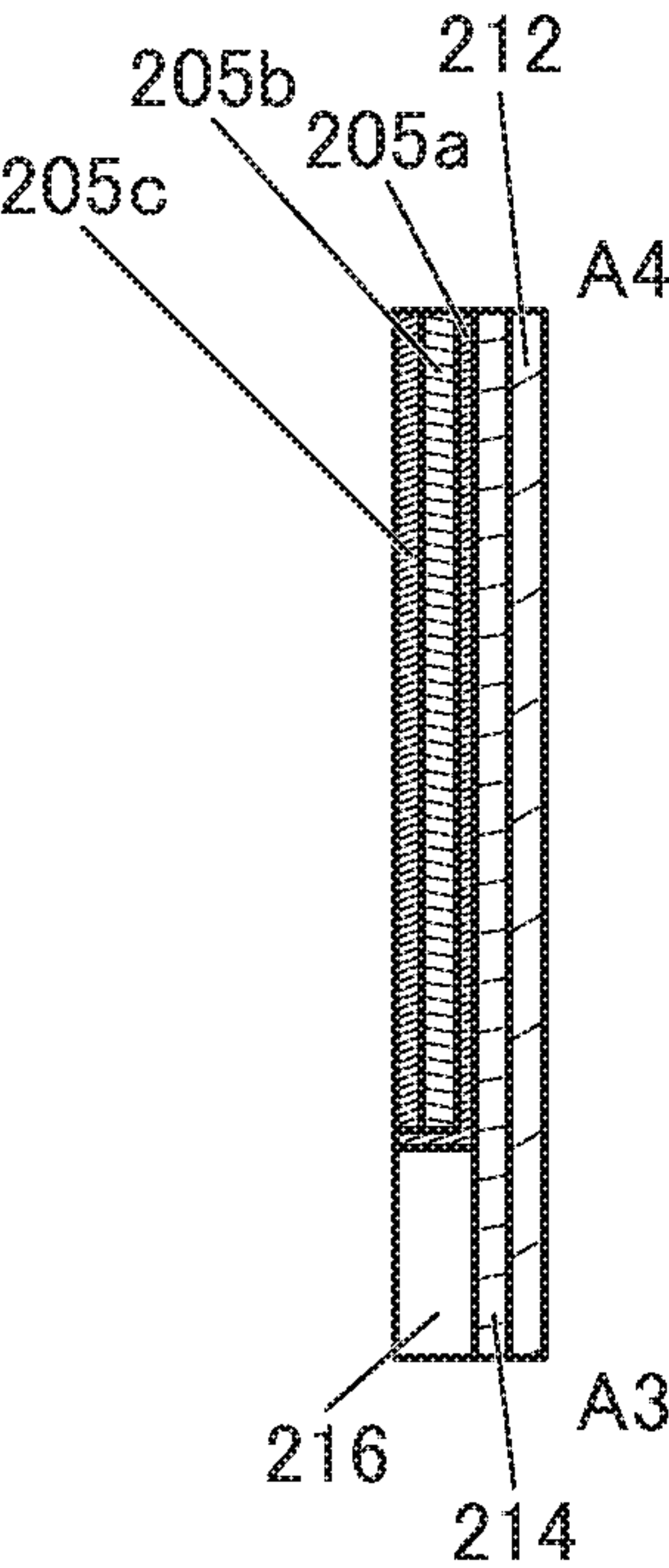


図11B

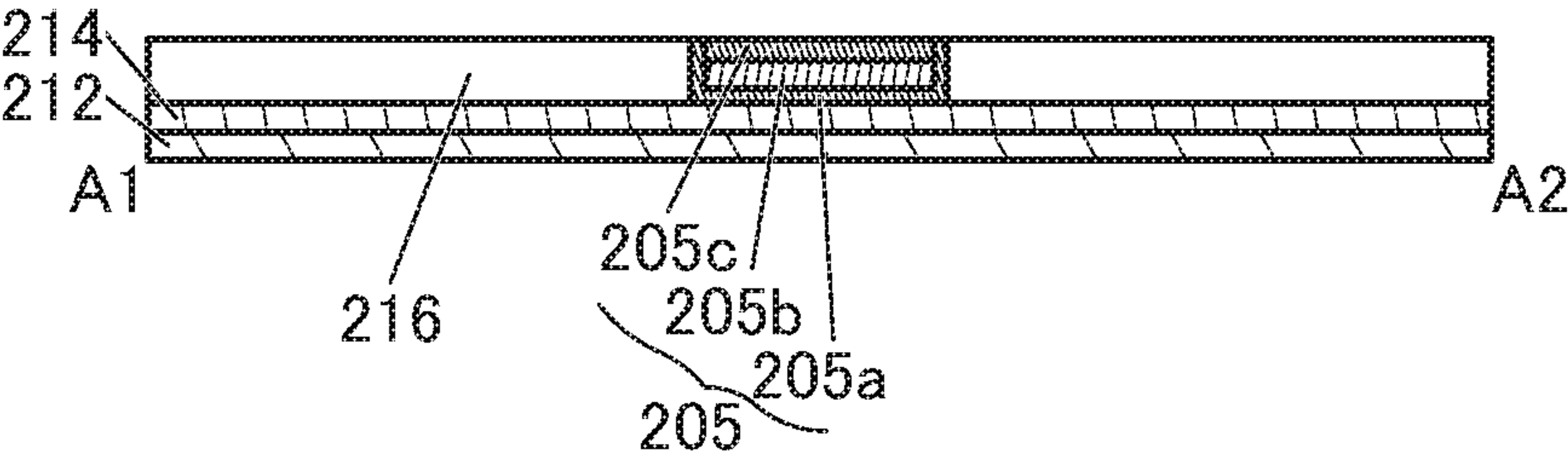


図11D

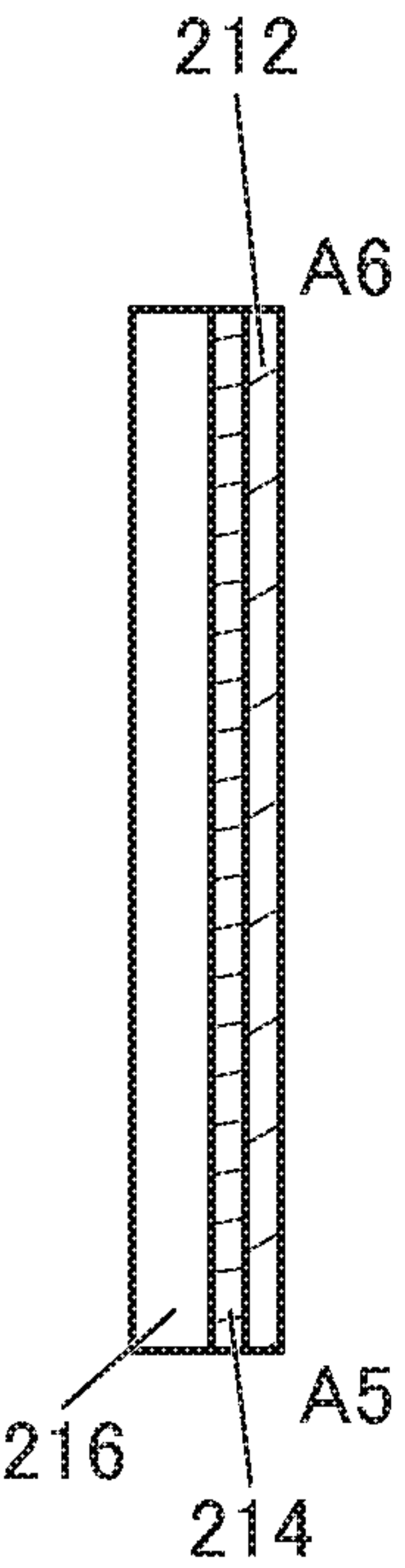


図12A

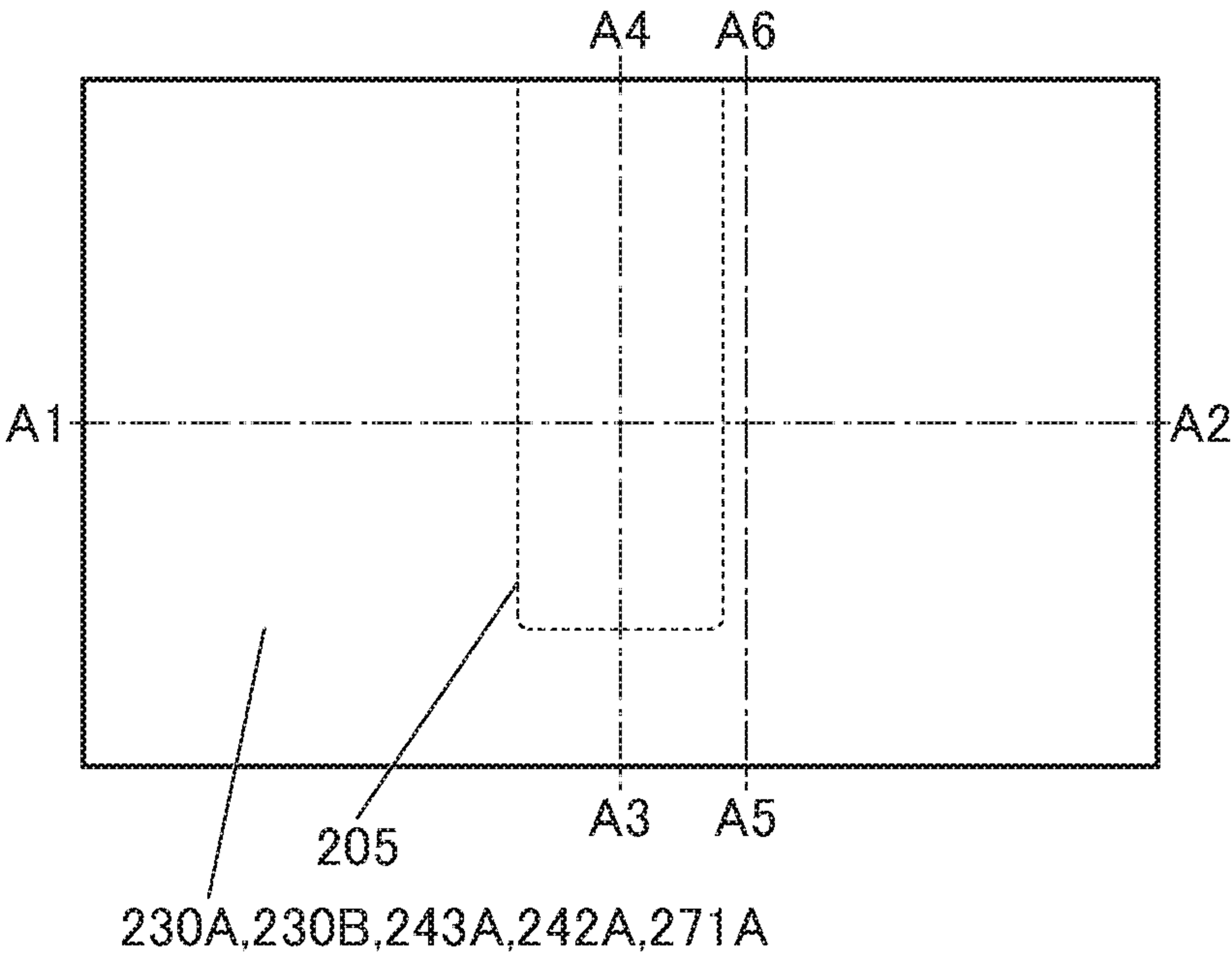


図12C

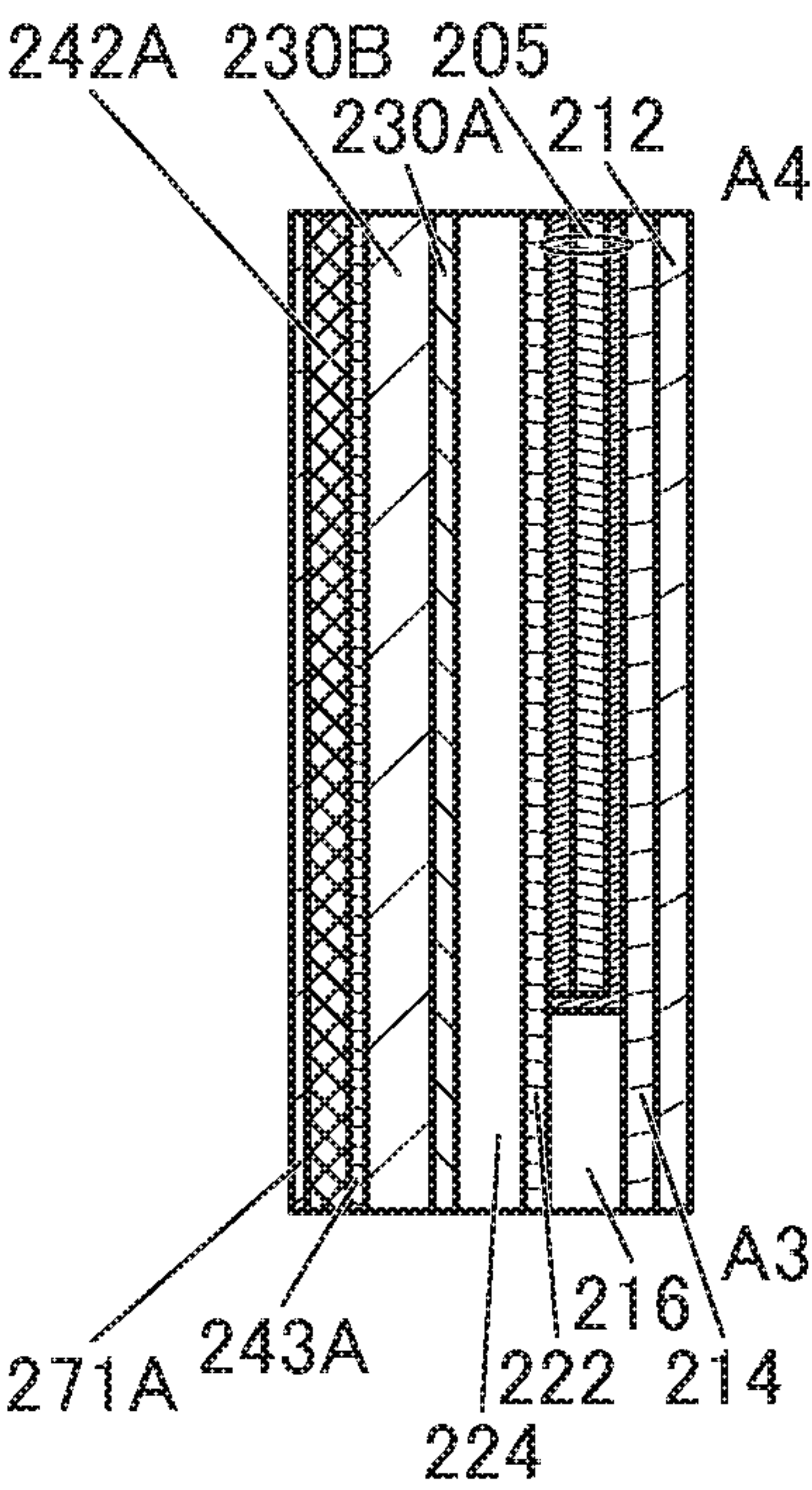


図12B

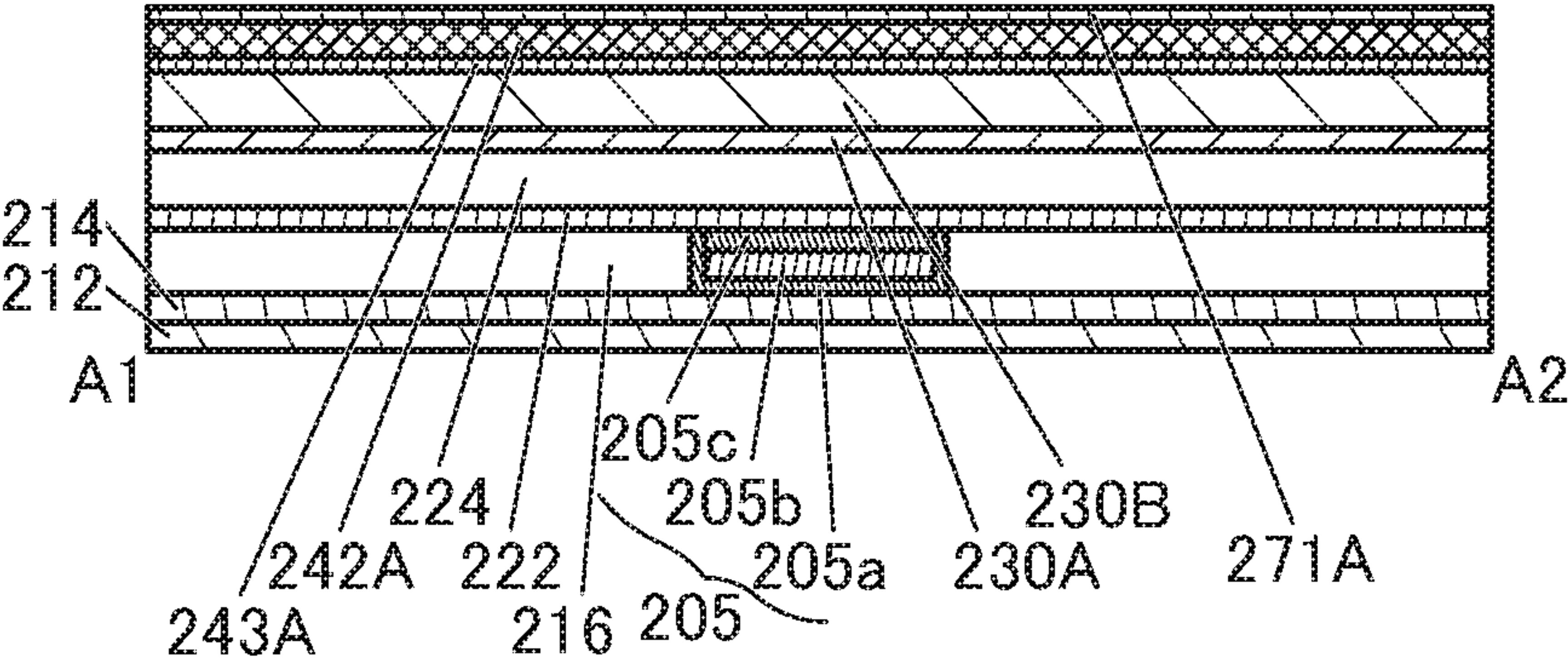


図12D

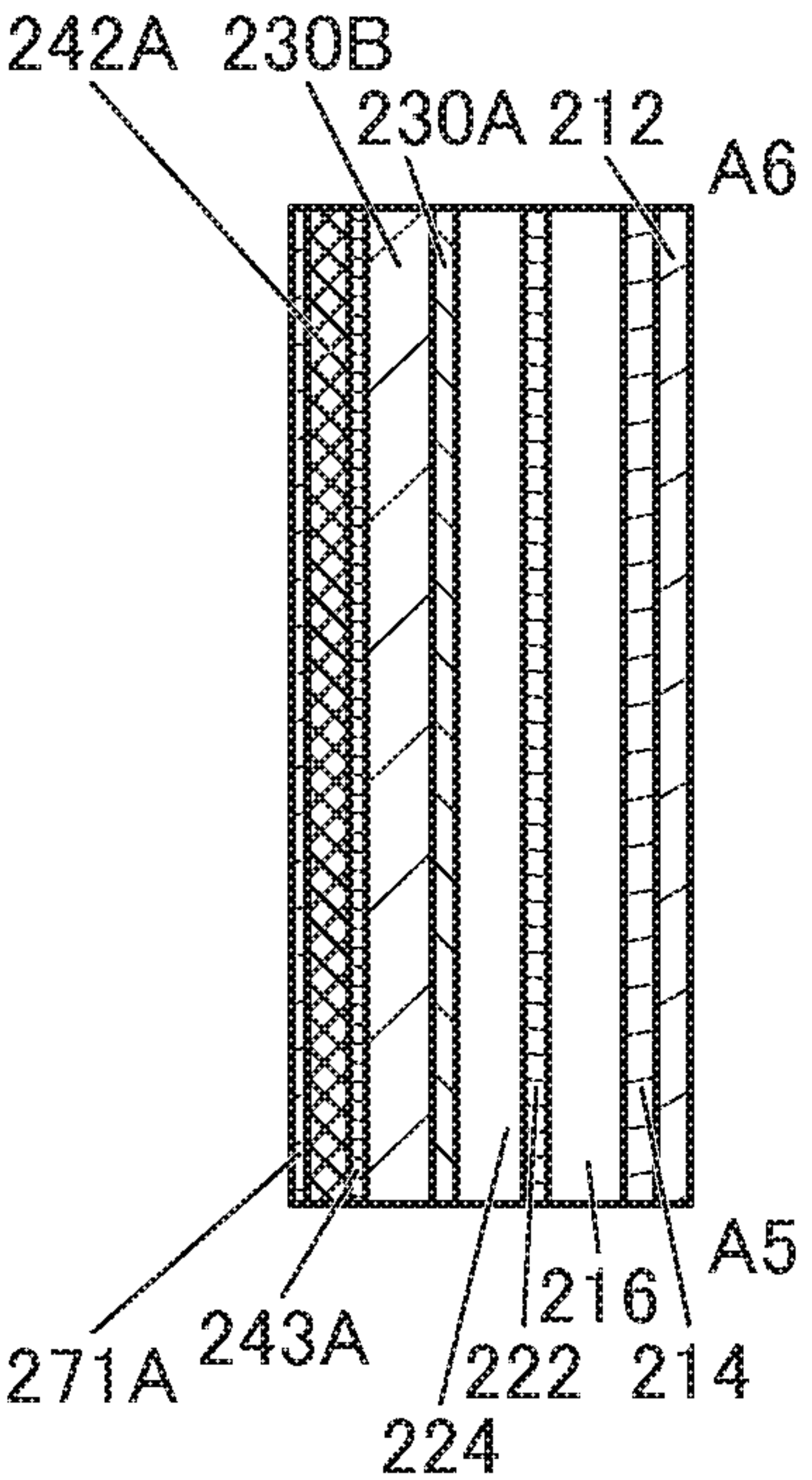


図13A

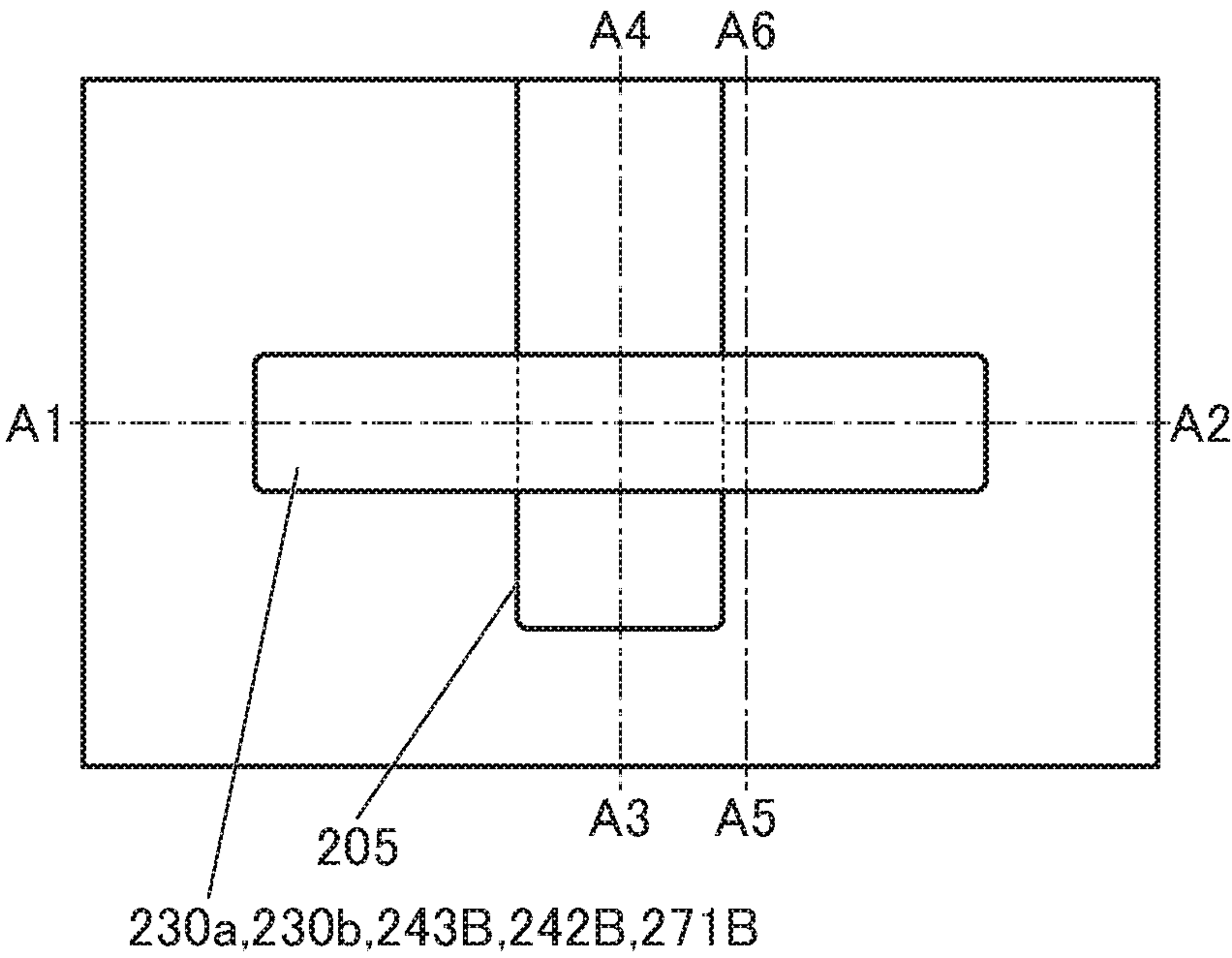


図13C

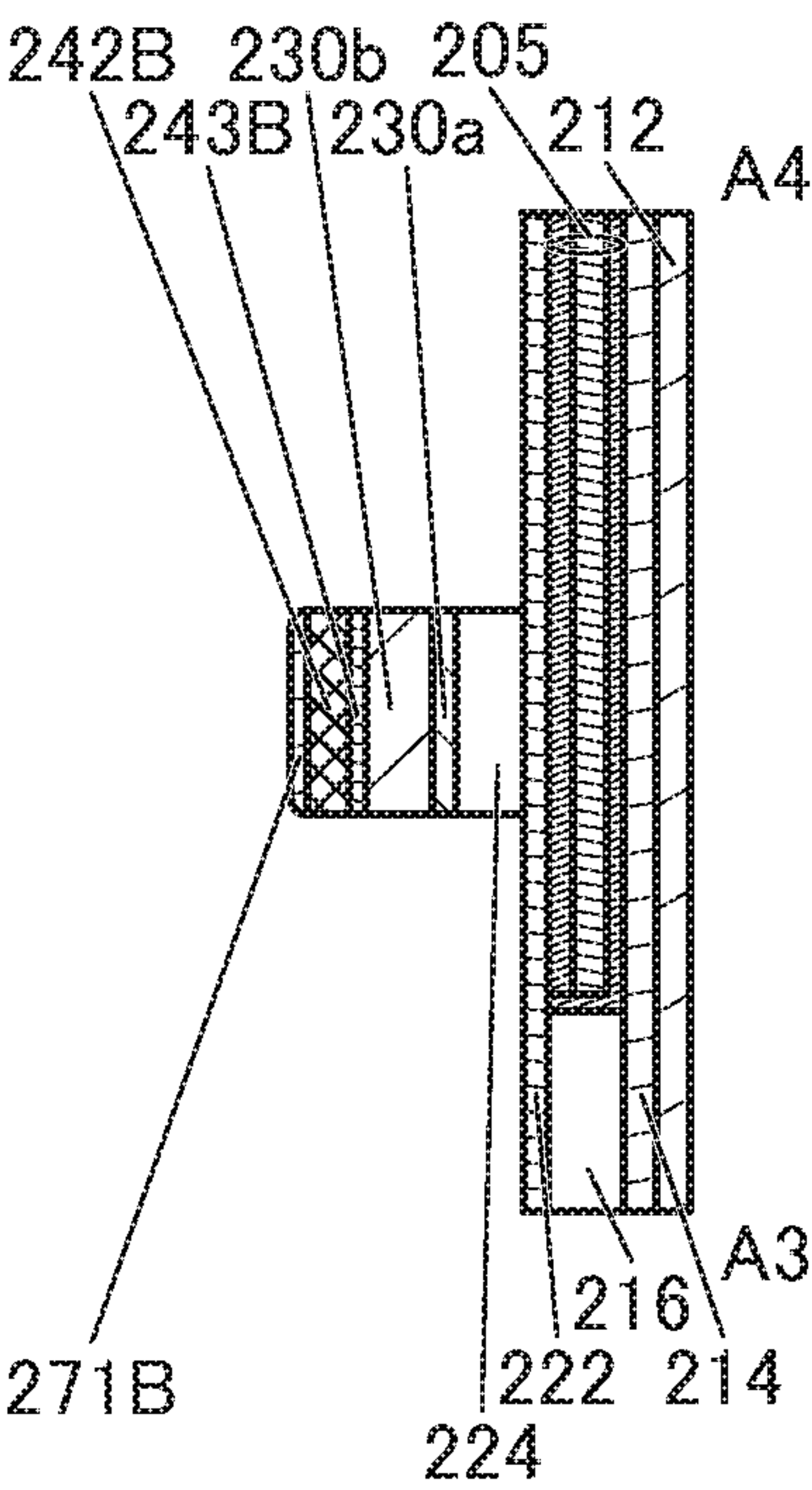


図13B

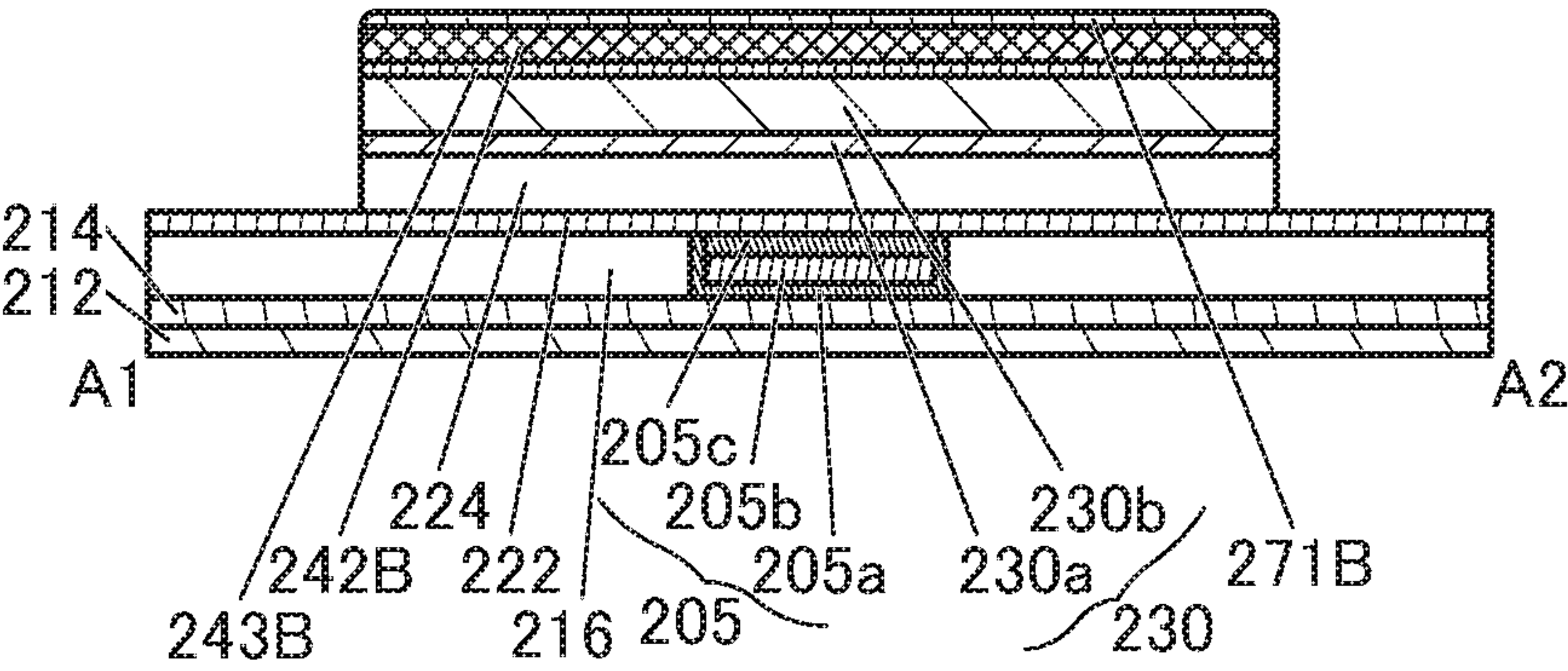


図13D

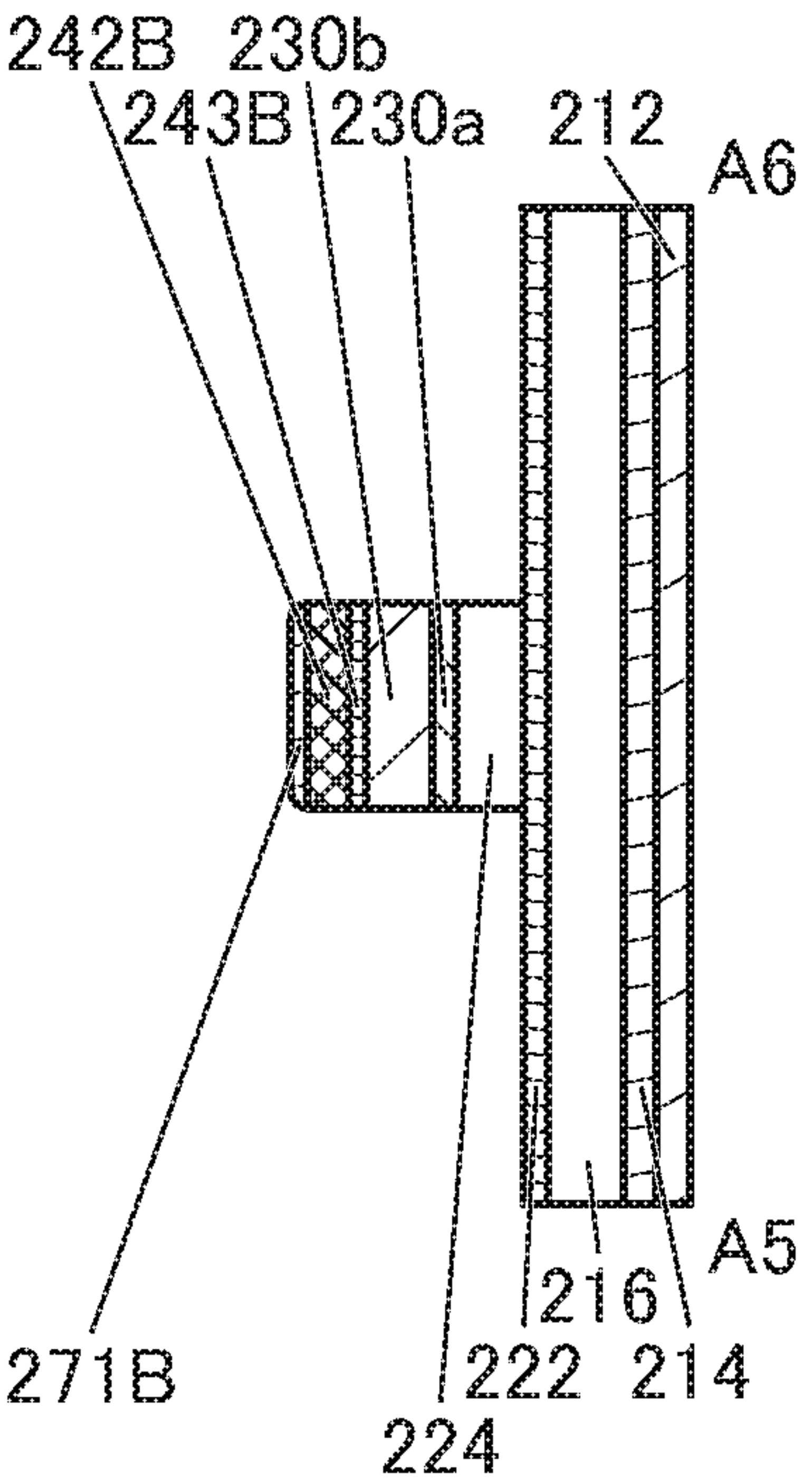


図14A

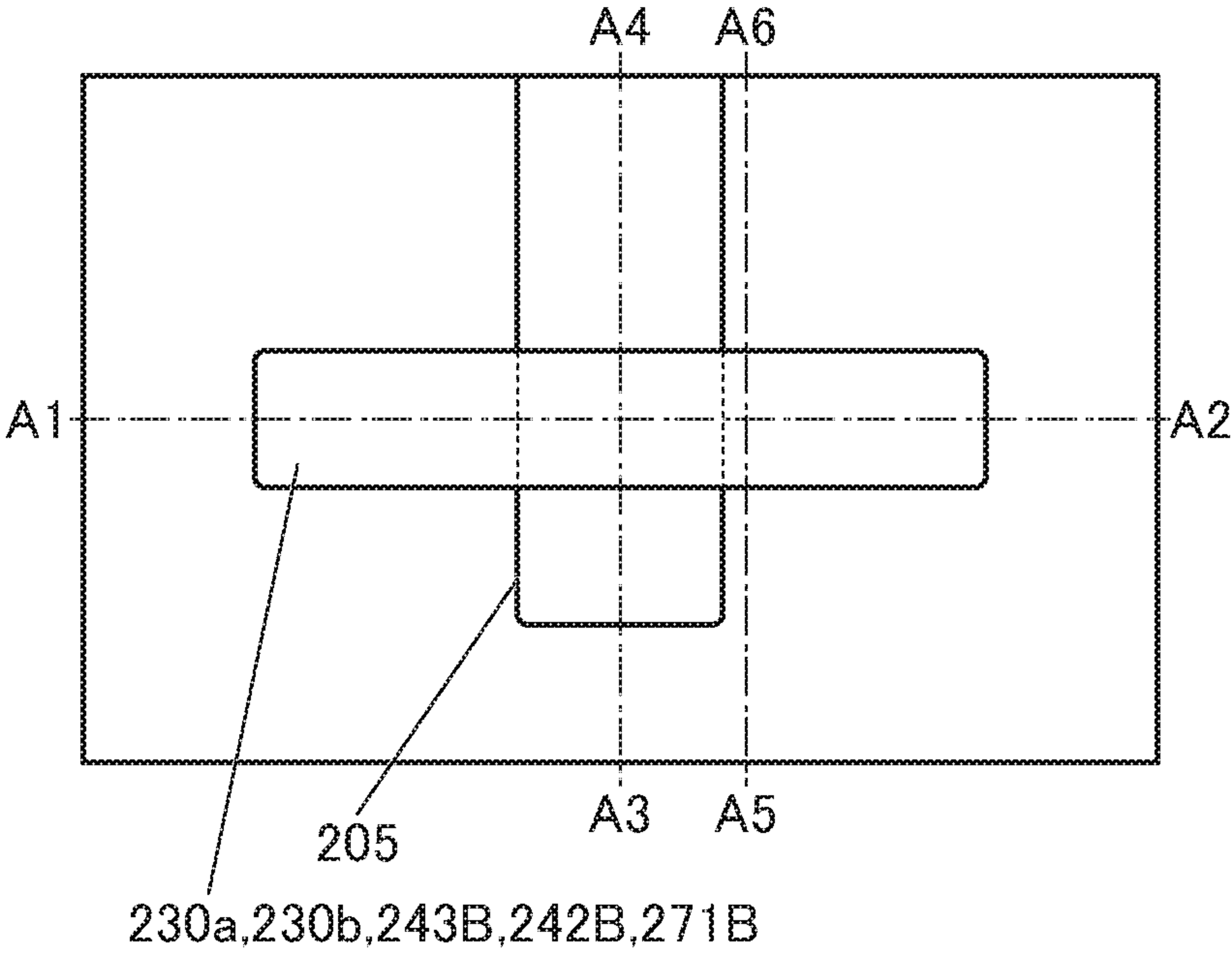


図14C

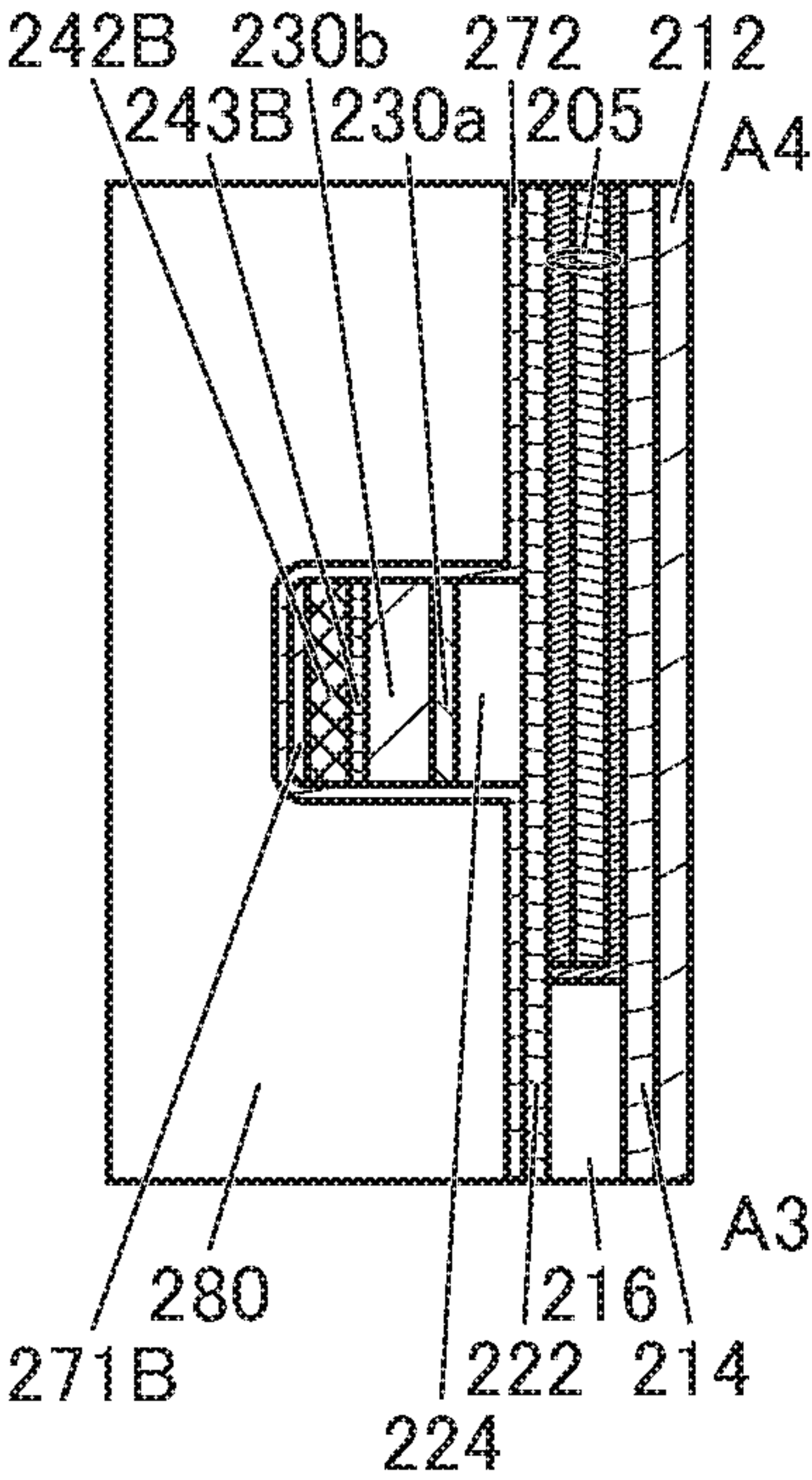


図14B

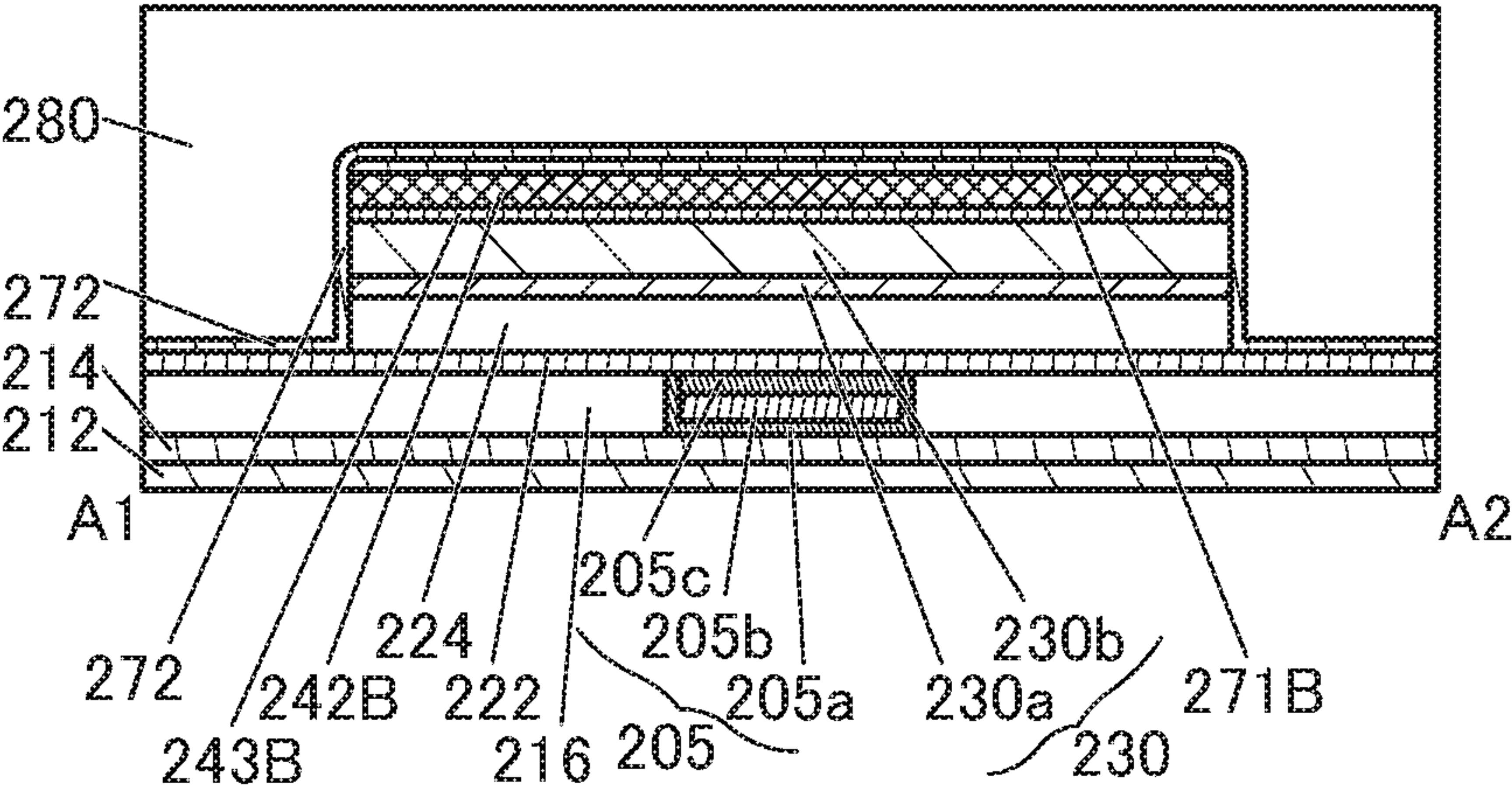


図14D

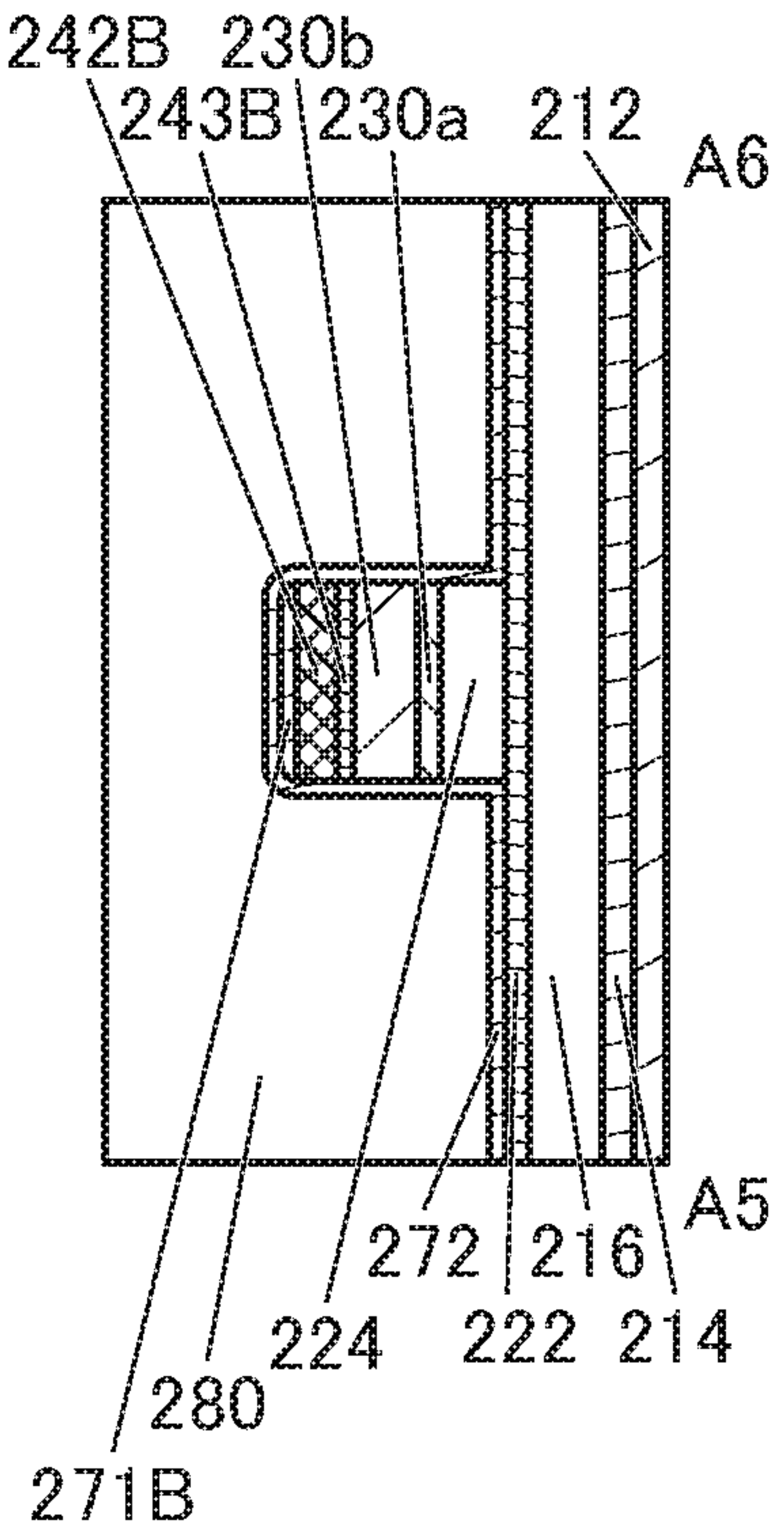


図15A

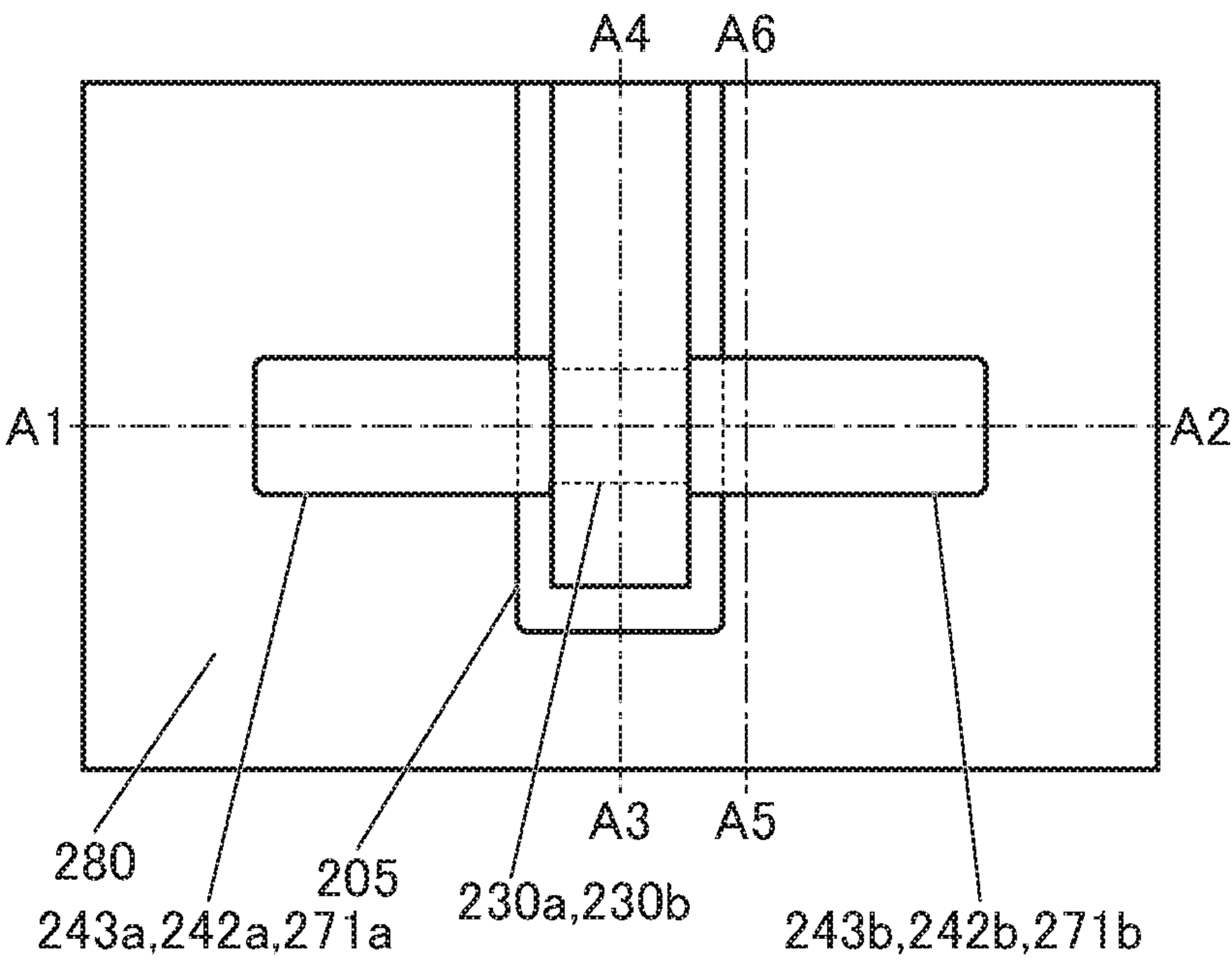


図15C

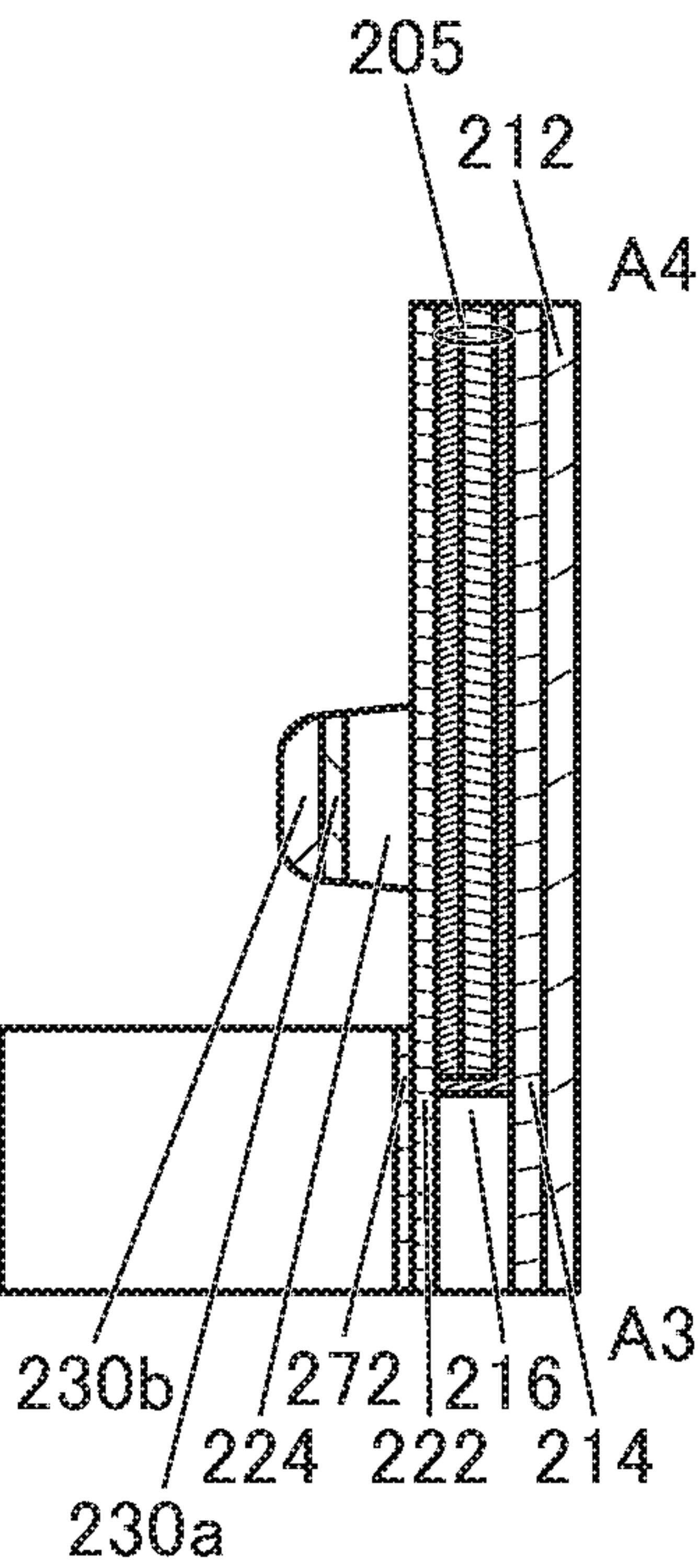


図15B

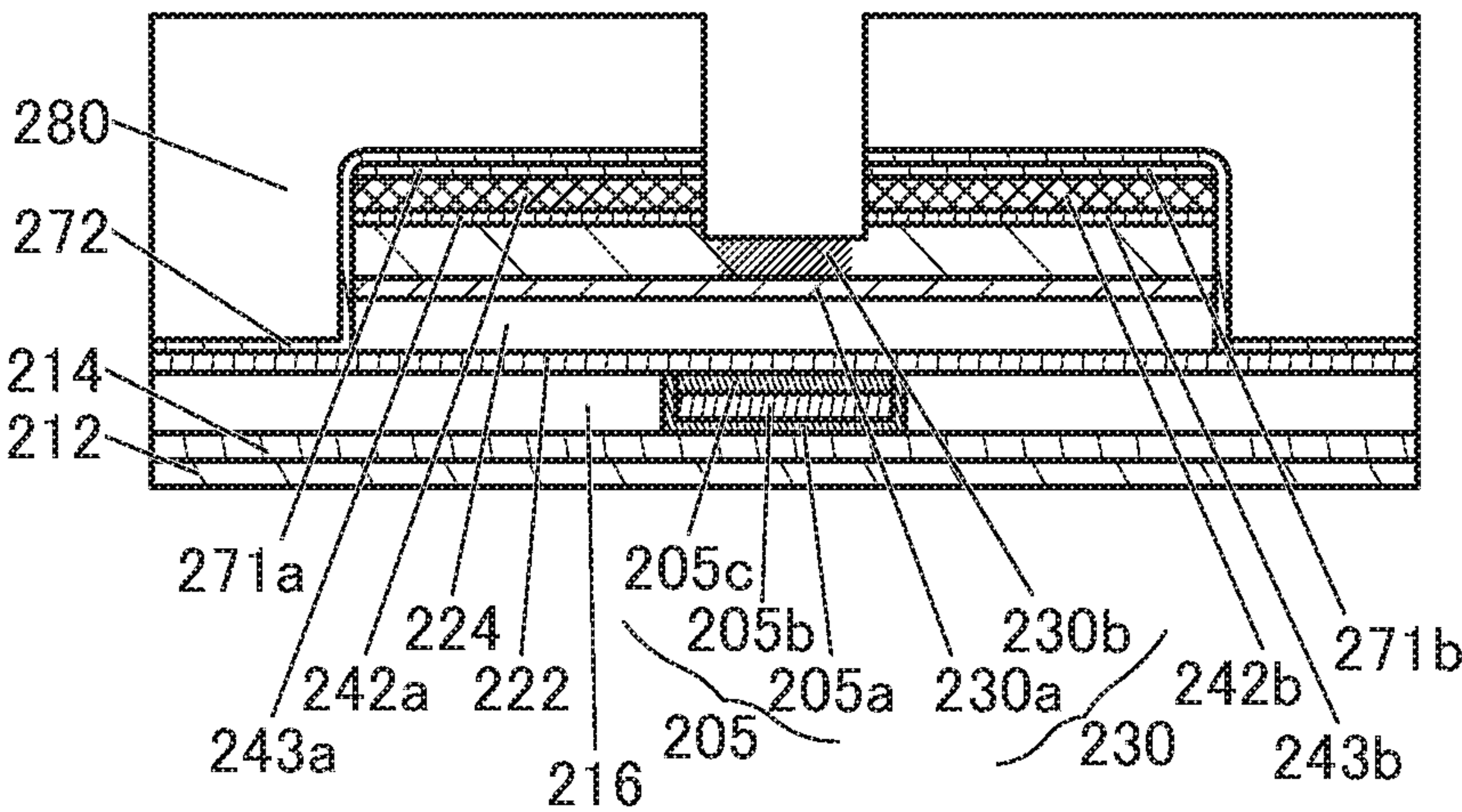


図15D

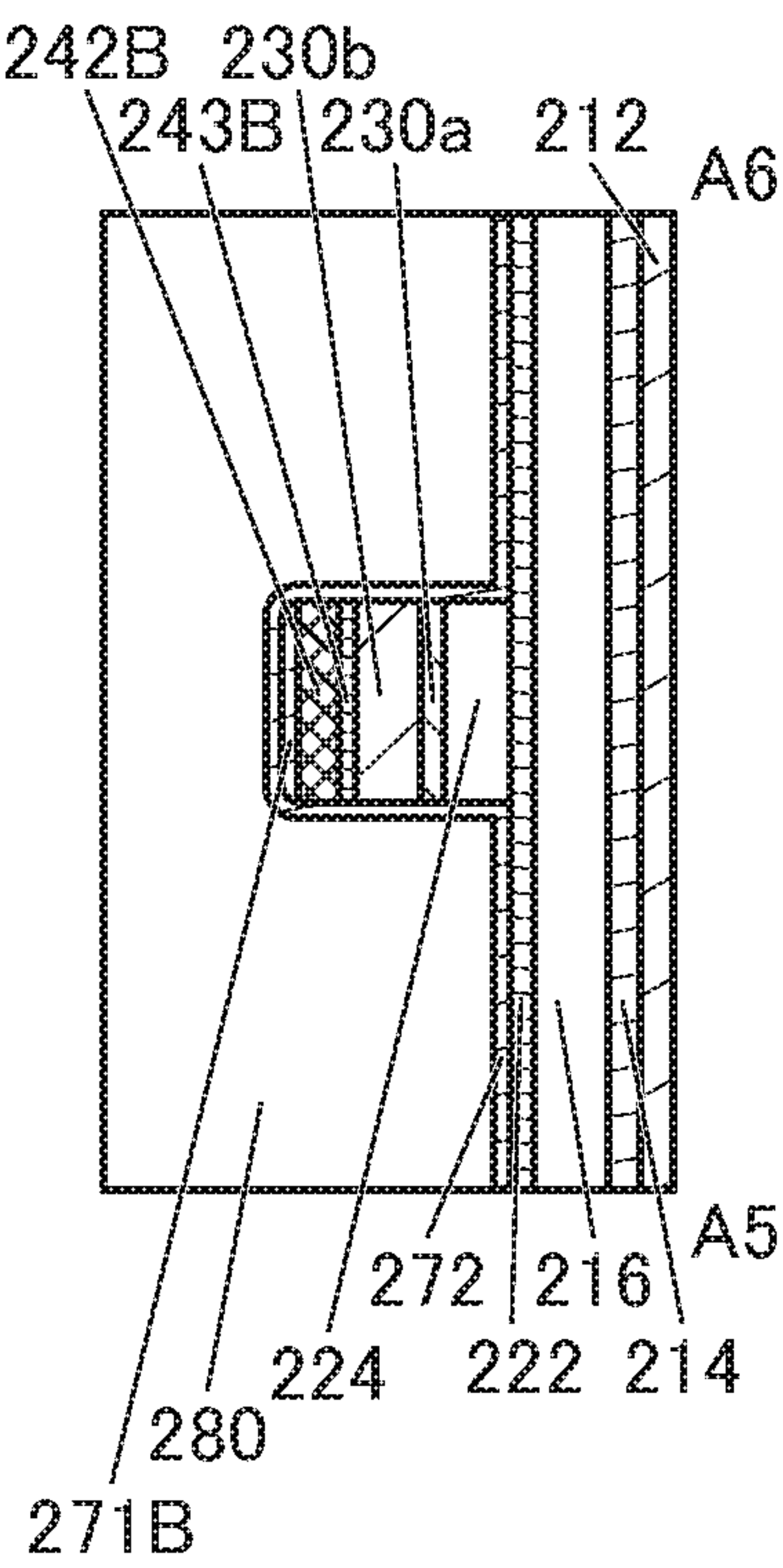


図16A

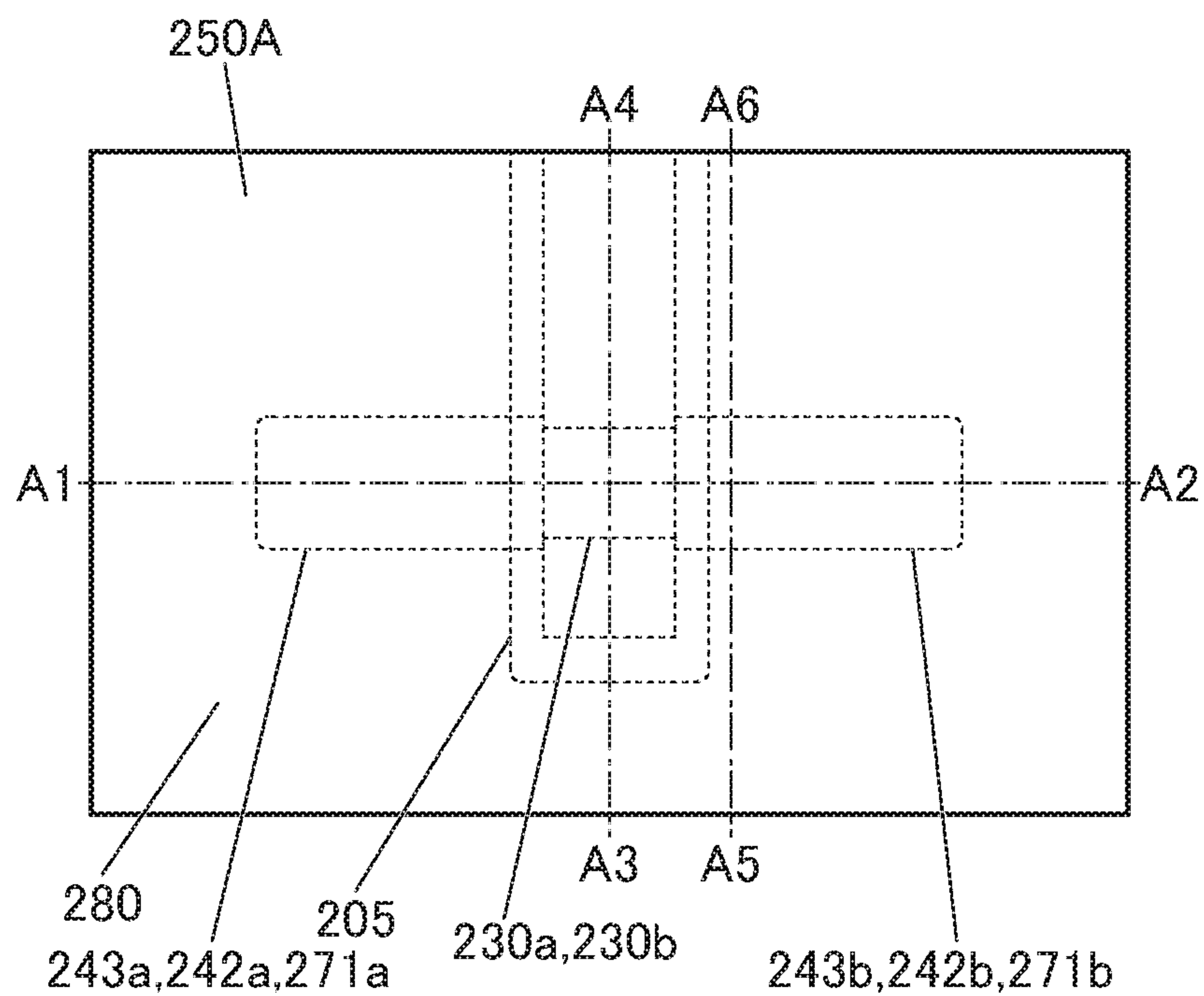


図16C

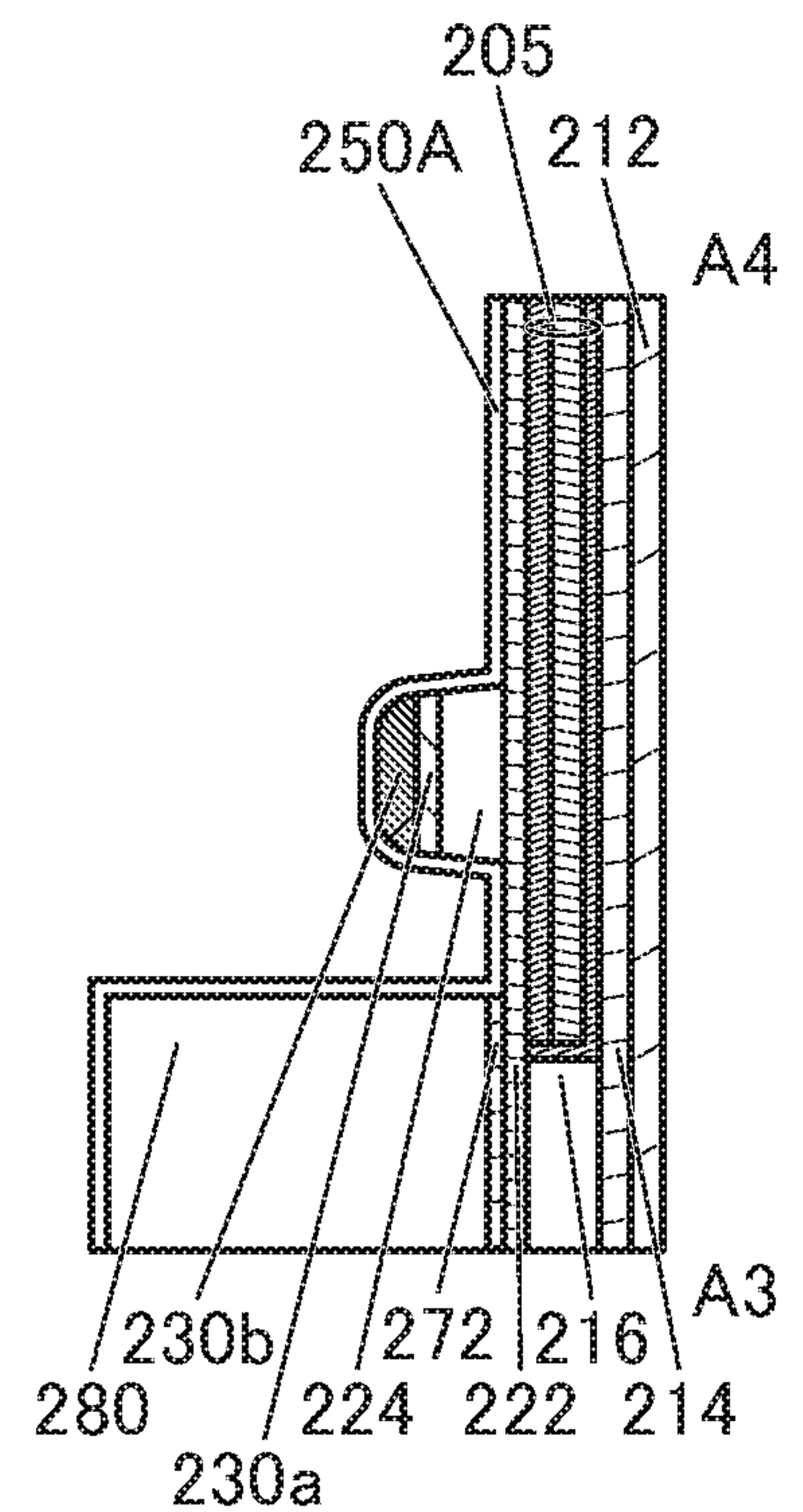


図16B

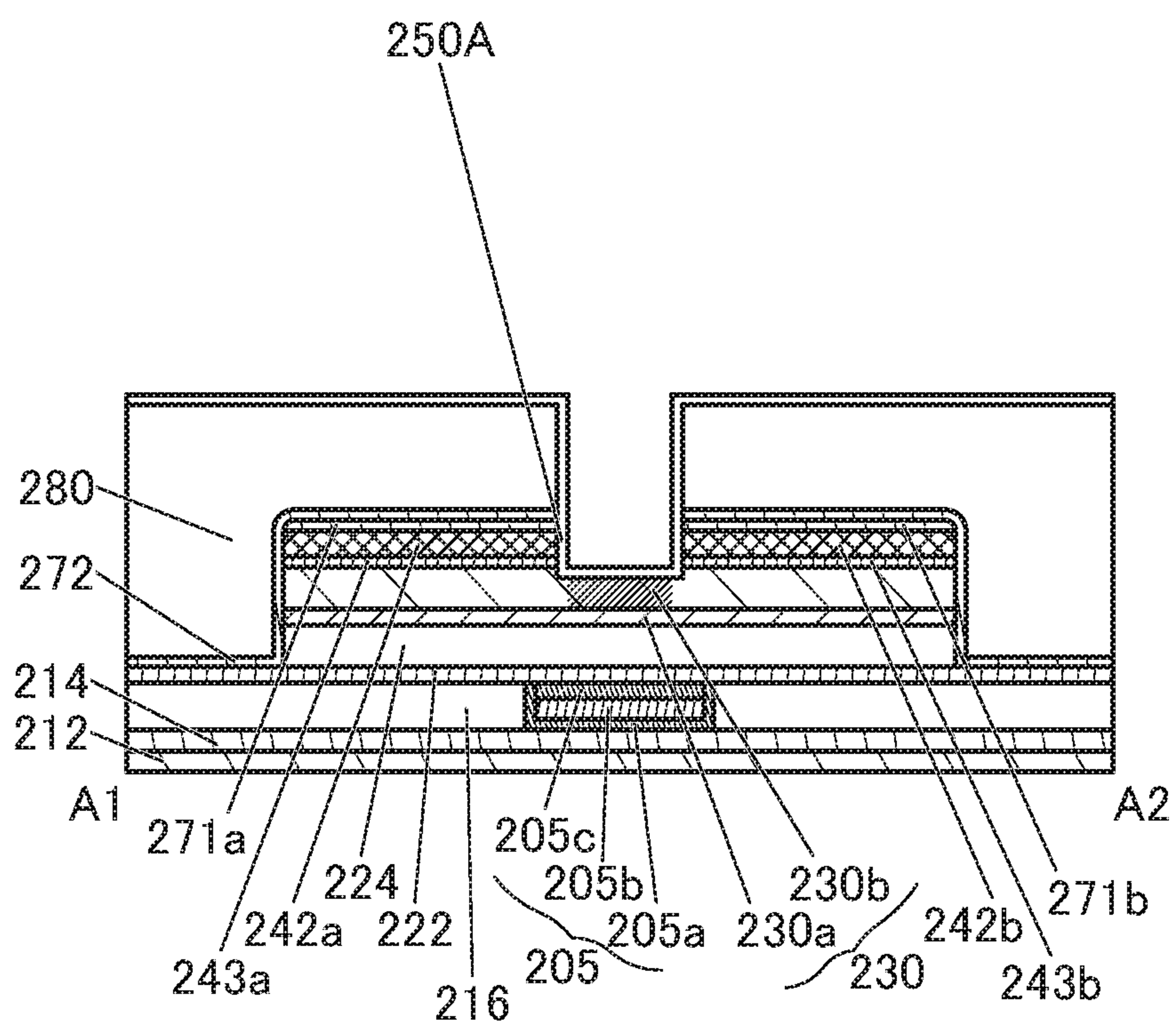


図16D

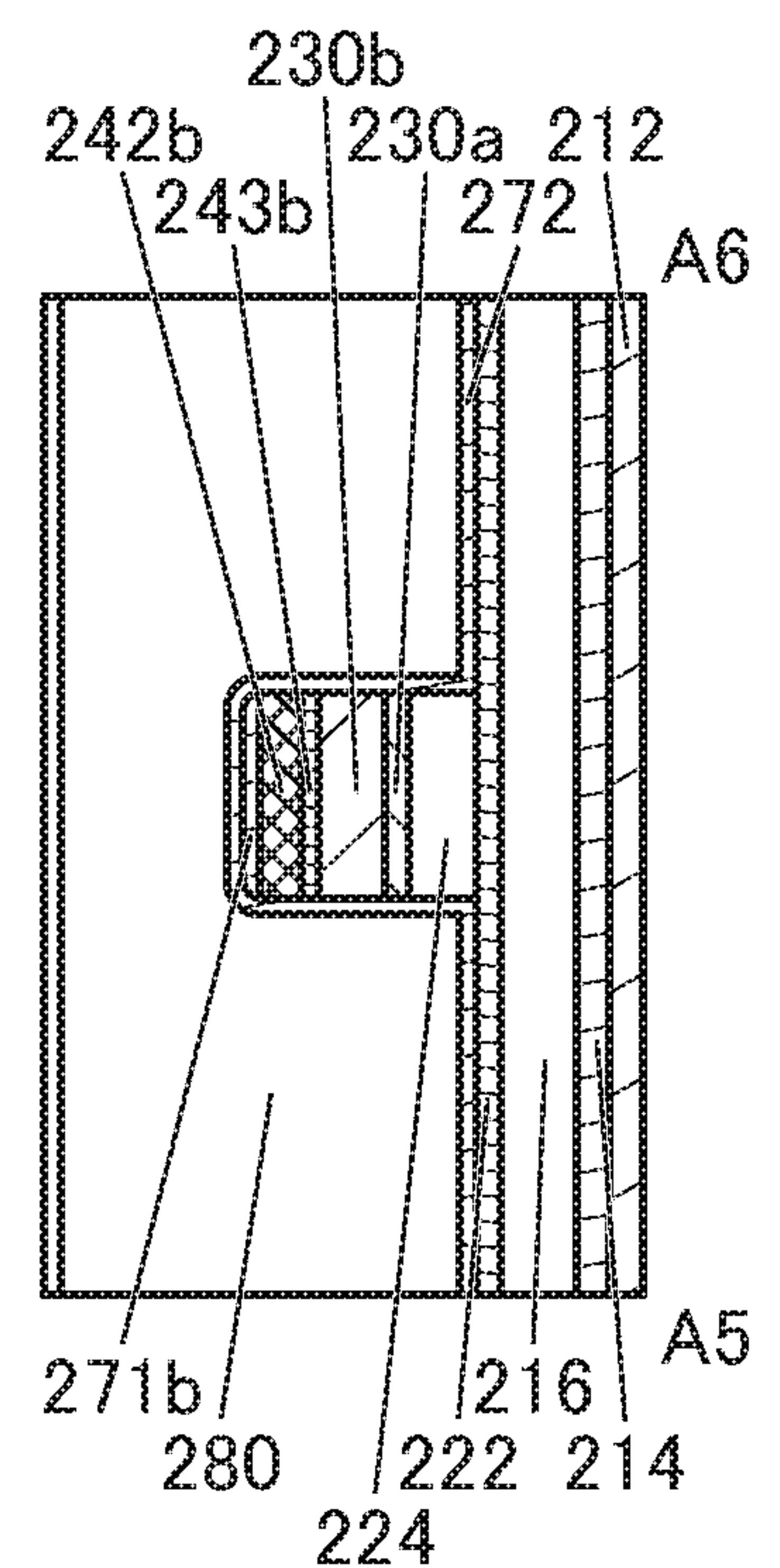


図17A

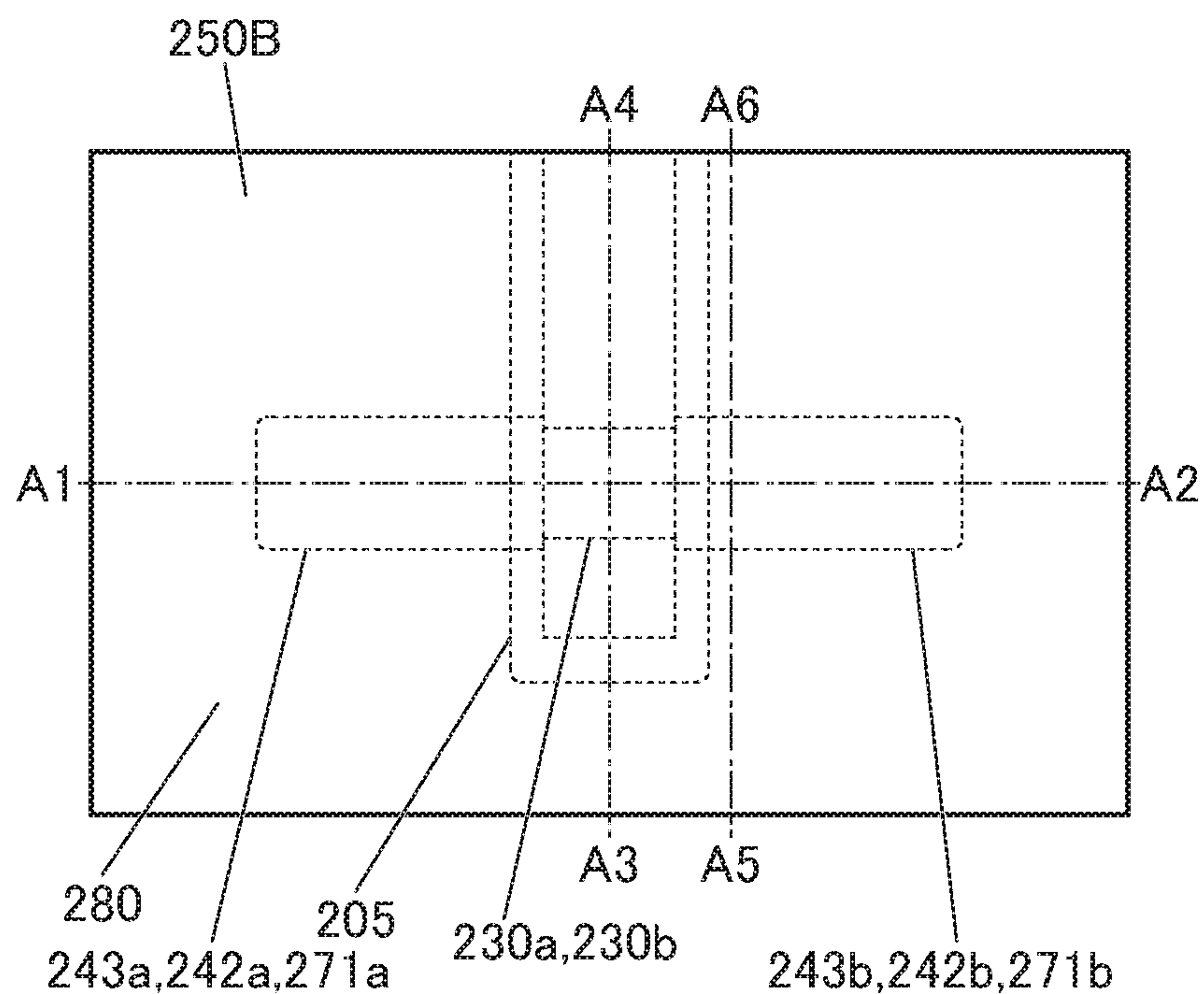


図17C

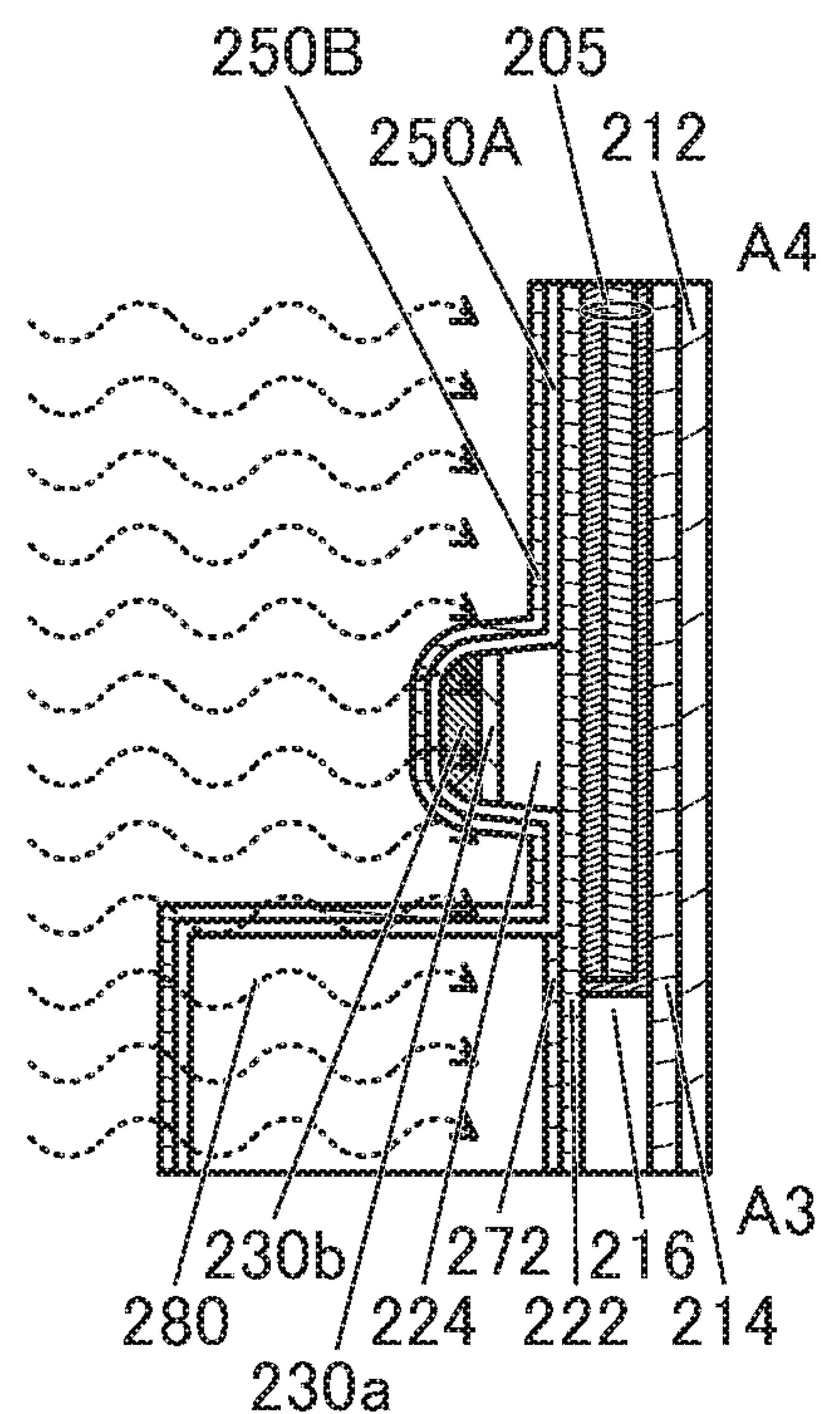


図17B

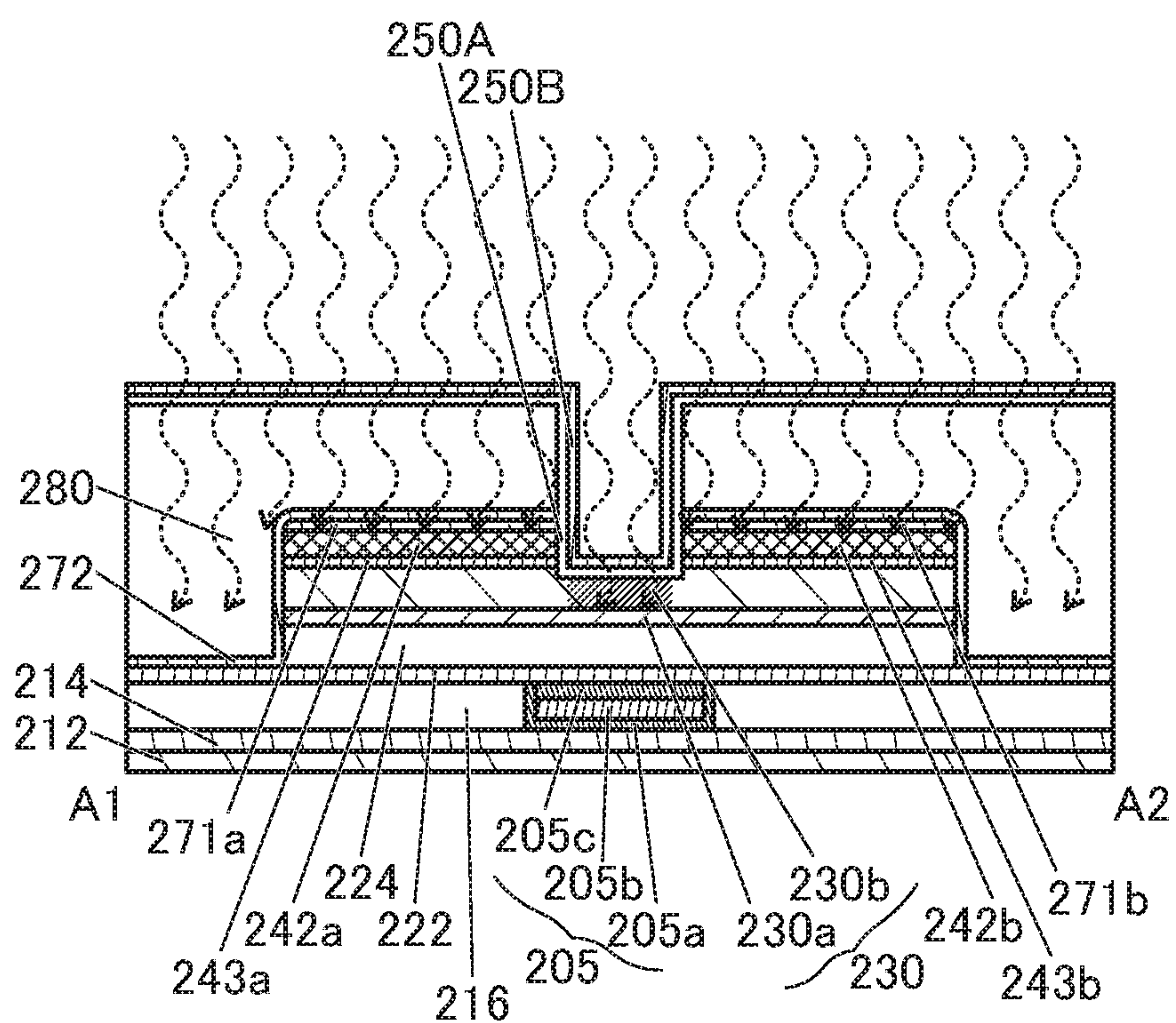


図17D

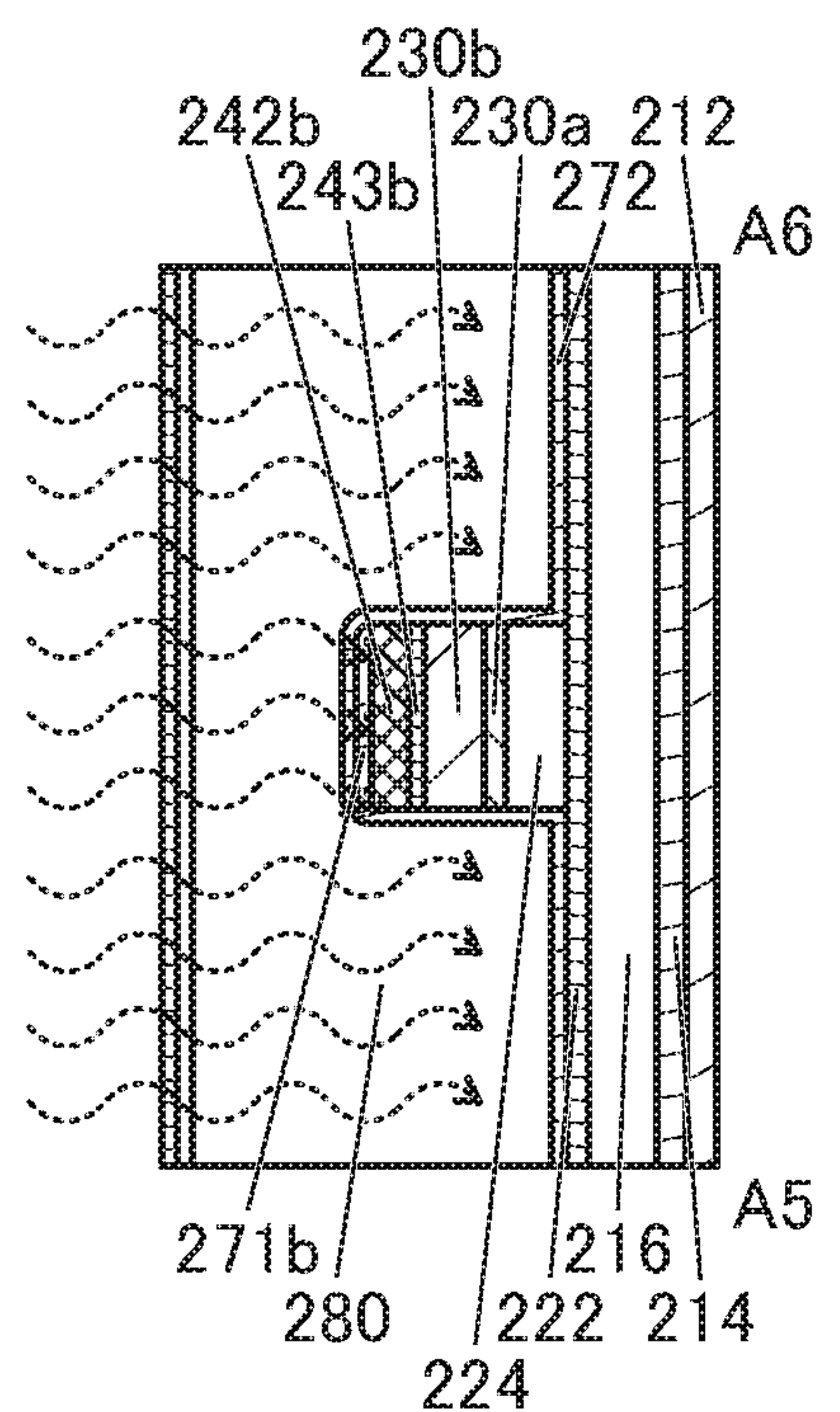


図18A

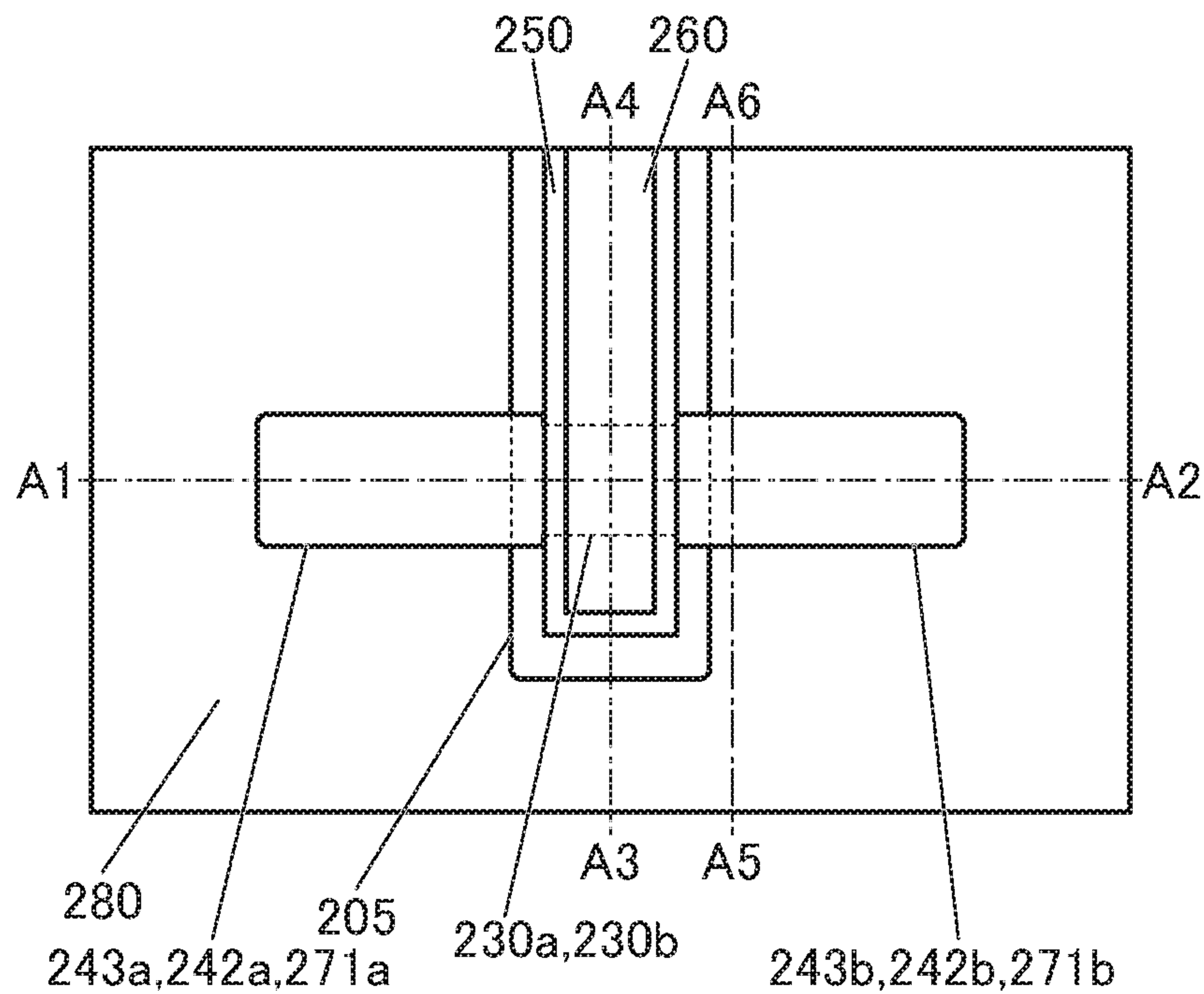


図18C

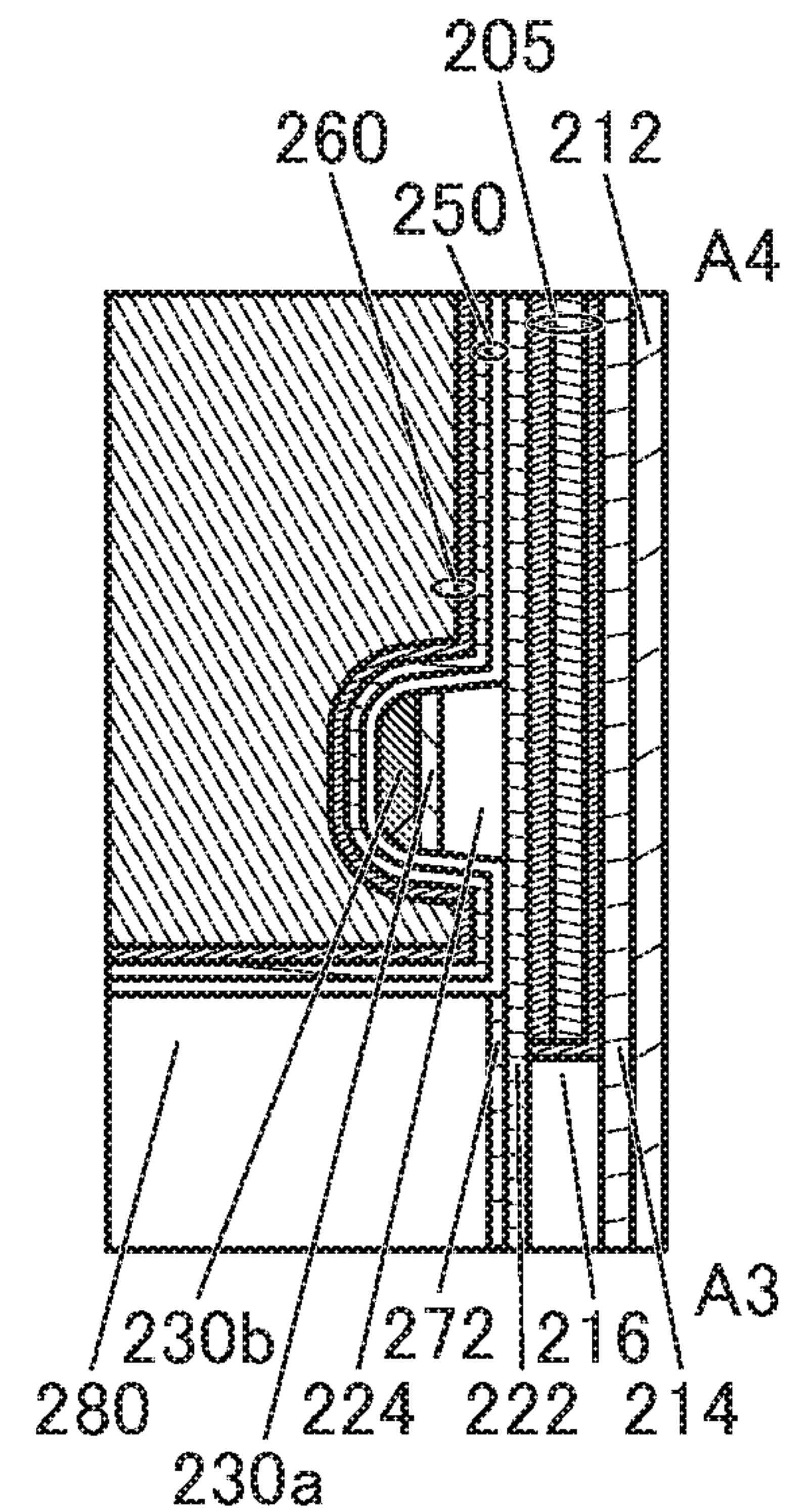


図18B

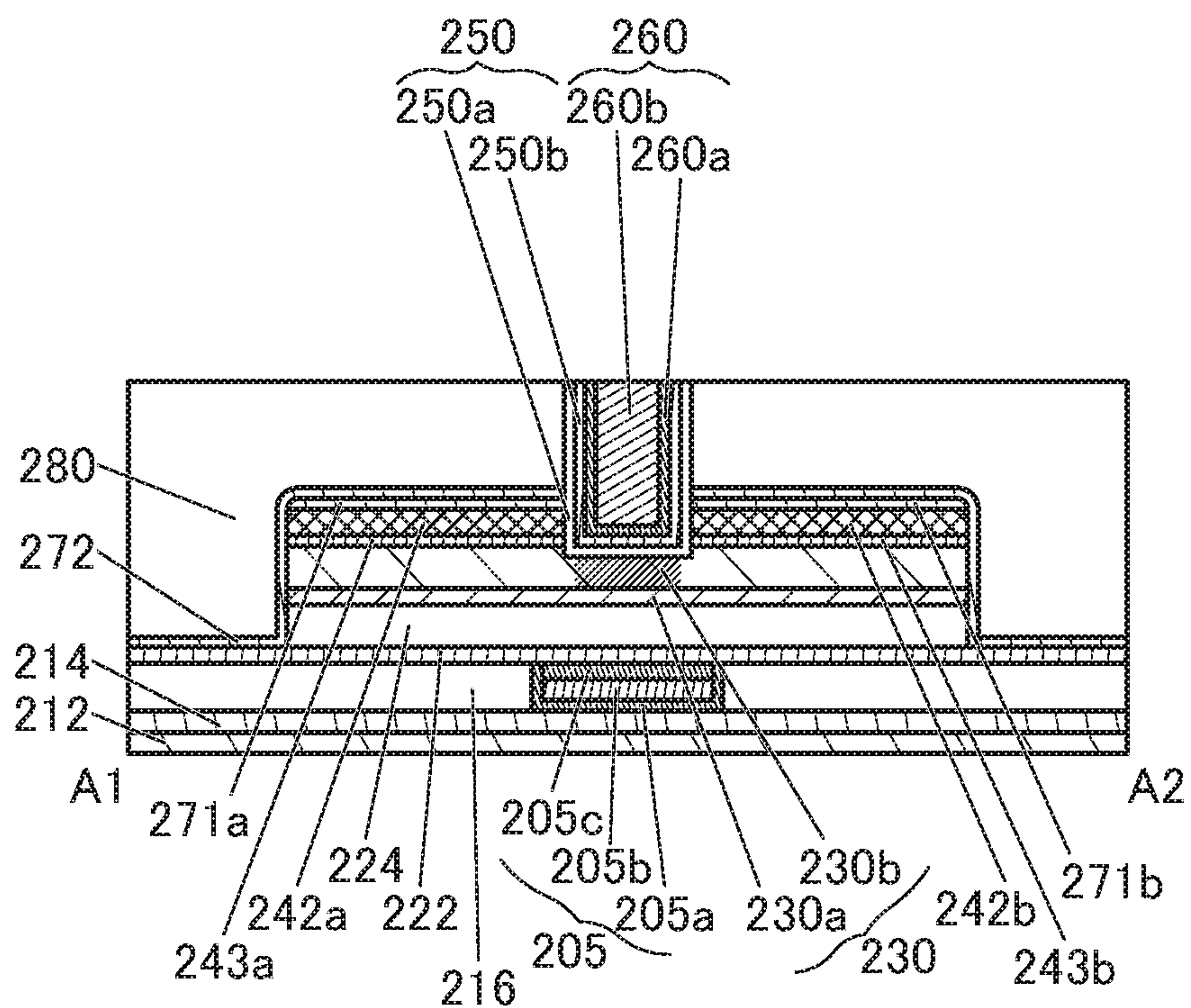


図18D

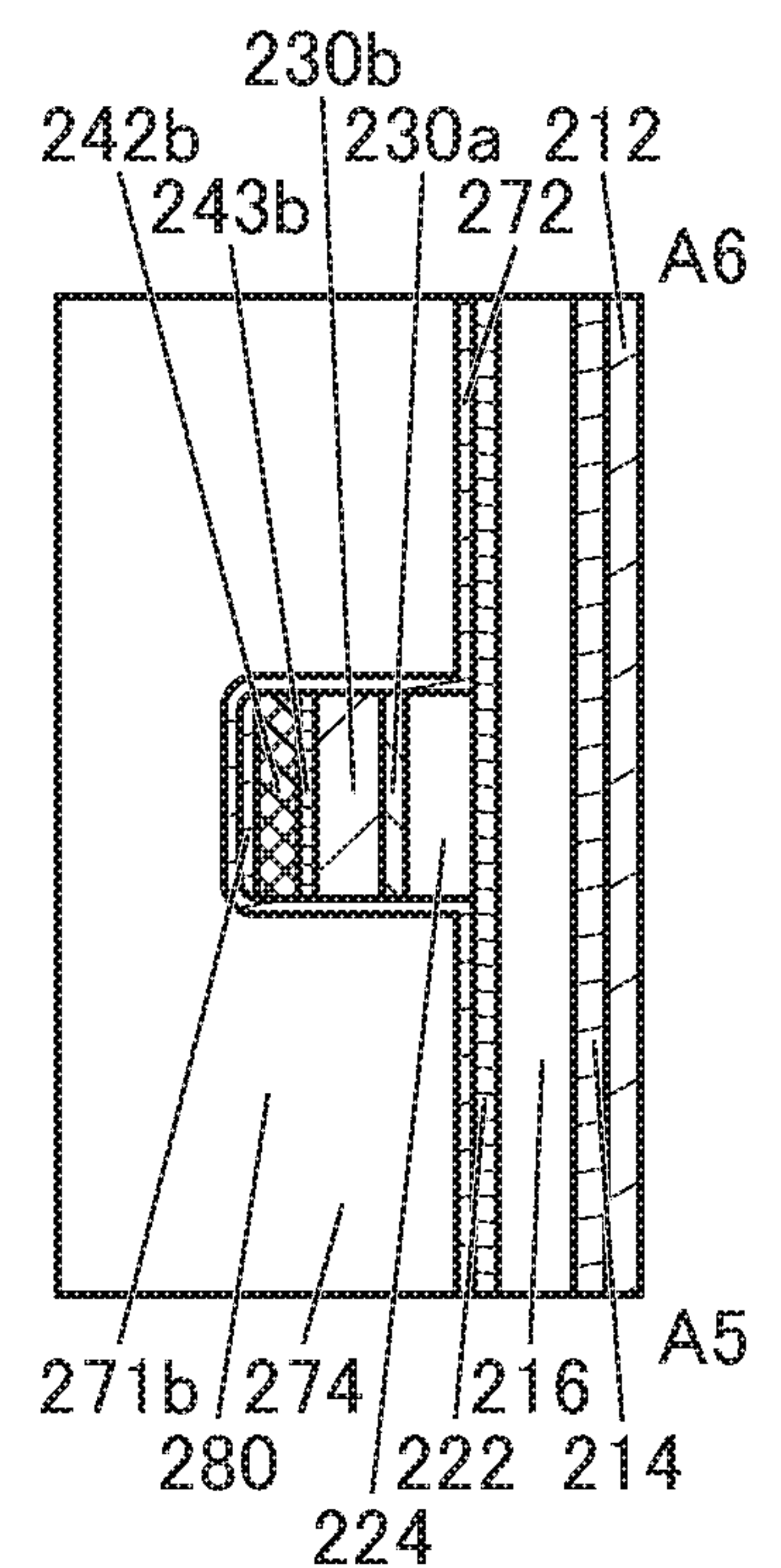


図19A

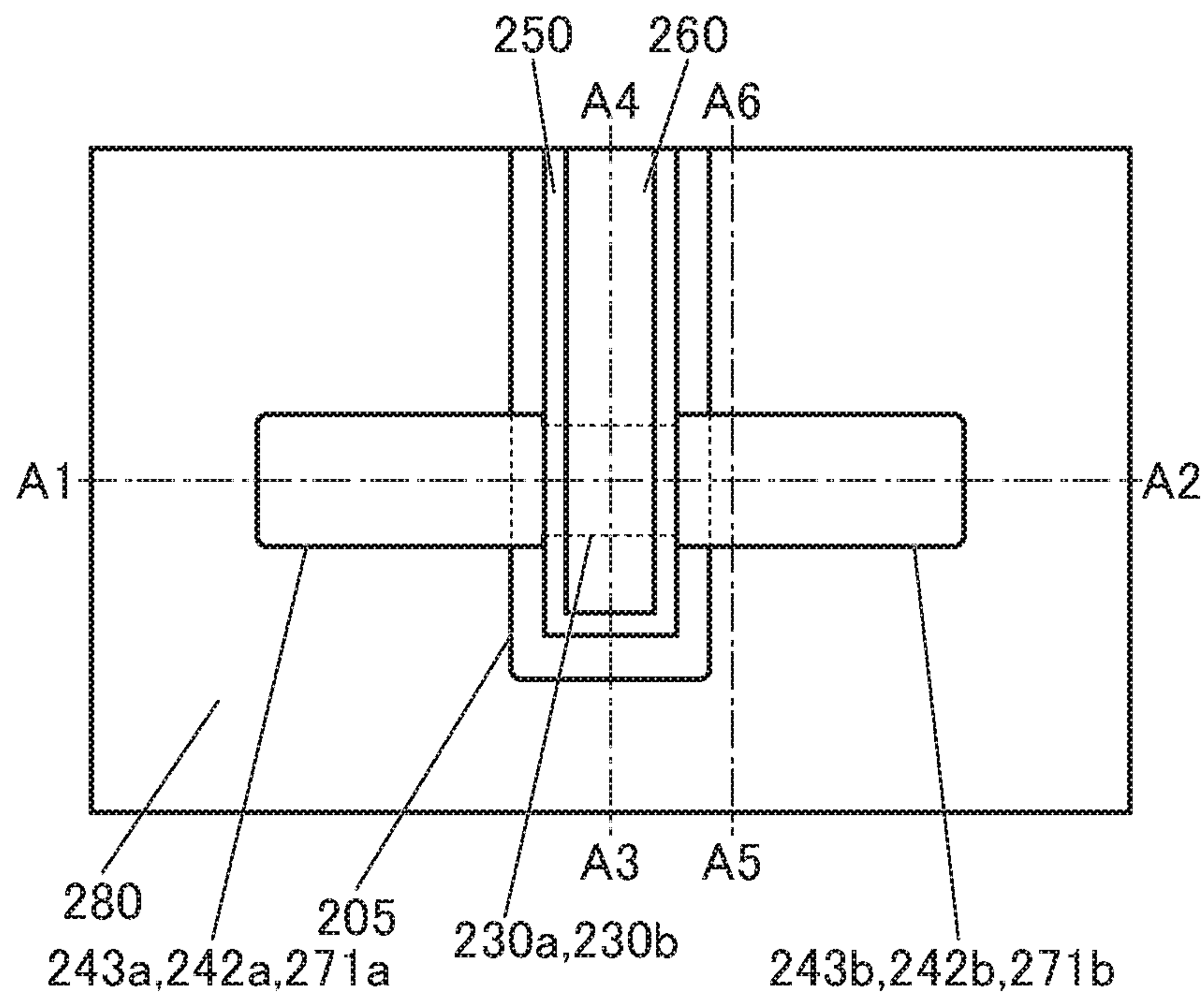


図19C

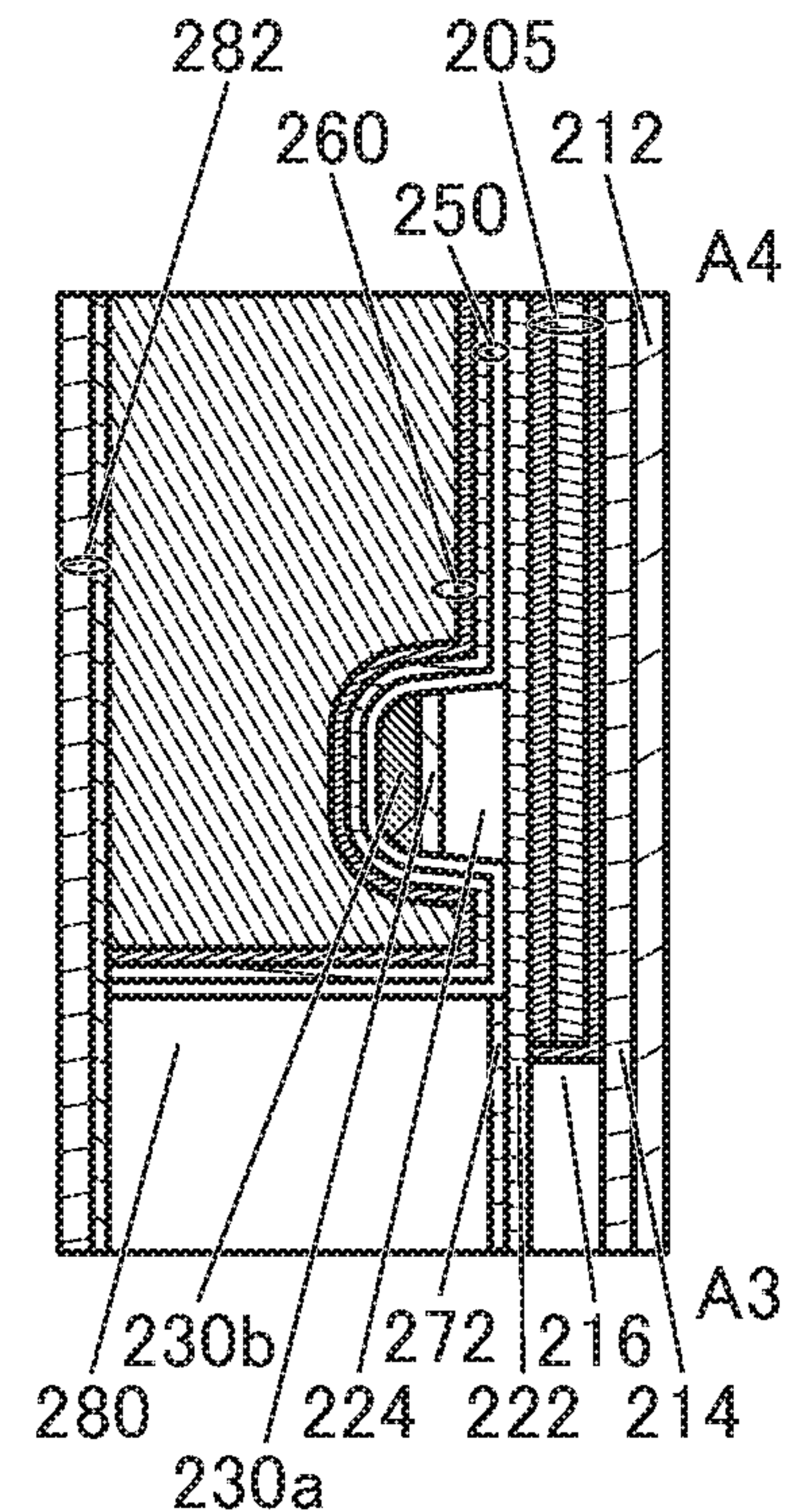


図19B

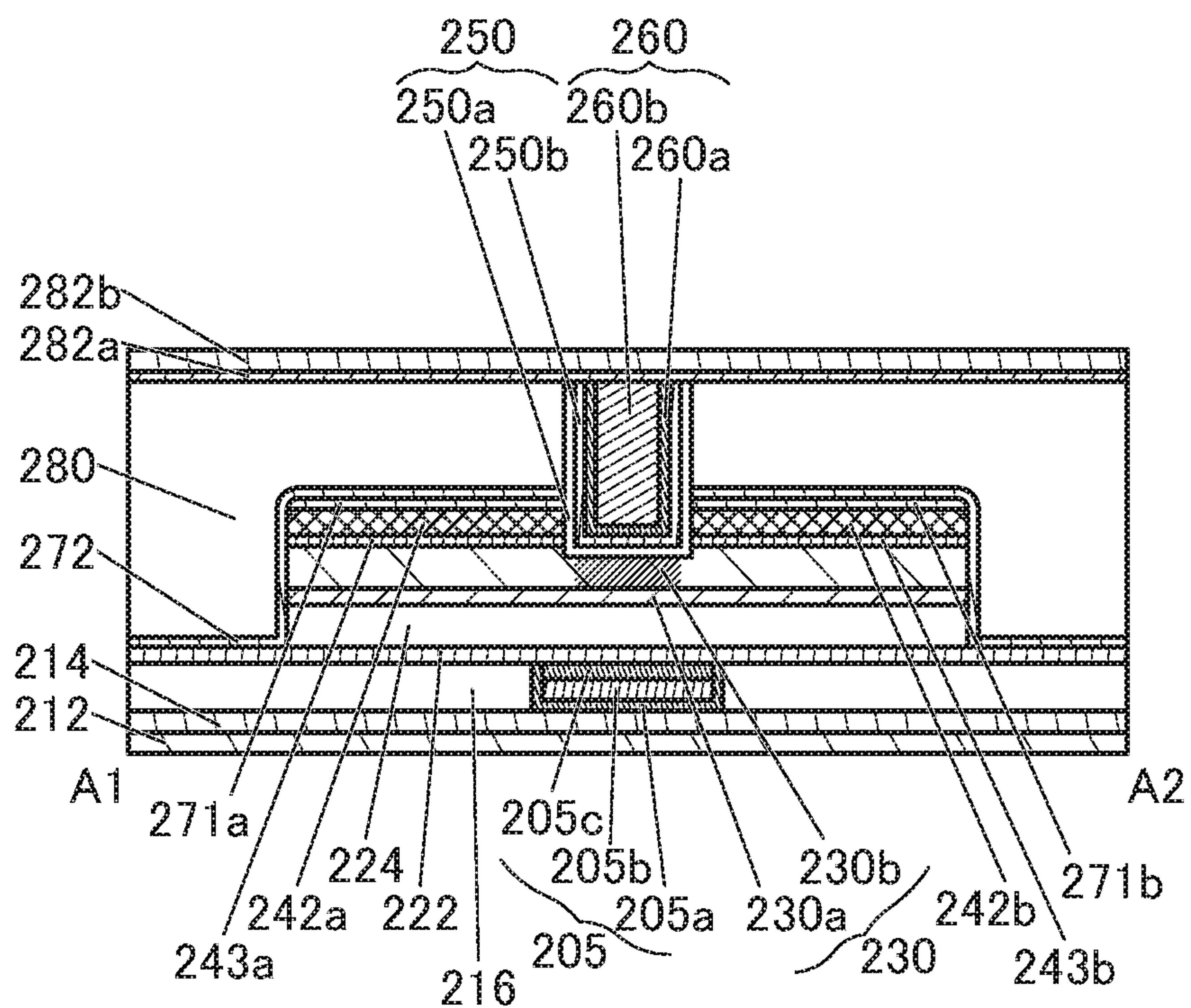


図19D

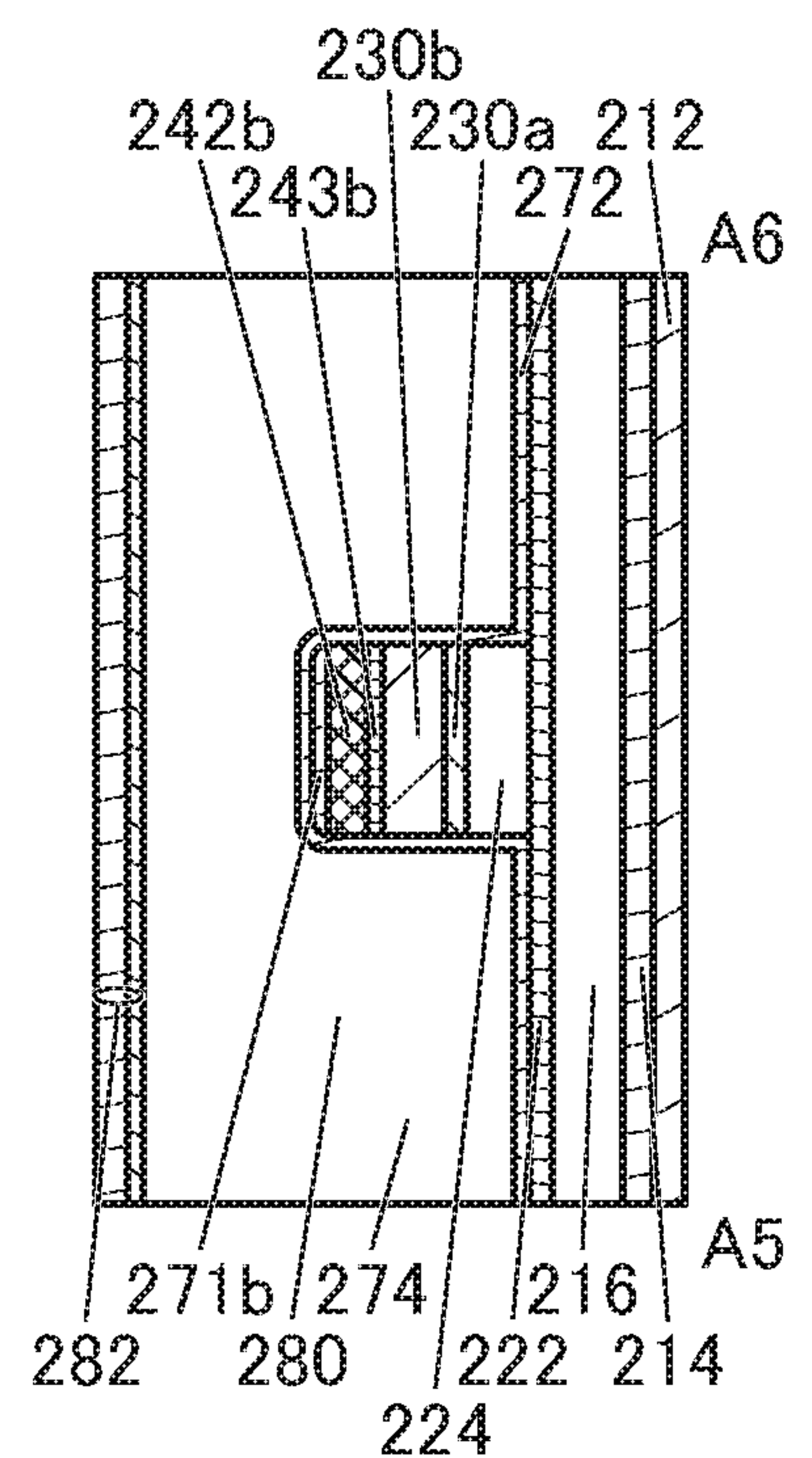


図20A

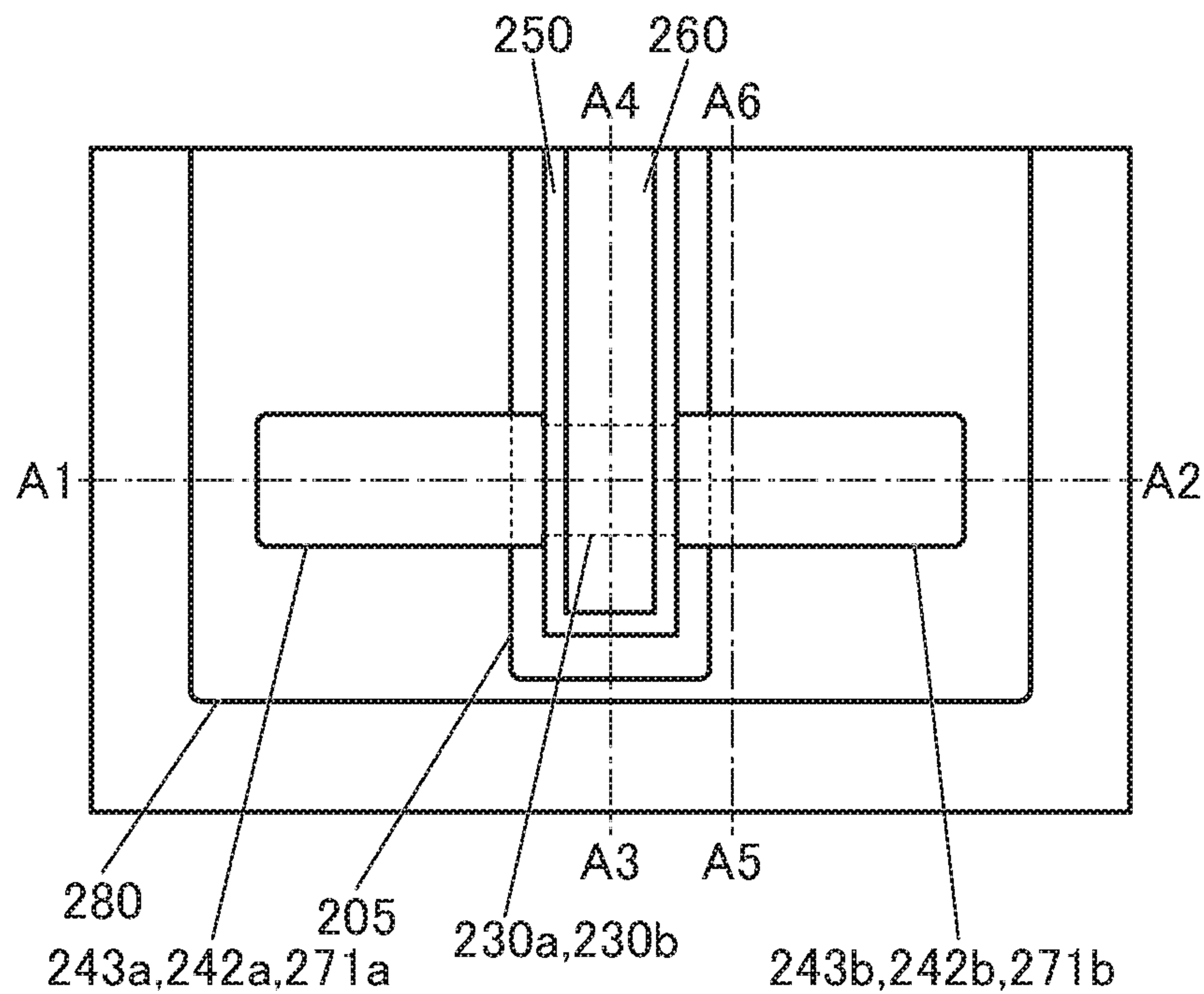


図20C

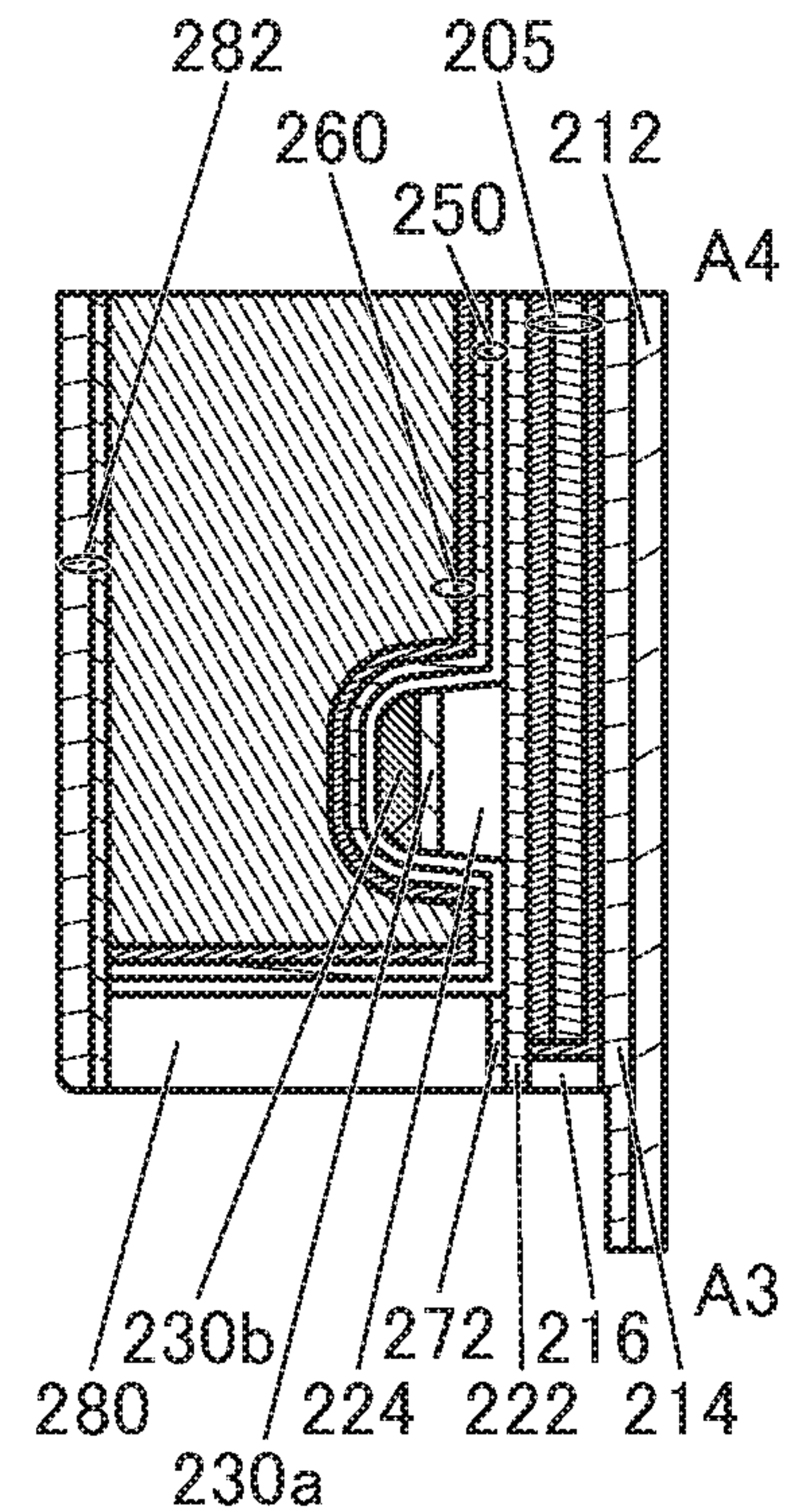


図20B

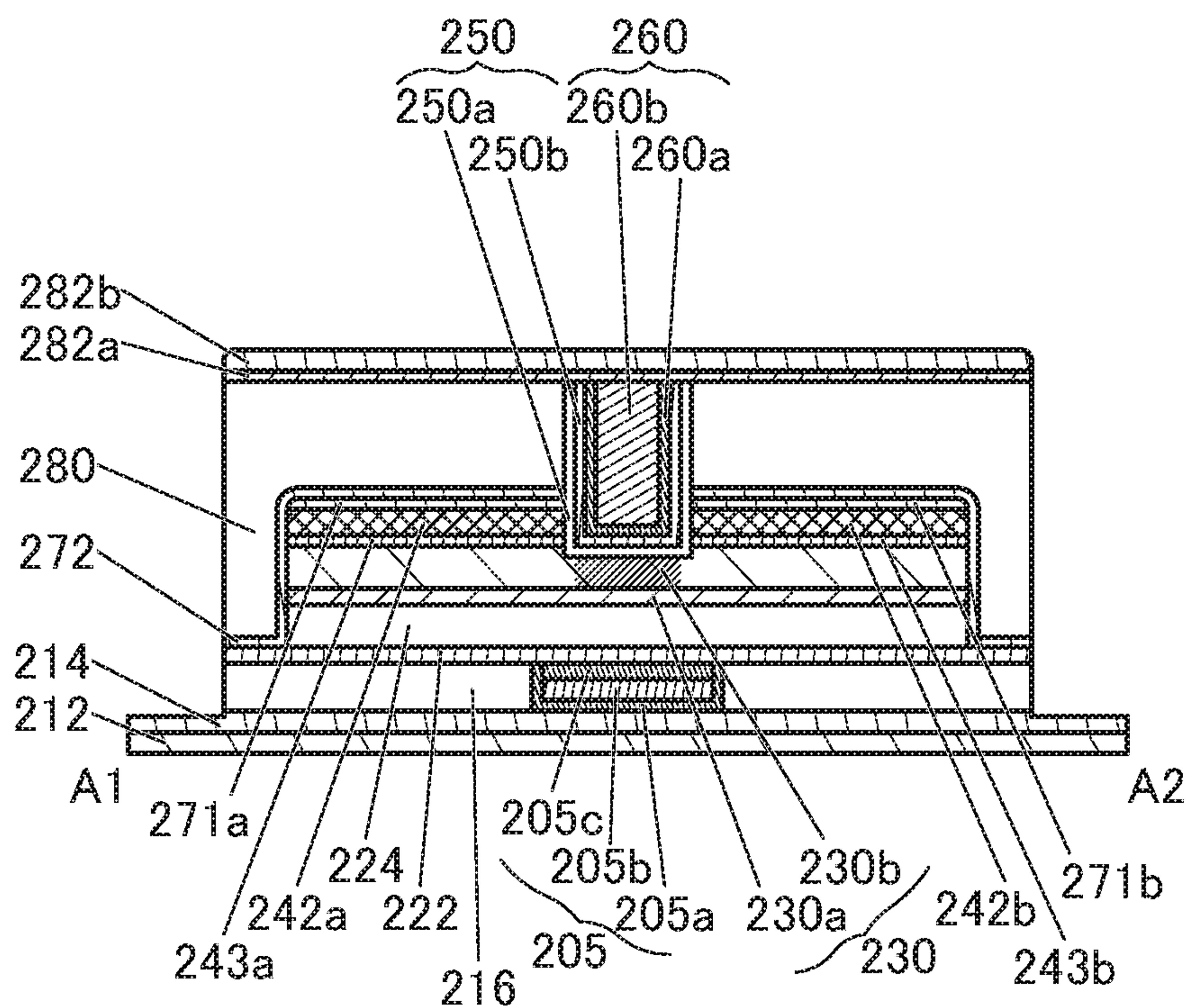


図20D

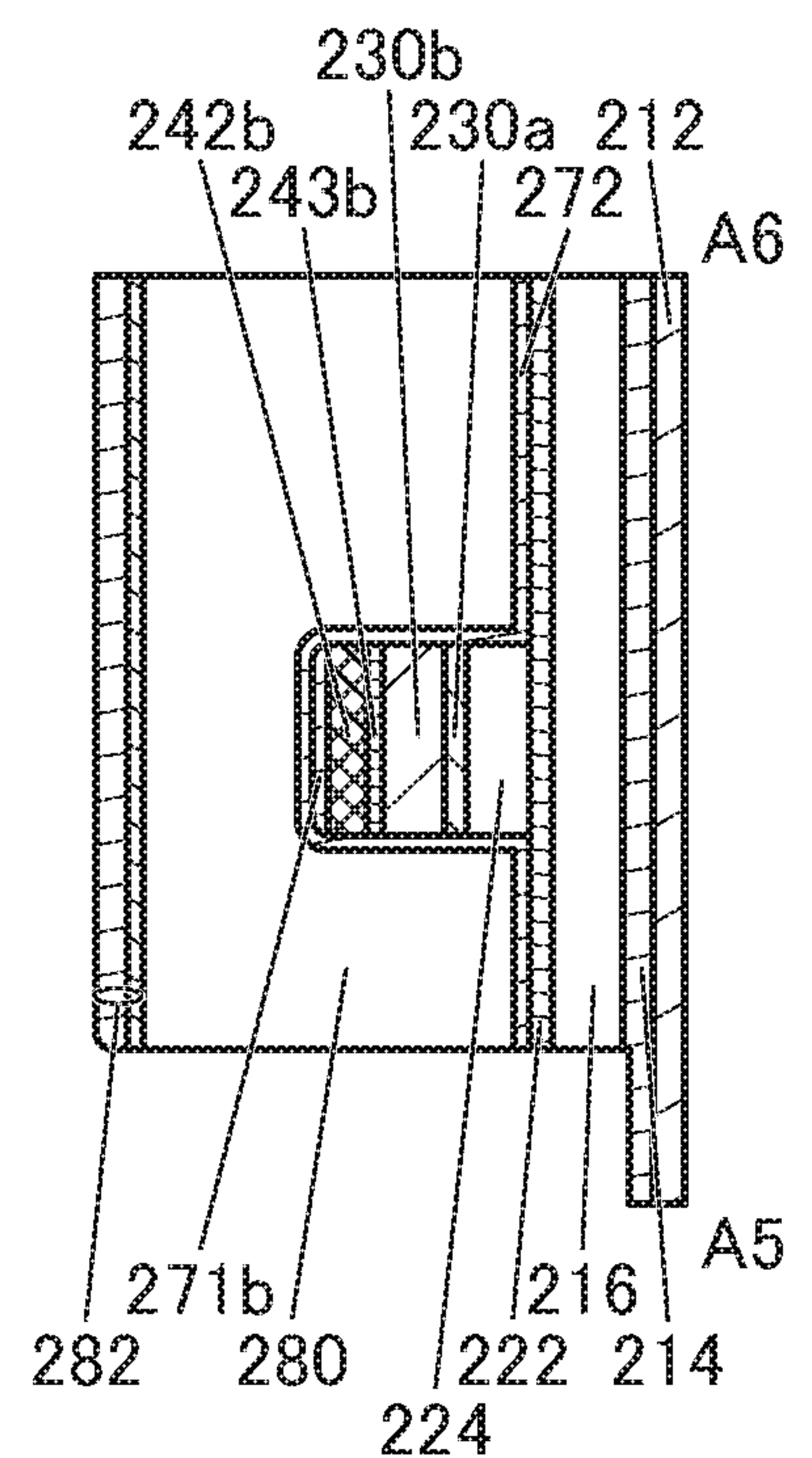


図21A

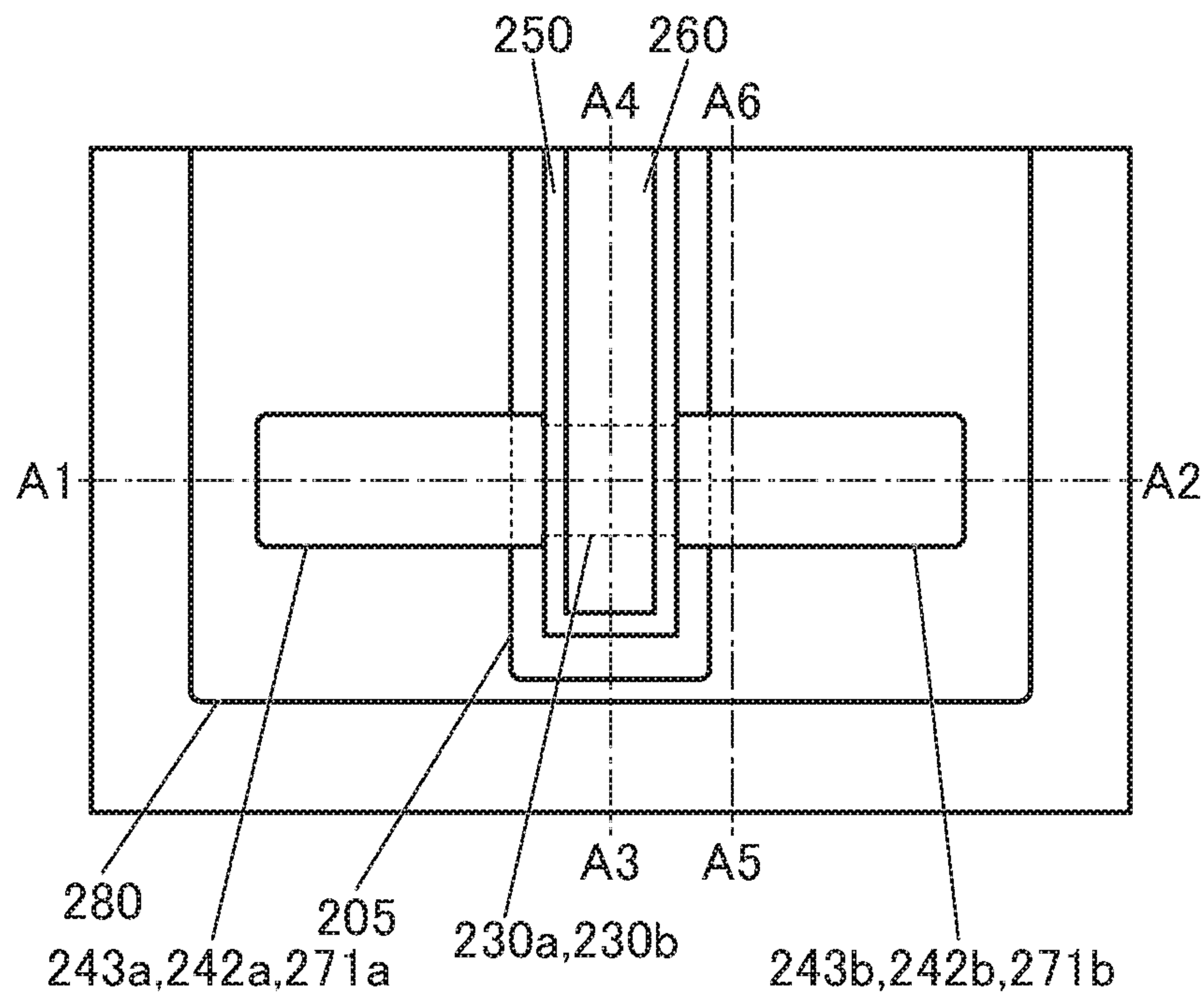


図21C

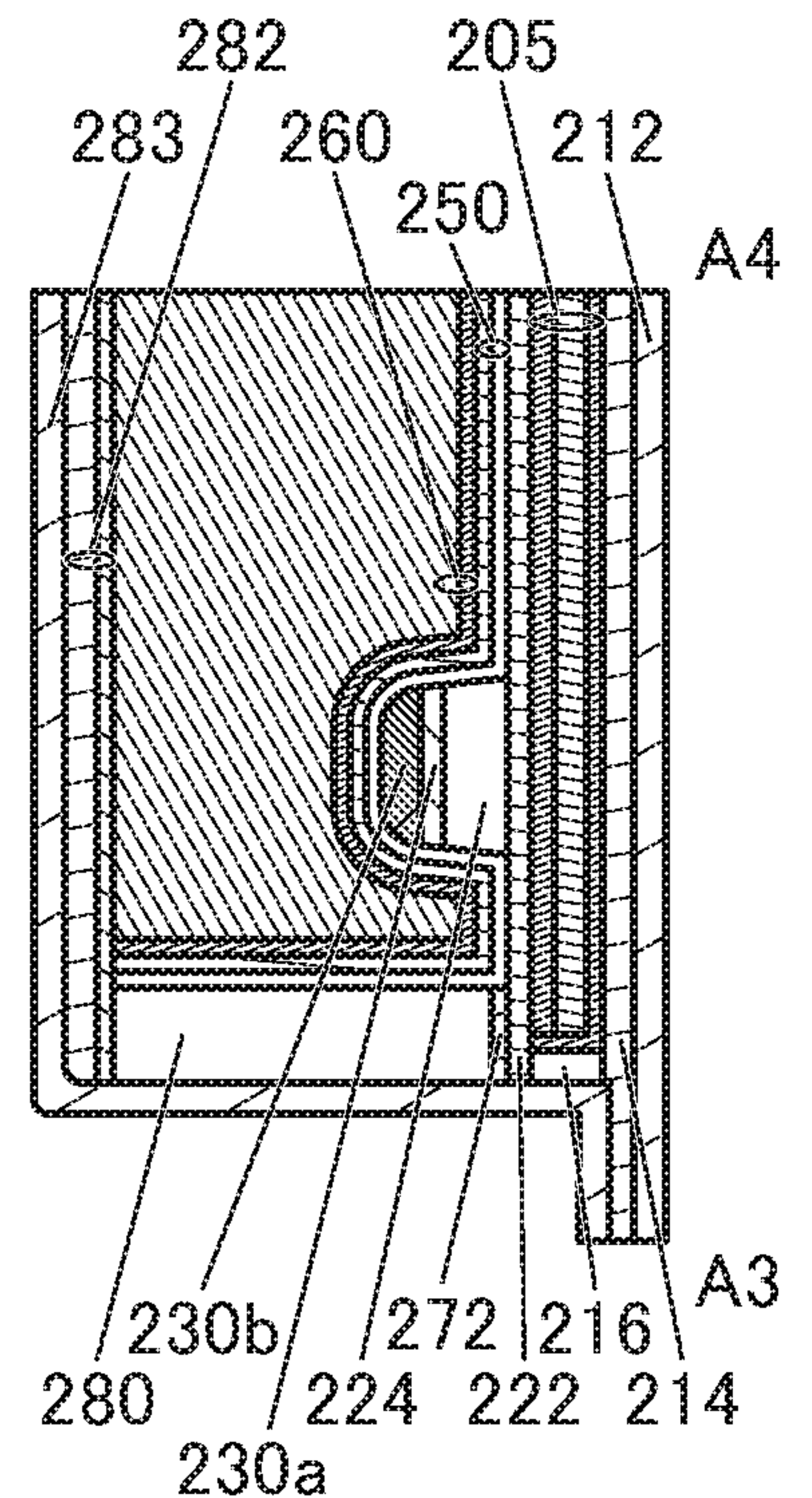


図21B

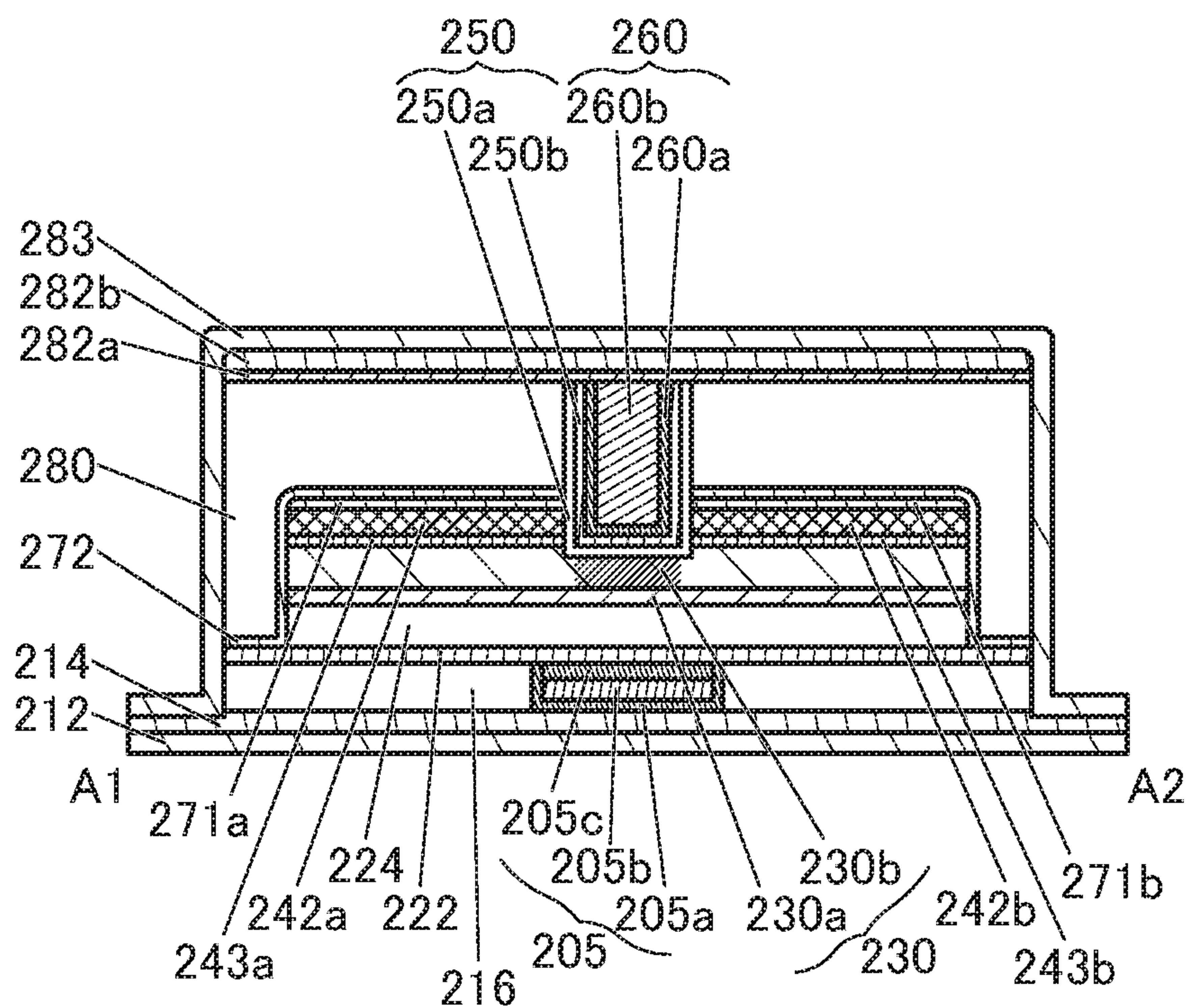


図21D

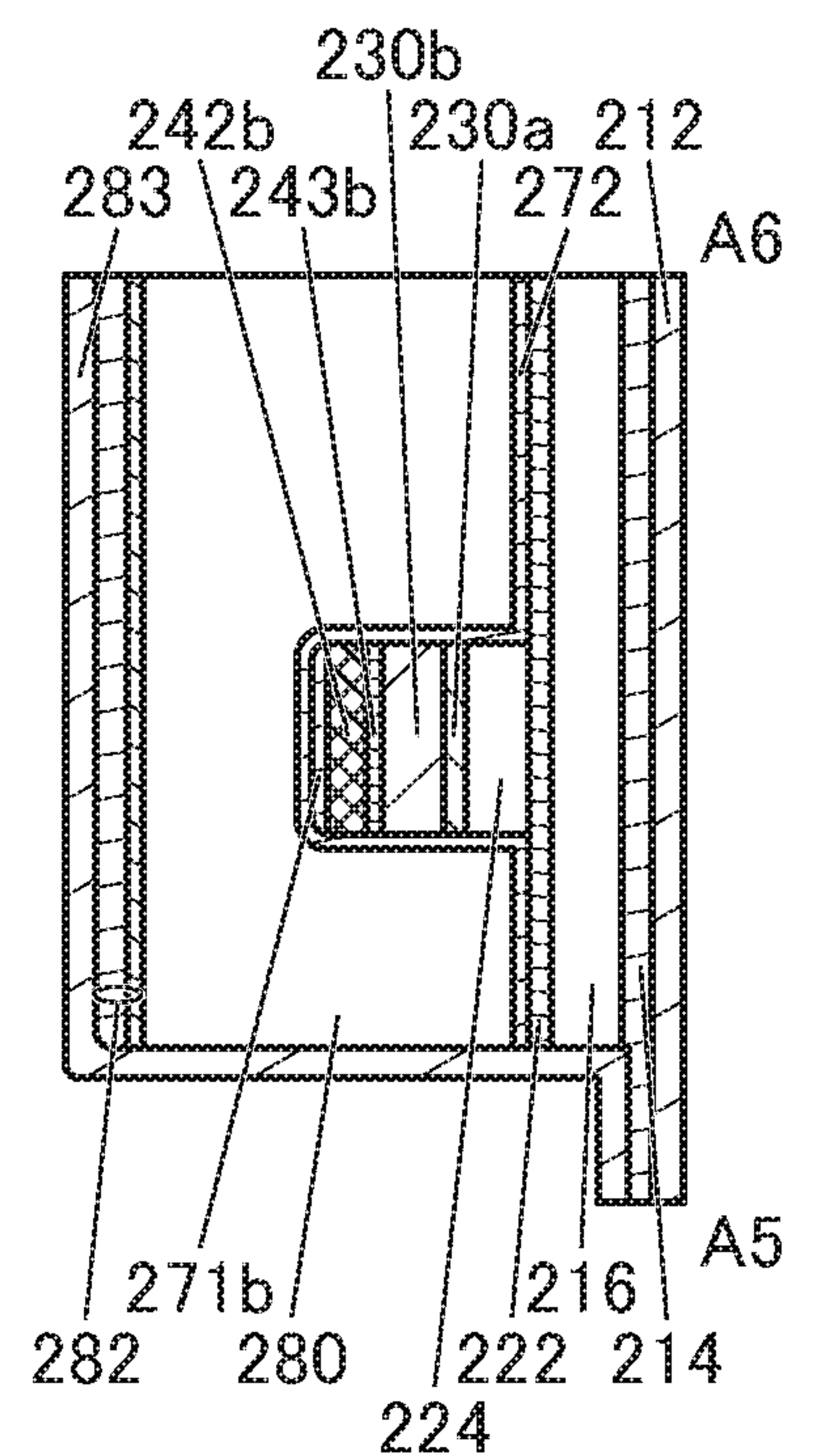


図22A

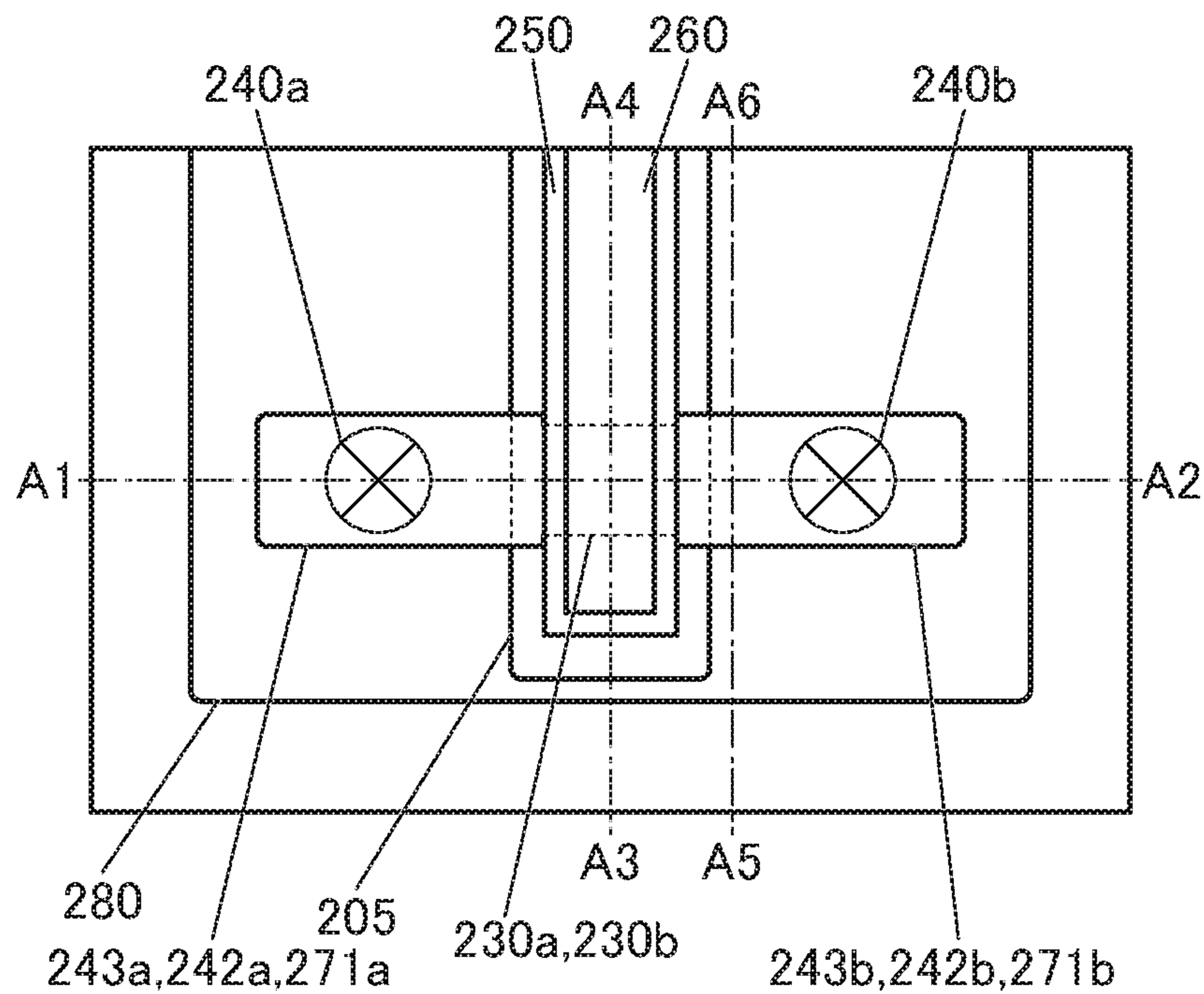


図22C

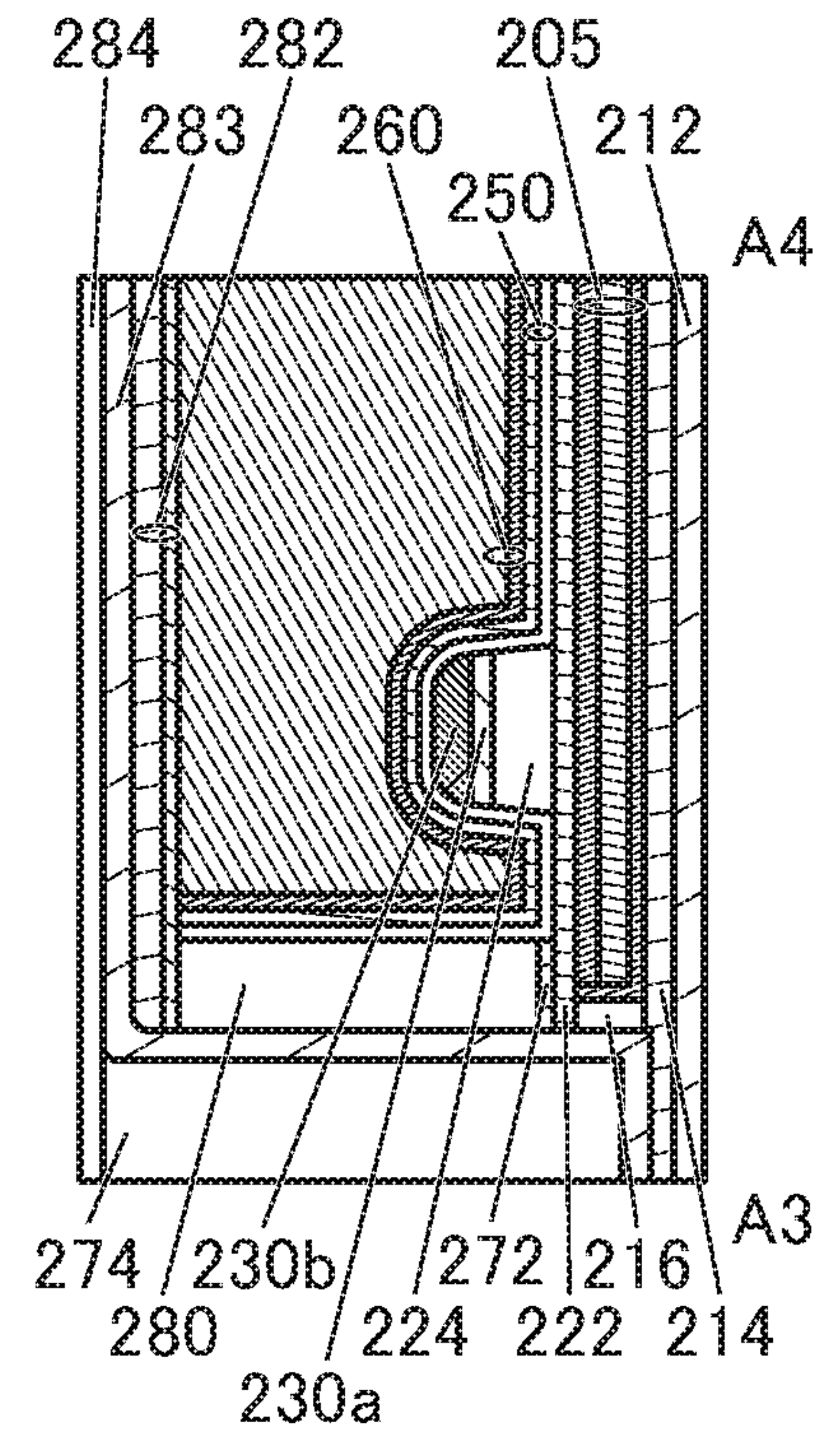


図22B

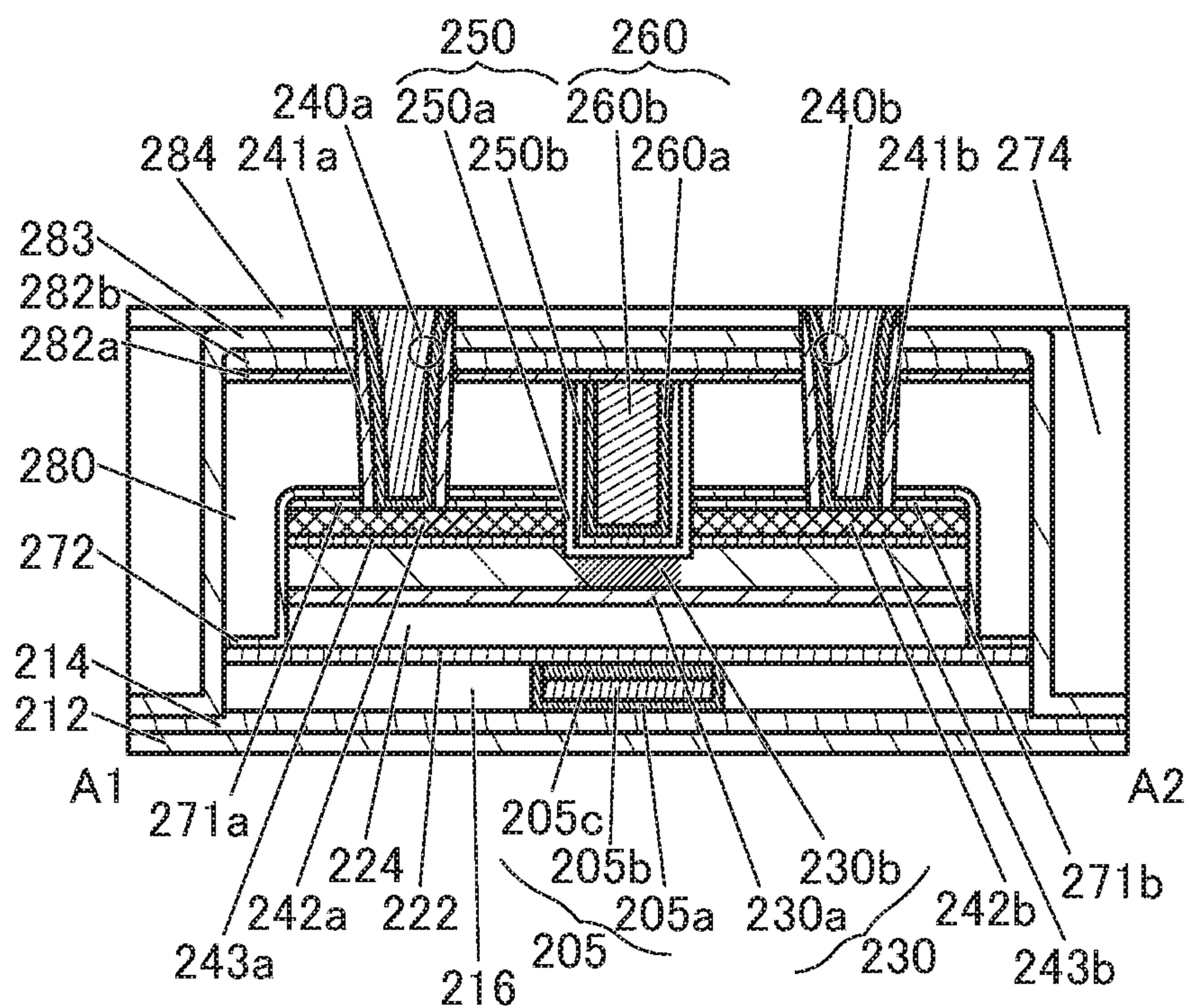


図22D

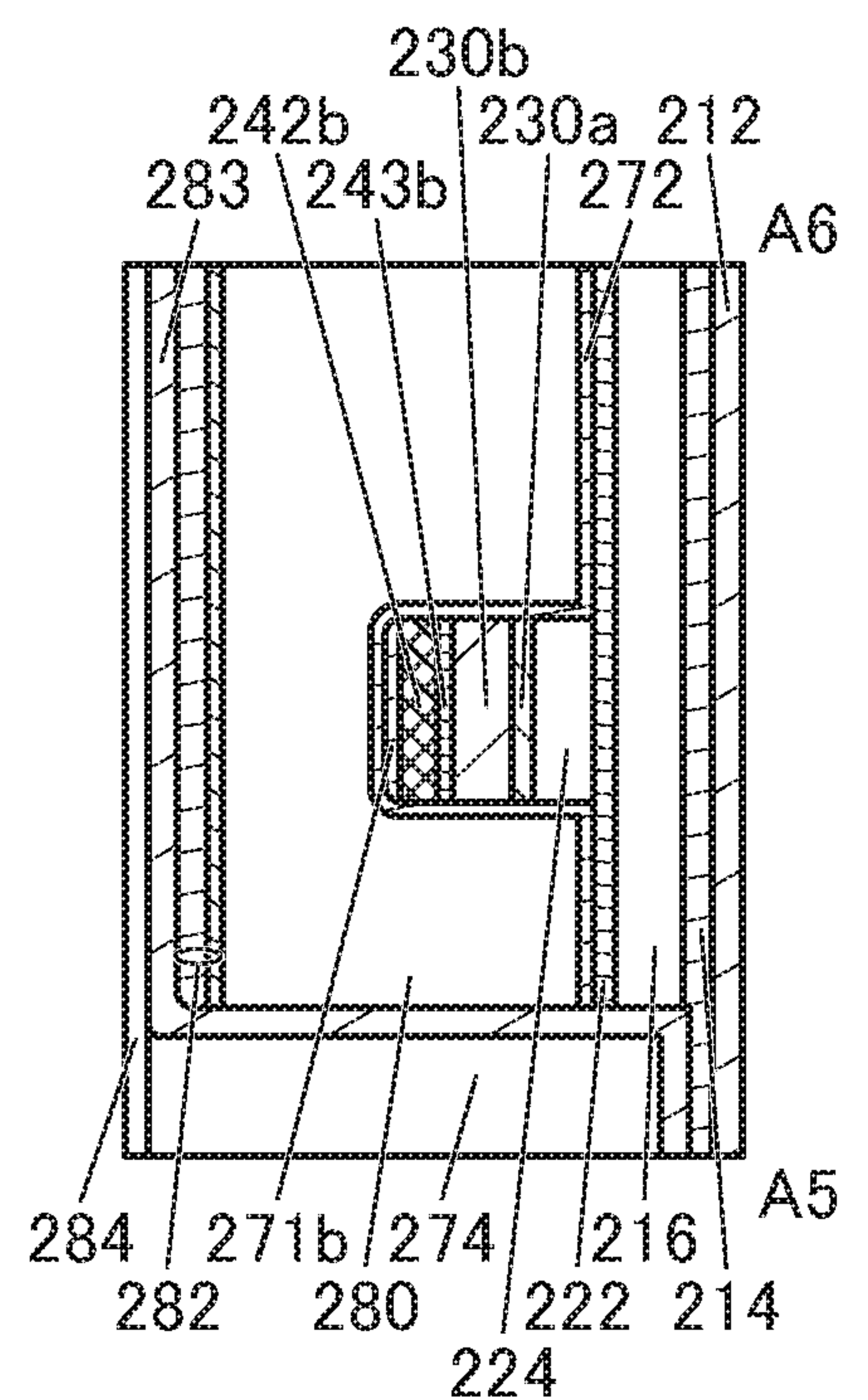


図 23

23/42

2700

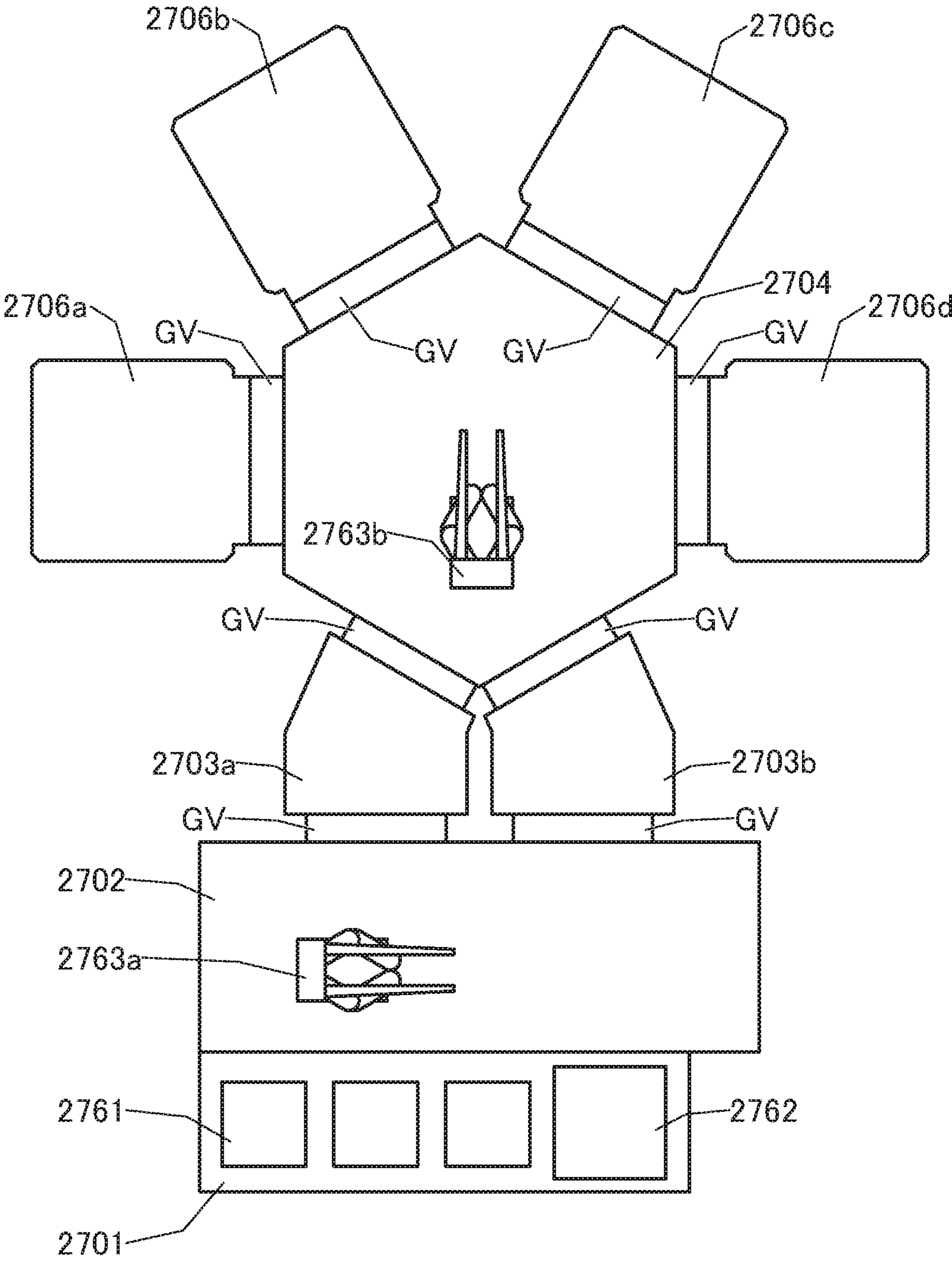


図 24

24/42

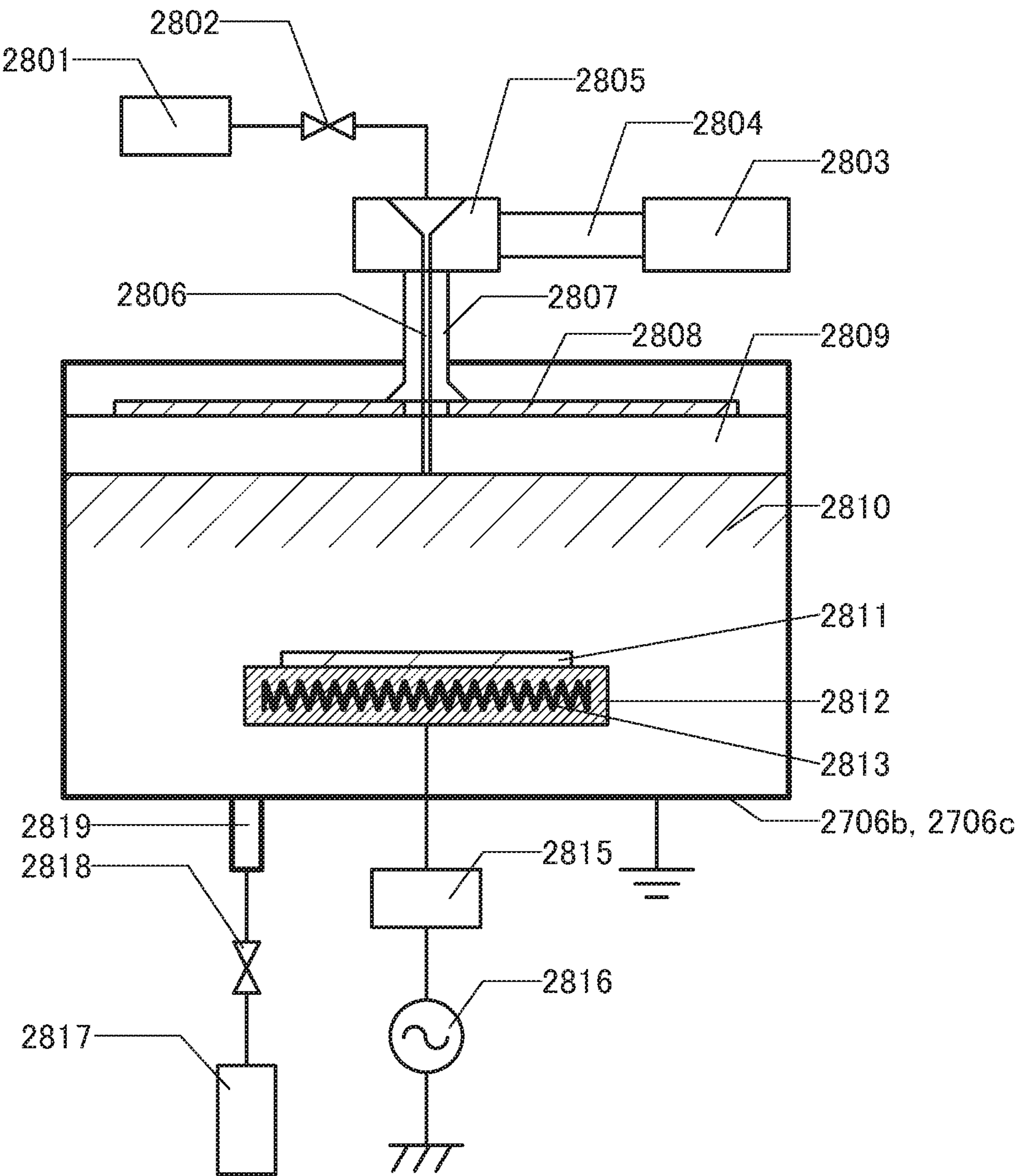


図25

25/42

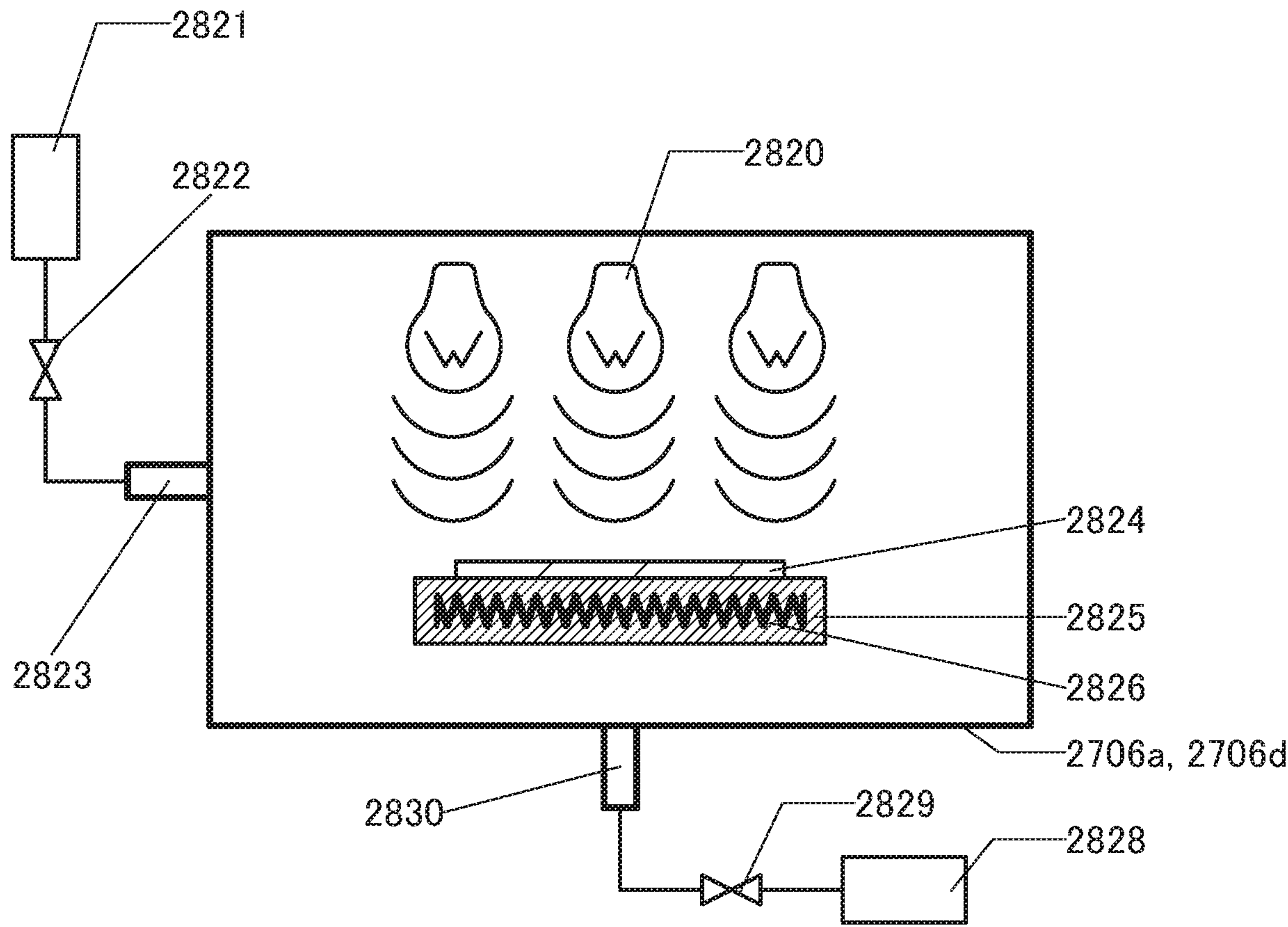
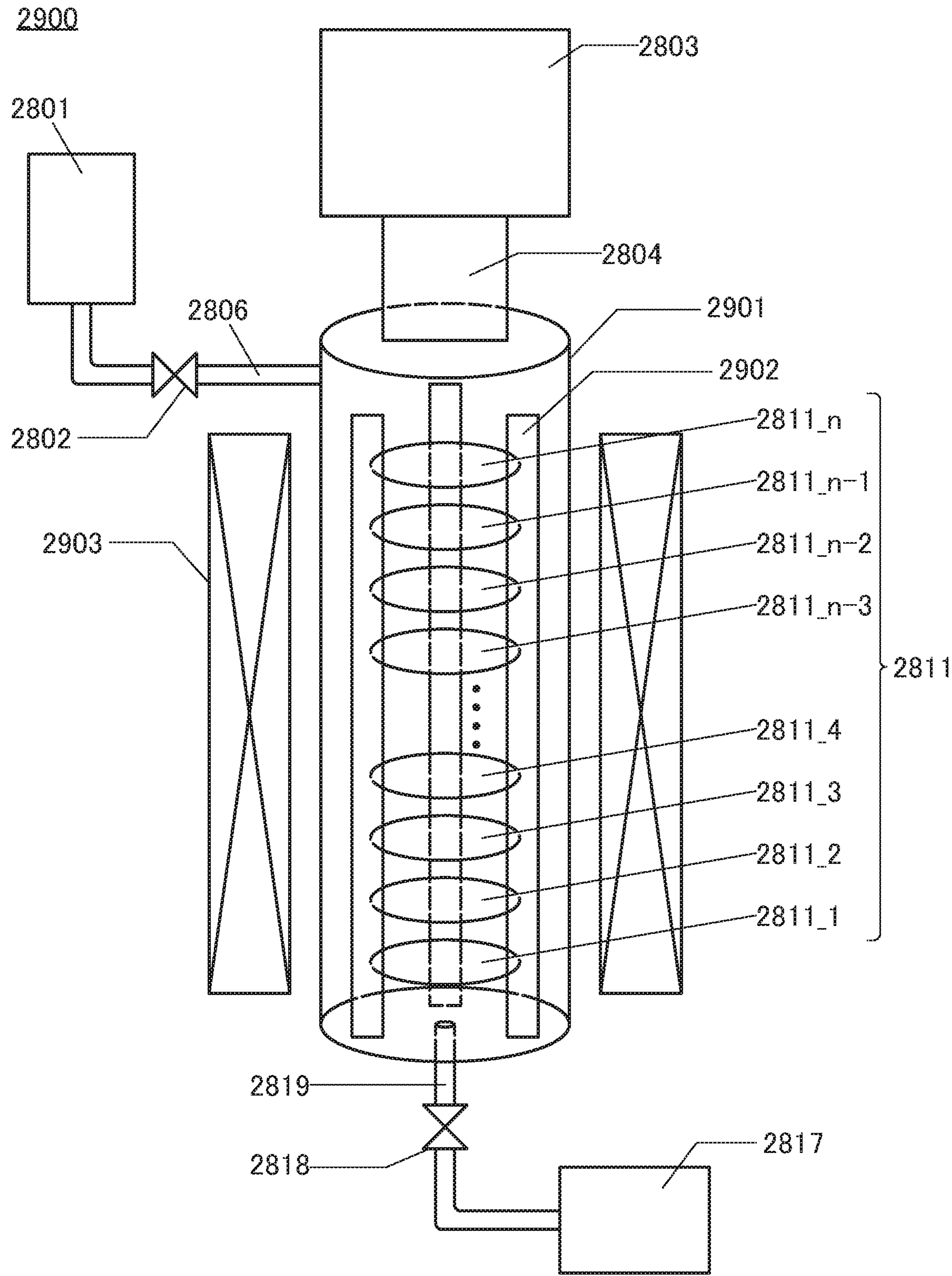
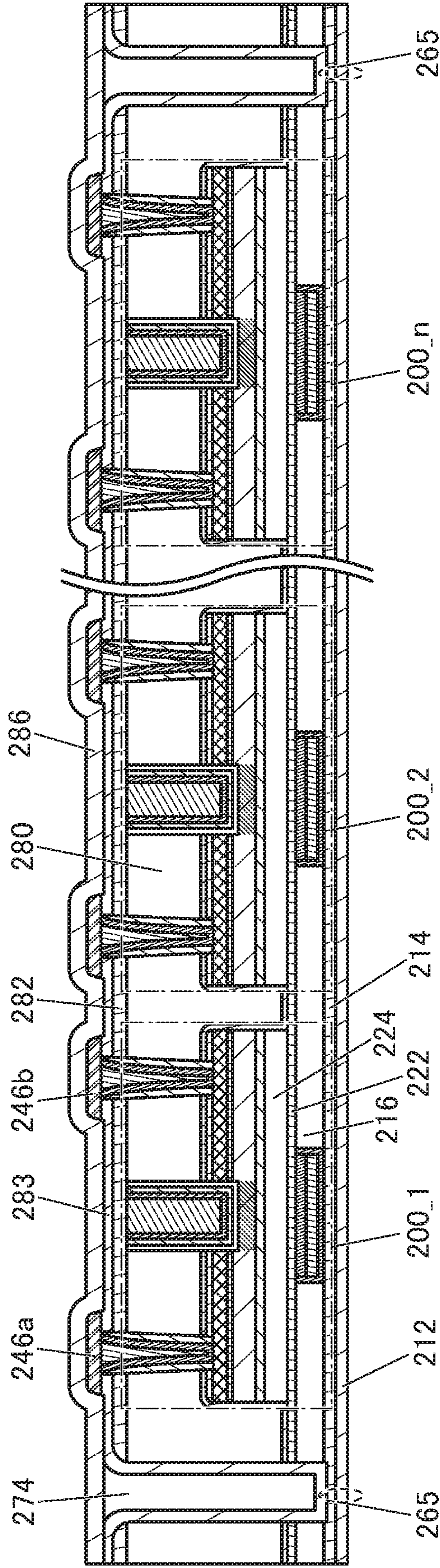


図 26

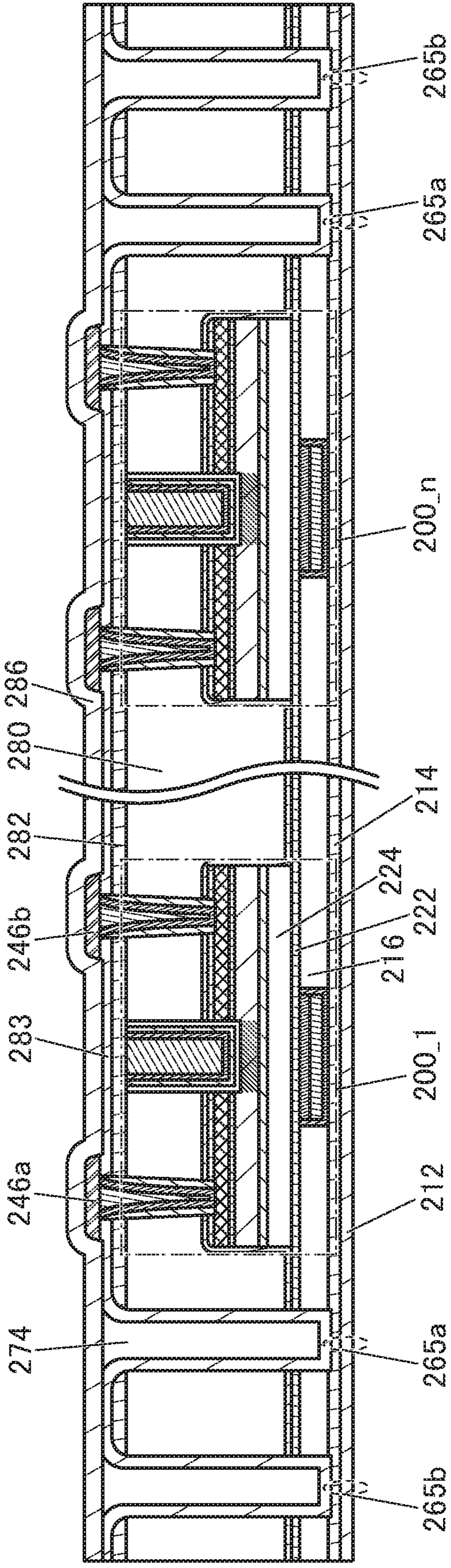
26/42



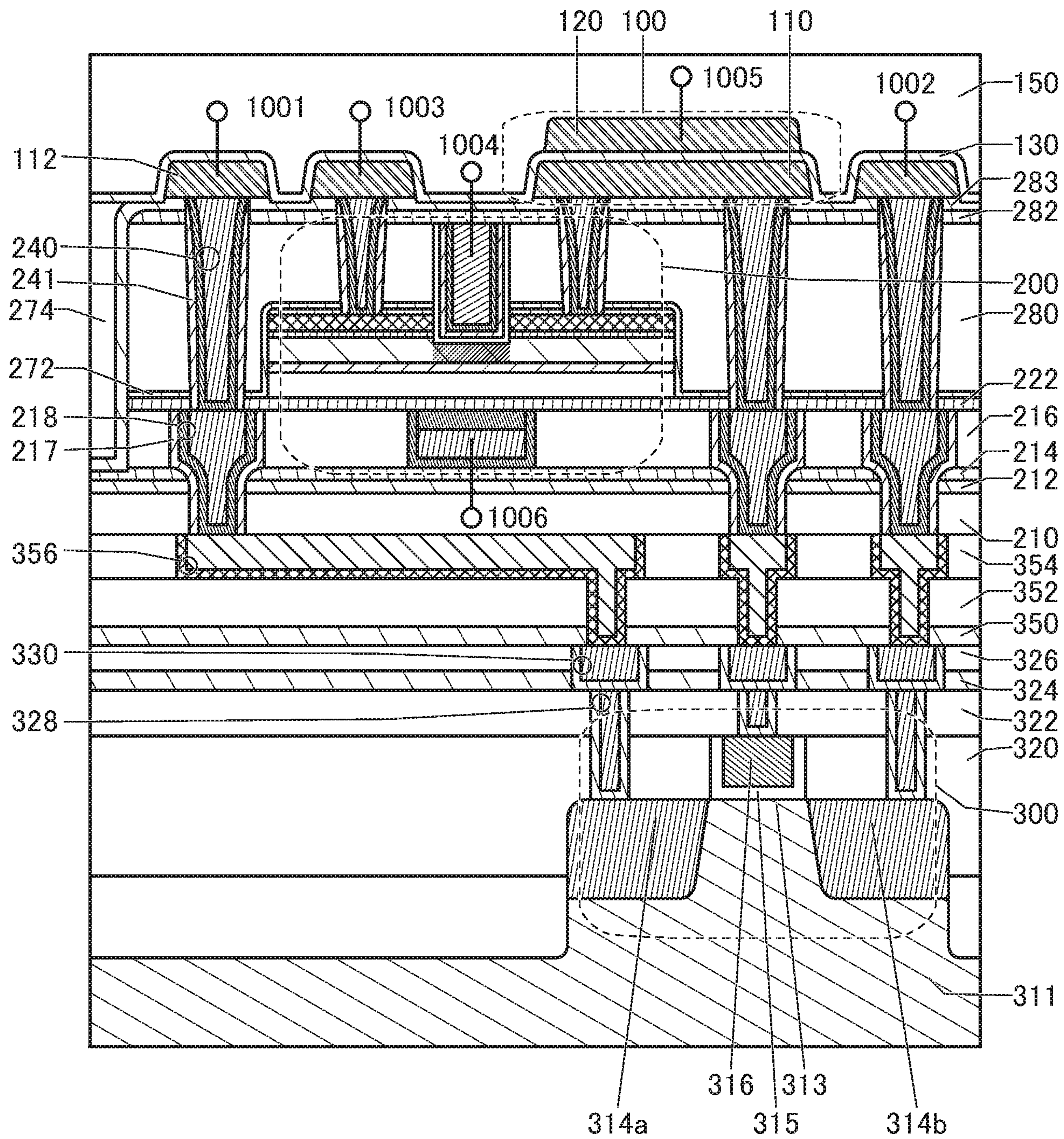
27A



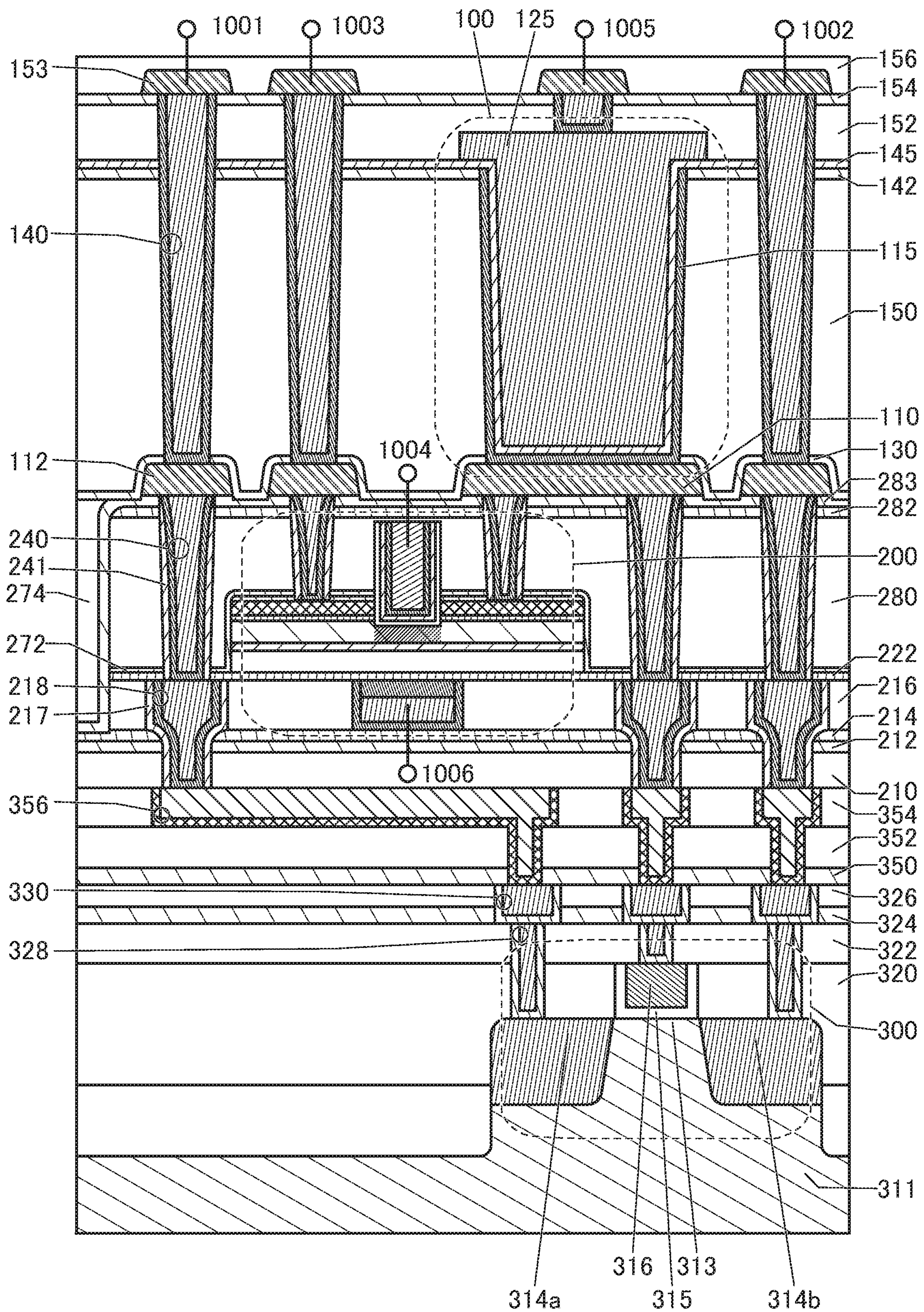
27B



28/42

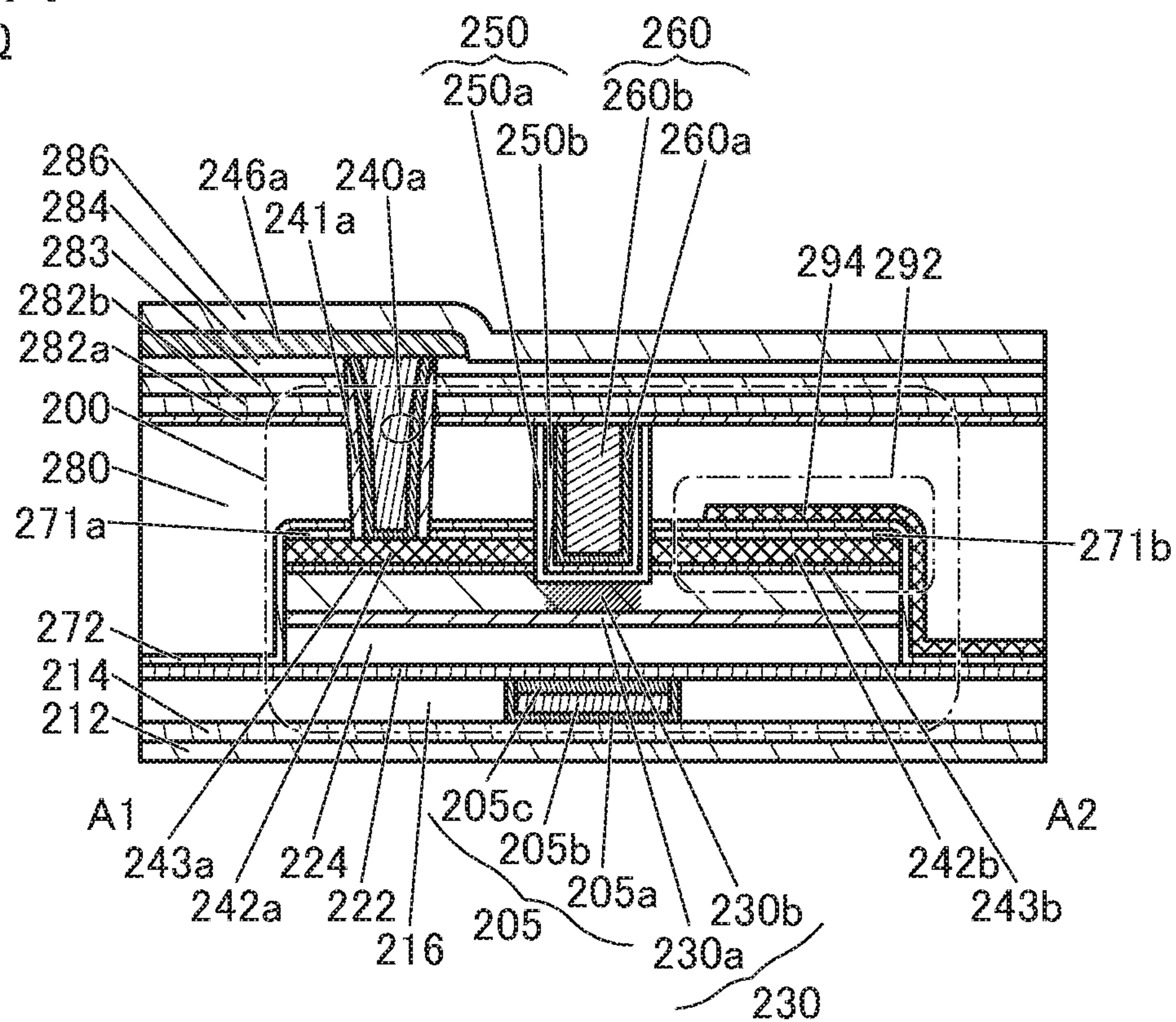


29/42

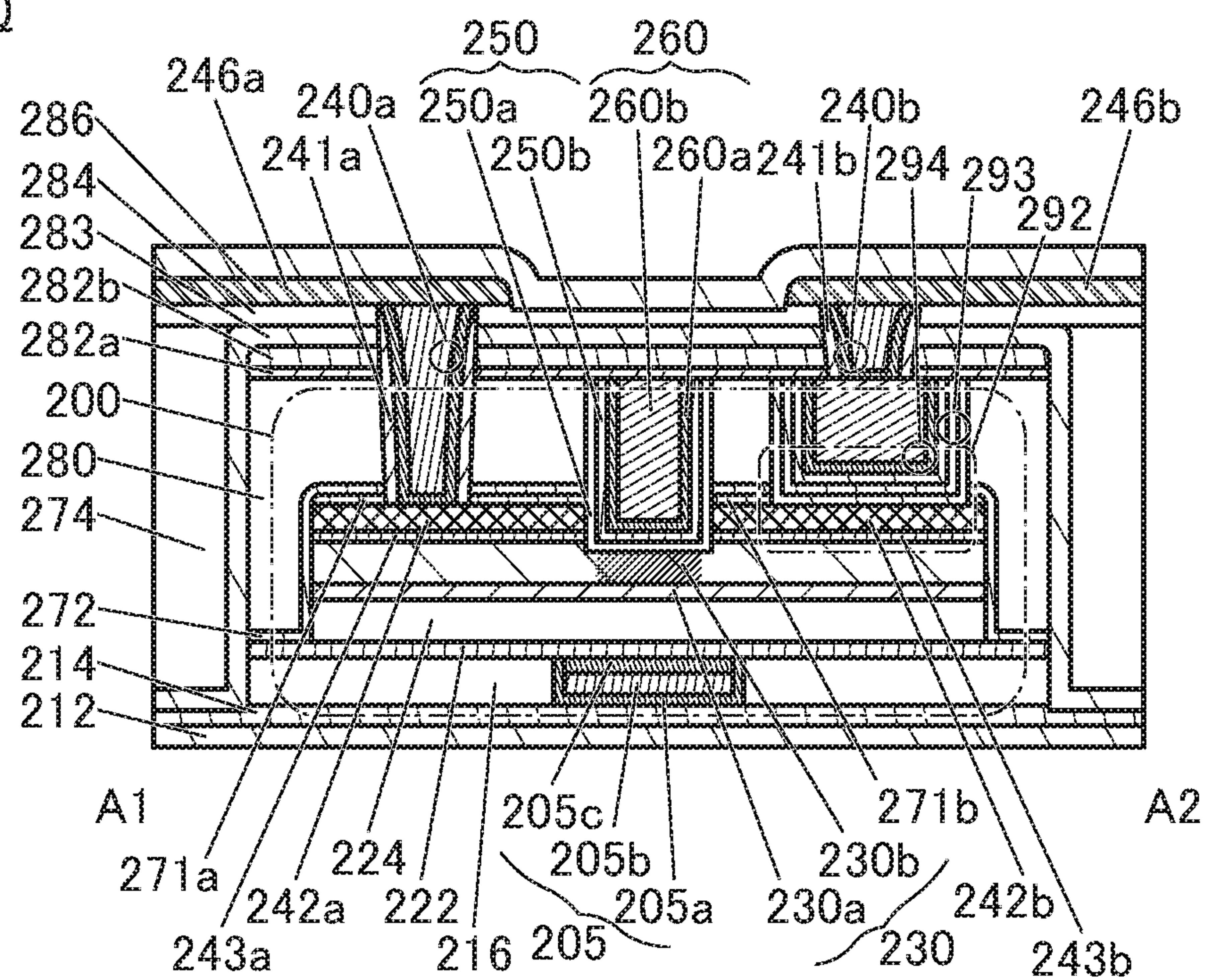


30/42

290



290



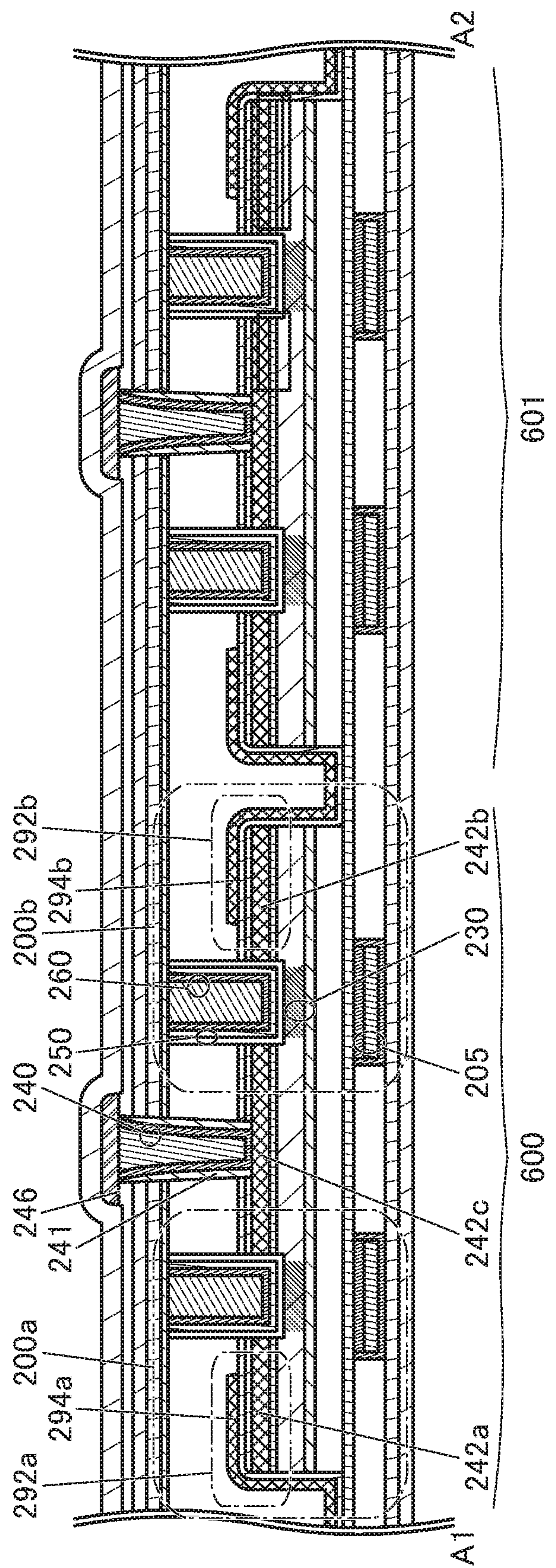
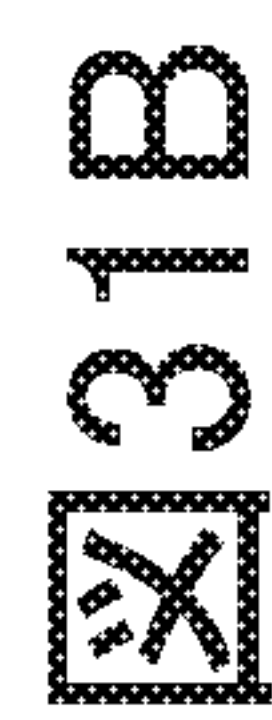
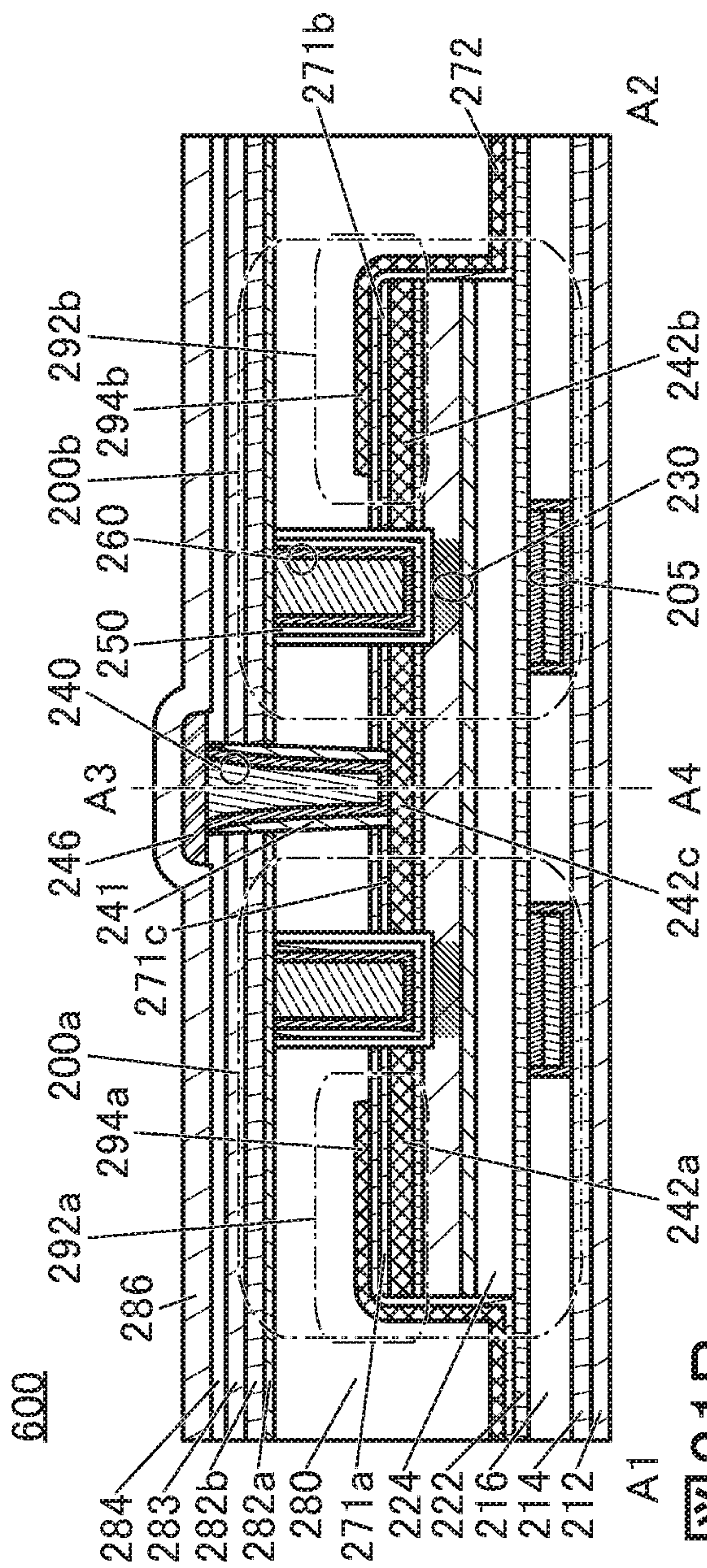
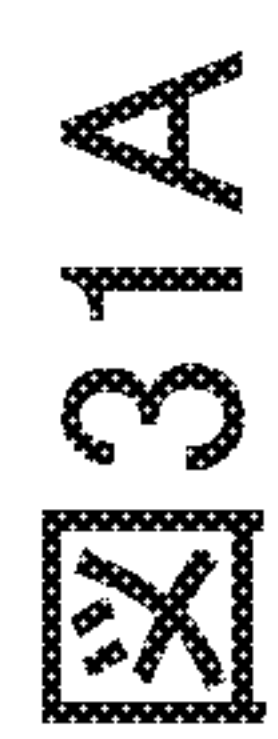


図 32

32/42

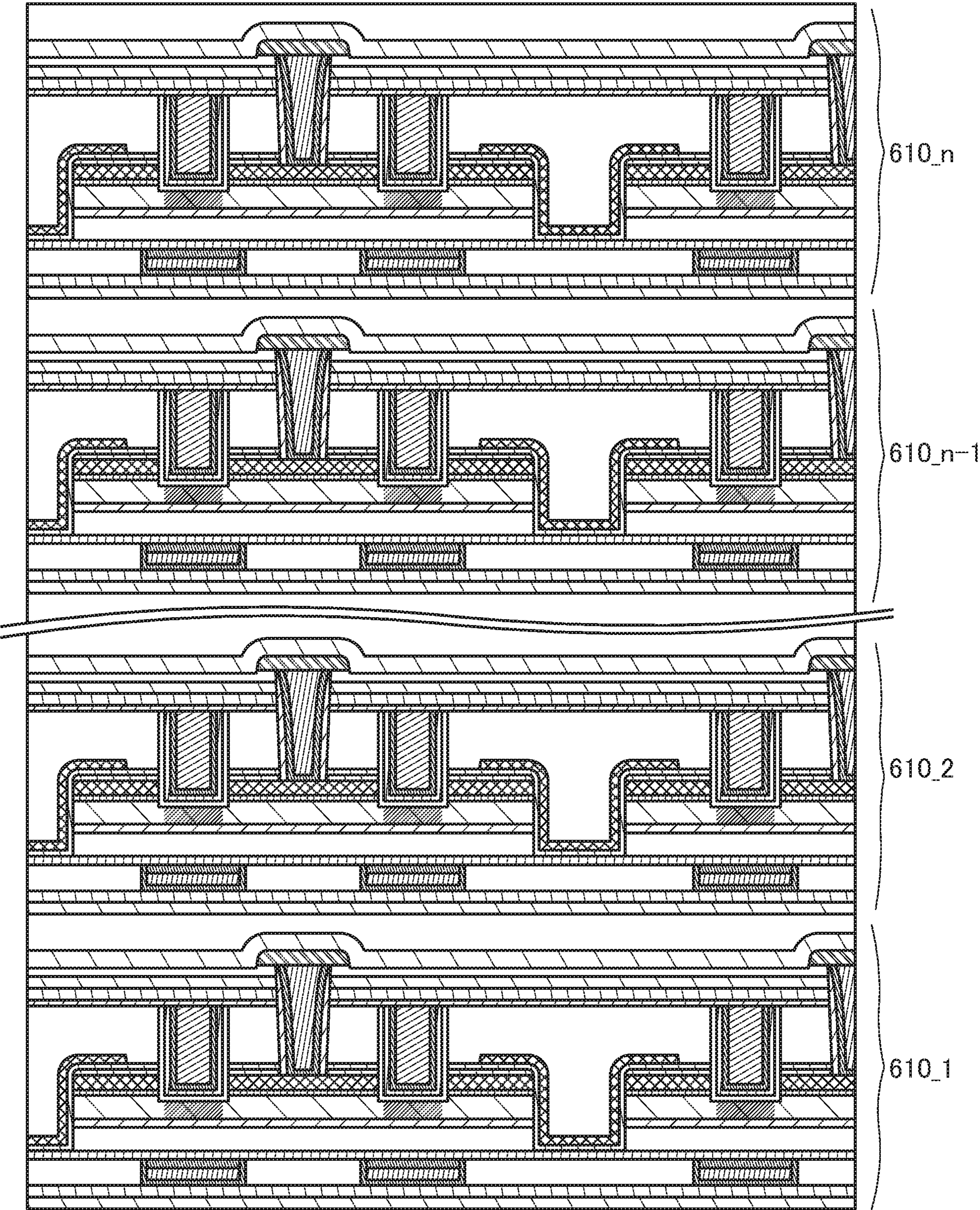


图 33

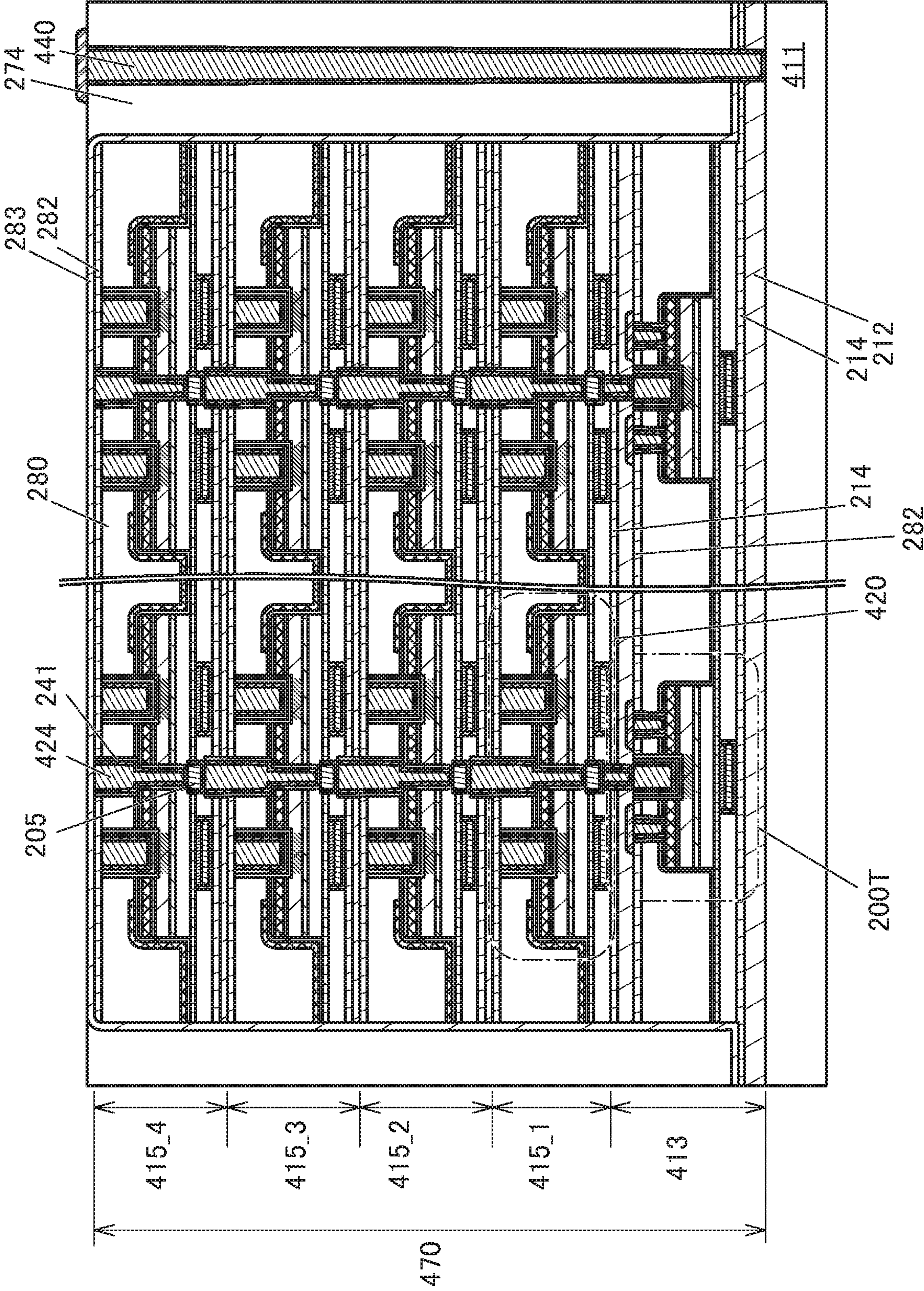


図34A

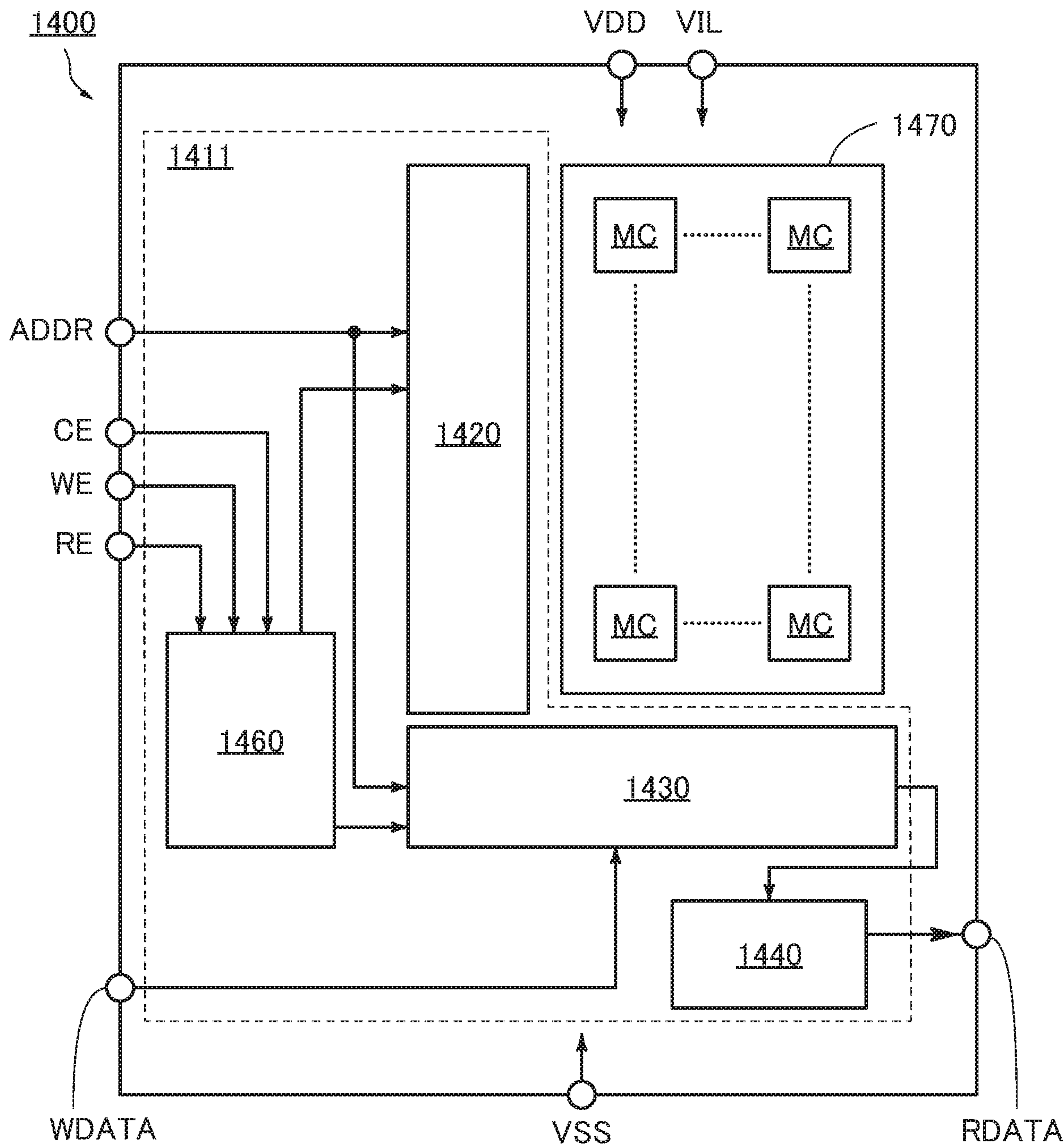
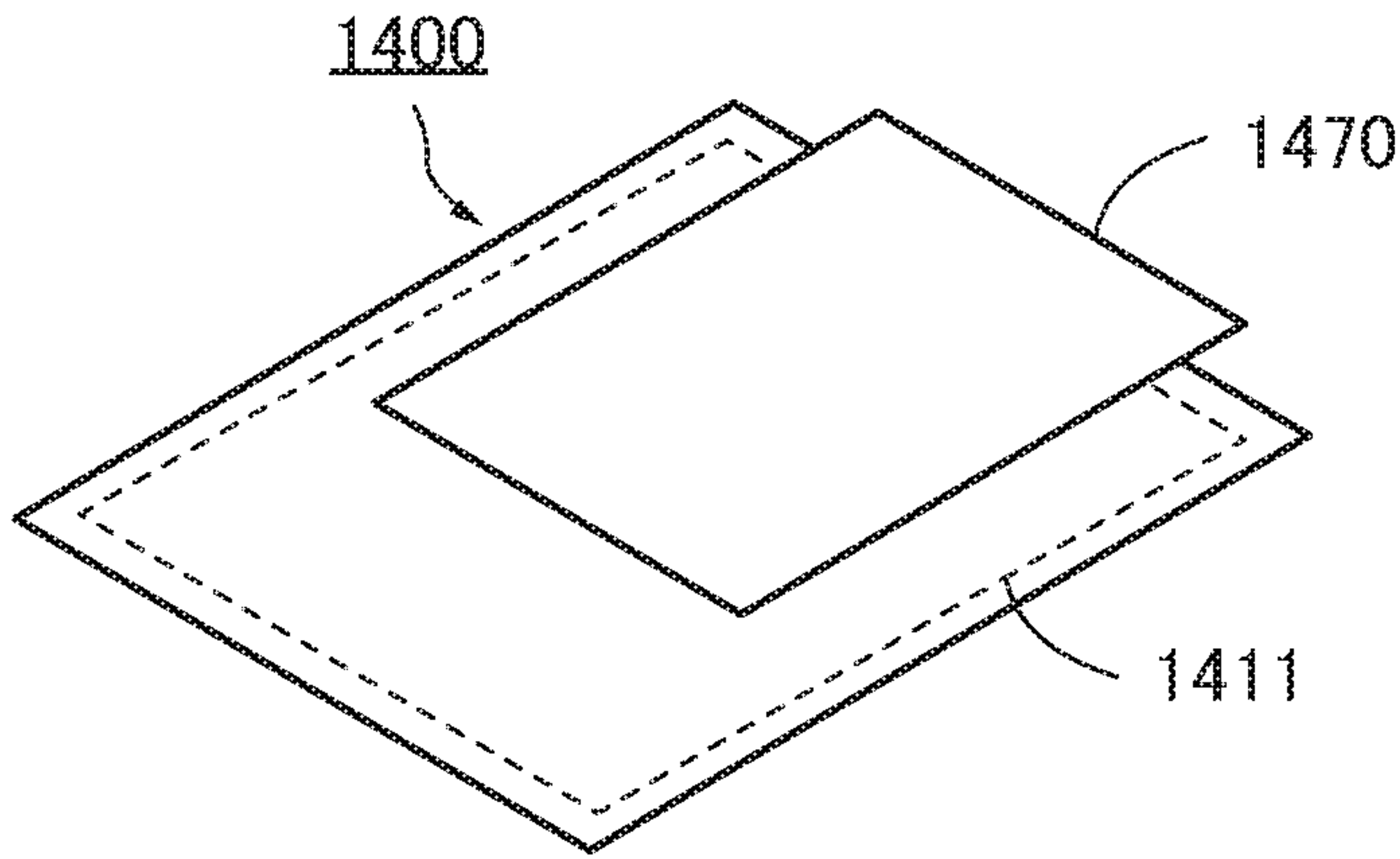
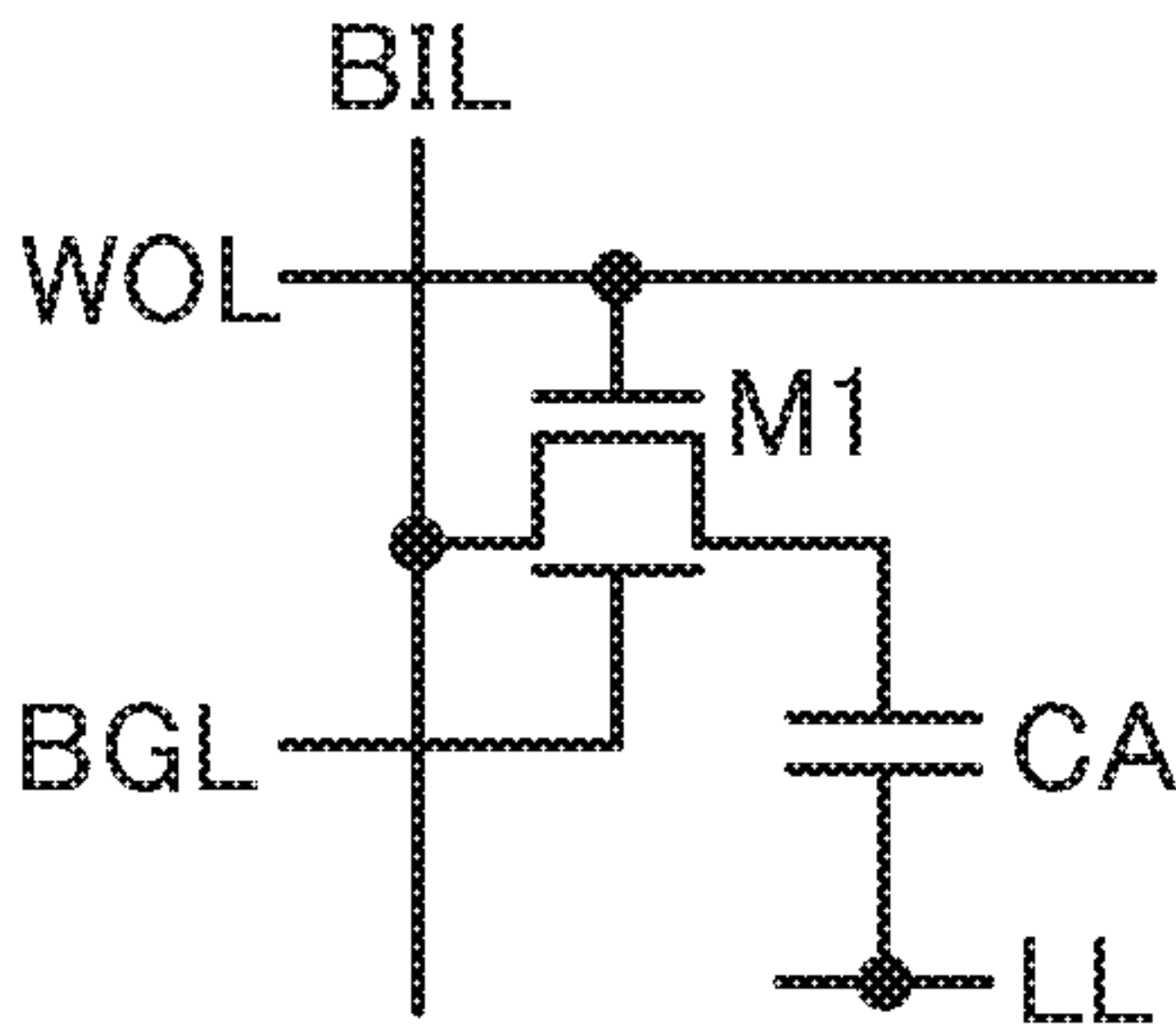


図34B



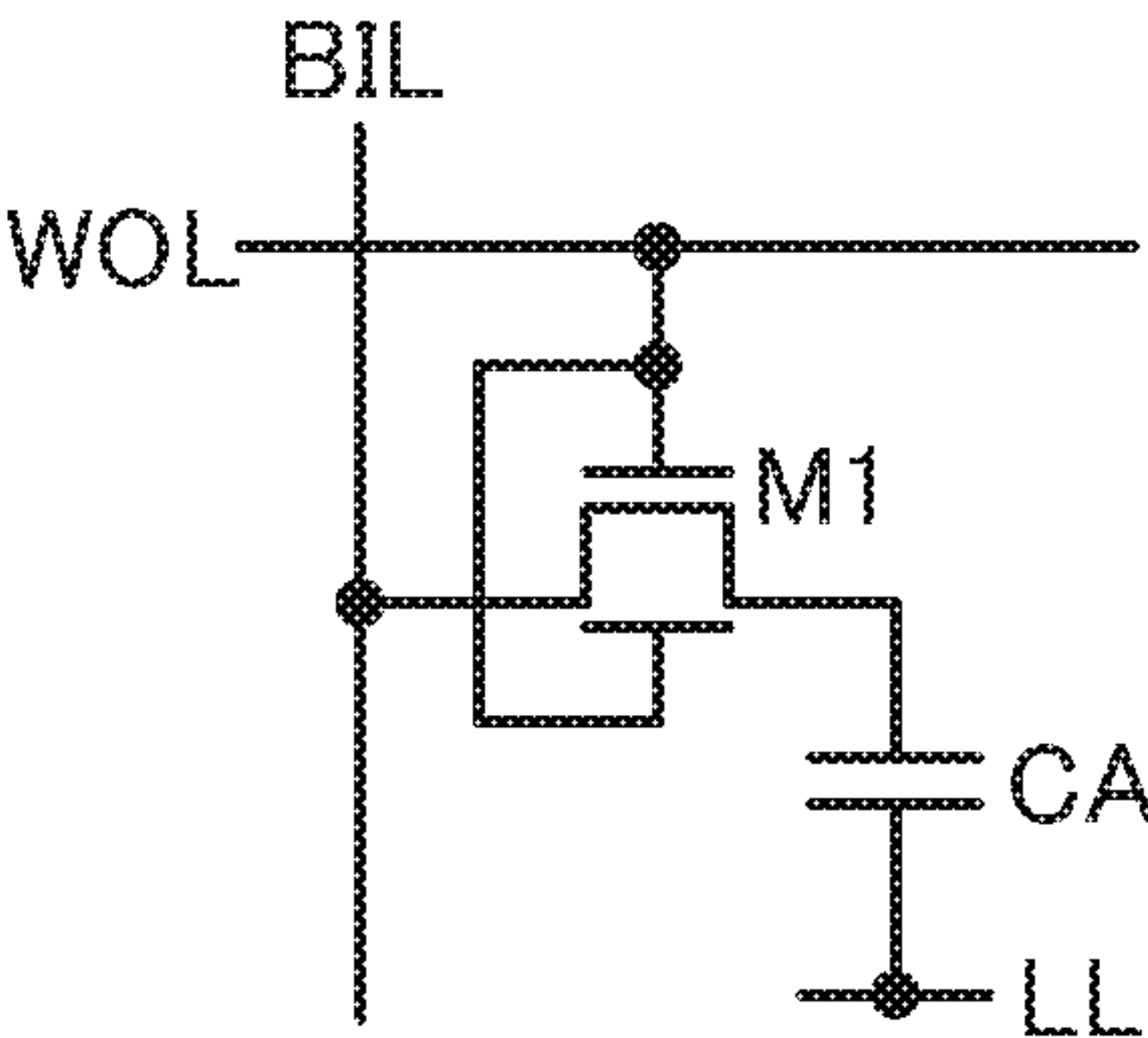
35A

1471



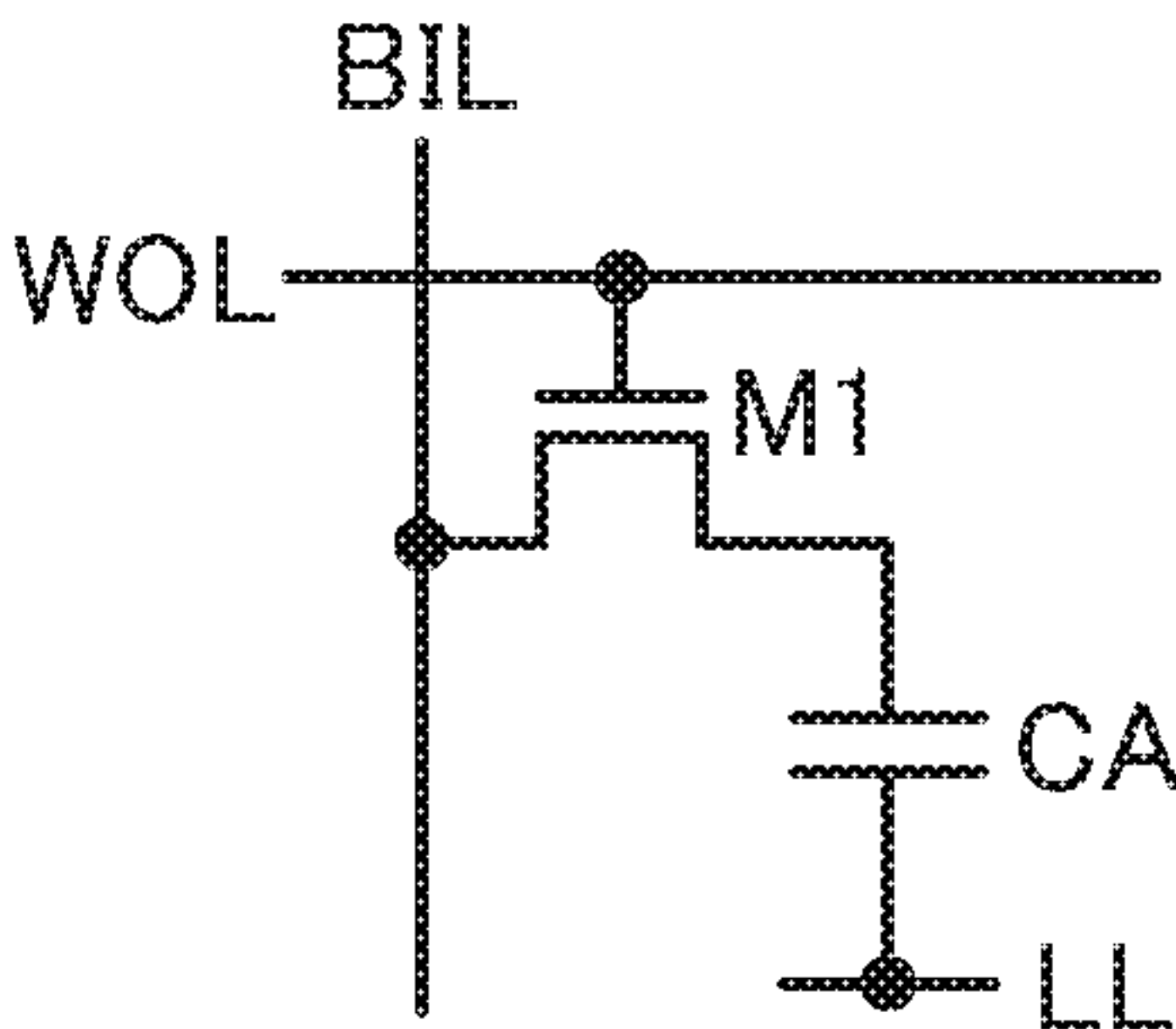
35B

1472



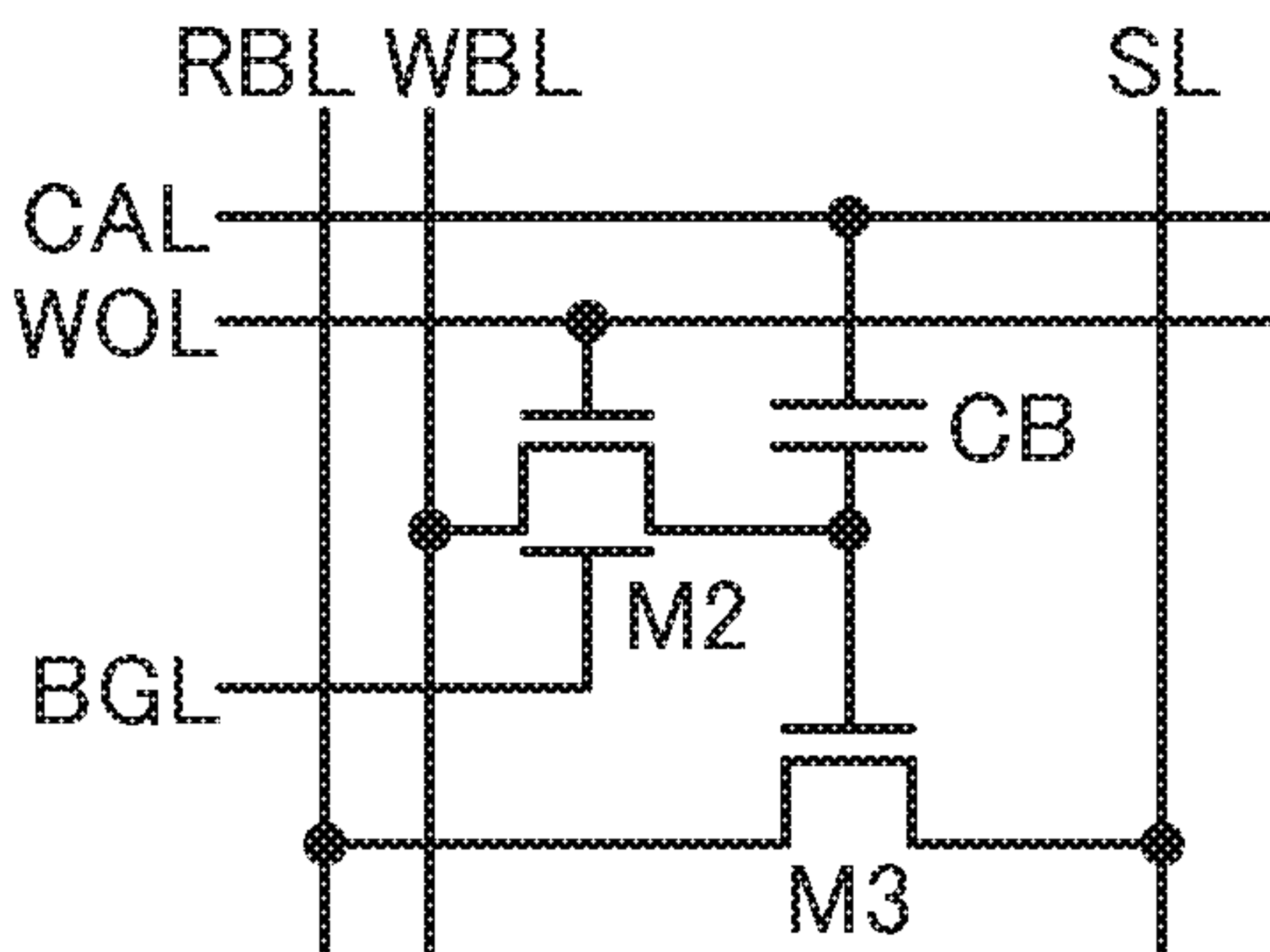
35C

1473



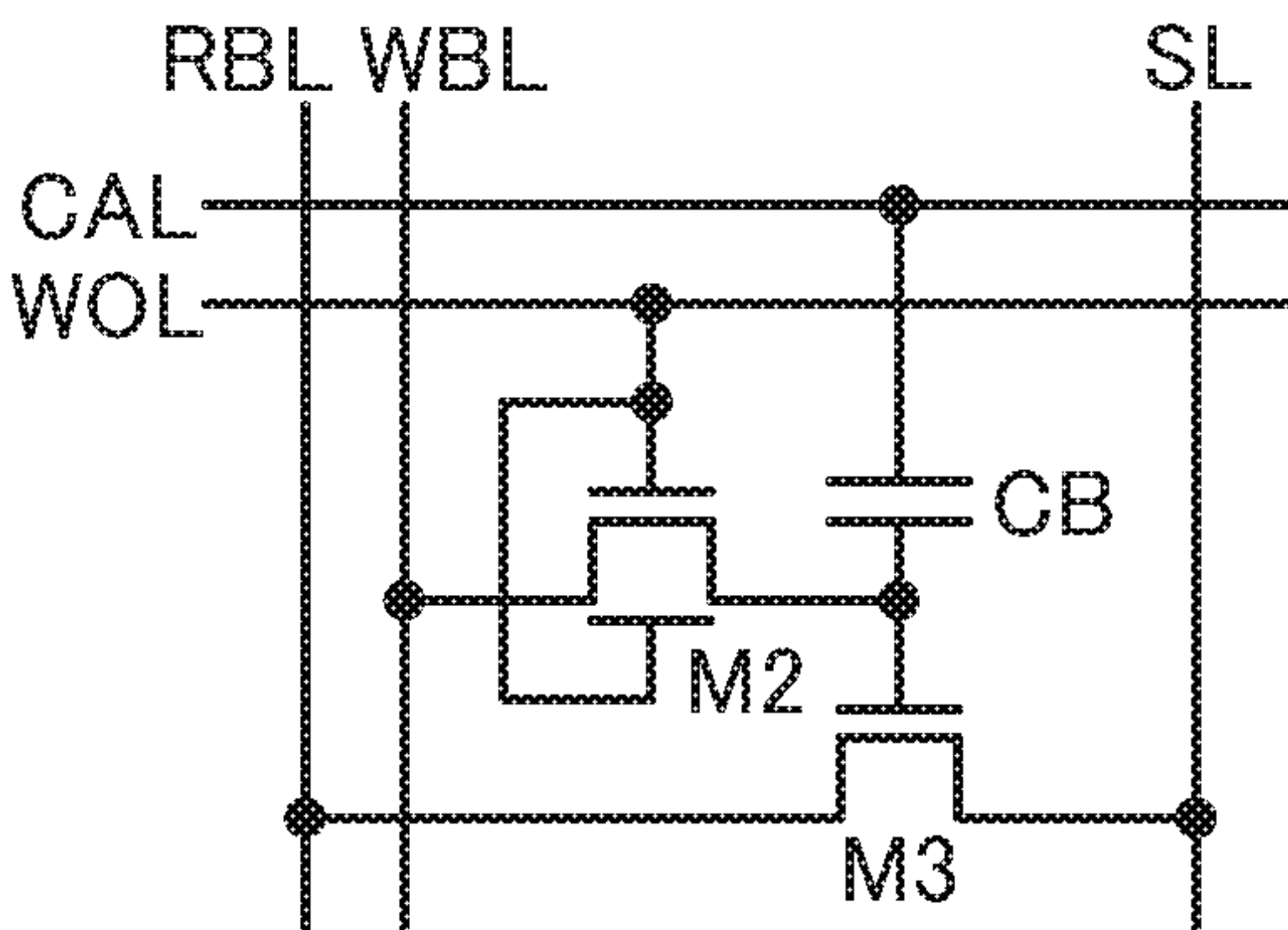
35D

1474



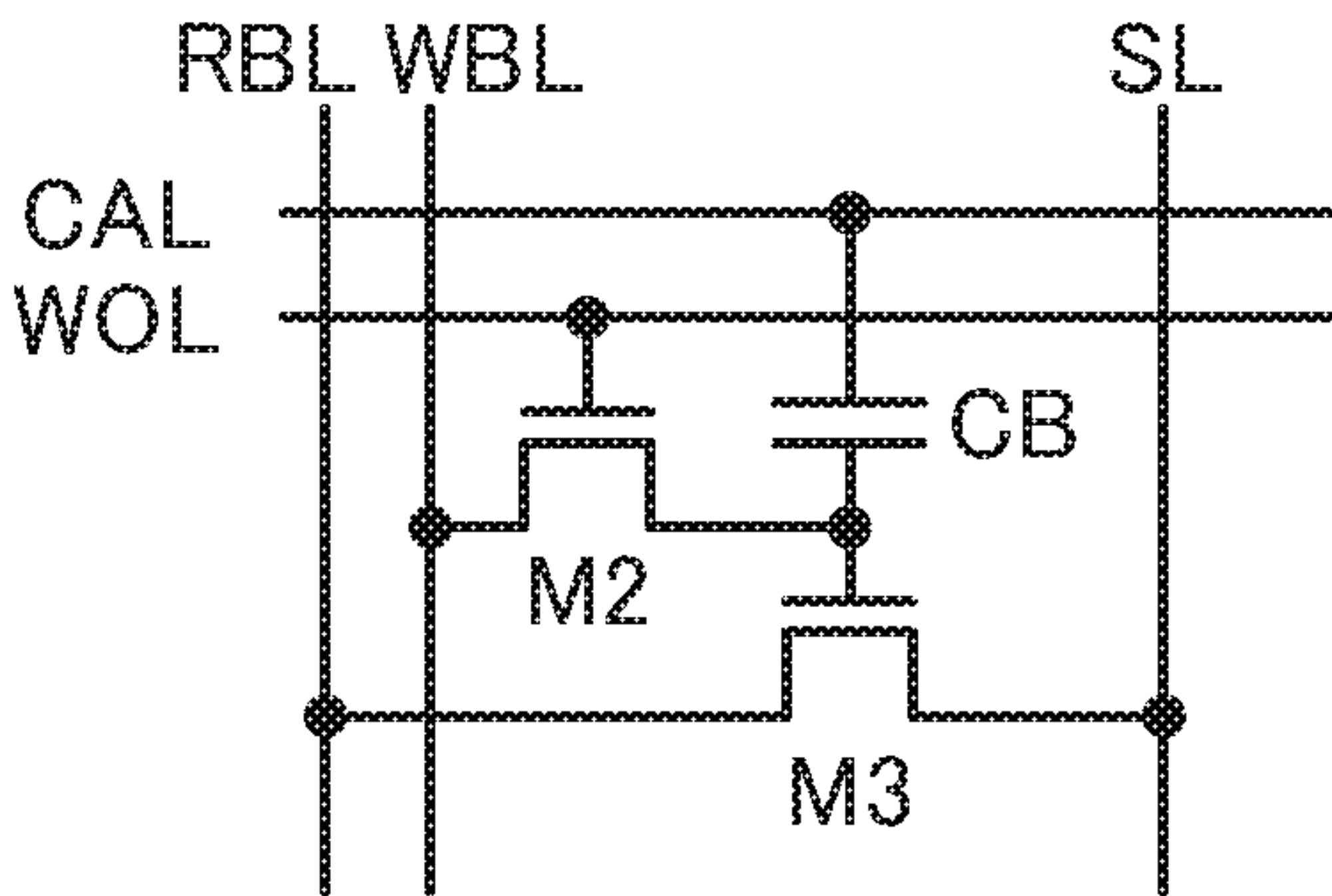
35E

1475



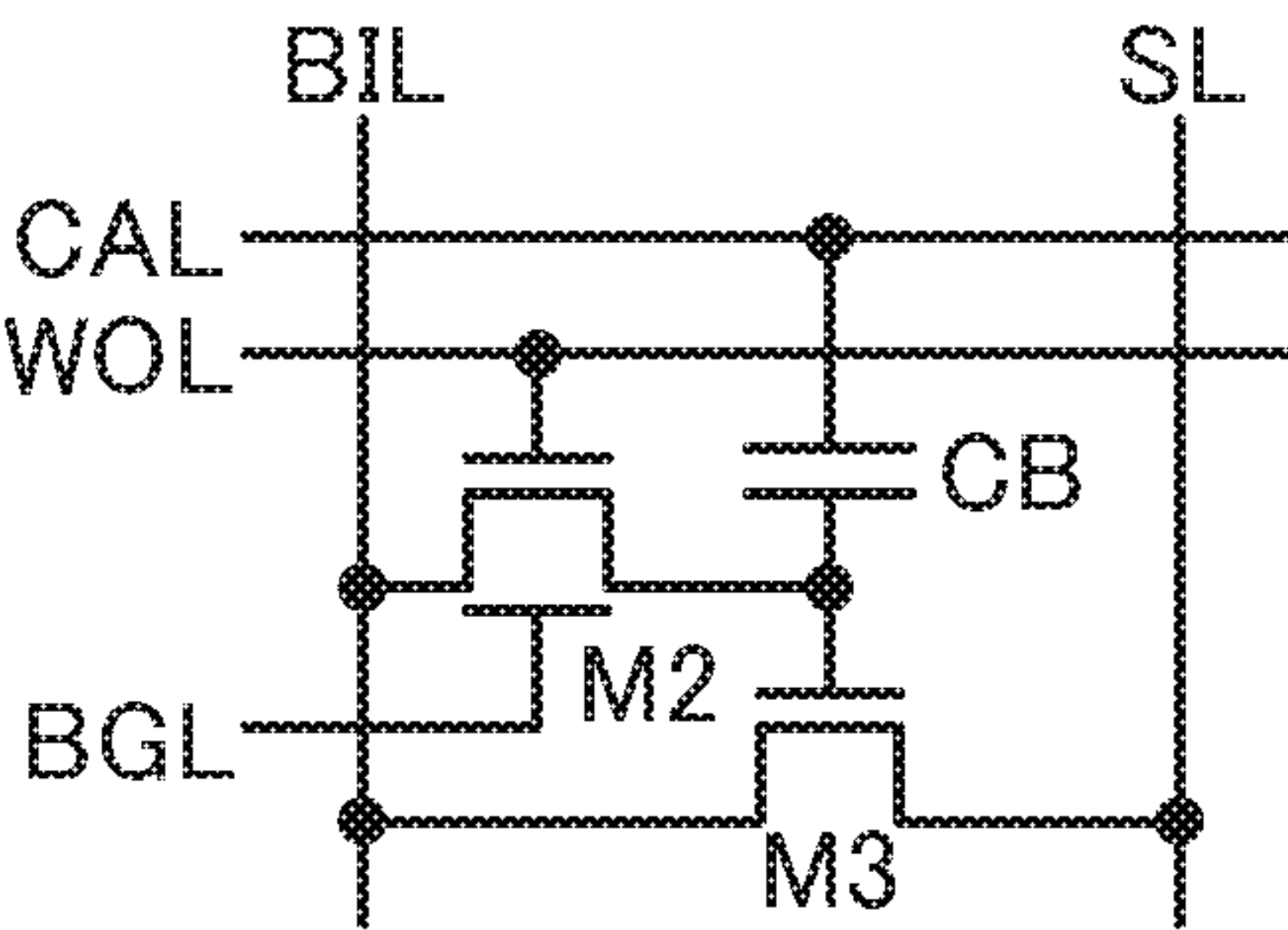
35F

1476



35G

1477



35H

1478

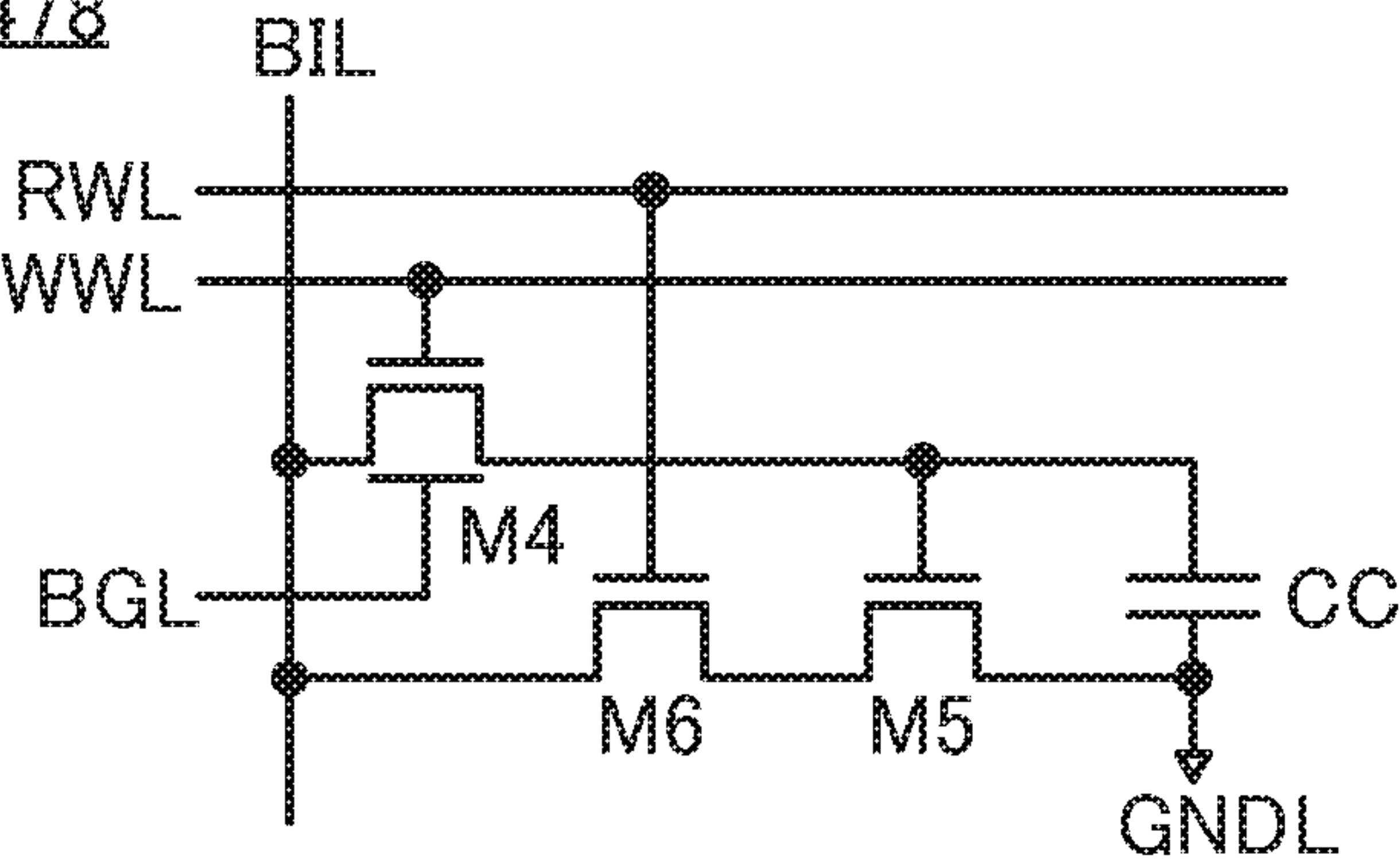


图 36A

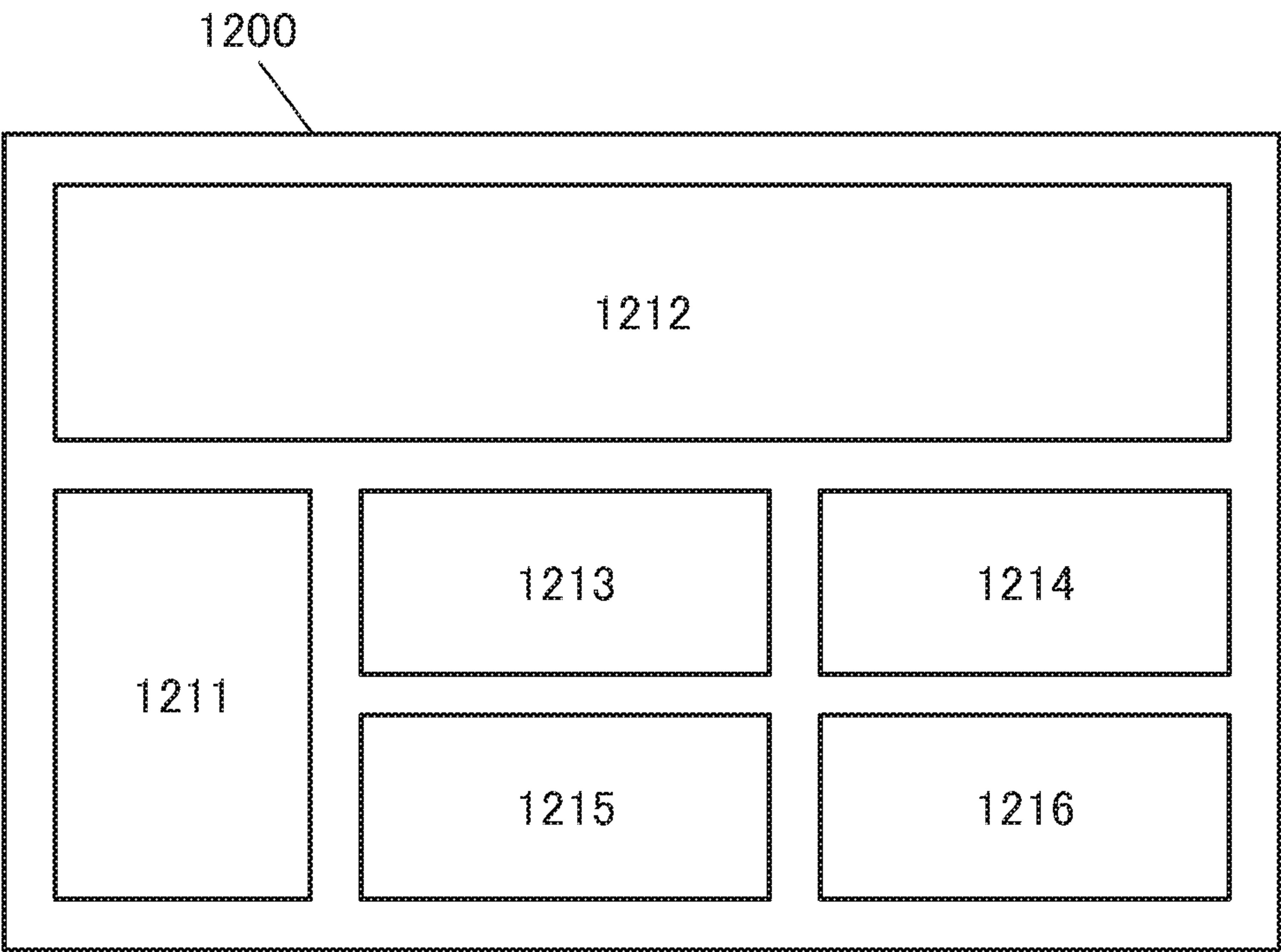


图 36B

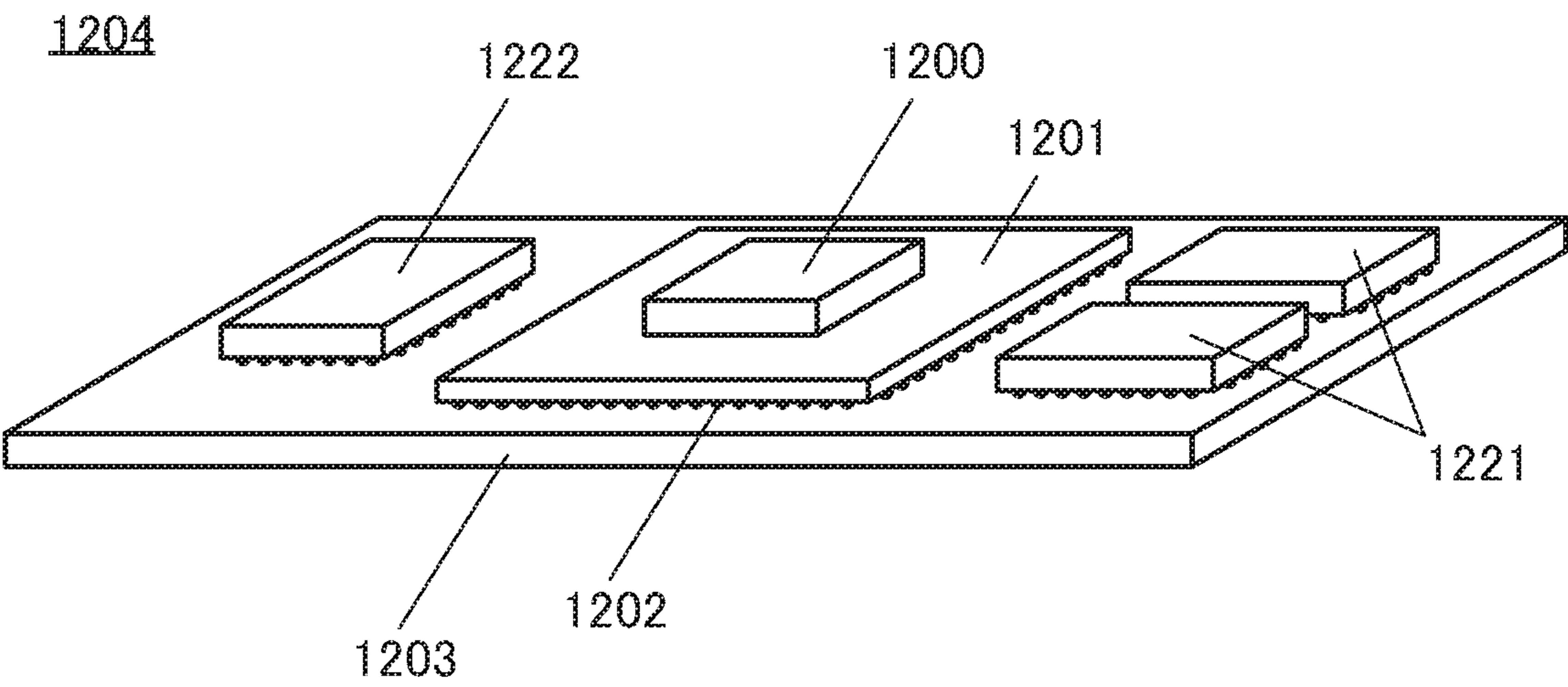


図37A

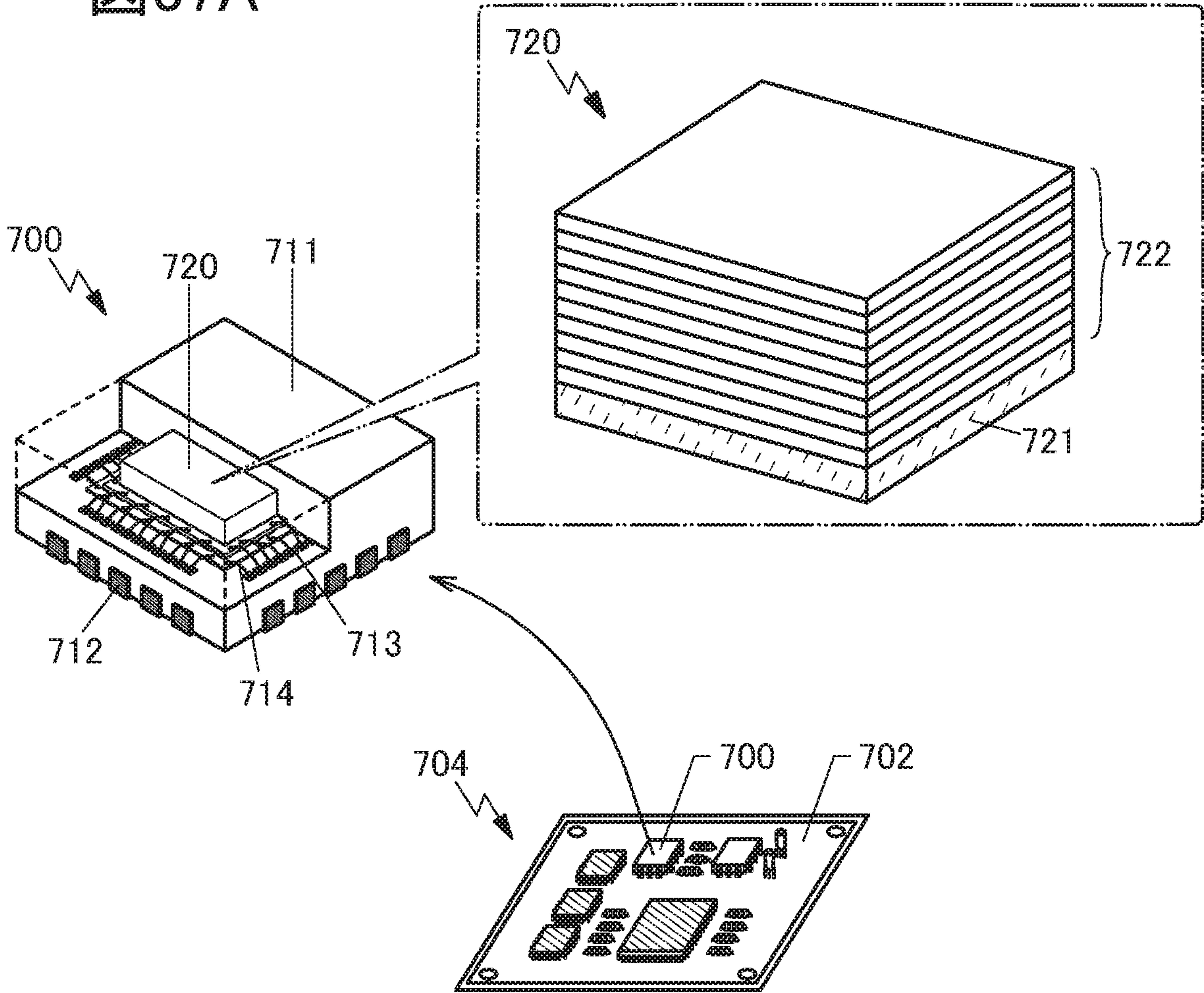


図37B

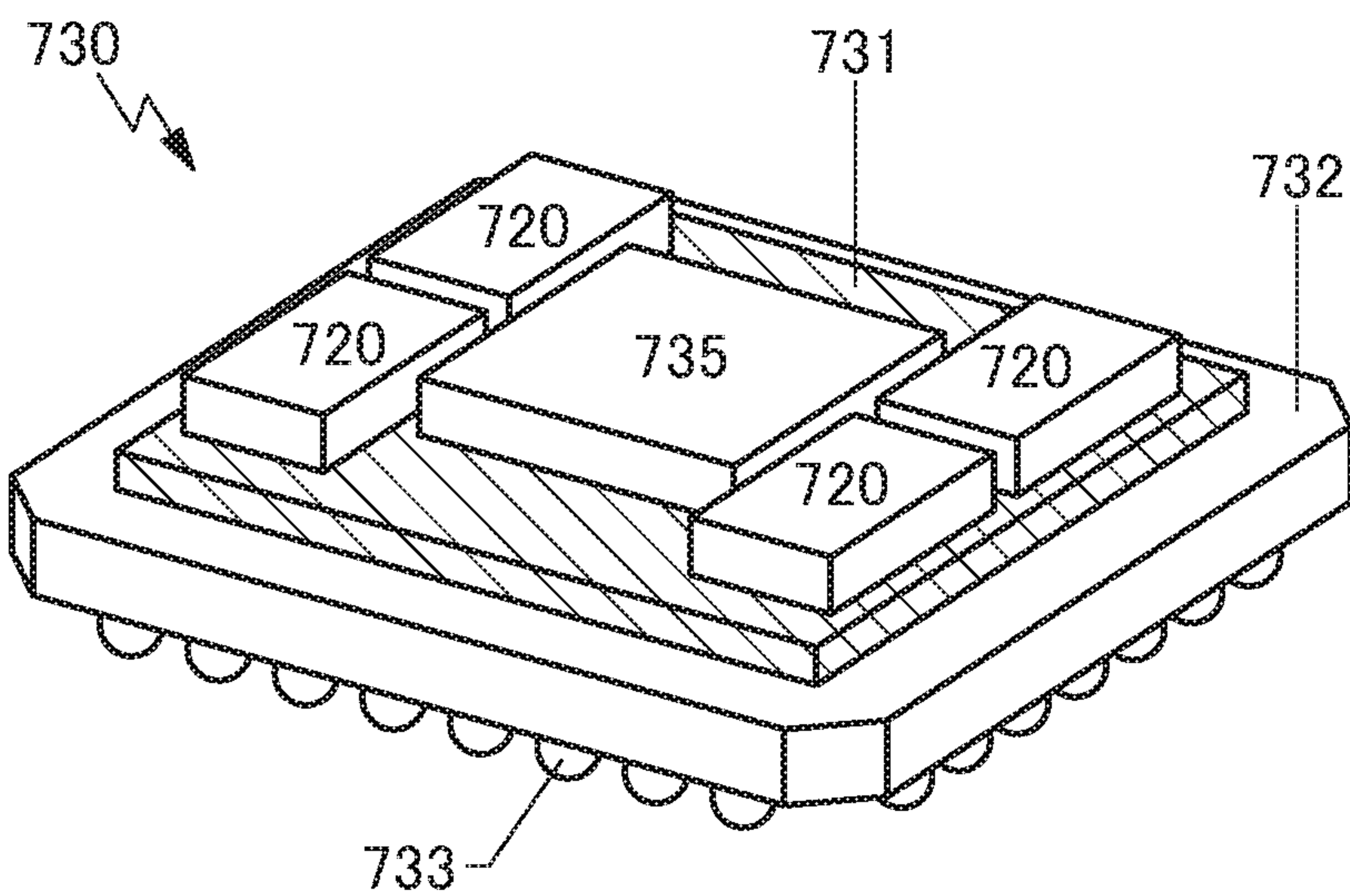


図38A

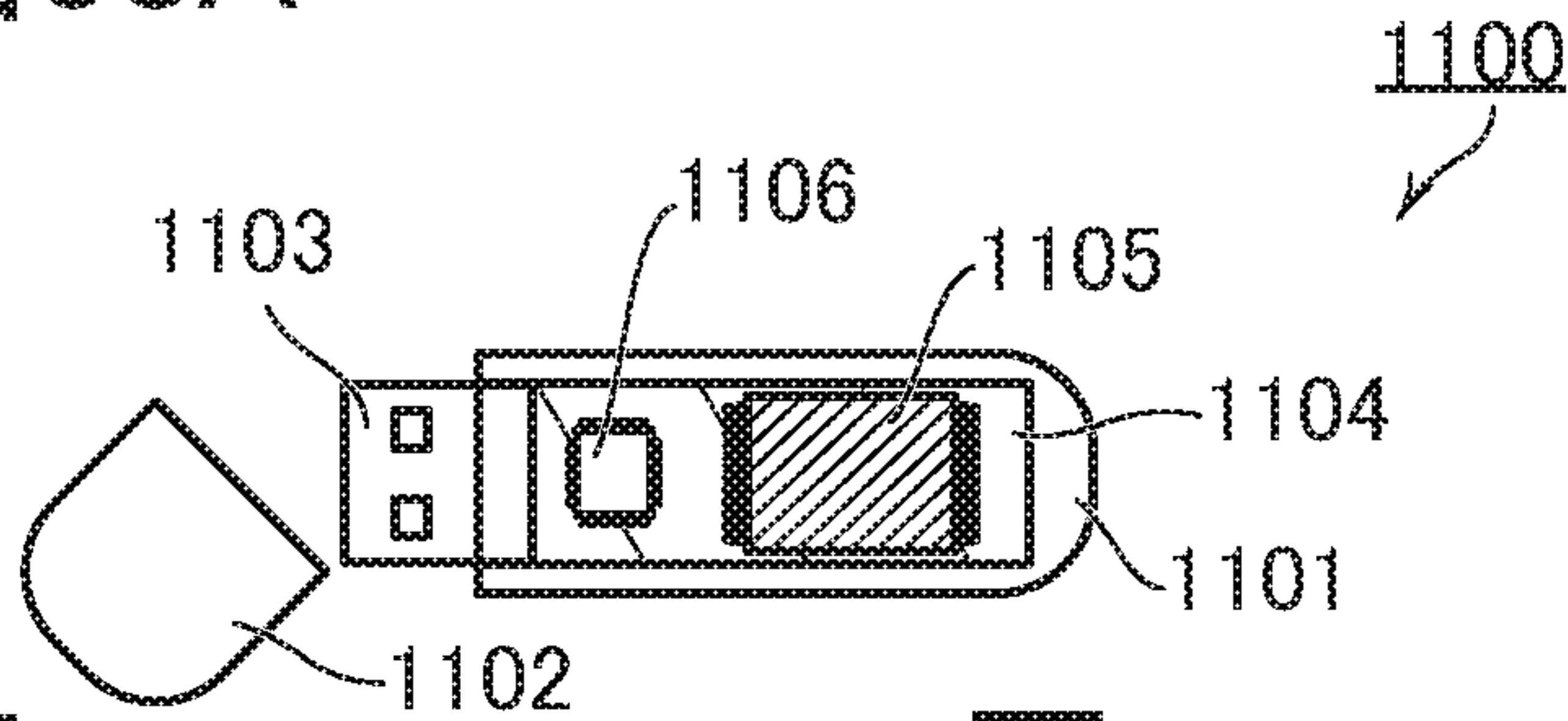


図38B

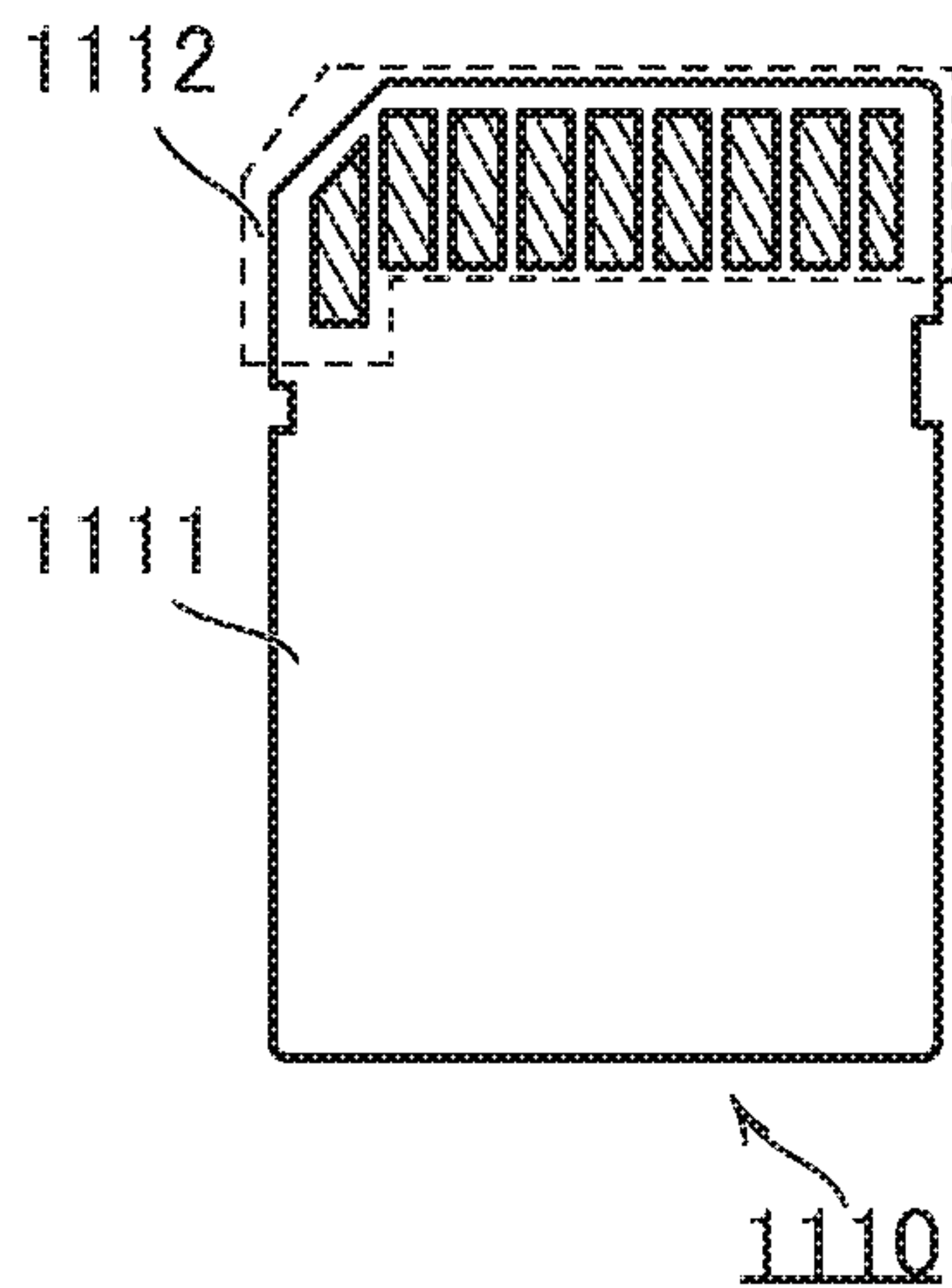


図38C

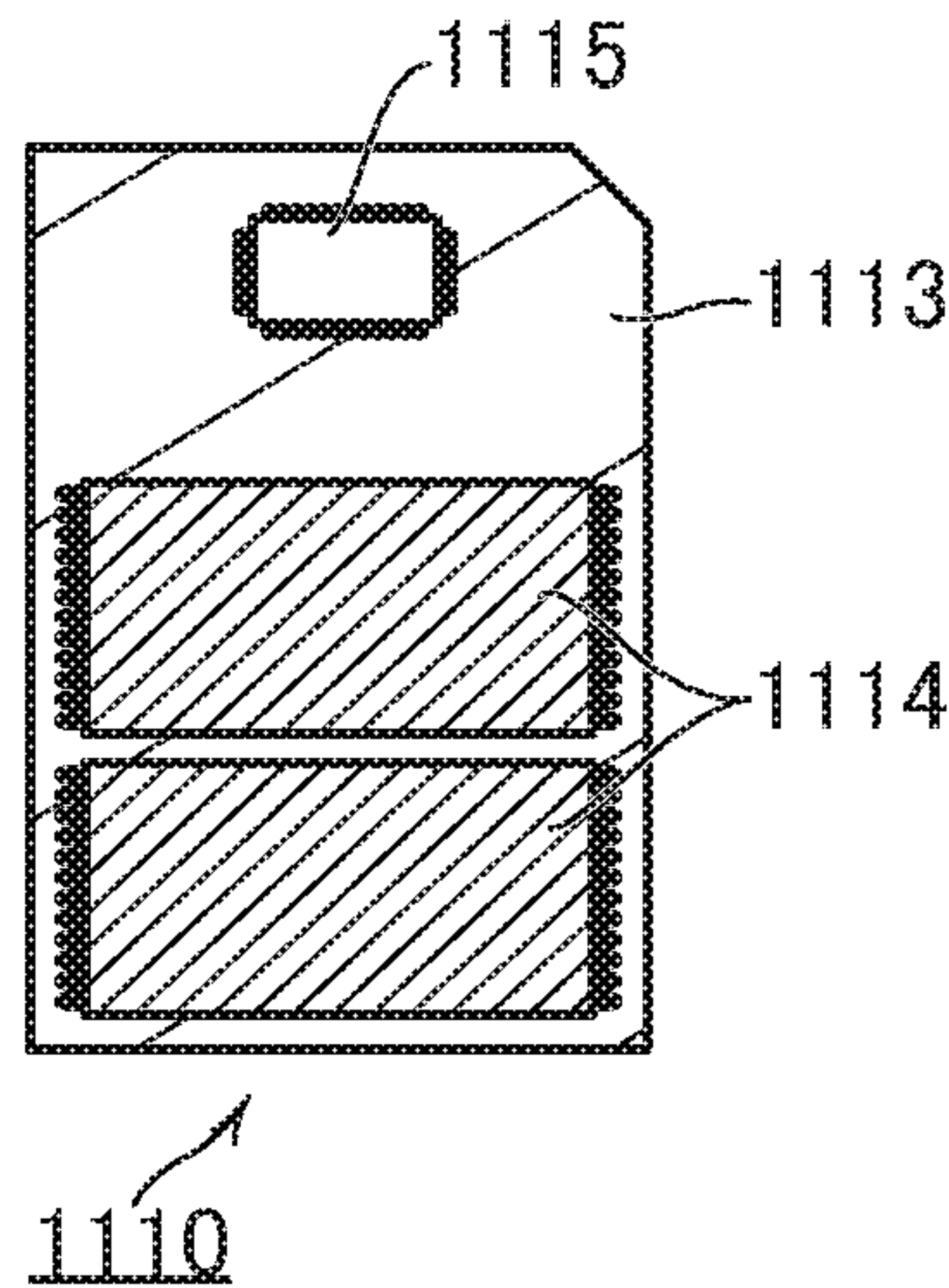


図38D

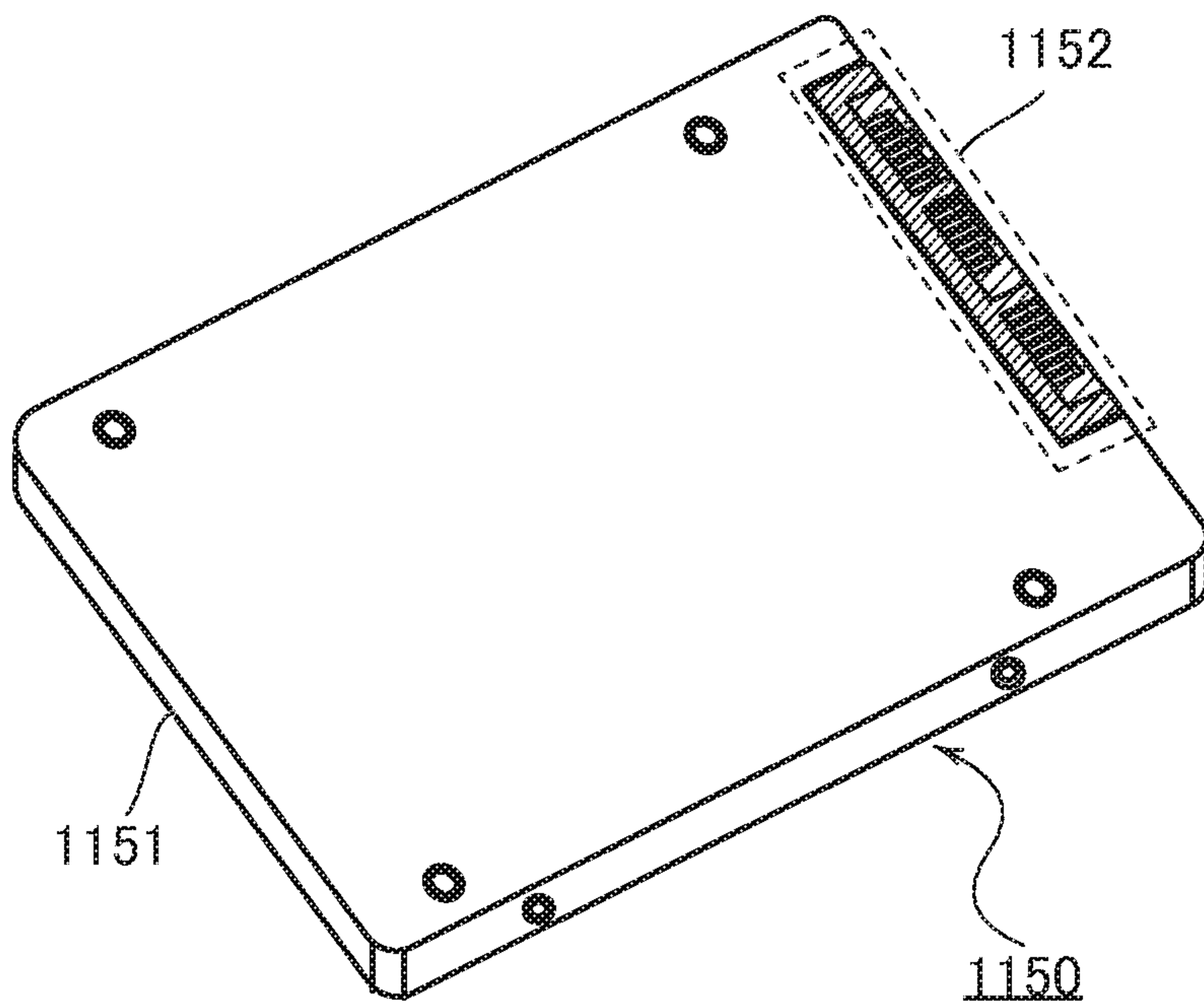


図38E

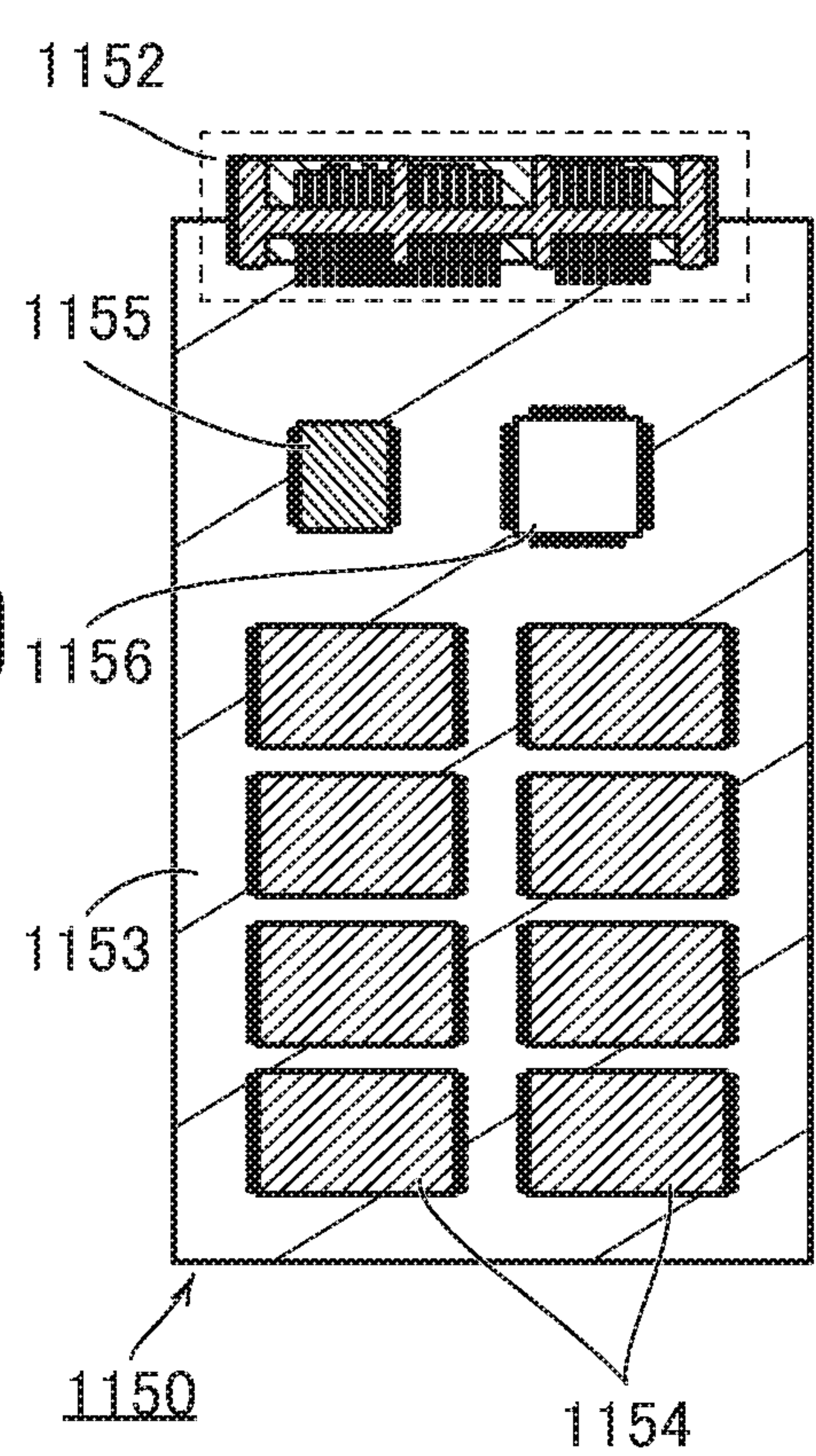


图 39A

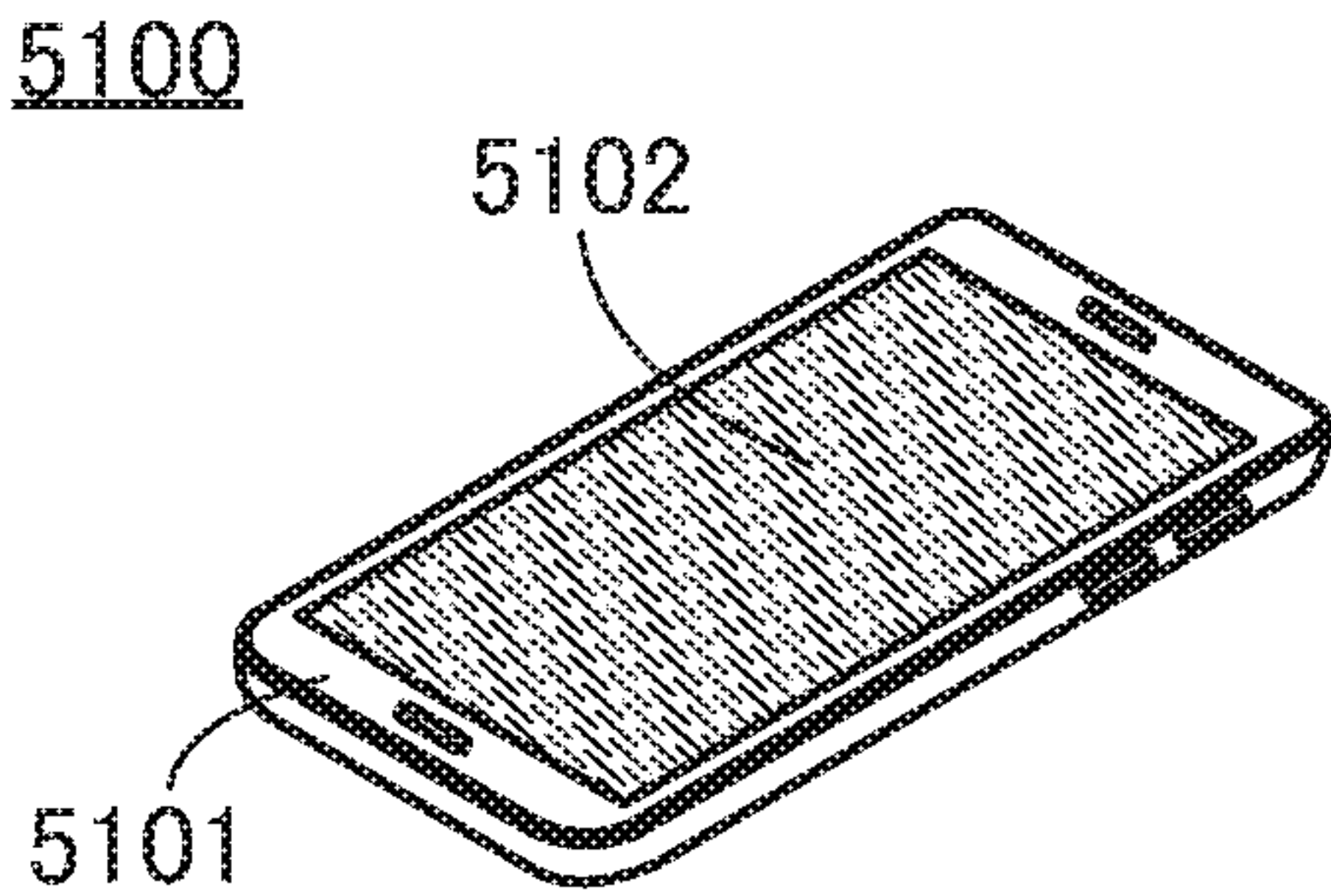


图 39B

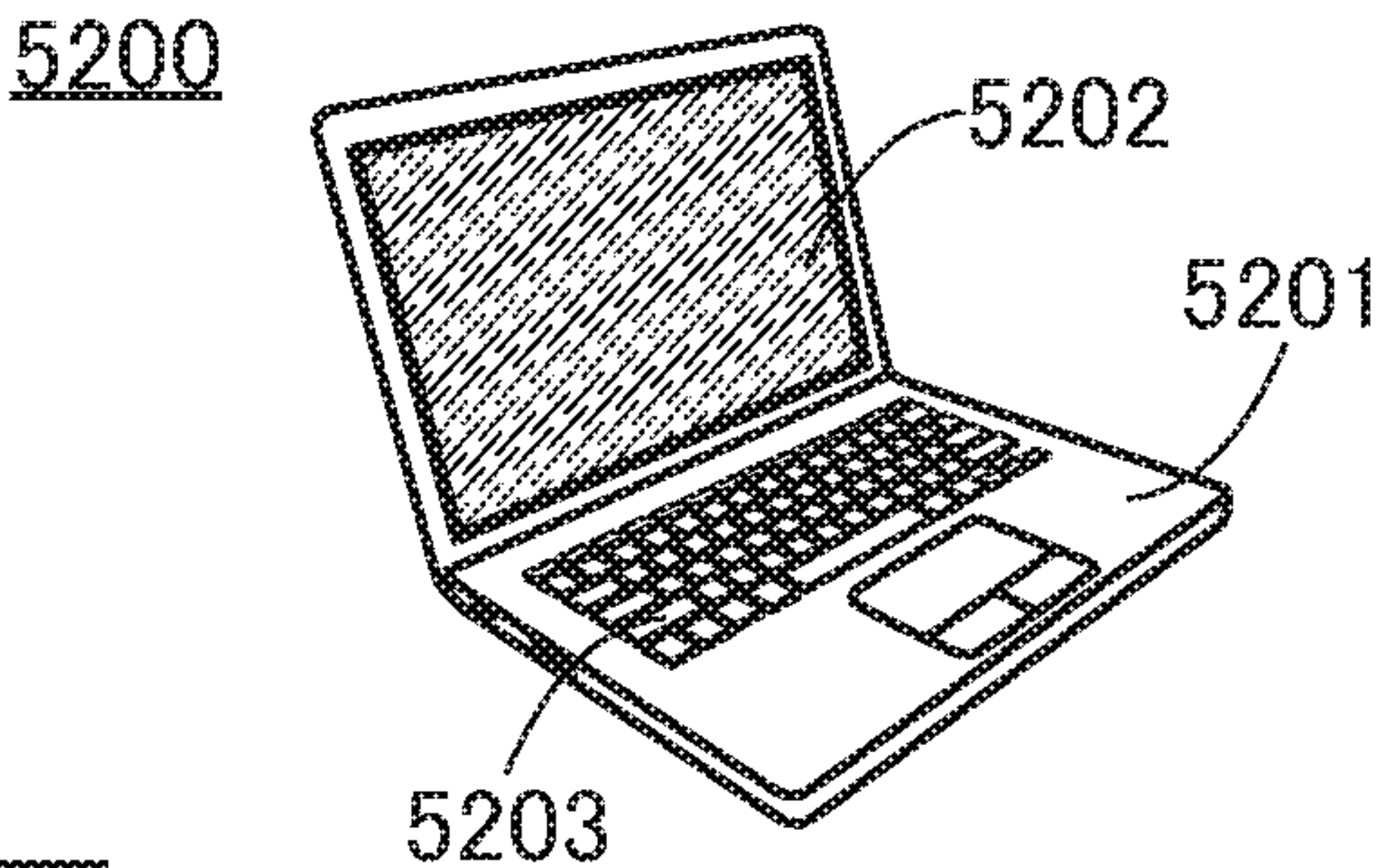


图 39C

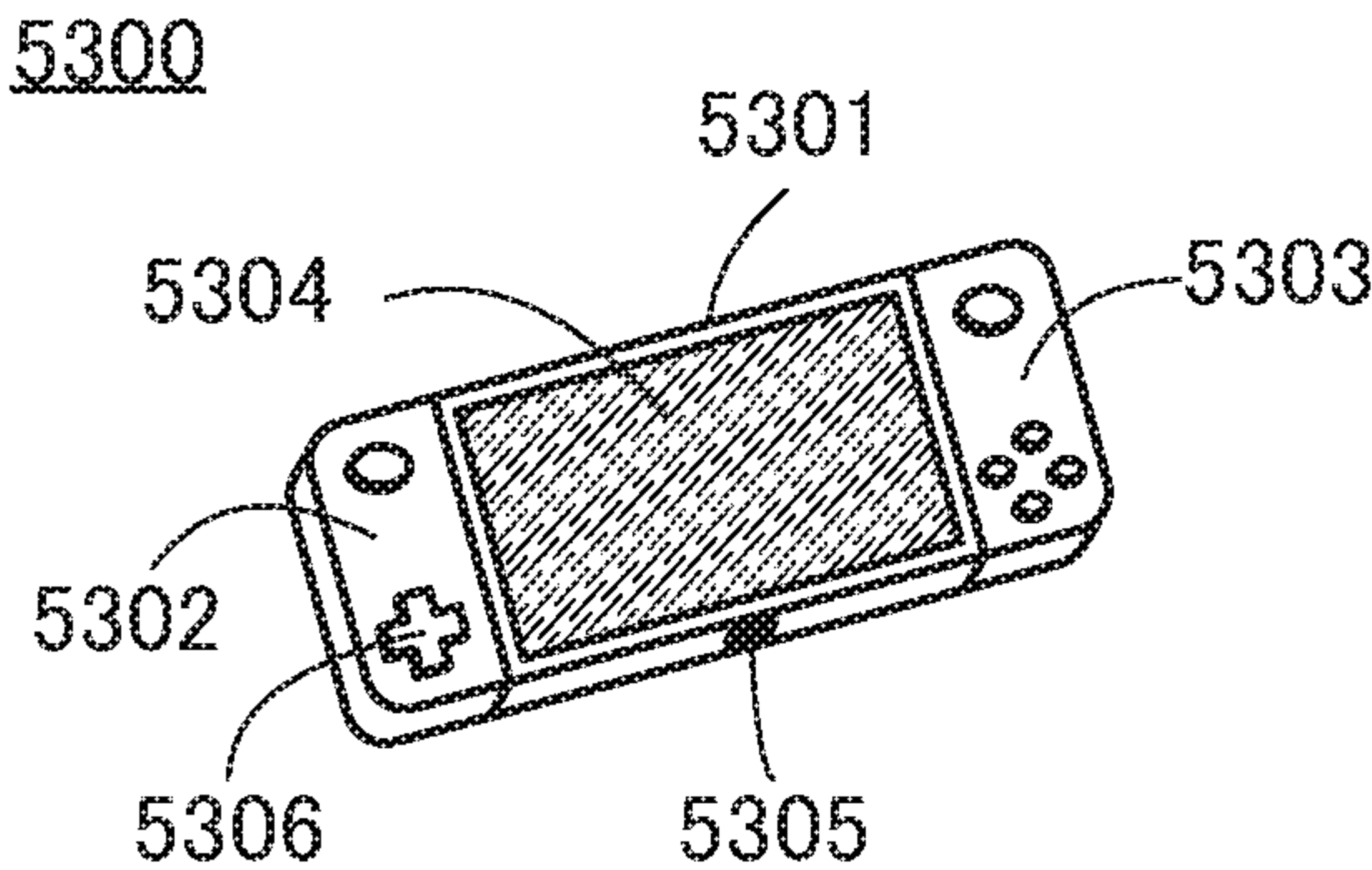


图 39D

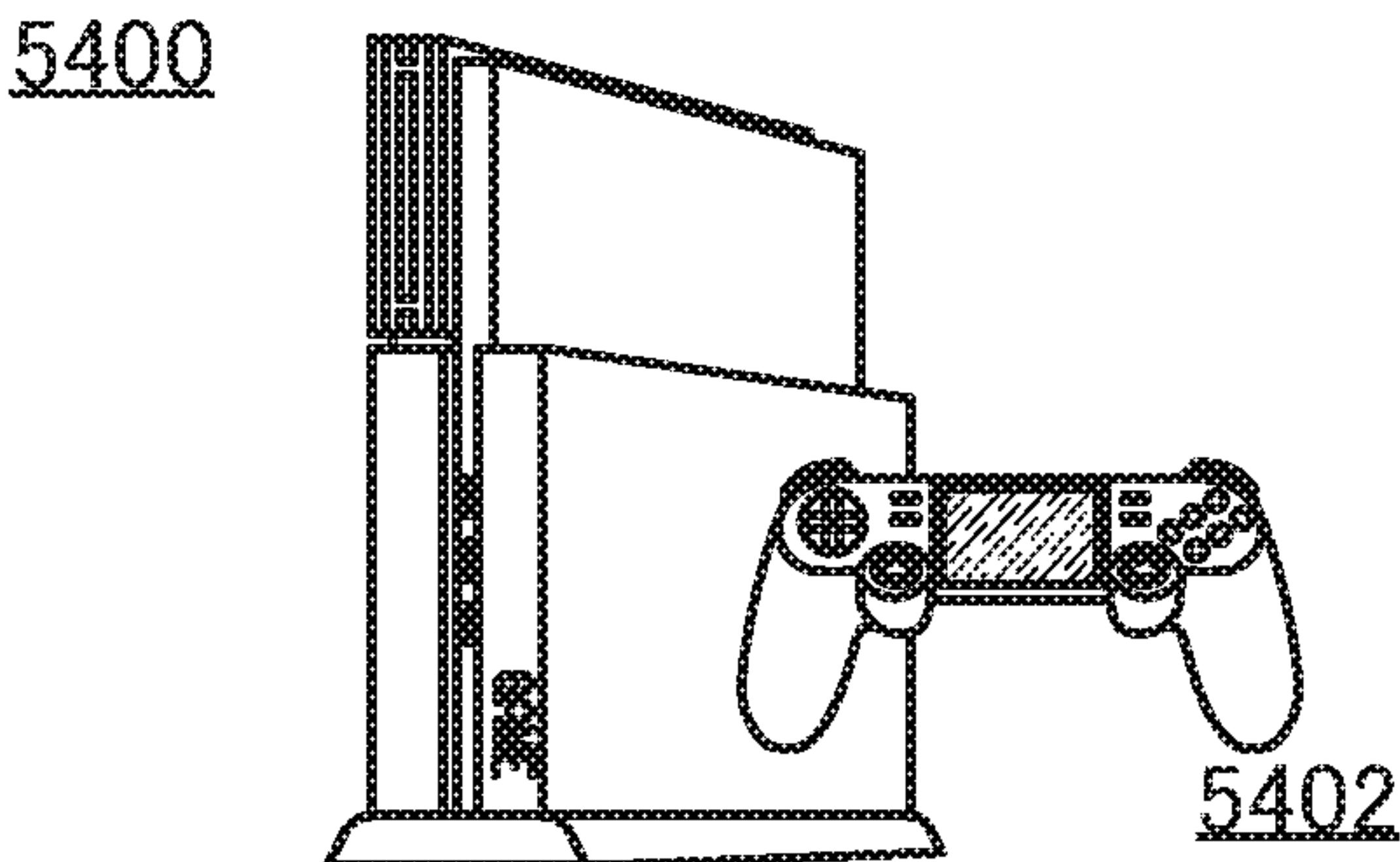


图 39E

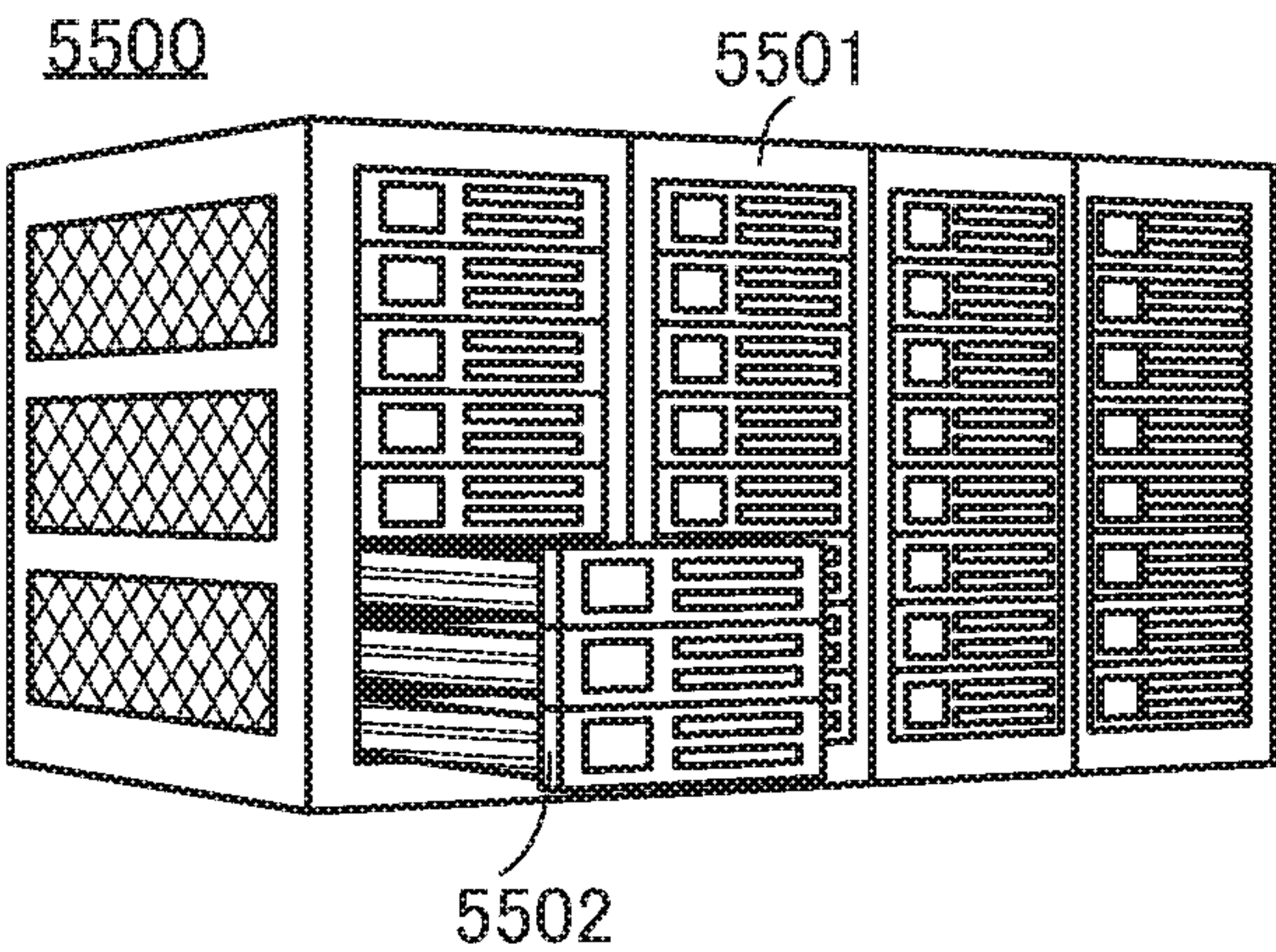


图 39F

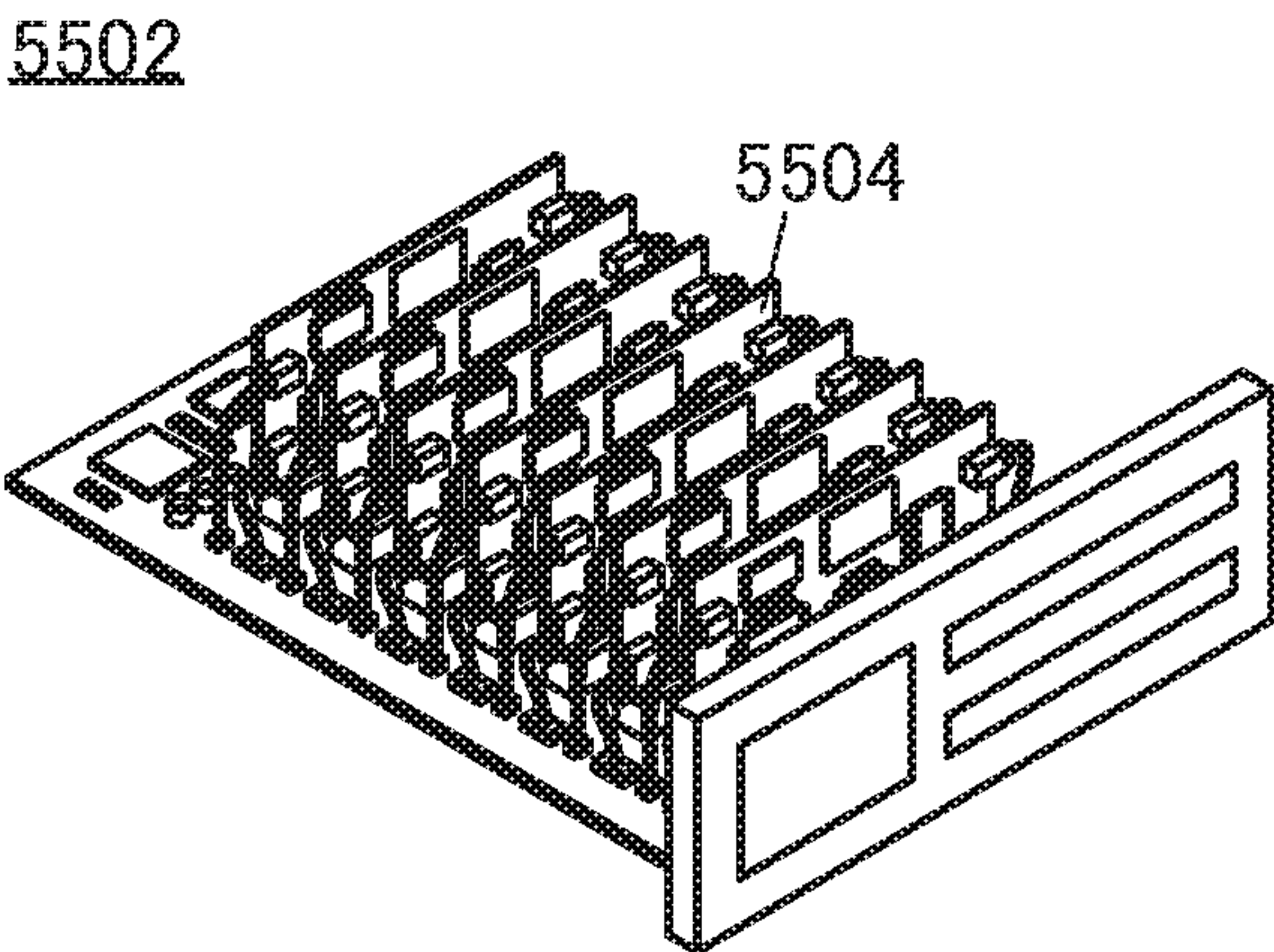


图 39G

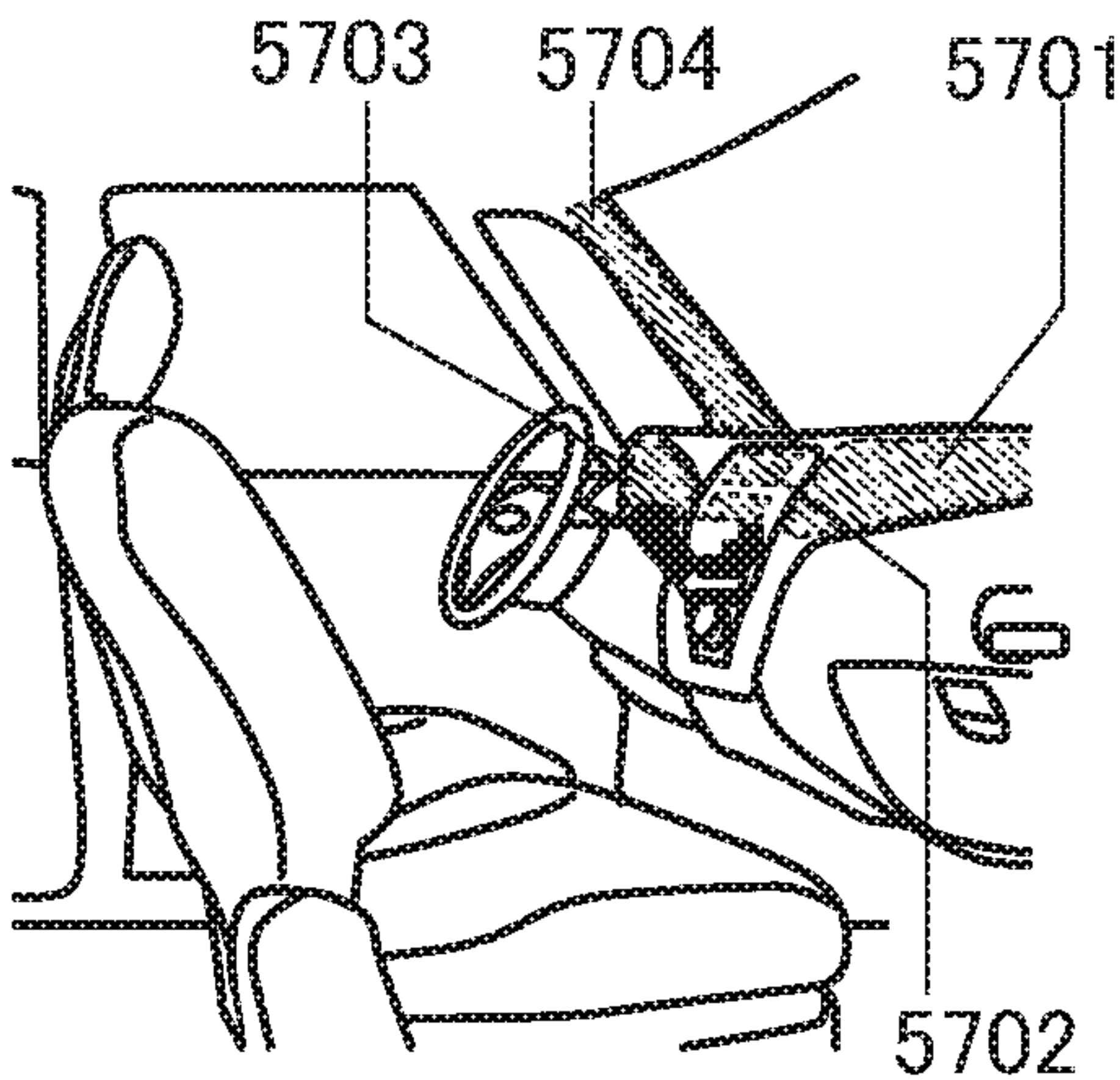


图 39H

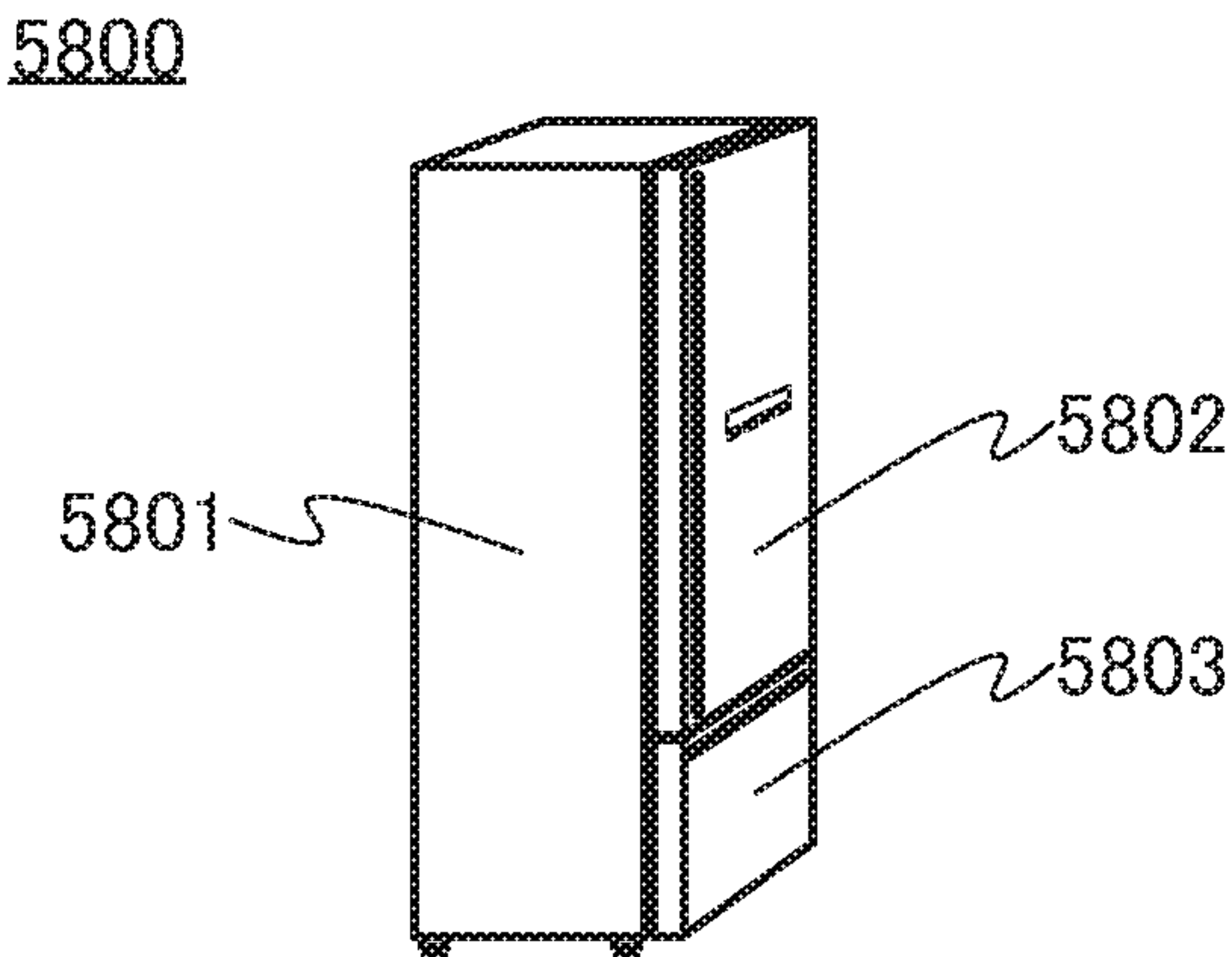


図40

40/42

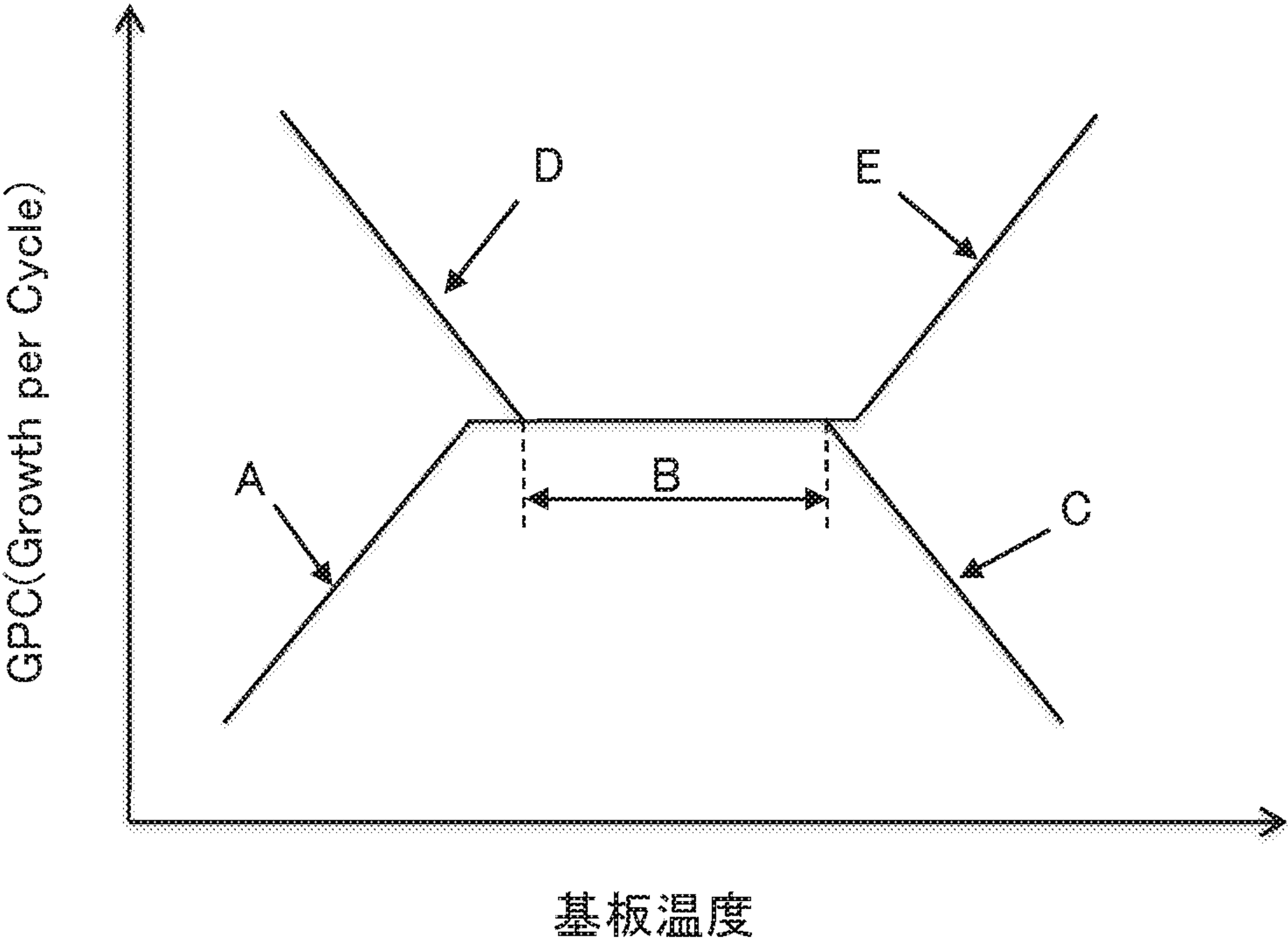


図41

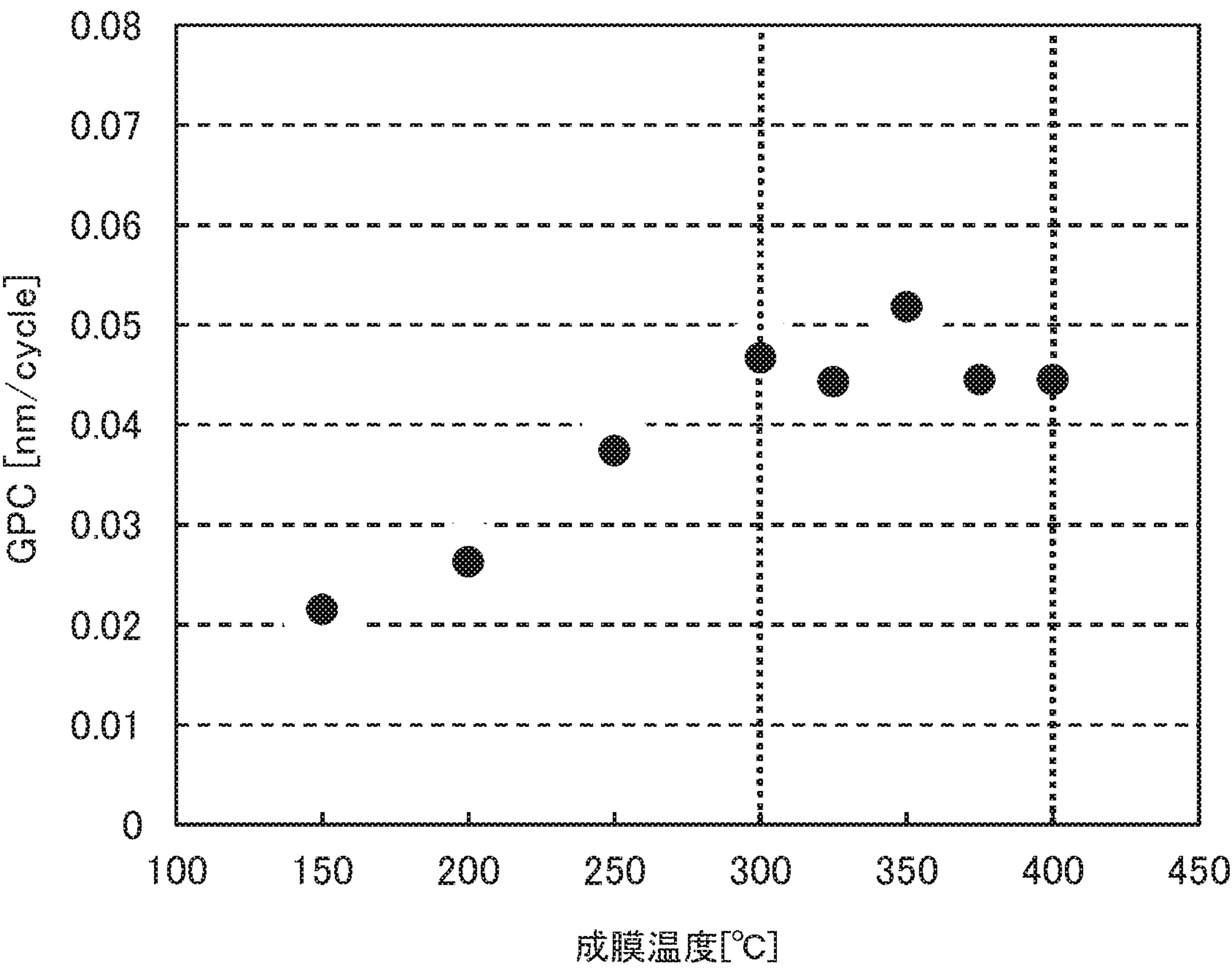


図42A

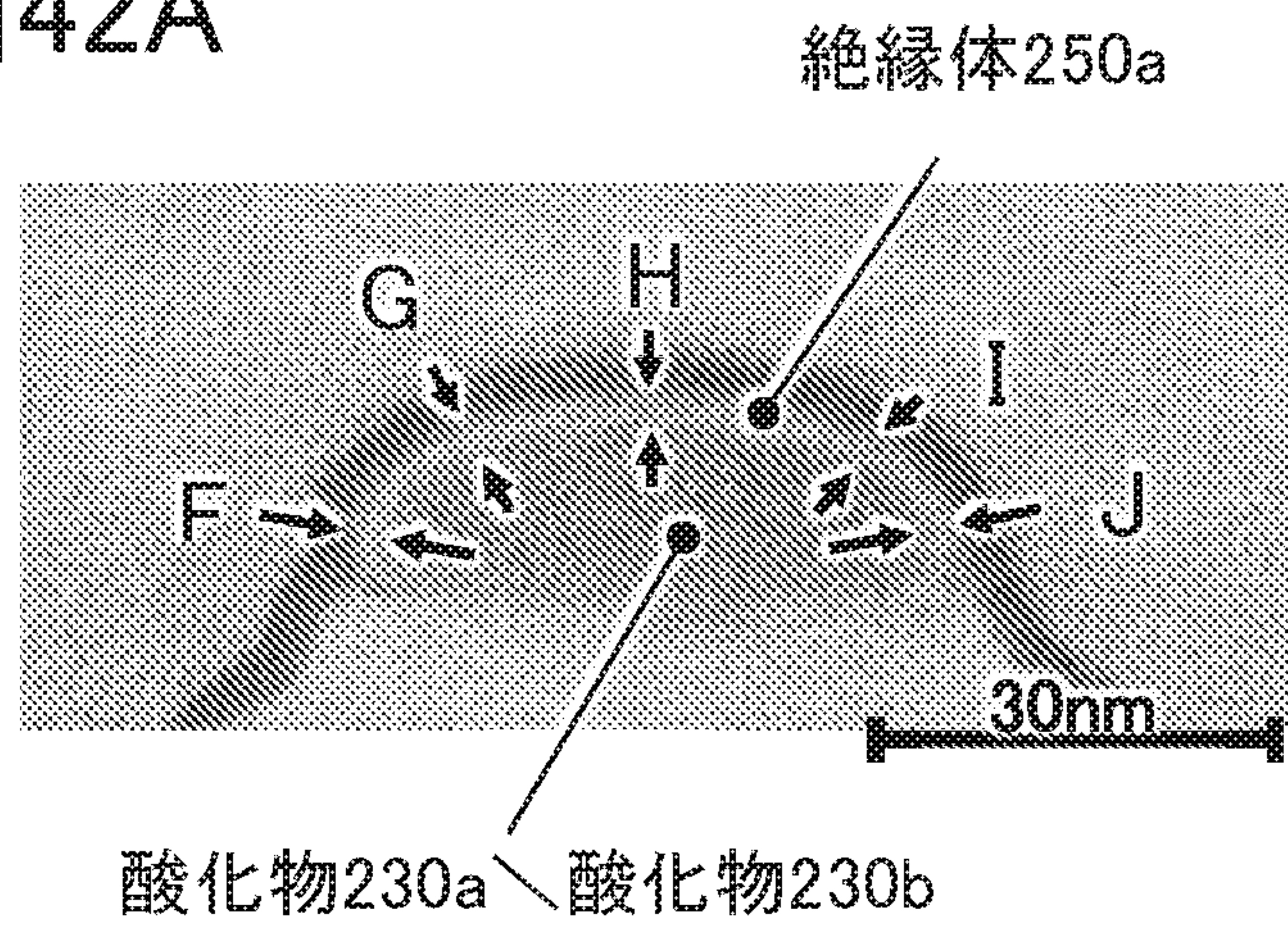
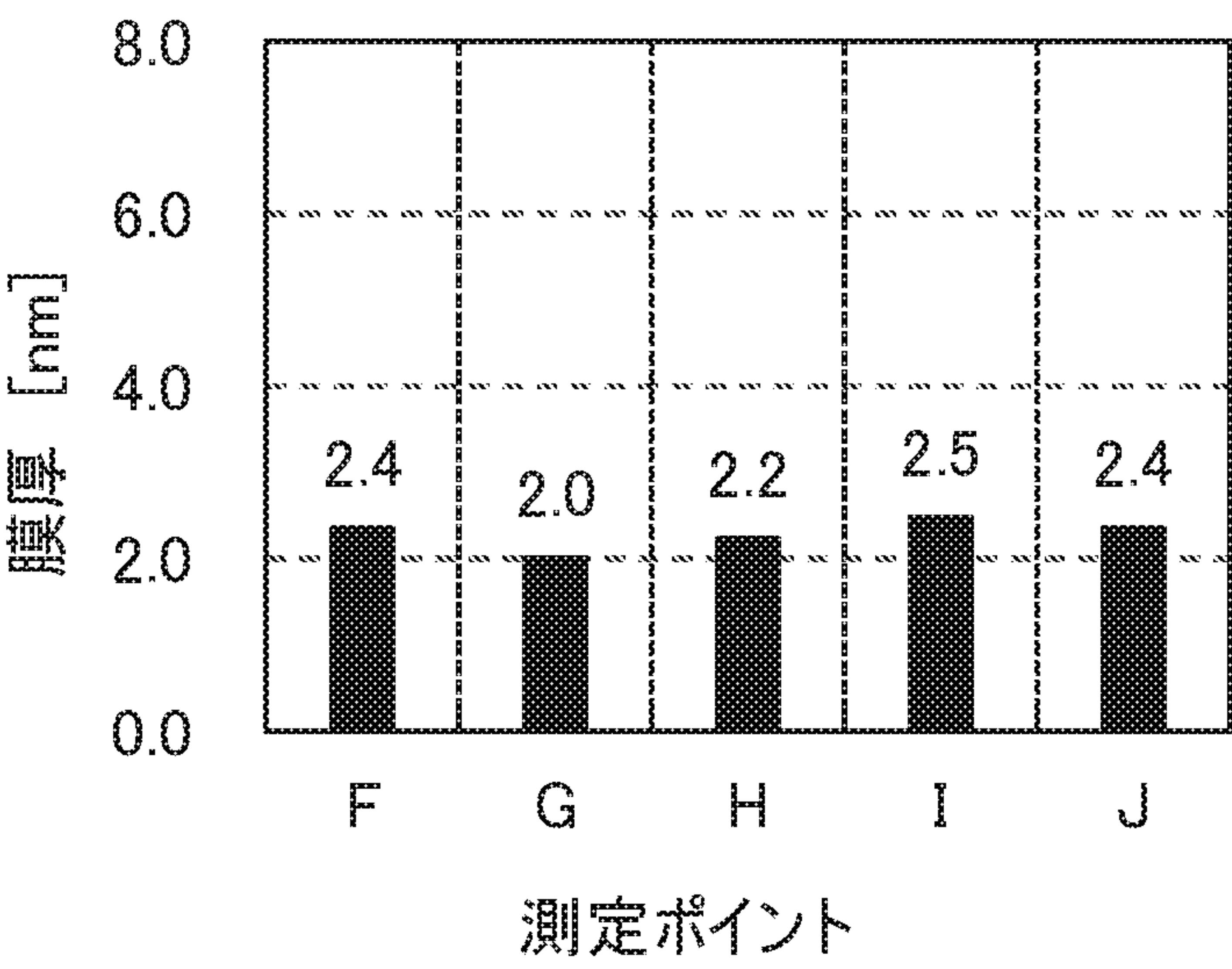


図42B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/061920

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 21/31(2006.01)i; H01L 21/316(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i

FI: H01L29/78 627Z; H01L29/78 617V; H01L29/78 618B; H01L29/78 627A;
H01L29/78 617T; H01L29/78 617U; H01L21/316 X; H01L29/78 627F;
H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L27/108 671Z;
H01L27/1156; H01L21/31 C; H01L27/108 321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/31; H01L21/316; H01L21/336; H01L21/8234; H01L21/8242;
H01L27/06; H01L27/088; H01L27/108; H01L27/1156

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2019/171196 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 September 2019 (2019-09-12)	7-11
Y	paragraphs [0049]-[0057], [0112]-[0118], [0170]-[0239], [0246]-[0248], [0337]-[0338], fig. 1, 4-12	1-6
Y	JP 2017-168839 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 September 2017 (2017-09-21)	1-6
	paragraphs [0057], [0088]-[0089], [0148]-[0151], fig. 7	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 March 2021 (12.03.2021)

Date of mailing of the international search report

23 March 2021 (23.03.2021)

Name and mailing address of the ISA/

Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/061920

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2019-087576 A (TOKYO ELECTRON LTD.) 06 June 2019 (2019-06-06) paragraphs [0022], [0038]-[0044]	1-6
Y	WO 2019/055317 A1 (LAM RESEARCH CORPORATION) 21 March 2019 (2019-03-21) paragraphs [0077]-[0084], [0106]-[0108]	1-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/061920

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2019/171196 A1	12 Sep. 2019	(Family: none)	
JP 2017-168839 A	21 Sep. 2017	US 2017/0263651 A1	
		paragraphs [0115],	
		[0146]-[0147],	
		[0205]-[0208], fig.	
		7A-7C	
JP 2019-087576 A	06 Jun. 2019	WO 2019/087715 A1	
WO 2019/055317 A1	21 Mar. 2019	US 2019/0080903 A1	
		KR 10-2020-0042542 A	
		JP 2020-535633 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; H01L 21/31(2006.01)i; H01L 21/316(2006.01)i; H01L 21/336(2006.01)i;
H01L 21/8234(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i;
H01L 27/108(2006.01)i; H01L 27/1156(2017.01)i
FI: H01L29/78 627Z; H01L29/78 617V; H01L29/78 618B; H01L29/78 627A; H01L29/78 617T; H01L29/78 617U;
H01L21/316 X; H01L29/78 627F; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L27/108 671Z;
H01L27/1156; H01L21/31 C; H01L27/108 321

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; H01L21/31; H01L21/316; H01L21/336; H01L21/8234; H01L21/8242; H01L27/06; H01L27/088;
H01L27/108; H01L27/1156

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2021年

日本国実用新案登録公報

1996 - 2021年

日本国登録実用新案公報

1994 - 2021年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2019/171196 A1（株式会社半導体エネルギー研究所）12.09.2019（2019 - 09 - 12） 段落 [0049] - [0057] , [0112] - [0118] , [0170] - [0239] , [0246] - [0248] , [0337] - [0338] , 図1 , 4 - 12	7-11
Y		1-6
Y	JP 2017-168839 A（株式会社半導体エネルギー研究所）21.09.2017（2017 - 09 - 21） 段落 [0057] , [0088] - [0089] , [0148] - [015 1] , 図7	1-6
Y	JP 2019-087576 A（東京エレクトロン株式会社）06.06.2019（2019 - 06 - 06） 段落 [0022] , [0038] - [0044]	1-6
Y	WO 2019/055317 A1（LAM RESEARCH CORPORATION）21.03.2019（2019 - 03 - 21） 段落 [0077] - [0084] , [0106] - [0108]	1-6

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

12.03.2021

国際調査報告の発送日

23.03.2021

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

高橋 優斗 5F 5585

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2015年1月）

引用文献			公表日	パテントファミリー文献	公表日
WO	2019/171196	A1	12.09.2019	(ファミリーなし)	
JP	2017-168839	A	21.09.2017	US 2017/0263651 A1 段落 [0 1 1 5] , [0 1 4 6] - [0 1 4 7] , [0 2 0 5] - [0 2 0 8] , 図 7 A - 7 C	
JP	2019-087576	A	06.06.2019	WO	2019/087715 A1
WO	2019/055317	A1	21.03.2019	US	2019/0080903 A1
				KR	10-2020-0042542 A
				JP	2020-535633 A