

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3630489号

(P3630489)

(45) 発行日 平成17年3月16日(2005.3.16)

(24) 登録日 平成16年12月24日(2004.12.24)

(51) Int.Cl.<sup>7</sup>

F I

G O 2 F 1/133

G O 2 F 1/133 5 5 0

G O 2 F 1/1368

G O 2 F 1/1368

G O 9 G 3/36

G O 9 G 3/36

請求項の数 6 (全 28 頁)

(21) 出願番号	特願平8-40703	(73) 特許権者	000003078
(22) 出願日	平成8年2月2日(1996.2.2)		株式会社東芝
(65) 公開番号	特開平8-286170		東京都港区芝浦一丁目1番1号
(43) 公開日	平成8年11月1日(1996.11.1)	(74) 代理人	100064285
審査請求日	平成15年2月3日(2003.2.3)		弁理士 佐藤 一雄
(31) 優先権主張番号	特願平7-27800	(74) 代理人	100073379
(32) 優先日	平成7年2月16日(1995.2.16)		弁理士 佐藤 政光
(33) 優先権主張国	日本国(JP)	(74) 代理人	100077609
(31) 優先権主張番号	特願平7-27801		弁理士 玉真 正美
(32) 優先日	平成7年2月16日(1995.2.16)	(74) 代理人	100088889
(33) 優先権主張国	日本国(JP)		弁理士 橘谷 英俊
		(72) 発明者	佐 藤 肇
			神奈川県横浜市磯子区新杉田町8番地 株
			式会社東芝 横浜事業所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

互いに交差してマトリックス状に配列された複数のデータ線および複数の走査線と、このマトリックスの各格子ごとに配設された画素電極と、前記走査線によりオン・オフを制御され、オン時に前記データ線から供給された書き込み電圧を前記画素電極に導通させる、前記各格子ごとに設けられた第1のスイッチ素子とを備えたスイッチ素子アレイ基板と、前記画素電極に対して間隙を保持して対向配置された対向電極を有する対向基板と、前記スイッチ素子アレイ基板と前記対向基板との間に挟持された液晶層と、対応する前記第1のスイッチ素子と前記画素電極との間に介挿され、前記第1のスイッチ素子がオンの際のデータ線から供給される書き込み電圧の状態をデータとして保持するメモリ素子と、

10

前記走査線に対応して配設され、ノーマリーホワイトにおける黒表示を行うための交流駆動信号線と白表示を行うための所定の一定電位のリセット信号線とにより構成された、表示制御線と、

前記メモリ素子の出力により、前記画素電極と前記表示制御線との接続を制御する各格子ごとに設けられた第2のスイッチ素子と、

前記データ線および前記走査線の双方がアドレス指定を行わない場合には前記交流駆動信号線の周波数を低下させる周波数変更手段とを備えたことを特徴とする液晶表示装置。

【請求項2】

前記第2のスイッチ素子は、前記メモリ素子の出力により前記交流駆動信号線と前記リセ

20

ット信号線を択一的に選択して前記画素電極に接続するものである論理回路であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記リセット信号線に印加される電圧の電位が、前記交流駆動信号線に印加される電圧のほぼ平均電位であり、

前記対向電極に印加される電圧の電位が、前記リセット信号線に印加される電圧と同電位であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記画素電極が、少なくとも前記メモリ素子および前記第 2 のスイッチ素子の上に電気絶縁層を介して表面が光を反射する膜が形成された、光反射型の画素電極であることを特徴とする請求項 1 ないし 3 のいずれかに記載の液晶表示装置。 10

【請求項 5】

前記データ線および前記走査線に選択的にそれぞれ電圧を供給し、選択された画素電極を前記第 1 のスイッチ素子を介して駆動する液晶駆動回路をさらに備え、

前記液晶駆動回路は、前記スイッチ素子アレイ基板上に少なくとも前記スイッチ素子の形成材料と同じ材料を用いて一体的に形成されたものであることを特徴とする請求項 1 ないし 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記周波数変更手段は、

発振回路と、

20

この発振回路の出力信号を異なる複数の周波数に分周する分周回路と、

前記データ線および前記走査線のアドレス指定動作を検出するアドレス信号検出回路と、このアドレス信号検出回路の出力により、アドレス指定動作が行われているときには通常の周波数を、アドレス指定動作が行われていないときには低下させた周波数をそれぞれ選択して出力するスイッチ手段とを備えたことを特徴とする請求項 1 ないし 5 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係り、特に携帯用パソコンなど小型情報端末の表示デバイスとして好適な、高精細画像の表示を低消費電力で実現できる液晶表示装置に関する。 30

【0002】

【従来の技術】

液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の画像表示装置あるいはポータブルテレビや壁掛けテレビなどに広く用いられている。特に近年は薄型・軽量化が可能なディスプレイデバイスとして注目されており、いわゆるノートブック型パソコンのような携帯型の情報処理機器等に用いられている。

【0003】

そのような液晶表示装置の中でも特に多結晶シリコン（以下、p-Si と略称する）で形成された薄膜トランジスタ（以下、TFT と略称）などの薄膜トランジスタ（Thin Film Transistor：以下、TFT と略称）をスイッチング素子として画素部に設ける一方、同様な構造の TFT をスイッチング素子アレイ基板の周縁部にも設けて液晶表示回路を形成した、いわゆる駆動回路一体型のアクティブマトリックス型液晶表示装置の研究・開発が盛んに行なわれている。 40

【0004】

ここで、従来の液晶表示装置、特にアクティブマトリックス型液晶表示装置の構成とその動作について簡潔に述べる。

【0005】

図 19 は一般的な従来の液晶表示装置の回路構造の概要を示す図である。

【0006】

50

従来の液晶表示装置は、マトリックス状に配線された複数のデータ線 901 および走査線 902 と、画素電極 903 と、これら画素電極 903 とデータ線 901 との間に、走査線 902 により制御される画素部スイッチ素子 904 と、この画素部スイッチ素子 904 の後段かつ画素電極 903 の前段に一端が接続され他端はアース接続された電荷蓄積容量 905 とを備えたスイッチ素子アレイ基板 906 と、画素電極 903 に間隙を保持しつつ対向配置される対向電極 907 を備えた対向基板（図示せず）と、これら対向基板とスイッチ素子アレイ基板との間に周囲を封止されて挾持され前記の各画素電極 903 と対向電極 907 との間で液晶容量 908 を形成する液晶層と、前記のデータ線 901 を駆動するデータ線ドライバ 909 および走査線 902 を駆動する走査線ドライバ 910 とから、その主要部が構成されている。

10

#### 【0007】

一般に液晶駆動回路系としては、例えば外付けされたシフトレジスタ型などの液晶ドライバ IC が用いられる。あるいは、例えば p - S i T F T を前記の画素部スイッチ素子 904 として用いてこの p - S i T F T で上記の液晶駆動回路系をも同一基板上に直接形成する、いわゆる液晶駆動回路一体型の液晶表示装置も提案されている。

#### 【0008】

次に、上述のような従来の構造の液晶表示装置の動作について簡潔に述べる。走査線ドライバ回路 910 により、ある走査線 902 が選択されると、その走査線 902 上に接続されている画素部スイッチ素子 904 が導通状態となる。

#### 【0009】

このとき、データ線ドライバ回路 909 により画像データに対応したデータ線 901 が選択されて、そのデータ線 901 にビデオ信号などの画像データに対応した電圧が印加される。

20

#### 【0010】

そして前記の選択された走査線 902 および選択状態となっているデータ線 901 とに接続されている画素部スイッチ素子 904 を介して、データ線 901 から電圧が供給されて電荷蓄積容量 905 に電荷が蓄積されるとともに、その電圧がそれに接続された画素電極 903 に書き込まれる。すると液晶セル（液晶容量 908）はこの電圧が印加されてその電位に対応した光変調を行なうことによって、画像表示が実現される。

#### 【0011】

1 水平走査期間中に、データ線 901 はデータ線ドライバ 909 によって左右いずれか一方の端から他端へと順に選択される。そして走査線 902 側では、ある走査線 1 列に対してビデオ信号の書き込みが終わると次の走査線 902 が選択される。このような走査が上から下またはその逆で点順次に行なわれて行き、この走査選択が終端の走査線にまで達すると、再び最初の走査ラインに戻って上記の動作が繰り返される。このような点順次走査を繰り返して、液晶表示装置の画面全体の画像が選択され表示されて行き、各水平走査期間ごとの画面 1 フレーム（又は 1 フィールド）が形成される。

30

#### 【0012】

上記のような液晶表示装置の最大の利点は一般に、前述した如く薄型・軽量という点である。この利点を生かして液晶表示装置は、ノートブック型パソコンのような携帯型情報処理装置のディスプレイデバイスとして搭載されるようになってきた。

40

#### 【0013】

ノートブック型パソコンなどの携帯型情報処理装置は、携帯可能でなければならないので、一般にバッテリー駆動方式が採用されており、従って、現状では一回の充電で続行可能な使用時間はバッテリーの電力容量に依存して限界がある。

#### 【0014】

そこで、一回の充電で続行可能な使用時間を、より長くするための方策が種々試みられているが、バッテリー自体の電力容量の増大を図ることは言うまでもなく、その一方で液晶表示装置の低消費電力化が重要な課題となっている。

#### 【0015】

50

特に近年ではバッテリー自体の電力容量については、携帯可能であることが必須条件となっているので、バッテリーの重量を増やすこと無くその電力容量を増大しなければならない。しかしバッテリーの電力容量密度（容量／重量）の向上は、一般的に用いられるバッテリーの分野においてはすでに技術的な向上の限界に近付いており、これ以上の大幅な向上は実際上ほとんど望めないのが現状である。従ってもう一方の、液晶表示装置の低消費電力化が、さらに重要な課題となっている。

【 0 0 1 6 】

液晶表示装置の低消費電力化を図るためには、主として2つの方策が考えられる。第1は、液晶表示装置が非発光素子であることにより照明光が必要となるが、この照明光を供給するための電力の低減化である。

10

【 0 0 1 7 】

しかしながら、従来のいわゆるバックライトを用いた液晶表示装置においてはそのバックライトの発光効率および利用効率の向上も、ほとんど限界に近付いているのが現状である。しかも、TFTを用いたアクティブマトリックス型液晶表示装置におけるさらなる画面の高精細化および多画素化につれて、さらに画素部開口率が低下する傾向にあるため、バックライトの点での低消費電力化は困難であるという問題がある。

【 0 0 1 8 】

液晶表示装置の低消費電力化を図る第2の方策としては、液晶表示装置自体を駆動してその液晶パネルに画像を表示するために必要な、いわゆる駆動電力の低減化が考えられる。

【 0 0 1 9 】

20

しかし、従来の液晶表示装置では、そのような駆動電力量を大幅に低減することは非常に困難である。

【 0 0 2 0 】

従来の液晶表示装置においては一般にダイナミック駆動型と呼べるような駆動方式が採用されている。即ち、従来の液晶表示装置は、図19で示したように、データ線901の電位を一旦、電荷蓄積容量905に蓄えつつ画素電極903にも印加することで、各画素ごとの液晶セル908への液晶印加電圧の書き込みを行なっている。

【 0 0 2 1 】

このため、一つの選択期間の次にデータ線901の電位が一つの画素の液晶セルに書き込まれるまでの期間中に、その画素の液晶容量908および電荷蓄積容量905から電流がリークするなどして、液晶容量908の保持している電位が低下し、明度やコントラストの低下等の表示状態の劣化を引き起こす。

30

【 0 0 2 2 】

このため、表示画像を高品位に保つには、静止画像表示の際にも常にデータ線ドライバ909および走査線ドライバ910を動かして、常に各画素に電圧の書き込みを行なってその電位を保持しなければならない。液晶容量および電荷蓄積容量と画素部スイッチ素子とを含めた回路構造に対し、あたかもDRAM（ダイナミックRAM）のように常にリフレッシュを行なわなければならない。液晶駆動回路系を常に動かすための電力および各画素部のリフレッシュを行うための電力を必要とするため、消費電力の点で極めて不利であり、低消費電力化にとってはむしろ逆行するものでさえあるという問題があった。

40

【 0 0 2 3 】

そのような問題の解決を意図した低消費電力型の液晶表示装置として、画素内にメモリ素子を配設されたスタティック型の液晶表示装置が提案されている。

【 0 0 2 4 】

画素内にデジタルメモリを有するスタティック型の液晶表示装置は一般に、

（1）静止画像表示時に外部からの映像信号の入力を止めることができ、低消費電力化が図れる。

（2）画素電圧をデジタル化することにより、クロストーク等による表示品質の劣化が起きにくい。

といった利点を備えている。

50

## 【 0 0 2 5 】

しかしながらその一方で、各画素ごとに複数の薄膜トランジスタ（ＴＦＴ）からなるスイッチ素子を組み合わせるデジタルメモリが形成されている構造であるため、１画素あたり１個のＴＦＴを画素部スイッチ素子として用いたダイナミック型の液晶表示装置と比較して構造が極めて煩雑であり、またその製造歩留りが低下するという問題がある。

## 【 0 0 2 6 】

そして、近年ますます多画素化、高精細化が進む携帯型情報処理装置に用いられる液晶表示装置にあっては、画素のさらなる微細化が進むため上記のような画素部の構造の煩雑化およびその製造プロセスの煩雑化は著しく進み、その結果、場合によっては前記のデジタルメモリを含んだ回路構造が一画素領域内ごとには収まらなくなる、という問題もある。 10  
つまり上記のような構造が実際的には採用不可能となるという問題がある。あるいは、そのような繁雑で大きな占有面積を必要とする回路構造に占有されて残った僅かな面積にしか画素開口部を設けられなくなるので、画面の輝度が低くなる、あるいは狭い画素開口面積で所定の輝度を得るために、バックライトなど照明に要する電力を増加させなければならなくなり、低消費電力化にとってむしろ逆行することになるという問題がある。

## 【 0 0 2 7 】

このような画素内にメモリ素子を備えたスタティック型の液晶表示装置としては、例えば特開昭５８－２３０９１号公報などに開示され提案されている。

## 【 0 0 2 8 】

このような従来のスタティック型の液晶表示装置の回路構造の第１の例を図２０に、また 20  
第２の例を図２１に示す。

## 【 0 0 2 9 】

これら従来例は、データ線９０１に接続しているとともに走査線９０２によって制御される画素部スイッチ素子９０４と、メモリ素子９１１と、各画素の液晶セル（液晶容量９０８）を交流駆動するために印加電圧を所定のタイミングで極性反転させる付加回路９１２とを備えて形成されている。

## 【 0 0 3 0 】

これらの基本的な動作は、メモリ素子９１１にデータ線９０１からのビデオ信号をラッチし、その信号を各画素の液晶セル（液晶容量９０８）に書き込む、というものである。

## 【 0 0 3 1 】

ここで、メモリ素子９１１は、新たな信号が書き込みされるまで前の信号を保持するので、一旦、信号の書き込みを行なってしまうと、前記のデータ線ドライバ９０９および走査線ドライバ９１０を停止しても、それまでに書き込まれた画像を静止画像として継続表示することが可能である。従って、静止画像表示の際の液晶表示装置としての駆動の低消費電力化を実現することが可能となる。 30

## 【 0 0 3 2 】

なお付加回路９１２としては、第１の従来例ではエクスクルーシブＮＯＲ回路を用いた例が、また第２の従来例ではトランスファゲートを用いて各画素ごとに選択的に外部からの交流信号を入力させる例が、それぞれ示されている。

## 【 0 0 3 3 】

ところで、前述したように、液晶セルは直流電圧が印加され続けるとその液晶分子に誘電分極が発生して特性が劣化するため、一般に交流的に駆動されるが、上記の２つの従来例では２相のクロック信号を対向電極と画素電極との両方に印加することで液晶セルを交流駆動している。 40

## 【 0 0 3 4 】

## 【 発明が解決しようとする課題 】

しかしながら、このような従来の液晶表示装置では、対向電極を交流駆動することを前提としてその回路系が形成されているが、対向電極はすべての画素電極に対して液晶層を介して共通に対向して液晶容量を形成するように配置されるものであるため、大きな電気容量成分を持っており、この大容量の電気容量を交流駆動時に充放電するために駆動力（あ 50

るいは駆動容量)の大きなドライバ回路系が必要になる。また、そのような大容量の電気容量を充放電するためには、電流をさらに多く消費しなければならない。

【0035】

駆動回路として外付けの液晶ドライバICなどを用いる液晶表示装置の場合には、対向電極側を交流駆動する際に必要な電気容量に対応できる電気容量を備えた液晶ドライバICを選択すれば、従来の技術に係る対向電極側を交流駆動する方式でも採用可能である。しかし、駆動回路系を含めた液晶表示装置全体の小型化および低消費電力化を図るためには、駆動回路系をTFTアレイ基板上に画素部スイッチTFTや画素電極等と一体で形成することが望ましい。このとき、駆動力の大きな液晶ドライバ回路を基板上に薄膜トランジスタ構造で形成すると、その素子面積はその容量に対応して増大するので、液晶ドライバ回路は物理的に大きな面積を占有するという問題がある。しかも、そのような液晶ドライバ回路の製造プロセスもさらに煩雑化し、製造歩留りの低下や信頼性の低下を招くという問題がある。

10

【0036】

また、前述した従来技術に係る液晶表示装置では、静止画表示時にはスタティック動作により消費電力の大幅な低減を図ることができるが、動きの少ない画像の表示では、画面内に一か所でも動画表示部分があれば、消費電力は通常の動画を表示するダイナミック動作の際の消費電力と同様の消費電力が必要となるという問題がある。

【0037】

さらに、従来例の構造のままでは画素ごとに交流信号の入力が可能ではあっても、単体で入力装置として使用することはできない。従来構造を採用し、これに表示機能に加えて入力機能も持たせようとする感圧シートやセンサ板などを液晶セルに挟み、あるいは上置きすることが必要となるため、セル厚が増加せざるを得ない。これは携帯機器に搭載するのに不利であるばかりでなく、部材低減の側面から見ても問題である。

20

【0038】

本発明は、上述のような従来技術の問題点、即ち、

第1に、液晶セルを交流駆動するために要する電力量が液晶表示装置の消費電力量として大き過ぎるという問題、および、

第2に、液晶セルを交流駆動するための大きな駆動容量の液晶ドライバ回路が必要となりそのために液晶駆動回路系が大型化し、結果的に液晶表示装置全体としての小型化の大きな妨げとなるという問題、

30

第3に、動きの少ない画像を表示する際にも画面全体の画素を動かして表示する動画表示と同等の消費電力が必要であり、これに要する電力量が液晶表示装置の消費電力量として大き過ぎるという問題、

を解決しようとするものであり、小型、簡易な構造で、製造方法を簡易化でき、高精細な画像表示が可能で、特に静止画像表示時の低消費電力特性に優れた、ノートブック型パソコンのような携帯型情報処理装置に好適な液晶表示装置を提供することを目的としている。

【0039】

【課題を解決するための手段】

40

本発明にかかる液晶表示装置によれば、

互いに交差してマトリックス状に配列された複数のデータ線および複数の走査線と、このマトリックスの各格子ごとに配設された画素電極と、前記走査線によりオン・オフを制御され、オン時に前記データ線から供給された書き込み電圧を前記画素電極に導通させる、前記各格子ごとに設けられた第1のスイッチ素子とを備えたスイッチ素子アレイ基板と、前記画素電極に対して間隙を保持して対向配置された対向電極を有する対向基板と、前記スイッチ素子アレイ基板と前記対向基板との間に挟持された液晶層と、対応する前記第1のスイッチ素子と前記画素電極との間に介挿され、前記第1のスイッチ素子がオンの際の前記データ線から供給される書き込み電圧の状態をデータとして保持するメモリ素子と、

50

前記走査線に対応して配設され、ノーマリーホワイต์における黒表示を行うための交流駆動信号線と白表示を行うための所定の一定電位のリセット信号線とにより構成された、表示制御線と、

前記メモリ素子の出力により、前記画素電極と前記表示制御線との接続を制御する各格子ごとに設けられた第2のスイッチ素子と、

前記データ線および前記走査線の双方がアドレス指定を行わない場合には前記交流駆動信号線の周波数を低下させる周波数変更手段とを備えたことを特徴とする。

【0040】

前記第2のスイッチ素子は、前記メモリ素子の出力により前記交流駆動信号線と前記リセット信号線を択一的に選択して前記画素電極に接続するものである論理回路であると良い 10

【0041】

前記リセット信号線に印加される電圧の電位が、前記交流駆動信号線に印加される電圧の平均電位であり、前記対向電極に印加される電圧の電位が、前記リセット信号線に印加される電圧と同電位であることが好ましい。

【0042】

このように、白表示に対して一定電位のリセット信号を用い、また、画素内にメモリセルを配置し、静止状態の画素はメモリ素子の保持機能を用いてそれまでの表示状態を保持する一方、例えば静止画像中のカーソルの移動の表示など、部分的な動画に対応する部分の画素だけを書き換えるような駆動が低消費電力で可能となる。 20

また、アドレス指定が行われず、新たな表示データが与えられない状況では交流電圧の周波数を下げることにより、消費電力をさらに低下させることができる。

【0043】

前記画素電極が、少なくとも前記メモリ素子および前記第2のスイッチ素子の上に電気絶縁層を介して表面が光を反射する膜が形成された、光反射型の画素電極であると良い。

【0044】

光反射型の構造とすることにより、TFT等を面積の制約なく形成することができる。

【0045】

前記データ線および前記走査線に選択的にそれぞれ電圧を供給し、選択された画素電極を前記第1のスイッチ素子を介して駆動する液晶駆動回路をさらに備え、前記液晶駆動回路は、前記スイッチ素子アレイ基板上に少なくとも前記スイッチ素子の形成材料と同じ材料を用いて一体的に形成されたものであることが好ましい。 30

【0046】

この場合には小型形状を実現できる。

【0047】

前記周波数変更手段は、発振回路と、この発振回路の出力信号を異なる複数の周波数に分周する分周回路と、前記データ線および前記走査線のアドレス指定動作を検出するアドレス信号検出回路と、このアドレス信号検出回路の出力により、アドレス指定動作が行われているときには通常の周波数を、アドレス指定動作が行われていないときには低下させた周波数をそれぞれ選択して出力するスイッチ手段とを備えて構成される。 40

【0048】

【発明の実施の形態】

以下、本発明に係る液晶表示装置の実施の形態を図面を参照して詳述する。

【0049】

図1は本発明に係る第1の実施形態にかかる液晶表示装置の回路構造の概要を示す等価回路図である。図1において、複数のデータ線対(1-1a, 1-1b, 1-2a, 1-2b...)と複数の走査線2(2-1, 2-2...)とが、マトリックス状に互いにほぼ直交して配設されている。このマトリックスの各格子は1画素に対応しており、この格子中には画素を形成するための画素電極3が一つずつ形成されている。なお、図1中では画素電極3自体は表されておらず、等価回路的に各液晶セルの図中上側の電極(端子)とし 50

て表現されている。

#### 【0050】

本実施の形態の液晶表示装置の主要部は、各格子内の一画素ごとに、2つのインバータ素子4, 5をループ接続したデジタルメモリセルであるメモリ素子100と、データ線1-1a, 1-1b...のように2本ずつ隣り合ったデータ線1-na, 1-nb... (nはデータラインの列を示す自然数)とメモリ素子100との間にそれぞれ挿入された2つのnMOS構造のTFT (薄膜トランジスタ) 6, 7と、交流駆動信号線8 (8-1, 8-2...)と画素電極3とに接続される一方でゲートが前記のメモリ素子100の一端に接続され、その出力によって制御されて画素電極3に対して交流駆動信号線8の電圧の導通をオン/オフ制御するCMOS構造のトランスファゲート9と、リセット信号線10と画素電極3とに接続される一方でゲートが前記のメモリ素子100の前記とは反対側の一端に接続され、その出力によって制御されて、画素電極3に対してリセット信号線10からの電圧の導通をオン/オフ制御するトランスファゲート11と、画素電極3と対向電極12との間に介挿された液晶層によって形成された液晶セル13とから、構成されている。

なお、交流駆動信号線8およびリセット信号線10は特許請求の範囲では表示制御線として総称され、また、TFTは特許請求の範囲における第1のスイッチ素子に、トランスファゲートは特許請求の範囲における第2のスイッチ素子にそれぞれ対応する。

#### 【0051】

そして対向電極12およびリセット信号線10は、一定電位の電圧を出力する定電圧電源回路 (図示省略) に接続されている。またデータ線ドライバ14および走査線ドライバ15が、TFTアレイ基板200の周縁部の上に、各TFTとともにそれらのうちの少なくともいずれか一つのTFTに用いられた材料と同じ材料を用いて配設されている。

#### 【0052】

本実施の形態にかかる液晶表示装置の特に画素部における具体的な回路構造を図3の平面図に、またその断面構造の概要を図3のA-A断面図である図4に示す。

#### 【0053】

図3および図4によれば、電気絶縁性基板であるガラス基板301上に、p-Si (多結晶シリコン) 膜302を活性層として用いて、各画素ごとに画素部スイッチ素子としてのTFT 6, 7やトランスファゲートを構成する2個一組のTFT 9, 11やメモリ素子100を構成するTFT等の各種TFT 303が形成されている。

#### 【0054】

このp-Si膜302は減圧CVD装置によりa-Si (アモルファスシリコン) 薄膜を形成した後、これをアニール炉を用いて600の窒素雰囲気中にてアニールすることにより形成した。

#### 【0055】

ゲート絶縁膜304および第1層間絶縁膜305としては、常圧CVD装置により形成したSiO<sub>x</sub> (酸化シリコン) 膜を用いた。ゲート電極306としては低抵抗化を図るためにMoW膜を用いた。そしてソース/ドレイン電極などの電極307はAl膜を用いて形成した。電源線308および接地線309は、プロセス整合性に悪影響の無い範囲で可能な限りの低抵抗化を図るためにAl膜を用いて形成した。

#### 【0056】

また、データ線1 (図4中ではデータ線1-1a) は、電源線308との交差部でMoW膜316を経由する構造として形成した。これによりデータ線1全体としての配線抵抗値は若干増大してしまうが、データ信号がデジタル信号であるため書き込み特性に対しては実際上特に問題は生じなかった。

#### 【0057】

交流駆動信号線8およびリセット信号線10は、走査線2にほぼ平行方向の配線としてそれぞれMoW膜を用いて形成した。そして上記のメモリ素子100および交流駆動信号線8などの各種配線の上を第2層間絶縁膜310で被覆して電気絶縁性を確保し、この第2層間絶縁膜の上にAl膜を用いて反射型の画素電極3を形成した。

## 【0058】

第2層間絶縁膜310は、常圧CVD装置により形成したSiOX（酸化シリコン）膜とプラズマCVD装置により形成したSiNX（窒化シリコン）膜との2層積層構造とした。

## 【0059】

画素電極3と画素部ごとに形成されたメモリ素子100等の回路素子は、コンタクトホール311を通して電氣的に接続されている。

## 【0060】

一方、第2のガラス基板312上には、ITOのような透明導電膜からなる対向電極12が形成され、さらにそれを含んでガラス基板312の上ほぼ全面を覆うように配向膜313が形成されて、対向基板314の主要部が構成されている。そしてこれら両基板間には、液晶組成物315がその周囲を封止されて注入・挟持されている。

10

## 【0061】

上記のような構造は、対向基板314側から光を入射させ、画素電極3上で反射して各画素ごとにその液晶セルにより光変調を行なって、液晶セルから画素電極上での反射光を再び対向基板側へと出射させることで、いわゆる反射型の液晶表示装置として機能するように形成されている。この方式は、メモリ素子100等の回路上に画素電極3を形成できるので、画素電極3の有効面積を、デジタルメモリセル100およびその配線等の占有面積に影響されることなく十分に広く取ることができ、しかもバックライト等も不要であるため、さらに高輝度の（明るい）表示を、さらに低い消費電力で実現できるという、携帯型の液晶表示装置として極めて好適な優れた利点を備えている。

20

## 【0062】

本実施の形態においては、画素電極3を反射電極として使う上記のような効果をさらに有効なものとするために、偏光板を用いずに光変調を行なうことが可能なゲスト-ホスト型液晶を液晶組成物として用いた。またゲスト-ホスト型液晶を用いれば、液晶内に混入する色素を種々変更することで、白黒表示の他にも、カラーフィルタを用いることなしにカラー液晶を実現することもできる。このように、ゲスト-ホスト型液晶を用いることにより、光の透過損失が大きく光利用効率を低下させる主因の一つであった偏光板やカラーフィルタが不要となる。

## 【0063】

次に、この実施の形態に係る液晶表示装置の動作について説明する。

30

## 【0064】

この液晶表示装置は、通常の線順次走査を行なうことによってビデオ信号を画面にわたって書き込み動画像表示を行なう駆動モード（順次走査モード）の他にも、画面の一部分のみを選択的に書き換えて表示を行なう部分駆動モード（部分走査モード）や、静止画表示を行なう静止駆動モード（静止画モード）を使い分けることができる。

## 【0065】

本発明によれば、これらの各モードのうち特に部分走査モードおよび静止画モードにおいて、消費電力を飛躍的に低減することができる。そのような本発明に係る液晶表示装置における1画素へのビデオ信号の書き込みは、以下のようにして実行される。

40

## 【0066】

まず、書き込むべき画素に対応した走査線2-n（nは走査線の行を示す自然数）の電位をハイレベルに上げる。これにより走査線2-nに対応する第n行の画素のうちデータ線1-na, 1-bにそれぞれ接続している2つのTF T6, 7が導通状態となる。

## 【0067】

そして2本のデータ線1-na, 1-nbにビデオ信号を送る。このとき、データ線1-na, 1-nbは互いに逆相の信号となるようにする。この状態でデータ線1-na, 1-nbからのビデオ信号が2つのインバータ素子4, 5で構成されたメモリ素子100に書き込まれる。ただしこの書き込みを可能にするには、TF T6, 7を含めたデータ線ドライバ系全体の駆動能力をインバータ素子4, 5の駆動能力よりも大きくする必要がある

50

。

#### 【 0 0 6 8 】

メモリ素子 1 0 0 の出力は、2 つのトランスファゲート 9 , 1 1 にそれぞれその一端ずつが接続されており、メモリ素子 1 0 0 の出力によってトランスファゲート 9 または 1 1 が選択的に導通する。

#### 【 0 0 6 9 】

ここで、対向電極 1 2、交流駆動信号線 8、リセット信号線 1 0 それぞれに印加される電圧の波形を図 5 の波形図に示す。

#### 【 0 0 7 0 】

対向電極 1 2 およびリセット信号線 1 0 には、電源電圧から供給される電圧の  $1 / 2$  の電位の一定電圧が印加される。 10

#### 【 0 0 7 1 】

トランスファゲート 9 が選択されている場合には、画素電極 3 には交流駆動信号が印加されて、液晶セル 1 3 にピーク値  $V_0$  の交流的な液晶印加電圧が印加される。一方、トランスファゲート 1 1 が選択されている場合には、液晶セル 1 3 に電圧は印加されない。そしてこのような液晶セル 1 3 への液晶印加電圧の有 / 無で液晶分子の配向状態が変化して画素の明暗が制御され、表示が行なわれる。

#### 【 0 0 7 2 】

このような動作で 1 画素の書き込みを行なう。そして順次走査モードにおいては、データ線ドライバ 1 4 を例えば左から右へと駆動する一方、走査線ドライバ 1 5 を例えば上から下へ線順次に駆動することにより、画面内の全画素にわたって上記動作を繰り返して 1 フレーム（あるいは 1 フィールド）の画面の書き込みを行なう。いわゆる動画表示を行なう場合には、このような順次走査モードで前記画面内の画素にわたって書き込みおよび表示を行なう。 20

#### 【 0 0 7 3 】

これに対して、表示画像が部分的にのみ変化する場合（例えばマウスポインタや点滅するカーソル等）には、部分走査モードを用いる。

#### 【 0 0 7 4 】

この部分走査モードでは、画面上の書換えが必要な部分のみに選択的に書き込みを行なう。一般的にいわれるダイナミック駆動型の液晶表示装置では、画素スイッチや液晶セル（の容量）自体のリーク電流等に起因して画素電位が時間とともに変化するため、画素に書き込まれるデータ自体は同じでも一定の期間（一般に  $1 / 60$  秒）ごとに再書き込みが必要であった。しかし本発明によれば、画素電位は交流駆動信号またはリセット信号と同一となり、時間的に変化しないので、データ自体に変化が無い場合には再書き込みを行なうことが不要となる。 30

#### 【 0 0 7 5 】

従って、表示画像の一部のみが変化する場合には、その変化する部分のみのデータの書き換えを行なうだけでよくなるのでデータの転送速度を落とすことができるとともに消費電力の大幅な低減を図ることができる。

#### 【 0 0 7 6 】

そのような部分走査を行うデータ線ドライバ 1 4 および走査線ドライバ 1 5 の例を、図 2 の等価回路ブロック図で示す。このような、デコーダ型の液晶駆動回路系を用いることで行なう。即ちこのようなデコーダ型の液晶駆動回路を用いることにより、表示の変化に関与する電圧の書き換えが必要な任意の画素に対応したデータ線および走査線を選択することができ、その特定の画素だけに選択的に新たな書き込みを行なうことができる。 40

#### 【 0 0 7 7 】

図 2 に示すように、データ線ドライバ 1 4 は、アドレス信号を入力するデコーダ回路 2 0 1、そのデコーダ回路 2 0 1 の出力によって制御されるスイッチ素子 2 0 2、このスイッチ素子 2 0 2 を介してビデオ信号線 2 0 3 に接続されるデジタルラッチ回路 2 0 4、このデジタルラッチ回路 2 0 4 に接続されたバッファ回路 2 0 5（バッファ回路 2 0 5 a , b 50

）、そしてこれらバッファ回路 205 の出力を制御する出力制御回路 206 とから、その主要部が構成されている。

【0078】

アドレス信号により特定のビットが選択されると、ビデオ信号線 203 からスイッチ素子 202 を経由してデジタルラッチ回路 204 にビデオ信号が入力され、さらにバッファ回路 25a, b を通ってデータ線 1-na, 1-nb に出力される。

【0079】

出力制御回路 206 は、アドレス信号で選択されたビットのバッファ回路 205a, b のみを働かせ、選択されていないビットについてはバッファ回路 205a, b の出力をハイインピーダンスに保持する回路で、バッファ回路 205a, b の出力をハイインピーダンスにすることで、それが出力されるデータ線 1-na, 1-nb に対応した画素部の TFT 6, 7 が導通状態でもメモリ素子 100 に保持されたデータの状態は変わることなく保てるようにしている。

10

【0080】

静止画表示を行なう場合には、上記のような部分走査も不要なので、データ線ドライバ 14 および走査線ドライバ 15 を止めて交流駆動信号のみを入力することで、表示を行なうことができる（静止画モード）。

【0081】

このとき、交流駆動信号の周波数は、通常のフレーム書き込みの周波数として用いられる 60Hz 程度でもよく、あるいはフレーム書き込みの周期はさらに長くすることもできる。また、フレーム書き込みの周波数を 60Hz とした場合でも、対角 6 インチの液晶表示装置の消費電力は 1mW 以下となる。これは、従来の一般的なダイナミック駆動方式の液晶表示装置と比べて  $1/100 \sim 1/1000$  であり、飛躍的な消費電力の低減が実現できることが分かる。

20

【0082】

図 6～図 8 は静止画表示時に交流振動周波数を落として用いる本発明にかかる液晶表示装置の第 2 の実施の形態を示すもので、図 6 は回路構成ブロック図、図 7 はその動作を示すタイミングチャート、図 8 は図 6 における交流駆動信号発生回路（特許請求の範囲における周波数変更手段に相当する）の回路構成ブロック図である。

【0083】

図 6 によれば、液晶表示装置 200 は表示部 150 とこの表示部 150 を制御する走査線ドライバ 15、データ線ドライバ 14 を有している。走査線ドライバ 15 は走査線ドライバ入力信号をもとに走査線の制御を行い、データ線ドライバ 14 はデータ線ドライバ入力信号をもとにデータ線の制御を行うものであり、動画表示時には通常の液晶表示装置と同様に交流信号の周波数をフレーム周波数と同一にする。走査線ドライバ 15 は走査線信号発生回路 50 および交流駆動信号発生回路 60 からなっており、交流駆動信号発生回路 60 は走査線ドライバ入力信号およびデータ線ドライバ入力信号により静止画表示時に交流反転周波数を動画表示時の  $1/5$  に切り換えるものである。

30

【0084】

この交流駆動信号発生回路 50 は、図に示すように、基本クロックを発生する水晶発振子等の発振回路 51、この発振回路で発生した基本クロック信号から複数の異なる分周クロック信号を発生させる各種カウンタよりなる分周回路 52、アドレス信号が変化しているか否かをその立ち上がりあるいは立ち下がりで検出するラッチ回路等のアドレス信号検出回路 53、このアドレス信号検出回路 53 の出力信号およびそのインバータ 54 による反転信号により制御され、複数のクロック信号のいずれかを選択するスイッチ回路 55 を有している。

40

【0085】

この実施の形態における動作は、図 7 に示すように、例えば、分周クロック信号として 30Hz（ $1/2$  周期が  $1/60$  秒）および 6Hz（ $1/2$  周期が  $1/12$  秒）の方形波を準備し、アドレス信号が変化している動画表示時には 30Hz のクロック信号を選択し、

50

アドレス信号が停止している静止画表示時には6Hzのクロック信号を選択するようになる。

【0086】

このような制御を行うことにより、消費電力を著しく低減することができる。

【0087】

この実施の形態においては、走査線ドライバ回路中の交流信号発生回路でクロック信号を発生させているが、交流信号発生回路の機能を外部のディスプレイコントローラに持たせ、その出力である走査線ドライバ信号として走査線ドライバに供給することができる。

【0088】

次に、交流駆動信号線8(8-1, 8-2, ... 8-n...)は、それら全ての交流駆動信号線8を同一のタイミングで極性反転させてもよいが、瞬時電流を抑えるためにはタイミングをずらせて反転させることが効果的である。これは、例えば交流駆動信号線8を上から順に走査するという方法で実現できる。そのような交流駆動信号の一例を図9に示す。

【0089】

図9によれば、各走査線2-nごとにそれぞれ対応した交流駆動信号線8-1, 8-2, ... 8-n...には、それぞれt間隔でタイミングをずらせた交流信号が印加されており、この交流信号の立ち上がりおよび立ち下がり時に、各交流駆動信号線8-nに接続された液晶セル13ごとへの書き込みが各々行なわれる。従って、表示領域中のすべての液晶セル13に対して同時に書き込みを行なうことは無くなるので、大きな瞬時電流が流れることを避けることができる。

【0090】

ただし、このとき、静止画モードでも走査線ドライバの一部は動作するので、その分は完全な静止画像表示時と比べれば消費電力が増大する。しかし、その動作速度は十分に遅くてもよく、またそのとき駆動される画素数も少ないので、実質的には前記のような消費電力の増大分は極めて小さく、液晶表示装置全体の消費電力においては無視できる程度の量である。

【0091】

なお、上述したような本実施の形態では、いわゆる画素部スイッチング用の素子である画素部TF T6, 7として、互いに逆相のデータ線に接続された2個のnMOS-TF Tを用いているが、本発明はこのような本実施の形態のTF Tのみには限定されない。この他にも、画素部スイッチング用素子として1個のトランスファゲートを用いてもよく、または単一のTF Tを用いてもよい。あるいはTF T以外でもスイッチング素子として上記のTF Tを用いてなるスイッチ素子と回路的に等価である素子を用いてもよい。

【0092】

また、上記実施の形態のTF Tを組み合わせ形成されたトランスファゲート9, 11は、TF Tの他にもこれと回路的に等価である素子を用いてもよい。

【0093】

以上のように、本発明の液晶表示装置においては、従来とは異なり、対向電極の電位を一定電位に保ったまま液晶セルを交流的に駆動することができるので、従来の液晶表示装置においては必要だった大容量の(例えば対角6インチの液晶表示装置で0.2μF程度)の液晶ドライバ回路系は必要なく、飛躍的に小容量な液晶ドライバ回路による駆動が可能となる。

【0094】

従って、液晶ドライバ回路系の構造の簡潔化および小型化や、その製造方法の簡易化、そして液晶表示装置としての消費電力のさらなる低減化等を実現することができる。

【0095】

なお、上記実施の形態は、反射型構造の液晶表示装置に本発明の技術を適用した場合について述べたが、画素サイズが比較的大きく画素内の回路領域を除いた領域に十分な画素開口部(1画素ごとの十分な画素面積)を確保できる場合には、透過型構造の液晶表示装置に本発明の技術を適用することで、上記実施の形態と同様の効果を得ることができる。

10

20

30

40

50

## 【 0 0 9 6 】

図 1 0 は本発明に係る液晶表示装置の第 3 の実施の形態における回路構造の概要を示す図である。この図では図 1 と同じ構成要素には同じ符号を付することとする。

## 【 0 0 9 7 】

図 1 0 において、複数のデータ線 1 - 1 , 1 - 2 . . . および複数の走査線 2 - 1 , 2 - 2 . . . がマトリックス状に配設されている。そのマトリックスの各格子は 1 画素に対応しており、この格子中には 1 画素を形成するための画素電極 3 が一つずつ形成されている。なお、図中では画素電極 3 自体は表されておらず、各液晶セルの上側の電極（端子）として表現されている。

## 【 0 0 9 8 】

データ線 1 - 1 , 1 - 2 . . . はデータ線ドライバ 1 4 により制御されるデータ線選択用の T F T 1 7 を介してビデオ信号線 2 9 と接続され、走査線 2 - 1 , 2 - 2 . . . は走査線ドライバ 1 5 により駆動される。これらのドライバは一般に用いられているシフトレジスタ型の駆動回路で構成される。

## 【 0 0 9 9 】

データ線 1 - 1 , 1 - 2 . . . には画素部 T F T 2 1 のドレイン電極が接続され、ソース電極はメモリ素子 1 1 0 に接続されており、その画素部 T F T 2 1 のゲート電極は走査線 2 に接続されて、画素部 T F T 2 1 の導通 / 非導通は走査線 2 - 1 , 2 - 2 . . . によって制御される。

## 【 0 1 0 0 】

メモリ素子 1 1 0 は、図 1 0 に示すように、T F T 2 2 および T F T 2 3 を組み合わせる C M O S インバータと、T F T 2 4 および T F T 2 5 を組み合わせる C M O S インバータとの 2 つを組み合わせる形成されている。

## 【 0 1 0 1 】

T F T 2 2 および T F T 2 3 を用いてなるインバータの出力（ソースおよびドレイン側）は、T F T 2 4 および T F T 2 5 を用いてなるインバータの入力（ソースおよびドレイン側）と接続されており、かつその一方でそのゲート側は、特許請求の範囲で表示制御線に相当する極性切り替え信号線 2 6 - 1 に接続されて制御される 2 個一組のスイッチ T F T 2 7、スイッチ T F T 2 8 のうちのスイッチ T F T 2 8 を介して、液晶セル 1 3 の画素電極 3 に接続されている。

## 【 0 1 0 2 】

また、T F T 2 4 および T F T 2 5 を用いてなるインバータの出力は、T F T 2 2 および T F T 2 3 からなるインバータの入力と接続されており、かつその一方でそのゲート側は、極性切り替え信号線 2 6 - 1 に接続されて制御される 2 個一組のスイッチ T F T 2 7 およびスイッチ T F T 2 8（特許請求の範囲で第 2 のスイッチ素子に相当する）のうちのスイッチ T F T 2 7 を介して、液晶セル 1 3 の画素電極 3 に接続されている。そして、液晶セル 1 3 の他端（図中下側の電極（端子））は、対向電極 1 2 に接続されている。

## 【 0 1 0 3 】

このように、この実施の形態に係る液晶表示装置の構造は、各画素部に配設されたスタティック型のメモリ素子 1 1 0 の構造およびその信号読み出し部（画素電極への信号書き込み部）の構造を、極性切り替え信号線 2 6 とこの信号線 2 6 により制御される極性の相異なる 2 個一組のスイッチ T F T とで形成しているため、従来のスタティック型の液晶表示装置と比べて極めてシンプルな構造となっている。本発明に係る液晶表示装置は、メモリ素子 1 1 0 を含んで 1 画素あたりわずか合計 7 個のスイッチ T F T を用いて形成することができ、前述した 1 1 個のスイッチ T F T が必要な従来の場合と比べて、大幅に小型化することができる。

## 【 0 1 0 4 】

この実施の形態に係る上記のような回路構造の液晶表示装置の一例として、6 4 0 × 4 8 0 ドットの V G A 液晶表示パネルの場合を例にとり、その画面全体に用いられる T F T の個数を従来の液晶表示装置と比較すると、全体で 6 0 万個以上（全体の約 3 0 % 減以上に

10

20

30

40

50

該当)のTFTを減少させることができた。

【0105】

従って、従来の液晶表示装置と比べて、飛躍的にその回路構造およびその物理的構造を大幅に簡易化することができ、その結果、製造歩留まりも大幅に向上する。

【0106】

このような利点は、例えばハイビジョン用の液晶表示装置のように表示画素数のさらなる多画素化および高精細化が進むほど、さらに効果を発揮する。換言すれば、従来の液晶表示装置では、さらなる多画素・高精細化あるいは各画素部の微細化は限界に来ておりそれへの対応は実際上不可能であったものが、本発明によれば、さらなる多画素・高精細化や画素部の微細化を実現することができる。

10

【0107】

次に、上述のような本発明に係る第3の実施の形態の液晶表示装置の動作について説明する。

【0108】

動画像表示時には、走査線ドライバ15が、1走査タイミングごとに例えば画面の上側から下側へと線順次に走査線2を1本ずつ選択し、各行ごとの画素部TFT21を順次導通状態にして行く。

【0109】

次に、ビデオ信号をビデオ信号線29に inputs し、基準クロック信号と同期しつつデータ線ドライバ14によりデータ線選択用のTFT17を導通させて、画素部TFT21を介して、メモリ素子110のノード31側にビデオ信号を書き込む。

20

【0110】

このとき、極性切り替え信号線26をハイレベルの一定電位とし、極性切り替えのための2個一組のうちの一方向のスイッチTFT27側だけを導通状態にして、液晶セル13の画素電極3に印加電圧の書き込みを行なう。

【0111】

このような印加電圧書き込み動作を、各走査線2上の各画素について、その走査線2の一端から他端へと順次に行なう。このような印加電圧書き込み動作を各走査線2について行なうことにより、画面の表示領域全ての画素について所望のビデオ信号を書き込むことができる。

30

【0112】

また、よく知られているように一般に液晶セルは直流電流の印加に起因した液晶層の劣化を避けるために交流的に駆動される。そこで、上記とは逆極性の電圧書き込み時には、ビデオ信号を極性切り替え信号線26により制御されるスイッチTFT28を介して液晶セル13の画素電極3に書き込みを行なう。そして極性切り替え信号線26をロウレベルの電位に固定しておいてメモリ素子110の上記で用いたインバータとは反対側のTFT24、25よりなるインバータにより反転してノード31側とは逆極性のノード32側の信号(電圧)を、スイッチTFT28を介して液晶セル13の画素電極3に書き込む。

【0113】

次に、静止画像表示時の、本実施の形態に係る液晶表示装置の動作を説明する。

40

【0114】

画素部TFT21はnチャネル型で形成されており、走査線ドライバ15によって、ある走査線2に対して正のパルス印加し、その走査線2にゲートが接続された全ての画素部TFT21を導通状態にする。

【0115】

その状態で、さらにデータ線ドライバ14によってデータ線選択用のTFT17が導通状態になると、ビデオ信号線29の電位がメモリ素子110にそのノード31側から書き込まれる。このとき、データ線1の電位がハイレベルであれば、ノード31側にはハイレベルの信号(電圧)が書き込まれ、ノード32にはロウレベルの電位が書き込まれる。これらの電位は、画素部TFT21を介してデータ線1からロウレベルの電位が書き込まれる

50

まで変化せずに前記のメモリ素子 1 1 0 によって保持される。

【 0 1 1 6 】

メモリ素子 1 1 0 のノード 3 1 側の電位がハイレベルのときには、極性切り替え信号線 2 6 の電位をハイレベルにすると、nチャネル型の T F T 2 7 が導通状態となり、画素電極 3 にノード 3 1 側のハイレベルの電位が書き込まれる。

【 0 1 1 7 】

また、極性切り替え信号線 2 6 の電位をロウレベルにすると、pチャネル T F T 2 8 が導通状態となってノード 3 2 側のロウレベルの電位が画素電極 3 に書き込まれる。

【 0 1 1 8 】

ここで、極性切り替え信号線 2 6 の電位レベルを所定の時間間隔ごとにハイ/ロウと交互に変化させるとともに、これに合せて対向電極 1 2 の電位（電圧レベル）をロウ/ハイと交互に切り替えることにより、静止画像表示時においてデータ線 1 の電位は全く書き換えることなく液晶セル 1 3 を交流駆動することができ、液晶表示装置としての低消費電力駆動が可能となる。

10

【 0 1 1 9 】

従って、ビデオ信号を画面全体の画素電極全てに一旦書き込んでしまえば、データ線ドライバ 1 4 および走査線ドライバ 1 5 自体は全く駆動させなくとも、またビデオ信号線 1 5 からのビデオ信号を止めても、常に静止画像表示が可能となる。ここで、本実施の形態の場合には、液晶表示装置がノーマリーホワイトモードのときには、極性切り替え信号線 2 6 と対向電極 1 3 が両方ともハイレベルまたはロウレベルで白表示、片方がハイレベルで  
もう一方がロウレベルなら黒表示、のような表示方式となる。

20

【 0 1 2 0 】

画素部 T F T 2 1 の導通時にビデオ信号線 1 5 から供給されるビデオ信号（電圧）の電位つまりデータ線 1 の電位がロウレベルの際には、ノード 3 1 側がロウ電位に落ちる一方ノード 3 2 側がハイレベルになる。

【 0 1 2 1 】

そして画素部 T F T 2 1 が非導通状態になると、メモリセル 1 1 0 のデータは次の書き込みが行なわれるまでメモリ素子 1 1 0 によって保持される。

【 0 1 2 2 】

そこで前述したのと同様に極性切り替え信号線 2 6 および対向電極 1 2 の電位レベルをハイ/ロウと交互に変化させることで、液晶セル 1 3 を交流駆動することができる。

30

【 0 1 2 3 】

図 1 1 は、本発明に係る第 3 の実施の形態の液晶表示装置を静止画像表示させる時の印加電圧波形を示すタイミングチャートである。液晶表示装置がノーマリーホワイトモードであるとして、図 1 1 ( a ) の場合には極性切り替え信号線 2 6 と対向電極 1 2 が両方ともハイレベルまたはロウレベルで黒表示となり、図 1 1 ( b ) の場合には片方がハイレベルでもう片方がロウレベルの場合には白表示となる。

【 0 1 2 4 】

データ線 1 を制御するデータ線ドライバ 1 4 及び走査線ドライバは、画素部 T F T 2 1 などの各種素子や走査線 2 などの配線等と同様の材料および製造プロセスを用いて、それらと同時に形成することが望ましい。また前記の走査線 2 を制御する走査線ドライバも同様に画素部 T F T 2 1 や走査線 2 などの配線等と同様の材料および製造プロセスを用いて、それらと同時に形成することが望ましい。

40

【 0 1 2 5 】

このようにデータ線ドライバ 1 4 および走査線ドライバ 1 5 のような液晶駆動回路系を、画素部 T F T 2 1 と同様な材料および製造プロセスを用いて同時に形成することで、液晶駆動回路系を液晶駆動 I C のような外付け回路として外付けする必要がなくなり、構造が簡易化され、製造方法の簡易となり、コスト的にもさらに有利なものとなる。また外付けの液晶駆動 I C のような外部駆動回路とのインターフェースに制約されることなく画素ピッチ等の仕様を自由に設定できるという大きな利点も得ることができる。

50

## 【0126】

ところで、走査線2により制御される画素部TFT21の電流駆動能力をG1、メモリ素子110の構成要素であるTFT22、23、24、25の電流駆動能力をG2、極性切り替え信号線26により制御される2個一組のTFT27、28の電流駆動能力をG3とすると、 $G1 > G2 > G3$ となるようにすることが望ましい。

## 【0127】

何故なら、ノード31側の電位は、走査線2により制御される画素部TFT21とメモリ素子110のTFT22、23、24、25との電位の引き合いの量で定まるためである。つまり、ここで仮に走査線2により制御される画素部TFT21の電流駆動能力G1がメモリ素子110のTFT22、23、24、25の電流駆動能力G2よりも小さいと、  
データ線1の電位がノード31側に書き込めなくなる。また、極性切り替え信号線26により制御される2個一組のTFT27、28の電流駆動能力G3がメモリ素子110の構成要素であるTFT22、23、24、25の電流駆動能力G2よりも大きいと、液晶セル13の画素電極3にデータ(ビデオ信号)を書き込む際にメモリ素子110の保持データが破壊されて(あるいは乱され変化して)しまうからである。

10

## 【0128】

次に、本発明の第3の実施の形態の液晶表示装置における特に画素部の構造を図12および図13に基づいて説明する。

## 【0129】

図12は、画素部TFT21をはじめとして各TFTにp-SiTFTを用いた反射型の  
液晶表示装置の画素部分の回路パターンを示す平面図である。また図13はその断面構造を示す図である。

20

## 【0130】

図12に示すように電源線301(Vdd)、電源線302(Vss)およびデータ線1によって囲まれた領域内に画素電極3が配置されて各画素領域が形成されている。その画素電極3の下には、走査線2、極性切り替え信号線26、画素部TFT21、メモリ素子110を構成する素子であるTFT22、23、24、25、2個一組のスイッチTFT27、28およびそれらの間を接続する配線が形成されており、電気絶縁層401を介して画素領域ほぼ全面が画素電極3に覆われている。

## 【0131】

一方その断面構造は、図13に示すようにガラス基板402上にはp-Si膜403が形成されており、TFT22、23、24、25はいずれも、p-Si膜403上に薄膜でゲート酸化膜404を形成し、さらにその上にゲート電極405を形成してなるMOS構造のTFT素子である。それらのソース電極およびドレイン電極はそれぞれAl-Si膜406からなる電極であってp-Si膜403の上に、オーミックコンタクトされている。

30

## 【0132】

p-Si膜403は、減圧CVD法でガラス基板402上にa-Si(アモルファスシリコン)膜を成膜した後これをエキシマレーザでアニールしてp-Si化することにより形成されている。

40

## 【0133】

ゲート酸化膜404は、CVD法により形成されたSiO<sub>2</sub>膜からなる。ここで、ゲート電極405の材料は配線抵抗を少なくするためにWSi<sub>x</sub>(タングステンシリサイド)膜とp-Si膜との2層積層構造とした。

## 【0134】

上記の各p-SiTFTの仕様は、pMOSTFTはチャネル長 $L = 4.5 \mu m$ 、チャネル幅 $W = 8 \mu m$ とし、nMOSTFTはチャネル長 $L = 6 \mu m$ 、チャネル幅 $W = 8 \mu m$ とした。

## 【0135】

反射型の画素電極3はAlを材料として形成され、コンタクトホールを通してスイッチT

50

FT10、11に接続されている。そして画素電極3と対向電極12との間にはポリマー分散型の液晶層407が注入・封止されて、偏光板の不要なポリマー分散方式の液晶表示パネルとして形成されている。なお、本実施の形態では液晶材料として高分子樹脂に液晶をドロップレット状に分散してなるポリマー分散型の液晶を用いたが、この他にも例えば染料を混入させたゲスト-ホスト型の液晶組成物等を用いても良い。

#### 【0136】

図14は、本発明に係る液晶表示装置の第4の実施の形態の回路構造の概要を示す図である。

#### 【0137】

この実施の形態の液晶表示装置においては、画素部の回路構成は上述の第3の実施の形態と全く同様であるが、データ線1および走査線2を駆動する液晶駆動回路系として、第3の実施の形態のシフトレジスタ型とは異なりデコーダ型の液晶駆動回路系を用いた点が異なる。すなわち、図14に示すように、画素が配列された画面表示領域の周辺部分に配置されたデコーダ型の液晶駆動回路系つまりデータ線ドライバ501および走査線ドライバ502が配置されており、これらのデコーダ501、502は、各データ線、アドレス線の各アドレスに対してそのアドレスに合致した信号で活性化信号が得られるような論理回路が設けられている。

#### 【0138】

具体的には、データ線ドライバ501は10ビットの信号(0000000000、0100100111など)が入力されると、その信号に対応したデータ線1に対して「1」を出力しその特定のデータ線1を選択状態とする。走査線2の側も同様に、9ビットの信号入力を受けてその信号に対応した走査線2を選択状態にする。

#### 【0139】

通常は、走査線2もしくはデータ線1を端から順にアドレスするように数値信号を入力するが、その数値信号を適当に設定することで画像が変化しない表示部の画素には書き込みを行わずにそれまでの印加電圧の状態を保持し、画像が変化する画素にだけ新たに電圧の書き込みを行なうことが可能となる。これにより、データ線1および走査線2を駆動する液晶駆動回路系にシフトレジスタ型を用いた先の第3の実施の形態よりも、さらなる低電力化を実現することができる。

#### 【0140】

一例として、アスペクト比4:3の通常のテレビ画面中にアスペクト比16:9のワイド画面を表示するビスタ表示の場合について考える。

#### 【0141】

図15(a)は画面90のフルサイズで動画像を表示する場合の通常の画面の走査の様子を示しており、走査線ごとに左端から右端まで移動して次の走査線に移る様子が示されている。また、図15(b)はビスタサイズで動画像表示を行なう場合の画面の走査の様子を示しており、画面の縦横アスペクト比の違いに起因した走査線本数を適合させるために上下に黒い非表示部91、92を生じさせる必要があることを示している。このような黒い非表示部は、本発明によれば、その該当箇所の画素に一旦黒を書き込めばその画素のメモリ素子110によってその電位を保持して、液晶表示装置の電源オフまでは新たな書き込みあるいは電圧の変化は行なわない。そして画面中央の表示部にだけビデオ信号の書き込み走査を繰り返して、その部分の画像をビデオ信号に従って変化させて動画の画像表示を行なうことができる。ビスタ表示よりも横長のシネマスコープ表示の場合は黒画素部の比率はさらに高くなる。

#### 【0142】

本発明によれば、このような動作を可能とすることによって、シフトレジスタ型の液晶駆動回路系を用いた本発明の第3の実施の形態よりさらに一層の低消費電力化を図ることも可能である。

#### 【0143】

図16は、本発明による液晶表示装置のさらに別の第5の実施の形態の回路図である。こ

10

20

30

40

50

の図においてもこれまでの実施の形態と同じ構成部分には同じ参照番号を付し、詳細な説明を省略することとする。

【0144】

この実施の形態は先の第3の実施の形態とデータ線1、走査線2、液晶セル13、データ線ドライバ14、走査線ドライバ15、TFT21、メモリセル110、スイッチ27、28などの構成は全く同じである。異なるのは、ノード32に光電変換素子40の一端が接続されている点である。この光電変換素子40の他端はGNDに接地されている。

【0145】

次に、この実施の形態の動作について説明する。

【0146】

動画像表示時の動作および静止画表示時の動作は第3の実施の形態の場合と全く同じであるので省略し、本実施の形態に特徴的である、画像入力時の動作について説明する。

【0147】

まず、データ線ドライバ14及び走査線ドライバ15を停止させる。図中のある画素内の光電変換素子40に特定波長及び強度の光が光入力手段、例えばライトペンにより照射されるとノード32は光電変換素子40が導通することからロウレベル(GND)電位になる。メモリはフリップフロップ型であるので、逆側のノード31はハイレベル電位となる。

【0148】

ここで極性切り替え信号線26の電位及び対向電極12の電位を互いに逆位相となるように変化させておくと液晶層に電圧がかかり、ノーマリーホワイトモードのときには白表示だったものが黒表示に変わる。すなわち画素内の光電変換素子40に光が照射された画素のノード31はハイレベル電位となって黒くなる。また、始めから黒表示の場合はそのまま変化しない。

【0149】

光入力手段による入力動作が終了したらデータ線ドライバ14及び走査線ドライバ15を動作させて各画素のノード31のデータを読み込むことにより、入力データをビデオRAMに取り込むことができる。

【0150】

データ線1を制御するデータ線ドライバ14は、画素部のスイッチTFTや配線等と同様のプロセスを用いてそれらと同時に形成する。また走査線2を制御する走査線ドライバ15も同様に、画素部のスイッチTFT27、28や配線等と同様のプロセスを用いて同時に形成する。このように、ドライバを画素部と同様なプロセスを用いて同時に形成することで駆動用ICを外付けする必要がなくコスト的に有利になる。また、外部駆動回路とのインターフェースを考慮することなく、画素ピッチを自由に設定できるという利点がある。

【0151】

図17に、この実施の形態をスイッチ素子にポリシリコンTFTを用いて実現した反射型液晶表示装置の断面概略図(部分)を示す。ここに示された断面構造は図13に示したものと類似するので、同じ部分には同じ番号を付してその詳細な説明は省略する。

【0152】

アルミによる反射画素電極3'は、コンタクトホール406を介してスイッチ素子と接続されているが、素子形成部を含んで絶縁膜401の上に広く形成されており、光電変換素子40の形成部分のみ開口部41が設けられている。

【0153】

光電変換素子40は他のスイッチ素子と同様な構造で作られている。対向電極12'にはこの光電変換素子40に対応するように開口部42が形成されており、ライトペン等の光入力手段43により光が照射され、光電変換素子40に光が到達すると、そのソース/ドレイン間が導通するようになっている。

【0154】

10

20

30

40

50

図 18 に本発明による液晶表示装置の第 6 の実施の形態の回路図を示す。

【0155】

この実施の形態によれば、先の第 1 の実施の形態と走査線 2、液晶セル 13、データ線ドライバ 14、走査線ドライバ 15、TFT 21、メモリセル 110、スイッチ 27、28 などの構成は全く同じであるので、その詳細な説明は省略する。異なるのは、データ線が 1 アドレスあたり書き込み用と読み出し用の 2 本（例えば 1 - 1a、1 - 1b）となっており、それぞれデータ線選択用の TFT 17 - 1、17 - 2 により選択されるようになっている点と、ノード 32 に接続された位置検出回路 60 と、ビデオ RAM が書き込み用と読み出し用の 2 つ（72、73）設けられている点と、これらの比較を行う比較器 73 が設けられている点である。

10

【0156】

この位置検出回路 60 は、電源と接地間に自己バイアスされたトランジスタ 62 に直列に接続された第 1 の光電変換素子 61、この光電変換素子 61 とトランジスタ 62 との接続点とノード 32 にそれぞれ入力端子が接続されたエクスクルーシブ OR ゲート 63、その出力端子に接続された第 2 の光電変換素子 64、その出力側に設けられたループ接続された 2 つのインバータ 65、66 よりなるフリップフロップメモリ、その出力側とデータ線 1 - 1b との間に接続され走査線 2 - 1 にゲートが接続されたスイッチ TFT 69 を有している。

【0157】

デジタルメモリ及び画素電極への書き込みは第 3 の実施の形態と同様であるので省略し、ここではデータの入力方法について説明する。

20

【0158】

今、ノード 80 のデータを A、ノード 32 のデータを B、ノード 67 のデータを C、ノード 68 のデータを D、ノード 31 のデータを X とすると論理値表は以下になる。

【0159】

表

A	B	C	D	X (= B * )
0	0	0	1	1
0	1	1	0	0
1	0	1	0	1
1	1	0	1	0

30

なお、\* は反転を表す。

【0160】

上の表で A = 0 は画素に光が照射されておらず、光電変換素子の抵抗値が高く、トランジスタ 62 により接地電位に引き下げられた状態を示している。このとき B \* = D が成り立つ。故に D (ノード 68 のデータ) と X (ノード 31 のデータ) を比較すると D = X となり、等しい。

【0161】

次に A = 1、即ち光が画素 (内の素子) に照射された状態のときを考える。A = 1 の際には、B = D = X \* が成立する。故にノード 68 にはノード 31 と逆極性のデータが現れる。その後、光が照射されなくなってもデータはメモリに保存される。そこでノード 68 のデータを読み出し用のビデオ RAM 72 に記憶させ、これと始めにノード 31 に書き込まれ、書き込み用のビデオ RAM 71 に記憶されたデータとを比較回路 73 で比較することで画面中のどの位置でデータ内容が変化したかが把握でき、画面上での画素単位の正確な入力が可能となる。ビデオ RAM 72 のデータを新たにデータ線 1 - 1a を介して画素電極に書き込めば入力情報を表示する事も可能となる。

40

【0162】

なお、このような入力を行う場合、光検知による反転と交流駆動による反転とが同時に起こり、入力が正確に行えない可能性がある。これを防止するためには、ライトペンの発光を交流とは逆相にしておけばよい。

50

## 【 0 1 6 3 】

また、この入力を屋外で行う場合、強い太陽光のために、誤入力を招くおそれもある。これを防止するには、光電変換素子の感度を赤外線領域で高めておき、ライトペンの発光手段を赤外線発光素子とすればよい。

## 【 0 1 6 4 】

以上説明した、本発明にかかる液晶表示素子の第 4 あるいは第 6 の実施の形態では、反射型構造となっているが、本発明は透過型構造としても良い。しかし、次の理由から反射型構造の液晶表示装置とすることが望ましい。

## 【 0 1 6 5 】

例えば、本実施の態様による液晶表示装置を透過型構造として、チャンネル長  $L = 4.5 \mu\text{m}$ 、チャンネル幅  $W = 8 \mu\text{m}$  の p M O S T F T およびチャンネル長  $L = 6 \mu\text{m}$ 、チャンネル幅  $W = 8 \mu\text{m}$  の n M O S T F T を用いて 6 インチ V G A 単板カラー液晶表示パネルを形成するような場合などには、開口率が 20 % 程度しかとれず表示が暗くなってしまう。

## 【 0 1 6 6 】

そこで、本発明による液晶表示装置を反射型構造で画素電極をスイッチ T F T、極性切り替え線等の上に絶縁体を介して設置することで、画素電極が素子数の多さやサイズに制約されずに広くとれ、実効開口率 80 % 以上と大きく設計できるので明るい表示が可能となる。

## 【 0 1 6 7 】

即ち、図 1 3 あるいは図 1 7 の断面図にその構造の概要を示すように、画素電極 3 を上記の各 T F T 2 2、2 3、2 4、2 5 や極性切り替え信号線 2 6 等の上に電気絶縁層 4 0 1 を介して設置することで、各画素ごとに T F T の合計素子数に対応した占有面積の大きさや配線に要する面積の広さに制約されることなく画素電極 3 の有効面積を広く取ることができる。その実効開口率は實際上、80 % 以上と、飛躍的に大きく設計できるので、高輝度の表示が可能となる。しかも、このように本発明による液晶表示装置を反射型構造とすることで、静止画像表示時は省電力動作が可能ならうえにバックライトが不要となるので、液晶表示装置全体としての消費電力をさらに大幅に抑えることができ、ノートブック型パソコンのようなバッテリー駆動方式で駆動される携帯用情報処理装置などに特に好適である。

## 【 0 1 6 8 】

本発明による液晶表示装置を反射型構造とすることで、一画素中に複雑な多数の T F T を用いた回路を収めるように形成することが可能となり、静止画像表示時は省電力動作が可能ならうえ、バックライトが必要ないのでさらに消費電力が抑えられ、携帯用の小型情報端末等のバッテリー駆動に大変都合がよい。本発明を例えば 6 インチの V G A 液晶表示パネルに適用した場合には、液晶表示パネル自体の消費電力は 1 m W 以下となり、飛躍的な低消費電力化を達成できる。

## 【 0 1 6 9 】

## 【 発明の効果 】

本発明によれば、画素内にメモリセルを有し、このメモリセルの記憶内容に応じて表示制御線と画素との接続を制御するスイッチ手段を有しているため、表示の変化に関与する電圧の書き換えが必要な画素に対応したデータ線あるいは走査線を選択することができ、特に静止画像表示時の消費電力を減少させることができ、また、データ線あるいは操作線のアドレス変化を検出し、アドレス指定が行われず新たな表示データが与えられないときには交流駆動信号の周波数を低下させるようにしているので、消費電流をさらに低下させることができ、携帯型情報処理装置に好適な液晶表示装置を提供することができる。また、液晶ドライバを少ない素子で形成できるため、回路構造および物理的構造を簡略化でき、小型の液晶表示装置を、高い歩留まりで実現することができる。

## 【 0 1 7 0 】

このような構成は反射型のセル構造を採用し、駆動回路を一体的に形成することにより小型化に有効である。

## 【図面の簡単な説明】

【図 1】本発明による液晶表示装置の第 1 の実施の形態の回路図。

【図 2】第 1 の実施の形態におけるデータ線ドライバおよび走査線ドライバの例を示す回路ブロック図。

【図 3】本発明の第 1 の実施の形態にかかる液晶表示装置の画素部における具体的な回路構造を示す平面図。

【図 4】図 3 の A - A 断面図。

【図 5】第 1 の実施の形態において、対向電極、交流駆動信号線、リセット信号線にそれぞれに印加される電圧の波形を示す波形図。

【図 6】静止画表示時に交流駆動周波数を落として用いる本発明による液晶表示装置の第 2 の実施の形態の概略回路構成ブロック図。 10

【図 7】図 6 の構成における動作を示すタイミングチャート。

【図 8】図 6 における交流駆動信号発生回路の詳細な構成を示す回路構成ブロック図。

【図 9】瞬時電流を抑えるためにタイミングをずらせて反転させるべく、交流駆動信号線を順に走査した様子を示すタイミングチャート。

【図 10】本発明による液晶表示装置の第 3 の実施の形態における回路構造の概要を示す回路図。

【図 11】第 3 の実施の形態の液晶表示装置を静止画像表示させる時の印加電圧波形を示すタイミングチャート。

【図 12】本発明による液晶表示装置の第 4 の実施の形態における画素部の構造を示す平面図。 20

【図 13】図 12 の断面構造を示す断面図。

【図 14】本発明に係る液晶表示装置の第 4 の実施の形態における回路構造の概要を示す回路図。

【図 15】通常のテレビ画面をピスタサイズで用いる場合の非表示部を示す説明図。

【図 16】入力機能を有する本発明による液晶表示装置の第 5 の実施の形態における回路構造の概要を示す回路図。

【図 17】第 5 の実施の形態をスイッチ素子にポリシリコン T F T を用いて実現した反射型液晶表示装置の断面概略図。

【図 18】本発明による液晶表示装置の第 6 の実施の形態の回路図。 30

【図 19】一般的な従来の液晶表示装置の回路構造の概要を示す図。

【図 20】従来のスタティック型の液晶表示装置の回路構造の第 1 の例を示す回路図。

【図 21】従来のスタティック型の液晶表示装置の回路構造の第 2 の例を示す回路図。

## 【符号の説明】

- 1 データ線
- 2 走査線
- 3 画素電極
- 4 , 5 インバータ
- 6 , 7 T F T
- 8 交流駆動信号線
- 9 , 11 トランスファゲート
- 10 リセット信号線
- 12 対向電極
- 13 液晶セル
- 14 データ線ドライバ
- 15 走査線ドライバ
- 21 画素部 T F T
- 22 , 23 インバータ素子
- 26 極性切り替え信号線
- 27 , 28 スイッチ T F T

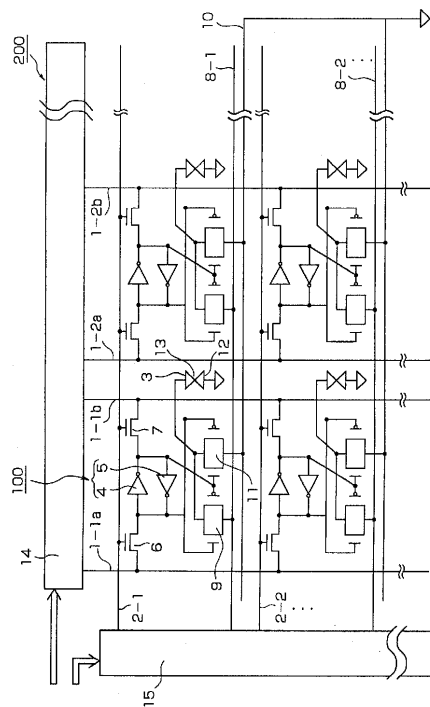
40

50

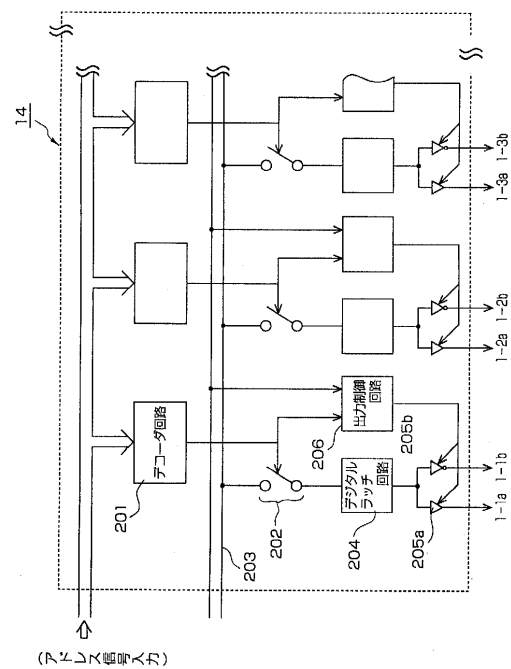
- 40 光電変換素子
- 41, 42 開口部
- 50 走査線信号発生回路
- 51 発振回路
- 52 分周回路
- 53 アドレス信号検出回路
- 54 インバータ
- 55 スイッチ
- 60 交流駆動信号発生回路
- 71, 72 ビデオRAM
- 73 比較回路
- 100, 110 メモリセル
- 201 デコーダ回路
- 202 スイッチ
- 204 デジタルラッチ回路
- 205 バッファ回路
- 206 出力制御回路
- 501 データ線デコーダ
- 502 走査線デコーダ

10

【図1】

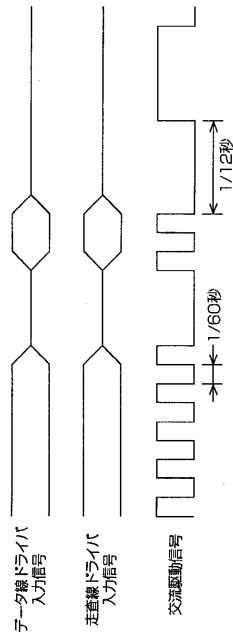


【図2】

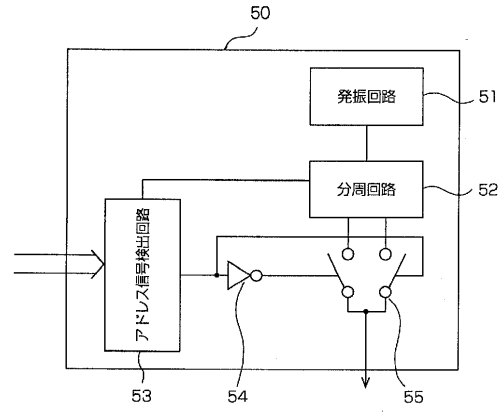




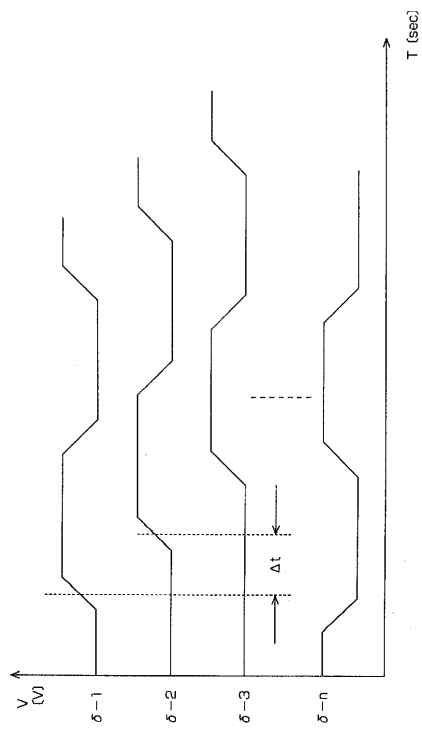
【図 7】



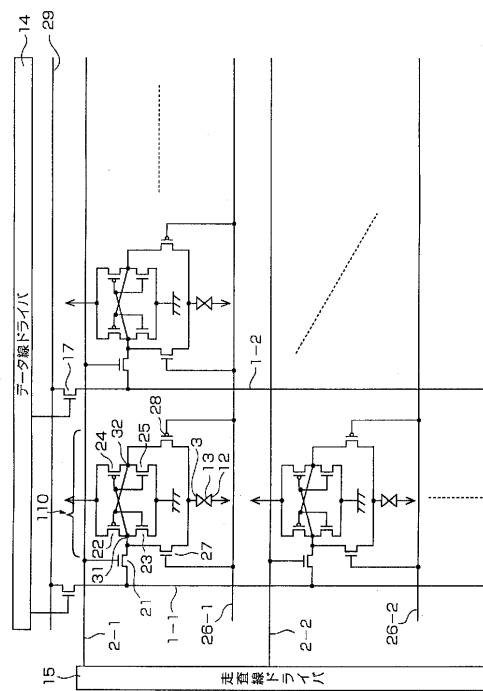
【図 8】



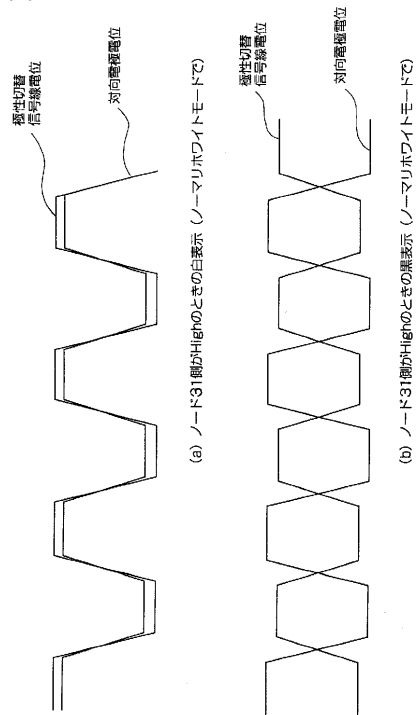
【図 9】



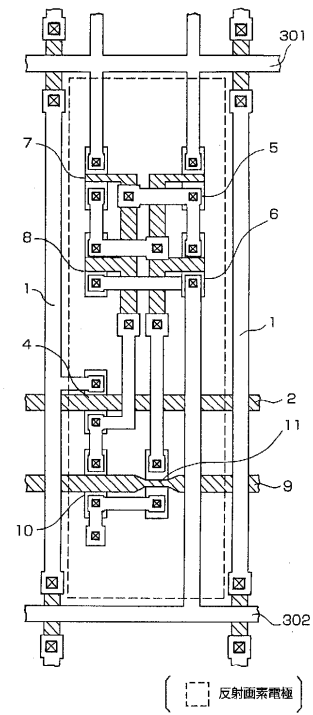
【図 10】



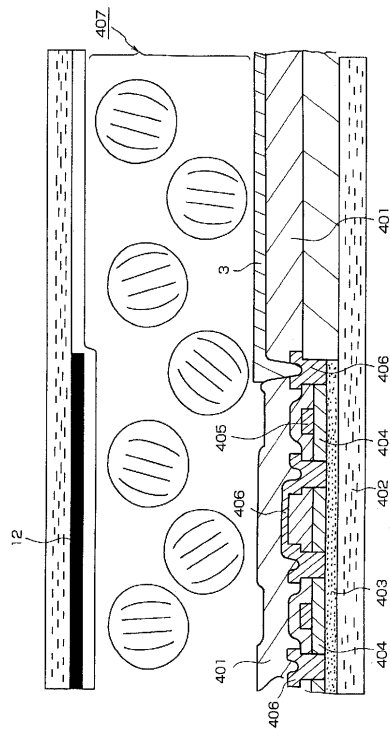
【図 1 1】



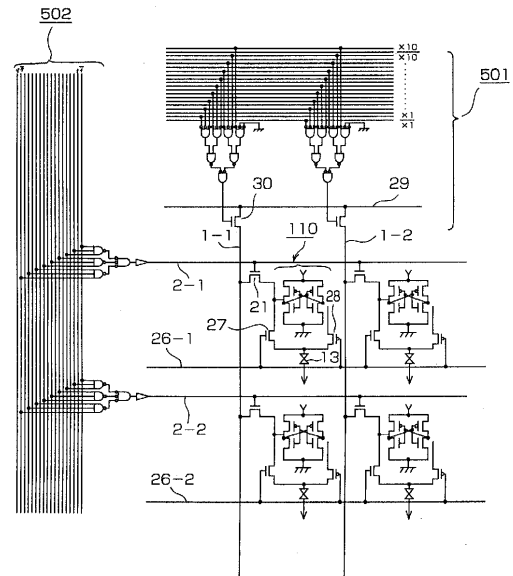
【図 1 2】



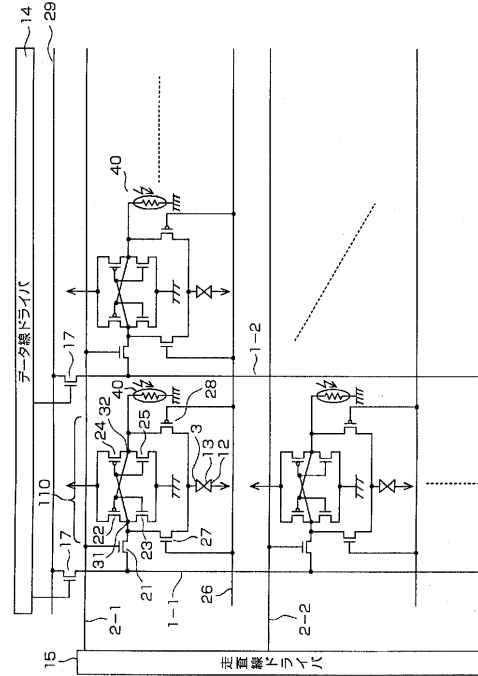
【図 1 3】



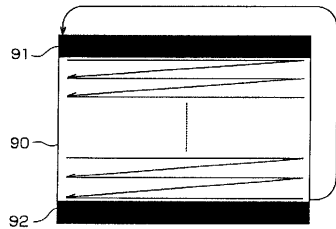
【図 1 4】



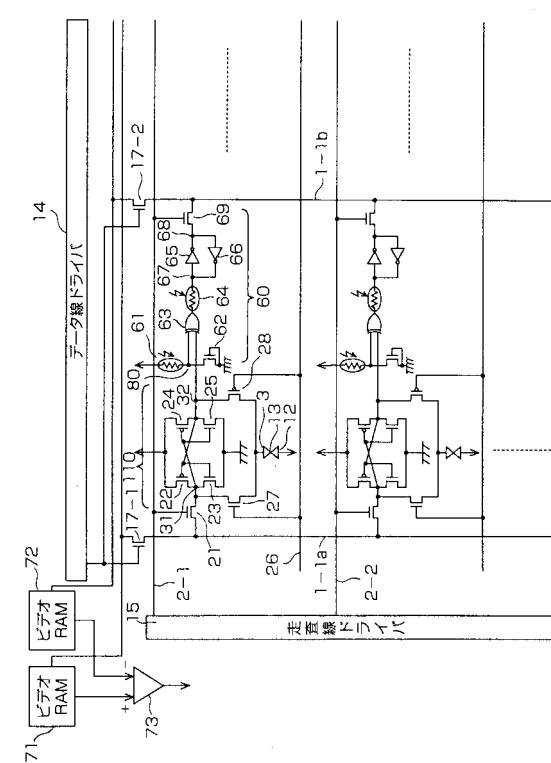
【 図 1 6 】



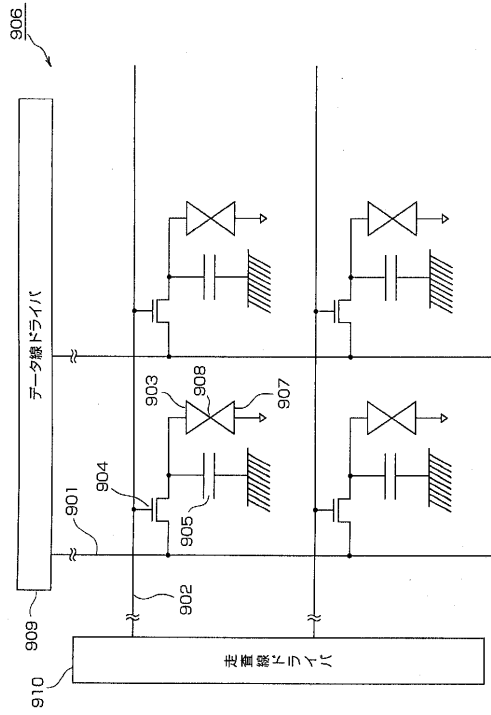
(b) ビスタサイズ表示  
(アスペクト比=16:9)



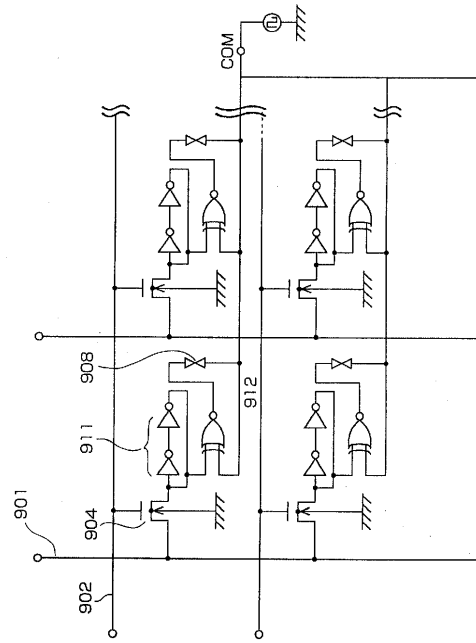
【 図 1 8 】



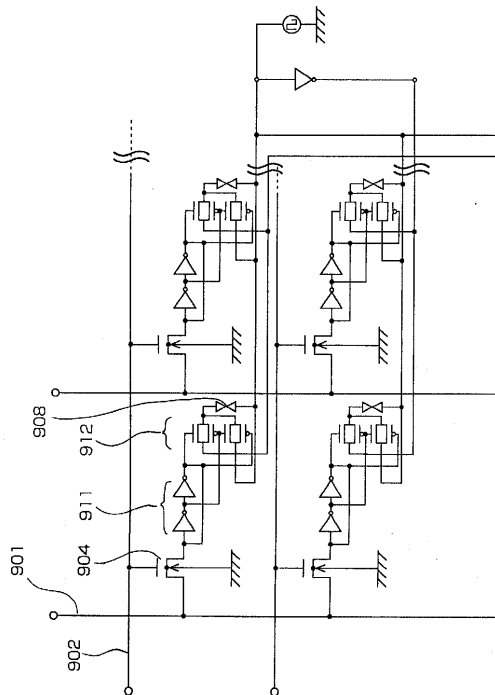
【図 19】



【図 20】



【図 21】



---

フロントページの続き

- (72)発明者 石 沢 秀一郎  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内
- (72)発明者 原 田 望  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内
- (72)発明者 落 井 清 文  
神奈川県川崎市幸区堀川町 5 8 0 番 1 号 株式会社東芝 半導体システム技術センター内
- (72)発明者 早 川 誠 幸  
神奈川県川崎市幸区堀川町 5 8 0 番 1 号 株式会社東芝 半導体システム技術センター内
- (72)発明者 青 木 良 朗  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業所内

審査官 藤田 都志行

- (56)参考文献 特開昭 5 6 - 1 1 4 9 8 7 ( J P , A )  
特開昭 5 6 - 0 5 3 4 8 7 ( J P , A )  
特開昭 5 9 - 0 6 5 8 7 9 ( J P , A )  
特開昭 5 9 - 2 1 4 8 9 8 ( J P , A )  
特開昭 5 9 - 2 1 4 0 7 5 ( J P , A )  
特開昭 5 9 - 1 6 6 9 1 8 ( J P , A )  
特開昭 5 9 - 1 4 2 5 9 7 ( J P , A )  
特開昭 5 9 - 1 3 9 0 7 8 ( J P , A )  
特開昭 5 8 - 2 2 0 1 8 5 ( J P , A )  
特開昭 5 8 - 1 9 8 0 8 4 ( J P , A )  
特開昭 5 8 - 1 9 6 5 8 2 ( J P , A )  
特開昭 5 8 - 0 2 3 0 9 1 ( J P , A )  
特開昭 5 6 - 0 9 2 4 9 4 ( J P , A )  
特開昭 5 9 - 1 8 5 3 8 1 ( J P , A )

(58)調査した分野(Int.Cl.<sup>7</sup>, D B 名)

G02F 1/133 550

G02F 1/1368

G09G 3/36