(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/10

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0197763
(24) 등록일자 1999년02월25일

(21) 출원번호 10-1995-0030331
(22) 출원일자 1995년09월16일
(65) 공개번호 특1996-0012496
(43) 공개일자 1996년04월20일
(30) 우선권주장 94-248463 1994년09월17일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 노구치 미츠히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
아오키 마사미
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 김윤배, 이세진

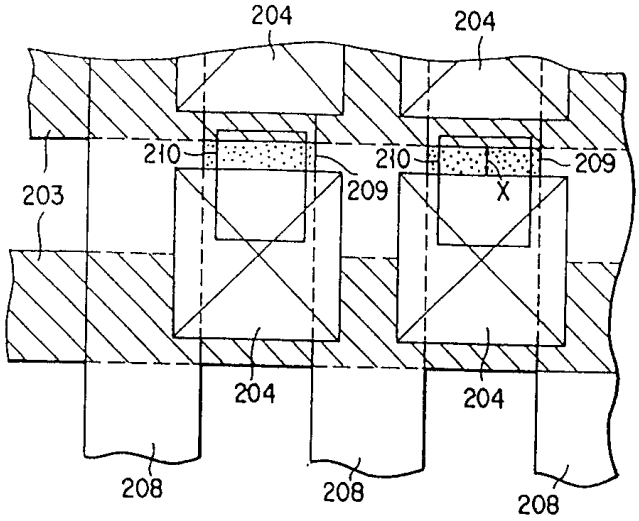
심사관 : 민병준

(54) 반도체 기억장치 및 그 제조방법

요약

본 발명에 따른 반도체 기억장치는, 주표면상에 선택적으로 형성된 복수의 트렌치를 갖춘 반도체기판과; 상기 복수의 트렌치를 형성하고, 상기 반도체기판의 형태로 되며, 캐패시터 절연막이 상기 각 트랜치의 표면상에 형성되고, 축적노드전극이 상기 캐패시터절연막을 사이에 두고 상기 각 트랜치에 매립된 복수의 트랜치형 캐패시터; 상기 복수의트랜치형 캐패시터와 관련하여 복수의 메모리셀을 형성하기 위해 상기 반도체기판의 주표면상에 형성되고, 게이트 절연막을 사이에 두고 상기 반도체기판상에 형성된 게이트전극과, 이 게이트전극의 양측상의 상기 반도체기판에 형성된 소오스 및 드레인영역을 각각 갖춘 복수의 트랜지스터; 상기 트렌치의 주위를 에워싸도록 복수의 트렌치의 상부의 측면상에 각각 형성되고, 상기 트랜지스터중 적어도 하나가 상기 트랜지스터중 다른 하나로부터 전기적으로 절연될 수 있도록 서로 선택적으로 결합된 절연막중 인접하는 하나를 갖춘 복수의 소자분리절연막 및; 상기 복수의 캐패시터중 대응하는 하나의 축적노드전극에 상기 각 복수의 트랜지스터의 소오스 및 드레인영역중 하나를 각각 접속하는 복수의 도전성 부재를 구비하여 구성된다.

대표도



명세서

도면의 간단한 설명

제1도는 종래의 트렌치형 캐패시터를 사용한 NAND형 DRAM의 문제점을 나타낸 개략적인 평면도.

제2도는 종래의 적층형 캐패시터를 사용한 NAND형 DRAM의 문제점을 나타낸 개략적인 평면도.

제3도는 본 발명의 실시예 1에 따른 트렌치형 캐패시터를 사용한 NAND형 DRAM의 셀어레이를 나타낸 개략적인 평면도.

제4도 내지 제7도는 제3도의 선4-4, 5-5, 6-6 및 선 7-7에 따라 절단한 횡단면도.

제8도(a), 제8도(b) 내지 제11도(a), 제11도(b)는 본 발명의 실시예 1에 따른 트렌치 캐패시터를 사용한 NAND형 DRAM의 셀어레이 제조단계를 순서대로 나타낸 횡단면도이고, 제8도(a), 제9도(a) 제10도(a) 및 제11도(a)는 각각 제3도의 선 5-5에 따라 절단한 횡단면에 해당하며, 제8도(b), 제9도(b) 제10도(b) 및 제11도(b)는 각각 제3도의 선 7-7에 따라 절단한 횡단면에 해당하는 도면.

제12도는 비트선에 평행하지만 비트선을 포함하지 않는 선을 따라 절단한 본 발명에 따른 실시예 2의 NAND형 DRAM의 셀어레이에 대한 횡단면도.

제13도는 본 발명의 실시예 3에 따른 NAND형 DRAM의 셀어레이에 대한 횡단면도로서, 실시예 1의 제5도에 대응하는 구성을 나타낸 도면.

제14도 및 제15도는 본 발명의 실시예 3에 따른 NAND형 DRAM의 셀어레이에 대한 횡단면도로서, 실시예 1의 제5도 및 제7도의 단계 동안의 상태를 나타낸 횡단면도에 대응하는 구성을 나타낸 도면.

제16도는 본 발명의 실시예 4에 따른 DRAM셀어레이에 대한 평면도.

제17도 내지 제19도는 제16도의 선 17-17, 18-18 및 19-19에 따라 절단한 횡단면도.

제20도는 본 발명의 실시예 5에 따른 NAND형 DRAM의 셀어레이에 대한 횡단면도.

제21도(a) 및 제21도(b)는 트렌치의 다른 평면상태와 실시예 1 내지 3에 적용될 수 있는 소자분리절연막 및 이들간의 접속형태를 각기 나타낸 평면도.

제22도(a) 및 제22도(b)는 트렌치의 다른 평면상태와 실시예 4 및 5에 적용될 수 있는 소자분리절연막 및 이들간의 접속형태를 각기 나타낸 평면도.

제23도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM의 셀어레이를 나타낸 평면도.

제24도 내지 제26도는 제23도의 선 24-24, 25-25 및 26-26에 따라 각기 절단하는 횡단면도.

제27도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM의 셀어레이의 제1단계의 제조단계를 나타낸 평면도.

제28도(a) 및 제28도(b)는 제27도의 선 28a-28a 및 28b-28b에 따라 각기 절단한 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 셀어레이의 제1단계의 제조단계를 나타낸 횡단면도.

제29도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM의 제2단계의 제조단계를 나타낸 평면도.

제30도(a) 및 제30도(b)는 제29도의 선 30a-30a 및 30b-30b에 따라 각기 절단한 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제2단계의 제조단계를 나타낸 횡단면도.

제31도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM의 제3단계의 제조단계를 나타낸 평면도.

제32도(a), 제32도(b) 및 제33도는 제31도의 선 32a-32a, 32b-32b 및 33-33에 따라 각기 절단한 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 횡단면도.

제34도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제4단계의 제조단계를 나타낸 평면도.

제35도(a), 제35도(b) 및 제36도는 제34도의 선 35a-35a 및 35b-35b 및 36-36에 따라 각기 절단한 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제4단계의 제조단계를 나타낸 횡단면도.

제37도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제5단계의 제조단계를 나타낸 평면도.

제38도(a), 제38도(b) 및 제39도는 제37도의 선 38a-38a, 38b-38b 및 39-39에 따라 각기 절단한 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제5단계의 제조단계를 나타낸 횡단면도.

제40도는 본 발명의 실시예 7에 따른 2-셀 1-비트선 접속형 DRAM 셀어레이를 나타낸 개략적인 평면도.

제41도, 제42도 및 제43도는 형태가 제40도의 선 41-41, 42-42 및 43-43에 따라 각기 절단한 횡단면도에 해당하는 본 발명의 실시예 7에 따른 DRAM 셀어레이의 횡단면도.

제44도는 본 발명의 실시예 7에 따른 DRAM 셀어레이의 제1단계의 제조단계를 나타낸 평면도.

제45도는 본 발명의 실시예 7에 따른 DRAM 셀어레이의 제1단계의 제조단계를 나타낸 횡단면도.

제46도는 본 발명의 실시예 7에 따른 DRAM 셀어레이의 제2단계의 제조단계를 나타낸 평면도.

제47도, 제48도 및 제49도는 선 47-47, 48-48 및 49-49에 따라 각기 절단한 본 발명의 실시예 7에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 횡단면도.

제50도는 본 발명의 실시예 7에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 평면도.

제51도, 제52도 및 제53도는 선 51-51, 52-52 및 53-53에 따라 각기 절단한 본 발명의 실시예 7에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 횡단면도.

제54도(a)는 본 발명의 실시예 8에 따른 2-셀 1-비트선 접속형 DRAM 셀어레이를 나타낸 평면도.

제54도(b)는 화살표방향에 나타난 제54도의 선 54b-54b에 따라 절단한 횡단면도.

제55도, 제56도, 제57도 및 제58도는 형태가 제54도(a) 선 55-55, 56-56, 57-57 및 58-58에 따라 각기 절단한 횡단면도에 본 발명의 실시예 8에 따른 DRAM 셀어레이의 횡단면도.

제59도는 본 발명의 실시예 8에 따른 DRAM 셀어레이의 제1단계의 제조단계를 나타낸 평면도.

제60도는 본 발명의 실시예 8에 따른 DRAM 셀어레이의 제1단계의 제조단계를 나타낸 횡단면도.

제61도는 본 발명의 실시예 8에 따른 DRAM 셀어레이의 제2단계의 제조단계를 나타낸 평면도.

제62도 및 제63도는 제61도의 선 62-62 및 63-63에 따라 각기 절단한 본 발명의 실시예 8에 따른 DRAM 셀어레이의 제2단계의 제조단계를 나타낸 횡단면도.

제64도는 본 발명의 실시예 8에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 평면도.

제65도, 제66도 및 제67도는 제64도의 선 65-65, 66-66, 및 67-67에 따라 각기 절단한 본 발명의 실시예 8에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 횡단면도.

제68도는 본 발명의 실시예 9에 따른 NAND형 DRAM 셀의 평면도.

제69도 내지 제72도는 선 69-69, 70-70, 71-71 및 72-72에 따라 각기 절단한 횡단면도.

제73도는 제70도의 변형을 나타낸 횡단면도.

제74도는 본 발명의 실시예 10에 따른 폴디드 비트선 시스템의 DRAM 셀어레이에 대한 평면도.

제75도는 제74도의 선 75-75에 따라 절단한 횡단면도.

제76도 내지 제78도는 실시예 10에 따른 DRAM 셀어레이의 제조방법을 각기 단계적으로 나타낸 횡단면도로서, 제74도의 선 75-75에 따라 절단한 횡단면도에 대응하는 구성을 나타낸 도면.

제79도는 본 발명의 실시예 11에 따른 2-셀 1-비트선 접속형 DRAM 셀어레이를 나타낸 평면도.

제80도, 제81도 및 제82도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 횡단면도로서, 제79도의 선 80-80, 81-81 및 82-82에 따라 각기 절단한 횡단면도에 대응하는 구성을 나타낸 도면.

제83도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제1단계의 제조단계를 나타낸 평면도.

제84도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제1단계의 제조단계를 나타낸 횡단면도로서, 제83도의 선 84-84에 따라 절단한 횡단면도에 대응하는 구성을 나타낸 도면.

제85도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제2단계의 제조단계를 나타낸 평면도.

제86도, 제87도 및 제88도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제2단계의 제조단계를 나타낸 횡단면도로서, 제85도의 선 86-86, 87-87 및 88-88에 따라 각기 절단한 횡단면도에 대응하는 구성을 나타낸 도면.

제89도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 평면도.

제90도, 제91도 및 제92도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 횡단면도로서, 선 90-90, 91-91 및 92-92에 따라 각기 절단한 횡단면도에 대응하는 구성을 나타낸 도면.

제93도 및 제94도는 본 발명의 실시예 11에 따른 DRAM 셀어레이의 제3단계의 제조단계를 나타낸 횡단면도로서, 제91도 및 제92도의 다음단계가 종료된 이후의 상태를 나타낸 도면에 대응하는 구성을 나타낸 도면.

제95도는 이방성에칭이 축적노드전극형성을 위해 수행됨으로써 축적노드전극의 폭이 위로갈수록 좁아지도록한 예시로서, 실시예 6에 따른 제57도의 횡단면도에 대응하는 구성을 나타낸 도면이다.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 기억장치에 관한 것으로, 특히 DRAM 및 그 제조방법에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 메모리장치로서 DRAM과 같은 반도체 기억장치의 개발이 진행되어 왔다. 이것은 반도체 기억장치가 기계적 구동부가 없고, 충격에 강하며, 고속억세스가 실행될 수 있는 장점이 있기 때문이다.

반도체 기억장치의 성능향상은 메모리셀의 미세화를 통해 집적도를 증가함으로써 구현될 수 있다. 특히, 데이터기억용 캐패시터용량을 유지하면서 더 작은 영역을 갖는 반도체메모리셀을 구현하기 위하여, 트렌치형 캐패시터 또는 적층형 캐패시터를 갖춘 장치를 제안 및 실현해왔다.

더욱이, 메모리셀영역을 축소하기 위하여, 복수의 MOS트랜지스터는 직렬로 접속되고, 데이터기억용 캐패시터는 상기 MOS트랜지스터의 소오스(또는, 드레인) 각각에 접속된 구조를 갖춘 NAND형 메모리로 명칭된 메모리셀어레이가 제안되어왔다.

복수의 메모리셀이 직렬로 접속되지 않은 메모리장치에 비해서, NAND형 메모리장치는 비트선과 접속수가 작고, 셀영역은 축소되는 장점이 있다. 상기 NAND셀형 트렌치메모리셀은 예컨대 특개평 제5-201554호인 일본특허출원에 제안되어 왔다.

그러나, 소자분리절연막 및 트랜치를 별개의 마스크로 작성한 종래의 NAND셀형 메모리셀어레이는 고집적화가 진행되어야 하는 문제점이 있다.

제1도는 종래 DRAM의 NAND형 메모리셀어레이중 한 셀에 따른 영역을 나타낸 평면도이다. 도면에서, 참조부호 209는 n형 소오스/드레인확산층, 208은 게이트전극, 203은 소자분리절연막, 204는 캐패시터를 갖춘 트렌치, 210은 트렌치형 캐패시터전극과 n형 소오스/드레인확산층(209)을 접속하기 위한 도전성패드를 나타낸다.

종래의 제조방법에 있어서, 소자분리절연막(203)은 LOCOS(local oxidation of silicon), 트렌치(204)는 소자분리절연막(203)으로부터 별도의 마스크패턴에 의해 형성된다. 이 때, 칼라산화막(도시되지 않았음)이 트렌치(204)의 상부상에 형성된다.

이 때, 만약 소자분리절연막(203)을 작성하기 위해 사용되는 마스크패턴과 트렌치(204)를 작성하기 위해 사용되는 마스크패턴과의 사이에 단차가 발생한다면, n형 소오스/드레인확산층(209) 상수의 잉여폭(x)을 유지하기는 힘들다. 상기 문제점은 집적도의 진행에 따라 현저하다.

이 때, 잉여폭(x)은 짧고, MOS트랜지스터의 소오스(드레인)와 트렌치형 캐패시스터전극 사이에 접속저항은 증가한다. 이로 인해, 트렌치형 캐패시스터의 독출/기록데이터(전기적 전하)를 안정하게 하기는 어렵다.

더욱이, 종래의 제조방법에서는 소자분리절연막(203)이 LOCOS에 의해 형성되기 때문에, 소자분리절연막(203)의 두께는 두꺼워진다. 이로 인해, 소자분리절연막(203)과 기판의 표시사이에 레벨차가 발생된다. 결국, 트렌치(204)를 형성할 때, 포토리소그래피의 해상도가 저하되며, 원하는 형태를 갖춘 트렌치를 형성하기가 어렵다. 따라서, 트랜치내부에 균일한 필름두께 및 균일한 전기장을 갖는 퇴적막을 구현하기가 힘들다. 또한, 트랜치형 캐패시터의 신뢰성이 쉽게 회복되기는 힘들다.

이와 같은 문제점은 또한, 소자분리확산막(203) 및 트렌치(204)가 별도의 마스크패턴에 의해 형성된 비-NAND형 메모리셀어레이를 고집적화할 때 발생한다.

제2도(A)는 종래 축적캐패시터의 NAND형 메모리셀중 2개의 병렬메모리셀에 대응하는 영역을 나타낸 평면도이다. 도면에서, 참조부호 209는 n형 소오스/드레인확산층, 208은 게이트전극, 203은 소자분리절연막, 217은 적층형 캐패시스터축적노드전극을 나타낸다.

종래의 제조방법에서, 소자분리절연막(203)이 LOCOS에 의해 형성된 후, 적층형 캐패시터전극(217)은 소자분리절연막(203)으로부터 별개의 마스크패턴에 의해 형성된다. 이 때, 만약 소자분리절연막(203)을 작성하기 위해 사용되는 마스크패턴과 적층형 캐패시터 축적노드전극의 사이에서 조정의 쉬프트가 발생하면, n형 소오스/드레인확산층(209)과 적층형 캐패시터 축적노드전극(217)사이에 분리폭(x)을 유지하기가 힘들다. 상기 문제점은 집적도의 진행에 따라 현저하다.

이 때, 만약 분리폭(x)이 0 또는 그보다 작다면, 인접한 n형 소오스/드레인확산층(209)은 적층형 캐패시터 축적노드전극(217)에 대하여 각각 단락된 회로이며, 인접 메모리셀간의 전기적절연은 수행될 수 없다. 이와 같은 문제점은 적층형 캐패시터전극(217)의 레벨이 높고, 적층형 캐패시터 축적노드전극(217)과 소자분리절연막(203)사이에 조정의 정교함이 쉽게 회복될 수 없다.

이러한 문제점은 또한 소자분리절연막(203)과 적층형 캐패시터 축적노드전극(217)이 별도의 마스크패턴으로 형성된 비-NAND형 메모리셀을 고집적화할 때 발생한다.

상술한 바와 같이, 트렌치형 캐패시터를 사용한 종래의 메모리셀에서는 다음과 같은 문제점이 발생한다.

특히, 메모리셀이 미세화됨에 따라, MOS트랜지스터와 트렌치형 캐패시스터전극간의 접속저항은 소자분리절연막과 트렌치기간의 단층에 의해 증가한다. 결국, 데이터의 안정한 독출 및 기입이 어렵다.

또한, 다음과 같은 문제점이 적층형 캐패시터를 사용한 종래의 메모리셀에서 발생한다.

특히, 메모리셀이 미세화됨에 따라, 인접한 메모리셀간의 전기적 절연은 소자분리절연막과 적층형 캐패시터 축적노드전극간의 단층에 의해 쉽게 수행될 수 없다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 메모리셀 및 그 제조방법이 미세화되더라도, 소자분리절연막과 트렌치간의 단층을 방지할 수 있는 트렌치형 캐패시터를 사용한 반도체 기억장치를 제공함에 그 목적이 있다.

또한 본 발명은, 메모리 셀 및 그 제조방법이 미세화되더라도, 소자분리절연막과 적층형 캐패시터 축적노드전극간의 단층을 방지할 수 있는 스팩트캐패시터를 사용한 반도체 기억장치를 제공함에 또 다른 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명의 1측면에 따르면, 주표면상에 선택적으로 형성된 복수의 트렌치를 갖춘 반도체기판과; 복수의 트렌치에 형성되고, 반도체기판의 형태로 되며, 캐패시터 절연막이 각 트렌치의 표면상에 형성되고, 축적노드전극이 캐패시터절연막을 사이에 두고 각 트렌치에 매립된 복수의 트렌치

형 캐패시터; 복수의 트렌치형 캐패시터와 관련하여 복수의 메모리셀을 형성하기 위해 반도체기판의 주표면상에 형성되고, 게이트 절연막을 사이에 두고 반도체기판상에 형성된 게이트전극과, 이 게이트전극의 양측상의 반도체기판에 형성된 소오스 및 드레인영역을 각각 갖춘 복수의 트랜지스터; 트렌치의 주위를 에워싸도록 복수의 트렌치의 상부의 측면상에 각각 형성되고, 트랜지스터중 적어도 하나가 트랜지스터중 다른 하나로부터 전기적으로 절연될 수 있도록 서로 선택적으로 결합된 절연막중 인접하는 하나를 갖춘 복수의 소자분리절연막 및; 복수의 캐패시터중 대응하는 하나의 축적노드전극에 각 복수의 트랜지스터의 소오스 및 드레인영역중 하나를 각각 접속하는 복수의 도전성 부재를 구비하여 구성된 반도체 기억장치가 제공된다.

상기 복수의 소자분리절연막이 각각 복수의 트렌치의 측면을 따라 자기정합방식으로 형성되고, 측면에 따른 방향에서의 소자분리절연막의 깊이가 측면에 수직 방향에서의 소자분리절연막의 두께보다 더 크다.

각 복수의 소자분리절연막이 2층절연막으로 형성될 수 있다. 절연막이 2층으로 형성되는 경우, 2층절연막은 트렌치의 측면을 따라 트렌치의 내부 및 외부의 각각의 위에 형성될 수 있다.

복수의 트렌치가 행 및 열로 배치되고, 상기 트렌치에 형성된 상기 소자분리절연막이 복수의 소자분리영역을 형성하기 위해 상기 열방향으로 서로 결합된다. 복수의 트랜지스터가 상기 복수의 소자분리영역중 인접한 2개에 의해 샌드위치영역에 형성되고, 트랜지스터중 인접하는 하나는 소오스 및 드레인영역중 하나를 공통으로 이용하여 복수의 트랜지스터가 캐스캐이드로 접속된다. 따라서, NAND형 DRAM이 형성될 수 있다.

제1측면의 반도체 기억장치의 제조방법에 따르면, 반도체기판상에 복수의 제1트렌치를 선택적으로 형성하는 단계와; 기판상에 복수의 소자분리절연막을 형성하도록 복수의 제1트렌치 상부의 기판을 산화함으로써 소자분리절연막에 의해 분리된 복수의 소자형성역역을 형성하기 위해 트랜치중 인접하는 하나에 대응하는 소자분리절연막을 선택적으로 결합하는 단계를 구비하여 이루어진다. 더욱이, 상기 방법은 복수의 캐패시터를 형성하기 위해 각각 캐패시터절연막을 사이에 두고 복수의 제1트랜치에 축적노드전극을 형성하는 단계와; 게이트절연막을 사이에 두고 형성된 게이트전극과, 복수의 소자형성영역에서 각각 상기 게이트전극 양측면상의 상기 반도체기판에 형성된 소오스 및 드레인 영역을 갖는 복수의 트랜지스터를 형성하는 단계 및; 축적노드전극을 대응되게 트랜지스터의 소오스 및 드레인영역에 접속시키기 위한 복수의 도전성 부재를 형성하는 단계를 더 구비하여 이루어진다.

상기 복수의 소자분리절연막을 형성하는 단계가 제1트렌치의 모든 내면을 산화한 후, 각 제1트렌치의 저면을 개방함으로써 제2트렌치를 형성하는 단계를 포함한다.

더욱이, 상기한 방법은, 복수의 캐패시터를 형성하는 상기 단계 이후에, 상기 복수의 제1트렌치 상부의 축적노드전극 및 상기 캐패시스터절연막을 소정의 깊이로 각각 에치백하는 단계와; 각각 에치백하는 단계에 의해 형성된 요부에 상층절연막을 매립하는 단계 및; 각각 트랜치의 내면을 따라 제2소자분리절연막을 형성하기 위해 상층절연막에 개구를 형성하는 단계를 구비하여 이루어진다.

본 발명의 제2측면에 따르면, 반도체기판과; 반도체기판에 형성되고, 각각 게이트절연막을 사이에 두고 반도체기판상 형성된 게이트전극과, 이 게이트전극의 양측의 반도체기판상에 형성된 소오스 및 드레인영역을 갖춘 복수의 트랜지스터; 절연밥법으로 복수의 트랜지스터상에 각각 형성되고, 절연방법으로 트랜지스터상에 형성된 축적노드전극과, 축적노드전극상에 형성된 캐패시터 절연막 및, 이 캐패시터절연막 상에 형성된 플레이트전극을 각각 갖춘 복수의 적층형 캐패시터; 실질적으로 병렬로 배치되고, 각 복수의 트랜지스터의 게이트전극에 선택적으로 접속된 복수의 워드선; 병렬로 배치되고, 복수의 트랜지스터의 소오스와 드레인영역중 하나에 각각 선택적으로 접속되며, 워드선이 배치된 방향에 수직으로 되도록 형성된 복수의 비트선 및; 비트선이 배치된 방향에서 트랜지스터중 인접하는 것들 사이의 반도체기판상에 형성되고, 비트선이 배치된 방향에서 축적노드전극중 인접하는 것들 사이의 거리는 각 축적노드전극의 최상부의 거리가 기판표면의 거리보다 더 작지 않은 방식으로 점진적인 변화를 갖추도록 형성된 복수의 소자분리절연막을 구비하여 구성된 반도체 기억장치가 제공된다.

각 소자분리절연막은 각 축적노드전극의 저부의 측면상에 형성된 부분을 갖춘다. 각 소자분리절연막이 비트선이 배치된 방향에서 상기 소오스와 드레인영역중 인접한 것 사이에 제공된다.

소자분리막이 복수의 트랜지스터의 형성영역을 선택적으로 분리하기 위해 다른 종류의 소자분리수단에 결합된다. LOCOS막이 다른 종류의 소자분리막을 위해 사용될 수 있고, 소정의 농도를 갖춘 소정의 도전성이 반도체층이 다른 종류의 소자분리수단을 위해 사용될 수 있다.

각 축적노드전극이 상기 각 비트선을 넘도록 형성하고, 각 비트선의 양측 저부에서 소오스와 드레인영역중 하나에 접속된다.

각 비트선이 비트선의 상부면상의 상부절연막과, 각 비트선의 측벽 및 비트선절연막의 측벽상에 동시에 형성된 측벽절연막을 갖춘다.

반도체 기억장치의 제조방법에 따른 제2측면은, 각각 사이에 개재된 게이트절연막에 따라 반도체기판상에 복수의 게이트전극을 형성하는 단계와; 복수의 트랜지스터를 형성하기 위해 각각 복수의 게이트전극의 양측상의 반도체기판상에 소오스 및 드레인영역을 형성하는 단계; 각 복수의 게이트전극의 상면 및 측면상에 절연막을 형성하는 단계; 트랜지스터가 형성된 트랜지스터 전체면의 상부에 도전성막을 형성하는 단계; 각각 트랜지스터의 상부상에 축적노드전극을 형성하기 위해 이방성 에칭에 의해 도전성막을 패터닝하는 단계; 복수의 트랜지스터 소오스와 드레인영역중 하나에 선택적으로 접속된 복수의 비트선을 형성하는 단계; 복수의 비트선에 배치된 방향으로 인접한 축적노드전극 사이의 기판의 표면을 노출시키는 단계; 각각 기판상에 노출된 표면상에 소자분리절연막을 형성하는 단계 및; 각각 사이에 개재된 캐패시터절연막에 따라 축적노드전극상에 플레이트전극을 형성하는 단계를 구비하여 이루어진 것을 반도체 기억장치의 제조방법이 제공된다.

축적노드전극을 형성하는 단계는, 각 축적노드전극의 최상부에서의 거리가 기판표면에서의 거리보다 작지 않은 방식으로 점진적인 변화를 갖도록, 비트선이 배치된 방향에 인접하는 상기 축적노드전극간의 거리가

형성되는 단계를 포함한다.

[실시예]

이하, 예시도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 동일한 참조부호는 모든 실시예에서 공통인 부분으로 표기되며, 반복적인 설명은 생략하기로 한다.

[실시예 1]

제3도는 본 발명의 실시예 1에 따른 트랜치형 캐패시터를 사용한 NAND형 DRAM의 셀어레이를 나타낸 평면도이다. 제3도는 메모리셀어레이에 사용되는 다양한 소자의 레이아웃패턴이 오버랩된 형태에서 소자들간의 관계를 개략적으로 나타낸다. 제4도 내지 제7도는 제3도의 선 4-4, 5-5, 6-6 및 7-7에 따라 각기 절단된 횡단면도이다.

메모리셀영역은 고불순물농도를 갖는 p형 실시콘기판(101)상에 에피택셜성장층(102)이 형성된 웨이퍼에 작성된다. 소자형성영역은 트렌치측면(제3도, 제6도, 제7도)상에 형성된 소자분리절연막(142)에 의해 분리된다. 트렌치형 캐패시터 축전노드전극(106)은 캐패시터절연막(105)을 매개로 트랜치(104)에 배선된다. 특히, P형 실리콘기판(101)은 MOS캐패시터의 플레이트전극으로 되며, MOS캐패시터는 p형 실리콘기판(101), 캐패시터절연막(105) 및 트렌치형 캐패시터 축전노드전극(106)(제7도)으로 형성된다.

각 소자분리절연막(142)은 트렌치(104)(제5도)에 대하여 자기정합방식으로 트렌치(104)의 주위를 둘러싸기 위하여 트렌치(104) 상부의 측면상에 형성된다. 상기 소자분리절연막(142)은 절연막에 의해 샌드위치된 소자형성영역을 형성하기 위하여 제3도의 해칭(hatching)을 통해 나타내며, 이하에 기술될 비트선 방향에서 트렌치간에 서로 접속된다. 트랜지스터는 소자형성영역에서 형성된다.

더욱이, 게이트전극(108_1 내지 108_6 및 114)은 게이트절연막(107)을 매개로 에피택셜성장층(102) 및 트렌치의 상부상에 형성된다(제4도, 제5도). 게이트 전극(108_1 내지 108_6 및 114)은 워드선 및 필드쉴드(field shield) 분리게이트로 작용하기 위하여 한방향에서 각각 패턴화된다. n형 확산층(109)은 평면형 MOS트랜지스터의 소오스 및 드레인영역으로 사용되며, 도전성성분(패드; 110)(제4도, 제7도)을 매개로 트렌치형 캐패시터 축전노드전극(106)에 접속된다.

상술한 평면형 MOS트랜지스터를 고려하여, 복수의 트랜지스터(본 실시예에서는 4개)는 서로 직렬로 접속되며, 트렌치(104)내에 트렌치형 캐패시터 축적노드전극(106)을 갖춘 MOS트랜지스터는 각 MOS트랜지스터의 소오스영역(또는, 드레인영역)에 접속되며, 이에 따라 NAND형 메모리셀어레이가 구성된다.

층간절연막(112)은 상기 구조를 갖춘 p형 실리콘기판(101)상에 형성되며, 비트선접속경로(111)는 층간절연막(112)에서 형성된다. 이 때, n형 확산층(109)부는 비트선접속경로(111)(제4도)를 매개로 비트선(113)에 접속된다.

이하, 제8도(a), 제8도(b), 제11도(a) 및 제11도(b)를 참조하여 NAND형 셀어레이의 제조방법을 설명한다. 상기 도면은 제조방법을 단계적으로 나타내고, 제8도(a), 제9도(a), 제10도(a) 및 제11도(a)는 제3도의 선 5-5에 따라 절단한 횡단면의 한부분에 해당하며, 제8도(b), 제9도(b), 제10도(b) 및 제11도(b)는 제3도의 선 7-7에 따라 절단한 횡단면의 한부분에 해당한다.

우선, 제8도(a) 및 제8도(b)에 나타낸 바와 같이, 예컨대 $1\times10^{15}cm^{-3}$의 보론(boron)농도를 갖는 p형 에피택셜성장층(102)은 $1\times10^{19}cm^{-3}$의 보론농도를 갖는 p형 실리콘기판(101)상에 형성된다. p형 에피택셜층(102)의 두께는 예컨대 0.7㎛로 설정된다.

다음으로, 보론은 웰(well)을 형성하기 위하여 소자형성영역에 이온주입되며, 소자형성영역의 p형 에피택셜성장층농도는 최적화된다. 이 때, p형 에피택셜층(102)의 표면은 예컨대0.05㎛의 두께를 갖는 실리콘산화막을 형성하기 위하여 산화된다. 이 후, 예컨대 1㎛의 두께를 갖는 실리콘질화막(131)은 실리콘산화막(130)상에 형성된다.

다음으로, 트렌치(104)는 포토리소그래피 및 반응성 이온에칭에 의해 형성된다. 트렌치(104)의 p형 실리콘 에피택셜층(102)과 실리콘화산막(130)간의 경계로부터 폭은 예컨대 1㎛로 설정된다.

제9도(a) 및 제9도(b)에 나타낸 바와 같이, 트렌치(104)의 내면은 소자분리산화막(142)을 형성하기 위하여 산화된다. 소자분리산화막(142)은 비트선 방향에서 인접한 트렌치간에 위치한 기판을 완전하게 산화하기 위한 두께를 갖도록 형성된다.

절연막의 두께를 유지 및, 두꺼운 산화막으로 인한 열스트레스에 의해 열화가 나타나는 것을 방지하기 위하여, 소자분리절연막(142)을 형성한 후, 그 위에 실리콘산화막이 퇴적하고, 절연막이 이방성 에칭되며, 이로 인해 절연막이 소자분리산화막(142)의 측벽상에 더 형성된다.

다음 단계는 제10도(a) 및 제10도(b)에 나타낸다. 우선, 반응성 이온에칭 의해 소자분리산화막(142)의 저면산화막은 p형 실리콘기판(101)이 노출될때까지 제거된다.

이 때, 반응성 이온에칭의 상태를 선택함으로써, 소자분리산화막(142) 측벽의 에칭속도는 저면의 에칭속도보다 낮게 제어될 수 있다.

다음으로, 반응성 이온에칭에 의해 트렌치는 p형 실리콘기판(101)상에 더 형성되며, 트렌치의 폭은 예컨대 약 5㎛로 설정된다.

이 후, 트렌치의 기판플레이트의 저항값을 축소하기 위하여, 보론같은 불순물은 트렌치에 이온주입될 수 있다.

이 때, 캐패시터절연막(105)은 트렌치(104)의 내벽상에 형성되고, 트렌치형 캐패시터 축적노드전극(106)으로 된 제1 다결정실리콘막은 전면퇴적된다.

캐패시터절연막(105)은 예컨대 실리콘산화막의 적층막/실리콘질화막/실리콘산화막(실효 막두께 : 10nm)으로 형성된다. 또한, 제1 다결정실리콘막의 저항은 예컨대 비소(As) 이온주입에 의해 낮아진다.

다음으로, 화학적 드라이에칭에 의해 제1 다결정실리콘막은 트렌치(104)내에 잔류하기 위하여 에치백되며, 트렌치형 캐패시터 축적노드전극(106)이 형성된다. 따라서, 실리콘질화막(131), 실리콘산화막(130) 및 소자분리절연막(142)상에 노출된 캐패시터절연막(105)은 화학적 드라이에칭에 의해 제거된다. 이로 인해, 제10도(a) 및 제10도(b)에 나타낸 구조가 형성된다.

이 때, 실리콘산화막은 기판의 표면이 평활화될 때까지 전표면상에 퇴적된다. 이 후, 적층된 실리콘산화막은 화학적 드라이에칭에 의해 에치백되며, 소자분리절연막(142')은 트렌치(142)의 상부에 형성된다.

이 후, 트렌치마스크로 이용되는 실리콘질화막(131)은 반응성 이온에칭에 의해 제거되며, 트렌치마스크로 이용되는 실리콘산화막(130)은 화학적 에칭에 의해 제거된다. 이로 인해, 제11도(a) 및 제11도(b)에 나타낸 구조가 형성된다.

다음 단계는 도면에 나타나지는 않았지만, NAND형 DRAM은 NAND형 DRAM이 제3도 내지 제7도에 나타낸 바와 같이 완성될 때까지 공지된 방법에 따라 형성된다.

특히, p형 에피택셜층(102)의 표면은 게이트산화막(107)을 형성하기 위해 산화된다. 이 후, 게이트전극(108, 114)으로 이용되는 제2 다결정막은 전면에 퇴적된다. 제2 다결정실리콘막의 저항은 $POCl_3$의 확산에 의해 낮아진다.

이 때, 절연막(112')으로 이용되는 실리콘질화막은 전면에 퇴적된다. 이 후, 실리콘질화막 및 제2 다결정실리콘은 그 표면상에 실리콘질화막을 갖는 게이트전극(108, 114)을 형성하기 위하여 리소그래피 및 반응성 이온에칭에 의해 처리된다.

이 때, n형 확산층(109)은 예컨대 비소(As) 이온주입에 의해 전면에 형성된다. 이 후, 절연막(112')으로 이용되는 실리콘질화막은 그 위에 더 퇴적된다. 이 때, 상기 절연막(112')은 게이트전극(108, 114)의 수직측벽상에 잔류하며, 이로 인해 게이트의 측벽절연막이 형성된다.

리소그래피전에 직전에 퇴적된 게이트측벽막 및 실리콘질화막은 게이트전극(108, 114)을 둘러싼다. 이로 인해, 이후에 형성될 트렌치접속패드(110)간의 전기적 절연 및 비트선(113)은 용이하게 유지될 수 있다(제4도).

이후에 형성된 도전성 패드(110)간의 접속사항을 더 낮추기 위하여, 비트선(113) 및 n형 확산층(109)은 예컨대 n형 확산층(109)에 이온주입될 수 있다.

이 때, 축적노드전극(106) 및 n형 확산층(109)을 접속하기 위한 접속홀(115)은 리소그래피 및 에칭에 의해 형성된다. 이 후, 예컨대 다결정실리콘막은 전면에 퇴적된다. 이 때, 다결정실리콘막은 축적노드전극의 접속을 위한 도전성 패드(110)를 형성하기 위해 처리된다. 이로 인해, 트렌치형 캐패시터 축적노드전극(106)은 n형 확산층에 전기적으로 접속된다(제7도).

이 때, 층간절연층(112)은 전면에 퇴적되며, 비트선접속경로(111)를 위한 개구는 리소그래피 및 반응성 이온에칭에 의해 층간절연막(112)에 형성된다(제4도).

다음으로, 다결정실리콘막같은 비트선이 전면에 퇴적된다. 다결정실리콘막 비트선(113)을 형성함으로써 리소그래피 및 반응성 이온에칭에 의해 처리된다(제4도). 결국, 상부 배선층은 NAND형 DRAM을 완성하기 위해 처리된다.

상술한 실시예에 따르면, 소자분리절연막(142)이 자기정합방식으로 트렌치(104)의 측면상에 형성되고, 소자분리절연막(142) 및 트랜치(104)를 패터닝할 때 오차가 발생하지 않으며, 소오스 및 드레인영역을 충분히 확보할 수 있다. 따라서, 메모리셀이 미세화되더라도, MOS트랜지스터간의 접속저항이 오차에 의해 증가하는 문제점이 발생하지 않으며, 메모리셀은 더욱 고도로 미세화될 수 있다.

더욱이, 소자분리절연막(142) 및 트렌치(104)를 패턴화하기 위해 오차마진을 제공할 필요가 없다. 또한, 소자분리절연막(142)은 LOCOS의 양끝에 나타낸 버즈빅(bird's beak)이 발생하지 않는 형성법에 의해 형성되기 때문에, 오차마진 및 버즈빅 발생영역을 제공할 필요는 없다. 따라서, 종래의 경우보다 큰 트렌치의 개구면적은 회복될 수 있으며, 트렌치형 캐패시터의 용량은 확대될 수 있다.

또한, 트렌치(104)의 폭을 확대함으로써, 절연막(142)의 배선폭은 소자분리절연막(142)의 깊이가 일정하게 유지되는 동안 확대형성될 수 있다. 이로 인해, LOCOS분리보다 소자간의 전류차단능력이 더 높은 소리분자를 구현할 수 있다.

또한, 종래와는 다르게이트렌치(104)를 패터닝하기 전에 소자분리절연막(LOCOS)을 제공할 필요가 없기 때문에, LOCOS의 단계는 생략될 수 있으며, 공정단계수가 축소될 수 있다.

또한, 소자분리절연막(142)은 LOCOS에 의해 형성되지 않기 때문에, LOCOS의 경우와는 다르게 트렌치(104)의 패터닝은 단차(즉, 스텝)에 의한 영향을 받지 않는다. 따라서, 트렌치의 적절한 모양이 실현될 수 있으며, 유전체내압의 변화 및 캐패시스터용량의 변화를 축소할 수 있기 때문에, 메모리셀이 미세화되더라도 안정하게 동작될 수 있는 반도체 기억장치를 구현할 수 있다.

[실시예 2]

제12도는 본 발명의 실시예 2에 따른 NAND형 DRAM 셀어레이를 나타낸 횡단면도로서, 이러한 구성은 실시예 1에 제5도에 대응한다.

실시예 2는 실시예 1과 근본적으로 동일하다. 트렌치(104) 상부의 캡절연막(142')을 형성하기 위한 방법은 실시예 1에 따른 방법과 다르다.

특히, 실시예 2에서는 제10도(a) 및 제10도(b)와 마찬가지로 트렌치형 캐패시터 축적노드전극(106)은 트

렌치에 배선되며, 에치백된다. 이로 인해, 소자분리절연막(142)상에 형성된 노출된 실리콘질화막(131), 실리콘산화막(130) 및 캐패시터절연막(105)이 에칭된다. 계속해서, 제2 다결정실리콘막(나타나지 않음)이 전면에 퇴적된다. 이 후, 예컨대 As가 제2 다결정실리콘막에 주입됨으로써 제2 다결정실리콘막의 저항이 감소된다.

계속해서, 제2 다결정실리콘막이 화학적 드라이에칭에 의해 에치백되어, 제2 다결정실리콘막이 트렌치(104)의 트렌치형 캐패시터 축적노드전극(106)을 덮음과 더불어 집적되기 위해 남아 있게 된다. 더욱이, 제2 다결정실리콘막의 표면은 열적으로 산화되어, 캡절연막(142')은 트렌치(104)상부에 열산화막으로 형성된다.

실시예 1에서 캡절연막(142')은 퇴적방법에 의해 트렌치(104)상부상에 형성된다. 그러나 실시예 2에서, 캡절연막(142')은 트렌치형 캐패시터 축적노드전극(106)을 형성하는 다결정실리콘(제2 다결정실리콘)의 산화에 의해 형성되기 때문에, 실시예 1보다 우수한 전기적 절연특성을 갖는 막이 획득될 수 있다.

[실시예 3]

제13도 내지 제15도는 본 발명의 실시예 3에 따른 NAND형 DRAM의 셀어레이에 대한 횡단면도이다. 제13도는 실시예 1에 따른 제5도에 대응하는 횡단면이다. 제14도 및 제15는 실시예 1에 따른 제6도에 대응하는 횡단면도이다. 이와 같은 경우에, 표면배선 및 절연층은 도면에 도시되지 않는다.

실시예 3은 근본적으로 실시예 2를 개선한 것이다. 제13도에 나타난 바와 같이, 제2다결정실리콘막이 트렌치(104)에 배선되기 전에, 상층절연막(142)으로 이용되는 실리콘막은 전면에 더 퇴적된다.

이 때, 제14도 및 제15도에 나타난 바와 같이, 상층절연막(142)은 이방성 에칭에 의해 소자분리절연막(142)의 측벽상에 잔류해서, 제2측벽절연막이 형성된다. 더욱이, 제2다결정실리콘막은 전면에 퇴적된다. 이 후, 예컨대 As는 제2다결정실리콘에 이온주입되어, 제2다결정실리콘막의 저항은 감소한다.

계속해서, 제3다결정실리콘막은 화학적 드라이에칭에 의해 에치백되어, 제2다결정실리콘막이 트렌치(104)의 트렌치형 캐패시터 축적노드전극을 덮음과 더불어 집적되기 위해 남아있게 된다. 더욱이. 제2다결정실리콘막은 열적으로 산화되어, 캡절연막(142')은 열산화막에 의해 트렌치상부에 형성된다.

상술한 구조에 따르면, 실시예 2와 같은 장점이 있음은 자명하다. 더욱이, 제2측벽절연막(142)의 산화막은 캡절연막(142')보다 깊이 형성되어, 축적노드전극(106)으로부터 게이트전극(108, 114)의 전기적 절연이 개선된다.

이 후 형성된 축적노드전극을 접속하기 위한 접속홀(115)에 제15도에 나타난 바와 같이 산화막이 얇은 곳에 캡절연막(142')부를 에칭함으로써 용이하게 형성될 수 있다.

[실시예 4]

제16도는 본 발명의 실시예 4에 따른 2개의 메모리 셀 당 하나의 비트선을 갖는 DRAM의 셀어레이의 평면도이다. 제17도 내지 제19도는 제16도의 선 17-17, 18-18, 19-19에 의해 각각 절단된 횡단면도이다.

상기 형태의 메모리장치는 NAND형 메모리장치보다 비트선접속수가 크기 때문에, 셀영역은 더 커지게 된다. 그러나, 모든 비트에 대한 랜덤억세스는 고속으로 수행될 수 있다. 더욱이, 패스워드선의 상부를 사용함으로써, 큰 캐패시터가 형성될 수 있다.

상기 실시예의 메모리셀 제조방법은 실시예 1과 동일하기 때문에, 별도의 설명은 생략하기로 한다. 그러나, 평면구조는 제16도에 나타난 배치로 설정되며, 캡절연막(142')은 실시예 2와 유사한 다결정실리콘막의 열산화에 의해 형성될 수 있다.

상술한 제조방법을 사용함으로써, 소자분리절연막과 캐패시터전극간의 오차에 의해 발생되는 문제점을 극복될 수 있으며, 실시예 1에서 언급된 장점은 또한 실현될 수 있다.

[실시예 5]

제20도는 본 발명의 실시예 5에 따른 4개의 메모리셀 당 하나의 비트선 접속을 갖는 폴디트 비트선시스템의 NAND형 DRAM의 셀어레이의 대한 평면도이다.

실시예 5에서는, 폴디드 비트선구조가 사용되기 때문에, 2개의 워드선에서 발생되는 위상노이즈는 감소된다. 또한, 워드선을 패싱하는 하부를 사용함으로써 큰 캐패시터가 형성될 수 있다.

상기 실시예의 메모리셀의 제조방법은 실시예 1과 동일하기 때문에, 별도의 설명은 생략하기로 한다. 그러나, 평면구조는 제16도에 나타난 배치로 설정되며, 반면 캡절연막(142')은 실시예 2와 유사한 다결정실리콘막의 열산화에 의해 형성될 수 있다.

상술한 제조방법을 사용함으로써, 소자분리절연막과 캐패시터전극간의 오차에 의해 발생되는 문제점을 극복될 수 있으며, 실시예 1에서 언급된 장점은 또한 실현될 수 있다.

본 발명의 트레치형 캐패시터를 사용한 반도체 기억장치의 실시예는 상술한 실시예에만 한정되지 않는다.

상술한 실시예에서, 캐패시터 축적노드전극(106)용 트렌치는 트렌치를 더 에칭함으로써 자기정합방식으로 소자분리막(142)을 형성한 후에 형성된다. 그러나, 트렌치 예컨대 5㎛의 깊이로 형성한 후, 소자분리막(142) 예컨대 1㎛의 깊이로 트렌치의 상부를 산화함으로써 형성될 수 있다.

트렌치의 상부에 소자분리막을 형성하기 위해, 트렌치(104)의 내부를 예컨대 10nm의 두께로 산화한 후, 산화방지막 예컨대 SiN은 트렌치상부에 레지스트막을 예컨대 1㎛의 깊이로 사용하여 에치백함으로써 제거되어 10nm의 두께로 형성될 수 있다. 이 후, 레지스트막을 제거 및 산화를 수행함으로써, 두꺼운 소자분리막은 트렌치상부에서만 형성될 수 있다. 소자분리막을 형성한 후, SiN막은 반응성 이온에칭 또는 화학적 드라이에칭에 의해 선택적으로 제거된다.

또한, 상술한 실시예는 소자분리절연막을 형성하기 위한 방법으로 열산화에 의한 산화막형성방법을 나타냈다. 그러나, 산소는 트렌치의 측면에 산화막을 형성하기 위해 약 30keV의 저가속에너지로 주입될 수 있다.

또한, 소자분리절연막 형성방법에 따라, 만약 이것이 실리콘을 실리콘산화막 또는 실리콘질화막으로 변환하기 위한 방법이라면, 상술한 방법과는 다른 방법이 사용될 수 있다.

또한, 충분한 유전체내압을 갖기 위해 절연막의 두께를 유지 및 두꺼운 산화막으로 인한 열스트레스에 의해 발생하는 열화를 방지하기 위해, 실리콘산화막이 이방성에칭에 의해 에칭되어 퇴적되는 방법을 제공할 수 있다. 실리콘질화막, 강유전체막, 상(常)유전체막 또는 상기 막의 합성막 같은 단일층이 실리콘산화막을 대신하여 측벽막으로 사용될 수 있다.

또한 실리콘질화막은 상술한 실시예에서 절연막(112')으로 사용될 수 있다. 그러나, 실리콘산화막, 상유전체막 또는 상기 막의 합성막 같은 단일층막은 사용될 수 있다.

또한, 상술한 실시예에서는 모든 자기정합 소자분리절연막을 사용한 예를 기술하지만, 비트선접속간의 분리, 필드쉴드분리(게이트전극(114)) 및, 트렌치간의 분리부에 별도의 마스크를 사용함으로써 작성되는 소자분리절연막을 사용할 수 있다.

실시예 1에서는 비트선접속(111)이 워드선방향의 선에 배치된 구조를 나타내지만, 비트선접속(111)의 위치는 항상 워드선방향의 선에 있지는 않는다. 또한 실시예 1 및 실시예 2에서, 캐스캐이드로 접속된 트렌치의 수는 복수개로 설정될 수 있으며, 8개의 메모리셀마다 1비트선 접속이 항상 필요한 것은 아니다.

또한, 상술한 실시에에서는 도전성 패드(110)가 트렌치접속홀(115)에 포함된 구조를 기술하지만, 도전성 패드(110)는 도전성 패드(110)가 서로 접속되지 않는 범위에서 축적노드전극 접속홀(115)보다 크게 형성할 수 있다.

상술한 실시예에서는 전 기판(101)이 p형이며, 플레이트전극으로 이용되는 것을 기술하지만, 기판(101)의 셀어레이영역중 적어도 표면부(예컨대, 깊이가 약 6㎛인)가 보론 이온주입에 의해 고불순물농도로 p형화되어 형성된 기판을 사용할 수 있다.

또한 BPSG(boron-doped phosporus-silicate glass)를 사용한 고체확산 또는 BN을 사용한 기체확산에 의해 고농도의 p형층을 갖는 기판을 사용할 수 있다.

또한, 기판(101)의 셀어레이 영역중 적어도 표면부(예컨대, 깊이가 약 6㎛인)가 인산 또는 비소 이온주입에 의해 고불순물주입으로 n형화 되어 형성된 기판을 사용할 수 있다. 또한, 고농도의 n형 영역은 PSG(phosphorus-silicate glass) 또는 AsSG (arsentic-silicate glass)를 사용한 고체확산 또는, $POCl_3$을 사용한 기체확산에 의해 형성될 수 있다.

또한, 상기 실시예에서, p형 에피택셜층(102)이 작성되었다. 그러나, 플레이트전극으로 이용되는 고농도의 p형층 또는 고농도의 n형층은 p형 에피택셜층(102)을 형성하는 대신에 약 3MeV의 가속전압상태에서 보론 또는 인산 이온주입에 의해 실리콘기판(101)상에 형성될 수 있다.

또한, 고농도의 p형 실리콘기판(101) 대신에 n형 실리콘기판이 사용되어, p형 에피택셜층(102)을 형성하는 대신에 셀어레이영역에 p형 웰을 형성할 수 있다.

기판(101)과 에피택셜층(102)간의 경계면은 소자분리절연막(142)을 매개로 트렌치(104)측벽의 깊이내에 위치한다. 이와 같은 경우에, 경계면은 트렌치(104)측벽의 소정부분에 위치할 수 있다.

상술한 실시예에서는 트렌치의 평면모양이 직사각형 및 육각형으로 각각 형성될 수 있으나, 실시예 1 내지 실시예 3에서 평면형상과, 트렌치(104) 및 소자분리절연막(142)의 접속형태는 제21도(a) 및 제21도(b)에 나타낸 바와 같이 작성된다.

실시예 4 및 5에서 평면형상과, 트렌치(104) 및 소자절연막(142)의 접속형태는 제22도(a) 및 제22도(b)에 나타난 바와 같이 작성될 수 있다. 만약 소자분리절연막(142)이 서로 접속되도록 형상이 형성된다면, 상기 형상과 다른 소정의 형상이 사용될 수 있다.

상기 실시예에서는 비소가 트렌치형 캐패시터 축적노드전극(106)에 이온주입된 다결정실리콘막이 사용되었으나, 비소는 AsSG에 의해 고체상태로 확산될 수 있고, 또한 비소는 막형성과 동시에 도핑되는 소위 도핑된 다결정실리콘막이 사용될 수 있다.

또한, 비소 대신에 인산이 상기와 동일한 방법으로 도핑될 수 있다, 트렌치형 캐패시터 축적노드전극(106)은 p형 층이며, 여기에 보론이 도핑된다.

트렌치형 캐패시터 축적노드전극(106)의 재료로는 단결정실리콘, 포러스(porous)실리콘, 비정질실리콘, W, Ta, Ti, Hf, Co, Pt, Pd 또는 실리사이드 같은 다결정실리콘과는 다른 금속을 사용할 수도 있다. 또한, 상기 재료의 적층구조도 사용될 수 있다.

상술한 실시예에서는 n채널 MOS트랜지스터가 사용되나, p채널 MOS트랜지스터가 사용될 수도 있다.

상술한 바와 같이, 본 발명에 따르면 비록 메모리셀의 미세화가 진행되도라도, 트렌치 및 소자분리절연막이 오정합되지 않는 트렌치형 캐패시터를 구현할 수 있다. 따라서, 고집적 및 고신뢰성이 있는 반도체 기억장치를 실현할 수 있다.

이하, 실시예 6 내지 10에는 본 발명의 제2 측면인 적층형 캐패시터형 메모리셀어레이를 설명하기로 한다.

[실시예 6]

제23도는 본 발명의 실시예 6에 따른 적층형 캐패시터를 사용한 2-셀 1-비트선 접속형 DRAM의 셀어레이

의 평면도이다. 제24도 내지 제26도는 제26도는 23도의 선 24-24, 25-25 및 26-26 따라 각기 절단된 횡단면도이다.

메모리셀영역은 p형 실리콘기판(101)에 형성되고, 게이트전극(108_1 내지 108_5)은 p형 실리콘기판(101)의 상부에 형성된다. 상기 게이트전극(108_1 내지 108_5)은 셀어레이의 한방향으로 패턴화되어 각각 워드선으로 이용된다. 게이트전극(108_1 내지 108_5)은 절연막(112)으로 각기 절연된다(제24도).

n형 확산층(109)은 게이트전극(108_1 내지 108_5)(이후 명세서에서는 간단히 108로 표기한다)의 양측면상에 형성된다. n형 확산층(109)은 평면 MOS트랜지스터의 소오스 및 드레인영역으로 사용되며, 적층형 캐패시터 축적노드전극(117)에 접속된다. 플레이트전극(118)은 캐패시터절연막(116)을 매개로 적층형 캐패시터 축적노드전극상에 형성되고, 이것은 MOS캐패시터를 구성한다.(제25도). 제26도에서, 참조부호(119 및 145)는 각기 절연막 및 펀치스로우 스토퍼로 표기된다.

상술한 트랜지스터영역은 LOCOS에 의해 형성된 소자분리절연막(103, 152)으로 둘러싸인다. 제23도에서, 해칭은 용이하게 인식할 수 있는 2개의 영역을 나타낸다. 소자분리절연막(152)은 자기정합방식으로 적층형 캐패시터 축적노드전극(117)과 정합되어 형성된다.

층간절연막(152', 112)은 상술한 구조를 갖는 p형 실리콘기판(101)상에 형성되며, 비트선접속경로(111)는 상기 막을 경유하도록 형성된다. n형 확산층(109)의 일부는 비트선접속경로(111)를 경유해서 비트선(113)에 접속된다.

적층형 캐패시터 축적노드전극(117)은 비트선(113)을 도포하여 형성된다. 이때, 인접한 적층형 캐패시터 축적노드전극(117)간의 거리는 플레이트전극(118)이 축적된 방향에 대해서 일정하다(제25도, 제26도).

층간절연막(152) 및 축적노드전극(117)은 비트선(113)상에 형성되며, 상술한 메모리셀은 비트선상의 캐패시터구조를 실현하게 된다.

이하, 제27도 내지 제39도를 참조하여 2-셀 1-비트선 접속형 DRAM 셀어레이의 제조방법을 설명하기로 한다.

제1단계의 단계가 제27도 및 제28도를 참조하여 설명하며, 제27도는 상기 실시예에 따른 NAND형 DRAM의 셀어레이배치를 개념적으로 나타낸 평면도이다. 제28도(a) 및 제 28도(b)는 제27도의 선 28a-28a 및 28b-28b에 따라 각기 절단한 횡단면도이다.

우선, 펀치로우 스토퍼 (145)는 보론 이온주입에 의해 약 $10^{16}cm^{-3}$ 의 보론 농도를 갖는 고불순물농도의 p형 실리콘기판상에 형성된다. 이후, 필드산화막(103)은 예컨대 LOCOS에 의해 p형 실리콘기판(101)상에 형성된다.

이 때, 공정은 제2단계로 진행된다. 제29도는 제2단계의 셀어레이에 대한 평면도이다. 제30도(a) 및 제30도(b)는 제 29도의 선 30a-30a 및 30b-30b에 따라 각기 절단한 횡단면도이다.

우선, p형 실리콘기판(101)은 게이트산화막(107)을 형성하기 위해 예컨대 10nm로 산화된다. 따라서, 게이트전극(108, 114)으로 이용되는 제1다결정실리콘막이 전면상에 퇴적되고, $POCl_3$이 이곳으로 퇴적되어, 제1다결정실리콘층의 저항이 감소하게 된다.

다음에, 절연막(112')으로 이용되는 실리콘질화막은 전면상에 퇴적된다. 이 후, 실리콘질화막 및 다결정실리콘막은 리소그래피 및 반응성 이온에칭에 의해 처리되며. 이로 인해 게이트전극(108)이 형성된다.

이때, 예컨대 As는 n형 확산층(109)을 형성하기 위해 전면에 주입된다. 이 후 절연막(112')으로 이용되는 실리콘질화막은 전면에 더 퇴적된다. 이 때 절연막(112')은 이방성 에칭에 의해 게이트전극(108, 114)의 수직측벽상에 남게 되며, 이로 인해 게이트측벽의 절연막이 형성된다.

리소그래피 직후에 퇴적된 게이트측벽막 및 실리콘질화막은 게이트전극(108, 114)을 둘러싼다. 따라서, 적층형 캐패시터 축적노드전극(117)과 비트선(113)간의 전기적 절연은 용이하게 유지될 수 있다. 이 후, 적층형 캐패시터 축적노드전극(117), 비트선(113)과 n형 확산층(109)간의 접속저항을 감소시키기 위해, 예컨대 비소가 n형 확산층(109)에 이온주입된다.

이 때, 공정은 제31도, 제32도(a), 제32도(b) 및 제 33도에 나타낸 제3단계로 진행된다. 제32도(a) 및 제32도(b)는 제31도의 선 32a-32a 및 32b-32b에 따라 각기 절단한 횡단면도이다.

우선, 실리콘기판(101)의 표면은 약 10nm로 산화되어, 절연막(119)이 형성된다.

이 때, 실리콘질화막으로 형성된 층간절연막(152')은 전면상에 형성된다. 이 후, 층간절연막(152')은 리소그래피 및 반응성 이온에칭에 의해 처리되며, 이로 인해 후에 형성되는 비트선접속경로(111)를 둘러싸는 소자분리절연막을 형성하게 된다.

다음으로, BPSG로 형성된 층간절연막(112)이 전면상에 퇴적된다. 이 때 층간절연막(112, 152') 및 절연막(119)은 리소그래피 및 반응성 이온에칭에 의해 에칭되어. 비트선접속경로(111)용 접속홀이 형성된다.(제33도).

이 때, 다결정실리콘막(113)과 같은 비트선재료는 전면상에 퇴적된다. 이 후, 다결정실리콘막(113)의 저항은 As 이온주입에 의해 감소한다.

이 때, 층간절연막(152)은 전면상에 퇴적된다, 이 후, 층간절연막(152), 다결정실리콘막(113) 및 층간절연막(112)은 리소그래피 및 반응성 이온에칭에 의해 비트선(113)패턴에 기초하여 처리된다. 따라서, 비트선은 마치 뱅크에서처럼 처리된다. 이와 같은 경우에, 제32도(a) 및 제32도(b)에 나타난 바와 같이 다른 횡단면이 형성된다.

이 때, 공정은 제34도, 제35도(a), 제35도(b) 및 제 36도에 나타난 바와 같이 제4단계로 진행한다. 제35도(a) 및 제35도(b)는 제34도의 선 35a-35a 및 35b-35b에 따라 각기 절단한 횡단면도이며, 제36도는 제34도의 선 36-36에 따라 절단한 횡단면도이다.

우선, 절연막(144)으로 이용되는 실리콘질화막은 전면상에 더 퇴적된다. 이방성 에칭을 함으로써, 절연막(144)은 비트선(113)이 층간절연막(112)상에 정착된 뱅크의 측벽상에 남게되어, 비트선의 측벽절연막이 형성된다. 또한, 측벽절연막(144)의 저부에 노출된 절연막(119)은 에칭함으로써 제거된다.(제35도(b))

측벽절연막(144) 및 층간절연막(152)은 비트선(113)을 둘러싸기 위해 형성되어, 적층형 캐패시터 축적노드전극(117)으로부터의 전기적 절연이 확실하게 유지될 수 있다. 또한, 비트선(113)의 측벽이 측벽절연막(144)의 선공정 또는 다른 공정에 따라 절연막을 형성하기 위해 약 20㎚로 산화되는 방법을 사용한 수도 있다.

다음으로, 다결정실리콘막과 같은 캐패시터 축적노드전극(117)으로 이용되는 도전성막이 전면상에 퇴적되며, 다결정실리콘막의 저항이 As이온주입에 의해 감소된다.

이 때, 다결정막이 리소그래피 및 반응성 이온에칭에 의해 n형 확산층(109)에 이르는 폭으로 에칭되어, 적층형 캐패시터 축적노드전극(117)이 형성된다. 이와 같은 경우에, 에칭폭이 설정되어, 소자분리막(152)이 다음 단계에서 형성된 후, 인접한 트랜지스터간에 펀치로우가 발생하지 않게 된다.

이 후, 펀치스로우의 발생을 방지하기 위해, 전면이 p형 이온 예컨대 보론으로 이온주입되어, p형 펀치스로우스토퍼(145)가 깊이 에칭된 홈의 저면상에 형성된다.(제25도).

이 때, 공정은 제37도, 제38도(a), 제38도(b) 및 제39도에 나타난 바와 같이 제5단계로 진행한다. 제38도(a) 및 제38도(b)는 선 38a-38a, 및 38b-38b에 따라 절단한 횡단면도이다.

우선, 적층형 캐패시터 축적노드전극(117)은 예컨대 20㎚로 산화되어, 소자분리절연막(152)이 형성된다. 적층형 캐패시터 축적노드전극(117)과 n형 확산층(109)간의 접속영역을 확보하기 위하여, 소자분리절연막(152)의 두께가 설정될 필요가 있다. 이와 같은 경우에, 산화 대신에 적층형 캐패시터 축적노드전극(117)에 산화이온이 이온주입되어 산화막영역이 형성된다.

이 때, 레지스트(146)는 빛에 노출된 전면상에 형성되어 레지스트는 적층형 캐패시터 축적노드전극(117) 사이에 깊은 저면상에 남게된다. 이 때, 적층형 캐패시터 축적노드전극(117)의 상부에 형성된 소자분리절연막(152)이 에칭함으로써 제거된다.

상술한 실시예에 따르면, 소자분리절연막(152)은 적층형 캐패시터 축적노드전극(117) 패턴의 자기정합방식으로 형성되고, 이로 인해 적층형 캐패시터 축적노드전극(117)과 확산영역(109)간의 접속영역은 소자분리절연막에 의해 방해받지 않는다. 동시에, 소정의 소자분리영역이 유지될 수 있으며, 비록 메모리셀이 미세화되더라도, MOS트랜지스터간의 펀치로우가 마스크 불량정합에 의해 증가하는 문제점이 발생하지 않는다.

또한, 트랜지스터의 n형 확산층(109)과 적층형 캐패시터 축적노드전극(117)간의 접속은 처리되는 트랜지스터영역 및 비트선영역을 자동적으로 피하기 위해 형성된다. 이 때, 적층형 캐패시터 축적노드전극(117)은 n형 확산층(109)과 접속되어, 비트선을 넘도록 되기 때문에, 종래와는 다르게 축적노드전극영역을 위한 패터닝이 필요치 않게 된다. 따라서, 접속영역의 리소그래피단계는 생략될 수 있으며, 접속저항이 접속영역과 확산영역간의 불량정합으로 인해 증가하는 문제점을 해소할 수 있게된다.

또한, 소자분리절연막을 형성하는 단계는 축적노드전극을 형성한 후 수행되기 때문에, 채널스토이퍼이온의 확산과 절연막의 축소 또는 선형공정으로 인한 형상의 변화는 게이트형성 및 비트선형성에서의 가열공정을 수행하지 않아서 방지될 수 있다. 다음 단계는 나타나지 않았지만, 레지스트(146)은 회화(灰化)되고, 캐패시터절연막(116)은 전면에 퇴적되고, 플레이트전극(118) 및 상부배선층이 형성되어, 매모리셀어레이가 완성된다.

이 때, 캐패시터절연막(116)은 예컨대 실리콘산화막/실리콘질화막인 적층막으로 형성된다. 또한, 플레이트전극(118)은 예컨대 다결정실리콘으로 형성되며, 이것의 저항은 As 이온주입에 의해 감소한다. 또한, 레지스트(146)가 회화된 후, 플레이트전극(118)과 반도체기판(102) 또는 비트선(113)간의 전기적 절연을 향상하기 위해, BPSG로 형성된 절연막은 에치백되는 적층형 캐패시터 축적노드전극(117)의 깊은 분리홈부상에 퇴적됨으로써, 절연막이 배선된다.

상기 실시예에서, LOVOS 같은 두꺼운 소자분리절연막은 적층형 캐패시터 축적노드전극(117)과 접속하는 n형 확산영역(109)에 미리 형성된다. (제38도(b)). 이 때문에, 레벨 및 균일성의 차이에 전혀 영향을 받지 않는 접속이 형성될 수 있다.

상술한 실시예에서는 2-메모리셀 1-비트선접속의 폴디드 비트선구조가 사용되기 때문에, 2개의 비트선에서 발생되는 동위상 노이즈는 상당히 감소될 수 있다. 또한, 비트선구조상에 캐패시터가 실현되기 때문에, 비트선접속은 적층형 캐패시터 축적노드전극(117)의 높이에 관계없이 용이하게 형성될 수 있다.

[실시예 7]

제40도는 본 발명의 실시예 7에 따른 3-셀 1-비트선 접속형 DRAM 셀어레이를 나타낸 평면도이며, 제41도 내지 제43도는 제40도의 선 41-41, 42-42 및 43-43에 따라 각기 절단된 횡단면도이다.

실시예 7은 근본적으로 실시예 6과 동일하나, 실시예 7은 패싱워드선의수가 2개의 메모리셀마다 하나인 점이 실시예 6과 다르다. 이 때문에, 실시예 7에서는 실시예 6에서 형성된 비트선접속경로 주위에 층간절연막(152')을 형성할 필요가 없게 된다. 그리고, 층간절연막(152')을 형성하는 단계가 생략될 수 있고, 메모리셀의 영역이 실시예 6에 비해서 축소될 수 있는 장점이 있다.

이하, 제44도 내지 제53도를 참조하여 상술한 2-셀 1-비트선 접속형 DRAM셀어레이의 제조방법을 설명하기

로 한다. 상기 제조방법은 근본적으로 실시예 6과 동일하기 때문에, 중요한 요점만을 설명하기로 한다.

제1단계공정은 제44도 및 제45도에 나타나며, 상기 제44도는 본 발명의 실시예 7에 따른 제1단계의 셀어레이배치를 개념적으로 나타낸 평면도이며, 제45도는 제44도의 선 45-45에 따라 절단한 횡단면도이다.

우선 예컨대 보론은 펀치스로우 스토퍼(145)를 형성하기 위해 p형 실리콘기판(101)에 이온주입된다. 이후, 필드산화막(103)은 LOCOS에 의해 p형 실리콘기판상에 형성된다(제45도).

이 때, 공정은 다음 단계로 진행한다 제46도는 셀어레이의 제2단계를 나타낸 평면도이다 제47도, 제48도 및 제49도는 제46도의 선 47-47, 48-48 및 49-49을 따라 절단한 횡단면도이다.

우선, 게이트전극(108)으로 이용되는 제1다결정실리콘막은 게이트산화막(107)을 매개로 p형 실리콘기판(101)의 전면에 퇴적한다. 이 때, $POCl_3$은 이곳에 확산되며, 제1다결정실리콘의 저항은 감소한다.

이 때, 절연막(112')으로 이용되는 실리콘질화막은 전면에 형성된다. 이 후, 실리콘질화막 및 다결정실리콘막은 리소그래피 및 반응성 이온에칭에 의해 처리되어, 게이트전극(108)이 형성된다.

이 때, 예컨대 As는 n형 확산층(109)을 형성하기 위해 전면에 이온주입된다. 이후, 절연막(112')으로 이용되는 실리콘질화막은 전면상에 더 퇴적된다. 이 때, 이방성 에칭에 의해 절연막(112')은 게이트전극(108, 114)의 측벽상에 남게 됨으로써, 게이트의 측벽절연막이 형성된다.

다음에, 예컨대 BPSG로 형성된 층간절연막(112)이 전면에 퇴적한다. 이후, 리소그래피 및 반응성 이온에칭에 의해 층간절연막(112)이 에칭됨으로써, 비트선접속경로(111)에 대한 접속영역이 개방된다.

이 때, 비트선재료로서 이용되는 다결정실리콘막(113)은 전면상에 퇴적된다. 이 후, 다결정실리콘막(113)의 저항은 예컨대 As이온주입에 의해 감소한다.

이 때, 층간절연막(152)은 전면에 퇴적되고, 층간절연막(152), 다결정실리콘막(113) 및 층간절연막(112)은 리소그래피 및 반응성 이온에칭에 의해 비트선(113)의 패턴상에서 처림됨으로써, 뱅크형 구조상에 장착된 비트선이 형성될 수 있다. 이 때 공정은 제50도 내지 제53도에 나타낸 제3단계로 진행한다. 제50도는 제3단계의 셀어레이에 대한 평면도이며, 제51도 내지 제53도는 제50도의 선 51-51, 52-52 및 53-53에 따라 각기 절단한 횡단면도이다.

우선, 예컨대 절연막(144)으로 이용되는 실리콘질화막은 전면상에 더 퇴적된다. 이 때, 이방성 에칭에 의해 절연막(144)은 비트선(113)이 장착된 뱅크의 측벽상에 남게됨으로써, 비트선의 측벽절연막이 형성된다(제52도, 제53도).

측벽절연막(144) 및 층간절연막(152)은 비트선(113)을 둘러싸기 위해 형성되어, 적층형 캐패시터 축적노드전극(117)으로부터의 전기적 절연은 확실히 유지될 수 있다.

다음에, 다결정실리콘막과 같은 캐패시터 축적노드전극으로 이용되는 도전성 막은 전면상에 퇴적되며, 다결정실리콘막의 저항은 As이온주입에 의해 감소한다.

이 때, 다결정막은 깊은 분리홈을 형성하기 위해 n형 확산층(109)에 이르는 폭으로 리소그래피 및 반응성 이온에칭에 의해 에칭됨으로써, 적층형 캐패시터 축적노드전극(117)(제52도)이 형성된다.

이 후, 실시예 6과 동일한 단계를 통해 제40도 내지 제43도에 나타낸 바와 같은 DRAM이 완성되나, 이와 같은 경우에 제42도에 나타낸 바와 같이 소자분리절연막(152)을 형성한 후, 절연막(162)은 소자분리절연을 위해 기판의 전면상에 형성된다.

[실시예 8]

제54도의 본 발명의 실시예 8에 따른 NAND형 DRAM의 셀어레이를 나타낸 평면도이며, 제55도 내지 제58도는 제54도의 선 55-55, 56-56, 57-57 및 58-58에 따라 각기 절단한 횡단면도이다. 제54도(b)는 제54도(a)의 선 54B-54B에 따라 절단한 화살표방향의 횡단면을 나타낸 투시도이며, 각 구성요소간의 3차원적인 관계는 이러한 도면으로부터 명확해진다.

실시예 9에서는 4개 셀의 메모리셀이 직렬로 접속되어 있으며, 이에 따라 NAND형 메모리셀이 구성된다. 또한, 필드쉴드게이트전극(114)이 형성되어, 메모리셀간의 절연이 실현될 수 있다. 상기 NAND셀형 메모리셀어레이는, 8개 메모리셀마다의 비트선접속수는 1개이기 때문에, 메모리셀영역은 더 축소될 수 있다.

실시예 8에 따른 제조방법은 근본적으로 실시예 7의 제조방법중 하나를 개선한 것이다. 이하, 제59도 내지 제67도를 참조하여 본 발명의 실시예 8에 따른 제조방법을 설명하기로 한다.

제1단계의 단계가 제59도 및 제60도에 나타나며, 제59도는 상기 제1단계의 셀어레이 배치를 개념적으로 나타낸 평면도이다. 제60도는 제59도의 선 60-60에 따라 절단한 횡단면도이다.

우선, 예컨대 보론이 펀치스로우 스토퍼(145)를 형성하기 위해 P형 실리콘기판(101)에 이온주입된다. 이후, 산화막(103)은 예컨대 LOCOS에 의해 p형 실리콘기판상에 형성된다.

이 때, 공정은 제61도 내지 제63도에 나타낸 제2단계로 진행되며, 제61도는 제2단계의 셀어레이에 대한 평면도이다. 제62도 및 제63도는 제61도의 선 62-62 및 63-63에 따라 각기 절단한 횡단면이다.

우선, p형 실리콘기판(101)은 게이트산화막(107)을 형성하기 위해 예컨대 약 10nm로 산화된다. 이 후, 게이트전극(108, 114)으로 이용되는 제1다결정실리콘막은 전면상에 퇴적되고, $POCl_3$은 그위로 확산되며, 이로 인해 제1다결정실리콘막의 저항은 감소한다.

이 때, 절연막(112')으로 이용되는 실리콘질화막은 전면상에 퇴적되고, 실리콘질화막 및 다결정실리콘막은 리소그래피 및 반응성 이온에칭에 의해 처리됨으로써, 게이트전극(108)이 형성된다.

다음에, As가 n형 확산층(109)을 형성하기 위해 전면상에 이온주입된다. 이 후, 절연막(112')으로 이용되

는 실리콘질화막 전면상에 더 퇴적된다. 이 때, 절연막(112')은 이방성에칭에 의해 수직게이트전극(108, 114)의 측벽상에 남게됨으로써, 게이트의 측벽절연막이 형성된다.

게이트측벽의 절연막(112')을 형성한 후, 표면에 노출된 소자분리막(103)은 에칭에 의해 제거되며, 예컨대, As는 $10^{19}cm^{-3}$의 농도를 갖기 위해 전면에 이온주입됨으로써, 게이트와 다른 전영역이 n형으로 작성된다.

상술한 방법에 따르면, 소자분리절연막은 n형 확산영역(109)에 공급되지 않기 때문에, 비트선(113)의 정교한 정합이 없어도 적층형 캐패시터 축적노드전극(117)과 n형 확산영역(109)간에 양호한 접속이 구현될 수 있다.

다음에, 공정은 제64도 내지 제67도에 나타낸 제3단계로 진행한다. 제64도는 제3단계의 셀어레이에 대한 평면도이며, 제65도 내지 제67도는 제64도의 선 65-65, 66-66 및 67-67에 따라 각기 절단한 횡단면도를 나타낸다.

우선, 실리콘기판(101)의 표면은 절연막을 형성하기 위해 예컨대 10nm로 산화된다.

이 때, 예컨대 실리콘질화막으로 형성된 층간절연막(152')은 약50nm로 전면상에 퇴적된다. 이 후, 층간절연막(152')은 리소그래피 및 반응성 이온에칭에 의해 처리됨으로써, 이 후에 형성될 비트선접속경로(111)를 둘러싸는 소자분리절연막이 형성된다.

다음에, 예컨대 BPSG로 형성될 층간절연막(112)이 전면상에 퇴적된다. 이 후 층간절연막(112, 152') 및 절연막(119)은 리소그래피 및 반응성 이온에칭 의해 에칭됨으로써, 비트선접속경로(111)의 접속영역은 개방될 수 있다(제65도).

이 때, 비트선재료 예컨대 다결정실리콘막(113)이 전면상에 퇴적된다. 이 후 다결정실리콘막(113)의 저항 As 이온주입에 의해 감소한다.

다음에, 층간절연막(152)이 전면상에 퇴적됨으로써, 층간절연막(152), 다결정실리콘막(113) 및 층간절연막(112)이 리소그래피 및 반응성 이온에칭에 의해 비트선(113)의 패턴에 기초하여 처리된다(제66도 및 제67도).

이 후, 실시예 7과 동일한 공정을 통해 메모리셀어레이가 완성될 수 있다.

실시예 8에서는 비트선하의 층간막구조가 BPSG로 형성된 층간절연막(112) 및 50nm의 두께를 갖는 실리콘질화막으로 형성된 층간절연막(152')의 2개층에 의해 형성된다. 결국, 층간절연막(112)이 두꺼우며, 층간절연막(112)과 기판(101)과의 선택율이 용이하게 획득되지 않더라도, 상당히 정교하게 에칭폭이 제공될 수 있다.

즉, 반응성 이온에칭에 의해 접속형성을 하기 위해, 층간절연막(112)은 큰 선택율을 갖는 에칭상태하에서 층간절연막(152')에 에칭되며, 상기 층간절염막(152')은 다른 에칭물로 에칭될 수 있다.

상술한 6 내지 실시예 8에서는 게이트전극(108, 114)은 소자분리절연막(152)을 경유하지 않고 이전에 형성된 소자분리절연막(103)을 경유하기 때문에, 게이트전압의 적용에 의해 야기되는 소자분리의 감소는 층간절연막(152)에서는 작다. 따라서, 소자분리절연막(152)의 펀치스로우 내압은 소자분리절연막(103)의 내압보다 작게 작성될 수 있으며, 소자분리를 위해 소자분리절연막(152)의 폭은 소자분리막(103)의 폭보다 작게 작성될 수 있다.

[실시예 9]

제68도는 본 발명의 실시예 9에 따른 DRAM셀어레이를 나타낸 평면도이며, 제69도 내지 제72도는 제68도의 선 69-69, 70-70, 71-71 및 72-72에 따라 각기 절단한 횡단면도이다.

실시예 9는 근본적으로 실시예 8과 동일하나, 실시예 9는 소자분리절연막(103)이 미리 형성되지 않은 점이 실시예 8과 다르다.

특히, 실시예 9에서는 소자분리절연막(152)이 형성되기 전에, 예컨대 보론이 펀치스로우 스토퍼를 형성하기 위해 100keV상태하에 기판에 깊이 이온주입되며, 이온주입영역은 소자분리절연막(152)간에 서로 접속됨으로써, 셀간에 누설을 방지할 수 있게 된다.

층간절연막(152')을 에칭한 후, 에칭된 층간절연막(152')은 예컨대 H_2O상태하에서 빠른 확산을 하는 산화물로 산화된다. 따라서, 제73도에 나타낸 바와 같이 게이트산화막(107)의 산화는 산화막을 두껍게 하기 위해 그측면으로부터 진행되며, 게이트전극을 공급할 때 펀치스로우 내압이 향상된다. 제73도는 제70도의 일부분에 해당하는 횡단면도이다.

실시예 9에서는 소자분리막이 LOCOS에 의해 미리 형성될 필요가 없으며, 게이트를 패터닝할 때, 두꺼운 소자분리절연막에 의한 단차에 영향받지 않기 때문에, 양호한 형태의 게이트전극이 형성될 수 있으며, 트랜지스터의 특성이 균일하게 유지될 수 있다. 또한, LOCOS 소자분리절연막을 형성하는 단계는 생략될 수 있다.

상술한 실시예 6 내지 실시예 9에서는 캐패시터절연막(116) 및 플레이트전극(118)은 비트선(113)과 실리콘기판(102)간에 샌드위치된 영역에서 형성된다(즉, 비트선의 측벽상에).

이 때문에, 모든 적층형 캐패시터가 비트선상에 형성된 종래의 구조와 비교하면, 적층형 캐패시터 축적노드전극(117)은 확대될 수 있으며, 메모리셀영역은 더 감소할 수 있다.

[실시예 10]

제74도는 본 발명의 실시예 10에 따라 2셀마다 1비트 선접속이 형성된 폴디드 비트선시스탬의 DRAM셀어레이에 대한 평면도이다. 제75도는 제74도의 선 75-75에 따라 절단한 횡단면도이다.

제76도 내지 제78도는 제75도와 동일한 단면인 실시예 10에 따른 DRAM셀어레이의 제조방법을 단계적으로 나타낸 횡단면도이다.

실시예 10에서는 적층형 캐패시터 축적노드전극(117)이 비트선하에 형성되며, 적층형 캐패시터 축적노드전극(117)과 n형 확산층(109)간의 접속은 실시예 6 내지 실시예 9에 비해서 보다 용이하게 실현될 수 있게 된다.

실시예 10의 제조방법은 제76도에 나타낸 게이트측벽절연막(112')이 형성될 때까지는 실시예 9와 동일하다.

제77도에 나타낸 바와 같이, 적층형 캐패시터 축적노드전극(117)으로 이용되는 절연막 예컨대 다결정실리콘막은 전면상에 퇴적된다. 이 후, 다결정실리콘막의 저항은 예컨대 As 이온주입에 의해 감소된 후, 상층절연막(147)이 형성된다.

이 때, 다결정실리콘막은 레지스터(146)를 이용한 리소그래피 및 반응성 이온에칭에 의해 처리됨으로써, 적층형 캐패시터 축적노드전극(117)이 형성된다. 이 후, 보론과 같은 p형 불순물이 펀치스로우 방지영역(145)을 형성하기 위해 전면에 형성되며, 주입된 영역은 제74도의 점선에 의해 나타낸 바와 같이 게이트전극(108)하에서도 서로 접속된다.

이 때, 산화방지막(143)으로 이용되는 실리콘질화막은 약 10nm의 두께를 갖는 전면상에 퇴적된다. 이 후, 이방성에칭에 의해 실리콘질화막이 처리되며, 실리콘질화막으로 형성된 산화방지막(143)이 제78도에 나타낸 측벽상에 남게 된다.

다음 단계는 나타내지 않았지만, 소자분리절연막(152)은 산화에 의해 캐패시터전극(117)의 절연홈 저면상에 형성된다. 이 후, 산화방지막(143)이 제거되기 위해 에칭되고, 레지스트는 전면상에 노출되며, 전면이 노출된다. 이로 인해, 레지스트는 적층형 캐패시터 축적노드전극(117)의 절연홈 저면(측벽 아래부분)상에 남게 된다. 이 때, 적층형 캐패시터 축적노드전극(117) 하부의 상층절연막(147) 및 소자분리절연막(152)은 에칭에 의해 제거된다.

이 때, 레지스트는 회화되고, 이 후 캐패시터절연막(116)은 전면상에 퇴적되며, 플레이트전극(118) 및 상층의 배선층이 처리됨으로써, 제75도에 나타낸 바와 같이 메모리셀어레이가 완성된다.

이와 같은 경우에, 캐패시터절연막(116)은 예컨대 실리콘산화막의 적층막/실리콘질화막/실리콘산화막(실효 막두께 : 10nm)으로 사용된다. 또한, 플레이트전극(118)으로 As 이온주입에 의해 감소되는 다결정실리콘막의 저항이 사용된다. 레지스트가 회화된 후 플레이트전극(118)과 실리콘기판(101)간의 전기적 절연을 향상시키기 위하여, 예컨대 BPSG로 형성된 절연막은 에치백된 적층형 캐패시터 축적노드전극(117)의 깊은 홈부(측벽사이의 부분)에 퇴적됨으로써, 절연막이 배선된다.

[실시예 11]

제79도는 본 발명의 실시예 11에 따른 2-셀 1-비트선 접속형 DRAM 셀어레이 반도체층/절연층의 적층구조를 갖는 DRAM의 셀어레이를 나타낸 평면도이다. 제80도, 제81도 및 제82도는 제79도의 80-80, 81-81 및 82-82에 따라 절단한 횡단면도이며, 제83도 내지 제92도는 실시예 11에 따른 DRAM 셀어레이의 제조단계를 순서대로 나타낸 도면이다.

실시예 11은 근본적으로 실시예 6과 동일하나, 실시예 11은 실시예 6에 따른 반도체기판(101)이 베이스플레이트(170)와 반도체막(172)상에 형성된 절연층(171)의 적층구조를 갖기 위해 형성되는 점이 실시예 6과 다르다. 실시예 11에서는 절연층을 사용함으로써, n형 확산층(109)과 반도체막(172)의 접합영역이 축소되며, 접합 누설전류가 감소함으로써, 접합공핍층에 순간적인 라디에이션으로 인해 유발되는 가벼운 에러가 감소될 수 있다. 또한, 반도체막(172)의 유전상수보다 낮은 절연층(171)의 유전상수를 사용함으로써, n형 확산층(109)의 접합용량은 감소될 수 있다.

이하, 제83도 내지 제92도를 참조하여 실시예 11에 따른 메모리셀의 제조공정을 설명하기로 한다. 제83도 및 제84도는 제1단계 제조공정을 나타낸다.

우선, 반도체층(172)을 갖는 기판이 작성되며, 절연층(171)이 그 표면상에 적층된다. 상기 기판으로는 산화된 이온이 주입되며, 절연층(171)이 Si에 형성되는 SIMOX기판이 사용될 수 있다. 또한, 2개의 반도체웨이퍼가 산화막을 샌드위치하기 위해 본딩되고, 적어도 하나의 기판이 세정된 소위 본딩된 SOI기판도 사용될 수 있다. 반도체층(172)으로 10 내지 500nm의 두께를 갖는 Si층이 사용되며, 절연층(172)으로는 50 내지 5000nm의 두께를 갖는 실리콘산화막층이 사용된다.

다음에, 제83도에 나타낸 바와 같이 실리콘산화막으로 형성된 소자분리절연막(103)이 LOCOS에 의해 반도체막(172)상에 형성된다. 이와 같은 경우에, 소자분리절연막(103)은 깊은 접속 절연층(171)을 갖기 위해 형성된다.

이 때, 공정은 제85도 내지 제88도에 나타낸 바와 같이 제2단계로 진행하며, 게이트전극 및 비트선(113)은 실시예 6과 동일한 방법으로 형성된다 비트선(113)은 리소그래피 및 반응성 이온에칭에 따른 비트선(113) 패턴에 기초하여 층간절연막(152), 다결정실리콘막(113) 및 층간절연막(112)을 처리함으로써, 뱅크형 절연막(112)상에 형성된다.

이 때, 공정은 제89도 내지 제94도에 나타낸 바와 같이 제3단계로 진행한다. 우선, 예컨대 절연막(144)으로 이용되는 실리콘질화막은 기판의 전면상에 퇴적된다. 이 때, 절연막(144)은 비트선(113)이 이방성 에칭에 의해 형성된 뱅크의 측벽상에 남게 됨으로써, 비트선의 측벽절연막이 형성되며, 반도체막상에 형성된 절연막(119)(도시되지 않았음)이 에칭된다. 절연막(144) 및 층간절연막(152)은 비트선(113)을 둘러싸기 위해 형성됨으로써, 적층형 캐패시터 축적노드전극(117)으로부터의 전기적 절연은 용이하게 유지될 수 있다. 또한, 비트선(113)의 측벽이 측벽절연막(144) 또는 다른 것을 형성하는 선행공정에 따라 절연막을 형성하기 위해 약 20nm로 산화된다.

이 때, 축적노드전극재료로서 예컨대 다결정실리콘막은 전면상에 퇴적되며, As는 예컨대 그 위에 주입됨으로써, 저항은 감소한다. 또한, 리소그래피 또는 반응성 이온에칭에 의해 적층형 캐패시터 축적노드전극(117)이 처리됨으로써, 트랜지스터확산영역(109)에 이르는 홈은 에칭에 의해 형성된다(제91도).

또한, 축적노드전극은 예컨대 20nm로 산화됨으로써, 소자분리막(152)이 형성된다. 산화막의 두께는 적층형 캐패시터 축적노드전극(117)과 확산층(109)간에 접속을 유지하기 위해 설정될 필요가 있다. 산화를 대신하여, 예컨대 산화이온은 산화막영역을 형성하기 위해 주입될 수 있다. 또한, 예컨대 레지스트가 전면에 제공되고, 전면이 노출됨으로써, 레지스트는 적층형 캐패시터 전극사이에 형성된 깊은 홈의 저면에 남게되며, 축적노드전극 상부의 소자분리막(152)이 에칭에 의해 제거된다. 상기 제거직후의 상태는 제93도 및 제94도의 횡단면도에 나타나며, 상기 형태는 각기 제91도 및 제92도에 해당한다.

다음 단계는 도면에 나타나지 않았지만, 캐패시터절연막(116)은 전면상에 퇴적되며, 플레이트(118) 및 상층의 배선층이 처리됨으로써, DRAM이 완성된다. 캐패시터절연막(116)은 예컨대 실리콘산화막의 적층막/실리콘질화막/실리콘산화막(실효 막두께 : 10nm)으로서 사용된다. 또한, 플레이트전극(118)은 예컨대 다결정실리콘으로 형성되며, 다결정실리콘막의 저항은 예컨대 비소(As)의 이온주입에 의해 감소한다.

본 발명의 적층형 캐패시터를 사용한 반도체 기억장치의 제조방법은 상술한 실시예 6 내지 실시예 11에 한정되는 것은 아니다.

상술한 실시예 6 내지 실시예 11은 다른 메모리셀형성방법을 기술하거나, 상기 방법은 NAND형 DRAM, 폴디드 비트선시스탬의 DRAM 및 3개의 메모리셀마다 비트선을 통과하는 2개의 DRAM중 어느것에 적용될 수 있다.

또한, 상술한 실시예 6 내지 실시예 11에서는 플레이트전극이 파일되는 방향에서축적노드전극간의 거리가 일정한 구조를 기술한다. 그러나, 축적노드전극이 반응성 이온에칭에 의해 상부로부터 처리되는 방법을 사용함으로써, 축적노드전극간의 거리가 상부방향(파일업방향)에서 더 넓은 구조가 제공된다. 예컨대, 상기 방법이 실시예 6에 적용된다면, 비트선에 수직인 표면의 횡단면도는 제95도에 나타나며, 상기 도면은 제57도의 횡단면도에 해당한다.

또한, 상술한 실시예 6 내지 실시예 11은 소자분리절연막을 형성하기 위한 방법으로 열산화에 의한 산화막형성방법을 나타낸다. 그러나, 산화막은 30keV의 낮은 가속에너지상태하에서 산화이온주입을 함으로써 형성된다. 또는, 산화막은 절연막을 퇴적하기 위한 방법에 의해 형성되거나, 또는 상기 방법이 결합될 수도 있다.

소자분리절연막형성방법으로는 상술한 방법보다는 실리콘을 실리콘산화막 또는 실리콘질화막에 전송하기 위한 다른 방법이 사용될 수 있다.

또한, 전기적 절연막영역의 작성후 공정으로는 실리콘산화막이 퇴적되며, 실리콘산화막이 새로운 실리콘산화막을 더 퇴적하기 위해 이방성 에칭에 의해 에칭되는 충분한 내압을 갖도록 절연막의 두께를 유지하기 위한 공정이 부가된다. 실리콘질화막, 강유전막, 상유전체 또는 상기 막의 합성막 같은 단일층막이 실리콘산화막을 대신하여 절연막 및 캐패시터절연막(116)으로 사용될 수 있다.

특히, 디탄탈륨 펜타옥사이드(Ta_2O_5), 스트론튬 티타닛($SrTiO_3$) 또는 바륨 스트론튬 티타닛($BaSrTiO_3$)이 캐패시터절연막을 위해 사용될 수 있다.

또한, 실리콘산화막, 상유전체막 또는 상기 막의 합성막 같은 단층막이 실리콘질화막을 대신하여 절연막(112')으로 사용될 수 있다.

상술한 실시예 6 내지 실시예 11에서는 소자분리절연막(103)으로 LOCOS소자분리막을 사용한 예를 나타냈으나, 트렌치분리의 소자분리 또는 필드쉴드분리가 리세스된 LOCOS방법 또는 개선된 LOCOS방법으로 사용될 수 있으며, 또한 상기 방법을 결합하여 사용될 수도 있다.

또한, 별도의 마스크를 사용하여 작성된 소자분리절연막이 비트선접속간의 분리, 필드쉴드분리(게이트전극(114)) 및 트랜지스터영역의 분리부에서 사용될 수 있다.

실시예 9에서는 캐스캐이드에 접속된 트렌치의 수가 복수의 트렌치로 설정될 수 있으며, 8개의 메모리셀마다 1비트의 선접속이 항상 필요한 것은 아니다.

상술한 실시예 6 내지 실시예 11은 단순한 모양의 적층형 캐패시터전극(117)을 나타냈으나, 표면영역이 증가된 소위 핀형 또는 크라운형의 적층형 캐패시터전극이 사용될 수 있다.

또한, 표면이 표면영역을 증가시킴에 따라 거칠어진 셀구조를 사용할 수도 있다. 또한, 만약, 소자분리절연막(152)이 적층형 캐패시터전극의 패턴에 의해 형성될 수 있다면, 소정의 캐패시터모양이 사용될 수 있다.

또한, 고불순물농도를 갖는 p형 실리콘기판(101)을 대신하여 n형 실리콘기판이 셀어레이영역내에 p형 웰을 형성하기 위해 사용된다.

상술한 실시예 6 내지 실시예 11에서는 적층형 캐패시터 축적노드전극(117), 플레이트전극(118) 및 비트선(113)에 비소이 이온주입된 다결정실리콘막이 사용되거나, 상기 비소은 AsSG를 사용하여 고체-위상-확산될 수도 있다. 또한, 비소이 막이 형성됨과 동시에 도핑되는 소위 도핑된 다결정실리콘막이 사용될 수도 있다. 또는, 상기 비소을 대신하여 인산이 동일한 방법으로 도핑될 수도 있다. 또한, 적층형 캐패시터 축적노드전극(117), 플레이트전극(118) 및 비트선(113)은 보론이 도핑된 p형으로 작성될 수 있다.

또한, 다결정실리콘외에 적층형 캐패시터 축적노드전극(117), 플레이트전극(118) 및 비트선(113)의 재료로서 단결정실리콘, 포로스실리콘, 비정질실리콘, W, Ta, Ti, Hf, Co, Pt, Pd같은 금속 또는 이것의 실리사이드가 사용될 수 있다. 또한, 상기 재료로 적층된 구조가 사용될 수 있다.

상술한 실시예 6 내지 실시예 9 및 실시예 11에서는 하나의 축적노드전극마다 2개의 접속이 비트선 양면

상의 적층형 캐패시터 축적노드전극(117)과 n형 확산층(109)사이에 제공된 구조가 나타냈으나, 또다른 접속이 제공될 수도 있다.

상술한 실시예 6 내지 실시예 10에서는 n채널 MOS트랜지스터가 사용될 수 있으나, p채널 MOS트랜지스터가 사용될 수도 있다.

상술한 바와 같이 본 발명에 따르면, 비록 메모리셀이 미세화되더라도, 축적노드전극 및 소자분리절연막이 서로 불량정합되지 않는 적층형 캐패시터가 획득될 수 있다. 따라서, 종래보다 더 높은 집적도 및 더 높은 신뢰도를 갖는 반도체 기억장치를 구현할 수 있다.

본 발명의 다른 장점 및 변형이 있을 수 있음은 당 분야에 숙련된 지식을 가진 자에게는 명백하다. 따라서, 넓은 측면에서 본 발명은 본 명세서에서의 실시예와 도면 및 대표적인 장치에 한정되지만은 않는다. 따라서, 청구범위에 기재된 본 발명이 추구하는 범주를 벗어나지 않는 다양한 변형이 있을 수 있다.

(57) 청구의 범위

청구항 1

주표면상에 선택적으로 형성된 복수의 트렌치를 갖춘 반도체기판과; 상기 복수의 트렌치에 형성되고, 상기 반도체기판의 형태로 되며, 캐패시터 절연막이 상기 각 트렌치의 표면상에 형성되고, 축적노드전극이 상기 캐패시터 절연막을 사이에 두고 상기 각 트렌치에 매립된 복수의 캐패시터; 상기 복수의 트렌치형 캐패시터와 관련하여 복수의 메모리셀을 형성하기 위해 상기 반도체기판의 주표면상에 형성되고, 게이트 절연막을 사이에 두고 반도체기판상에 형성된 게이트전극과, 이 게이트전극의 양측상의 상기 반도체기판에 형성된 소오스 및 드레인영역을 각각 갖춘 복수의 트랜지스터; 상기 트렌치의 주위를 에워싸도록 복수의 트렌치의 상부의 측면상에 각각 형성되고, 상기 트랜지스터중 적어도 하나가 상기 트랜지스터중 다른 하나로부터 전기적으로 절연될 수 있도록 서로 선택적으로 결합된 절연막중 인접하는 하나를 갖춘 복수의 소자분리절연막 및; 상기 복수의 캐패시스터중 대응하는 하나의 축적노드전극과 상기 각 복수의 트랜지스터의 소오스 및 드레인영역중 하나를 각각 접속하는 복수의 도전성 부재를 구비하여 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 복수의 소자분리절연막이 각각 상기 복수의 트렌치의 측면을 따라 형성되고, 상기 측면에 따른 방향에서의 상기 소자분리절연막의 깊이가 상기 측면에 수직 방향에서의 상기 소자분리절연막의 두께보다 더 큰 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 각 복수의 소자분리절연막이 2층절연막으로 형성된 것을 특징으로 하는 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 2층절연막은 상기 2층절연막중 한 층이 상기 표면을 따라 상기 각 트렌치의 내측에 형성되고, 다른 한층이 상기 표면을 따라 각 트렌치의 외측면에 적어도 부분적으로 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제1항에 있어서, 상기 복수의 트렌치가 행 및 열로 배치되고, 상기 트렌치에 형성된 상기 소자분리절연막이 복수의 소자분리영역을 형성하기 위해 상기 열방향으로 서로 결합된 것을 특징으로 하는 반도체 기억장치.

청구항 6

제5항에 있어서, 상기 복수의 트랜지스터가 상기 복수의 소자분리영역중 인접한 2개에 의해 샌드위치된 영역에 형성되고, 상기 트랜지스터중 인접하는 하나는 상기 소오스 및 드레인영역중 하나를 공통으로 이용하여 복수의 트랜지스터가 캐스캐이드로 접속되도록 하는 것을 특징으로 하는 반도체 기억장치.

청구항 7

반도체기판상에 복수의 제1트렌치를 선택적으로 형성하는 단계와; 상기 기판상에 복수의 소자분리절연막을 형성하도록 상기 복수의 제1트렌치 상부의 측면의 상기 기판을 산화함으로써 상기 소자분리절연막에 의해 분리된 복수의 소자형성영역을 형성하기 위해 상기 트렌치중 인접하는 하나에 대응하는 상기 소자분리절연막을 선택적으로 결합하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 8

제7항에 있어서, 복수의 캐패시터를 형성하기 위해 각각 캐패시터절연막을 사이에 두고 상기 복수의 제1트렌치에 축적노드전극을 형성하는 단계와; 게이트절연막을 사이에 두고 형성된 게이트전극과, 상기 복수의 소자형성영역에서 각각 상기 게이트전극 양측면상의 상기 반도체기판에 형성된 소오스 및 드레인영역을 갖는 복수의 트랜지스터를 형성하는 단계 및; 상기 축적노드전극을 대응되게 상기 트랜지스터의 상기 소오스 및 드레인영역에 접속시키기 위한 복수의 도전성 부재를 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 9

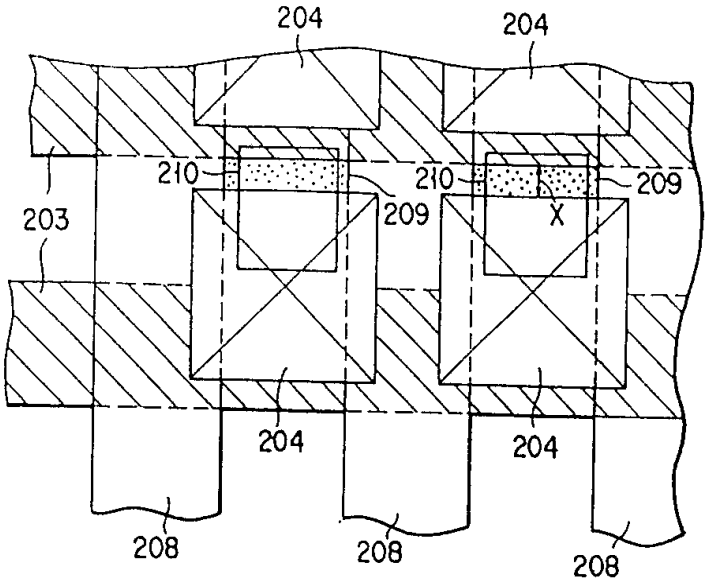
제7항에 있어서, 상기 복수의 소자분리절연막을 형성하는 단계가 상기 제1트렌치의 모든 내면을 산화한 후, 상기 각 제1트렌치의 저면을 개방함으로써 제2트렌치를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 10

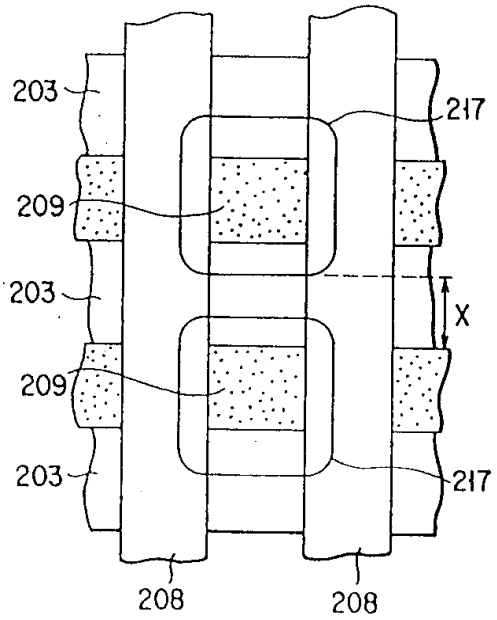
제8항에 있어서, 상기 복수의 캐패시터를 형성하는 상기 단계 이후에, 상기 복수의 제1트렌치 상부의 축적노드전극 및 상기 캐패시터절연막을 소정의 깊이로 각각 에치백하는 단계와; 각각 상기 에치백단계에 의해 형성된 요부에 상층절연막을 매립하는 단계 및; 각각 상기 트렌치의 내면을 따라 제2소자분리절연막을 형성하기 위해 상기 상층절연막에 개구를 각각 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

도면

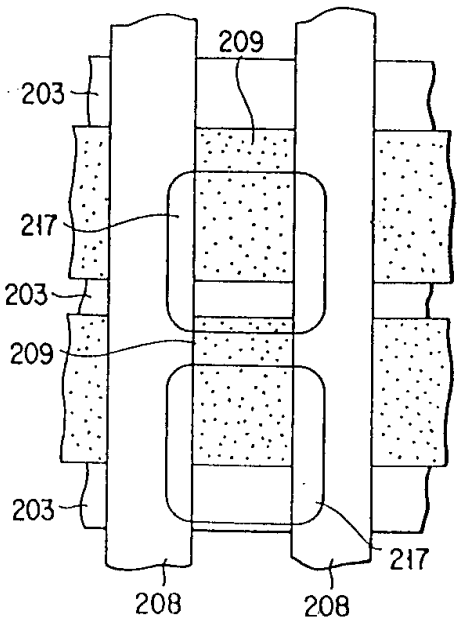
도면1



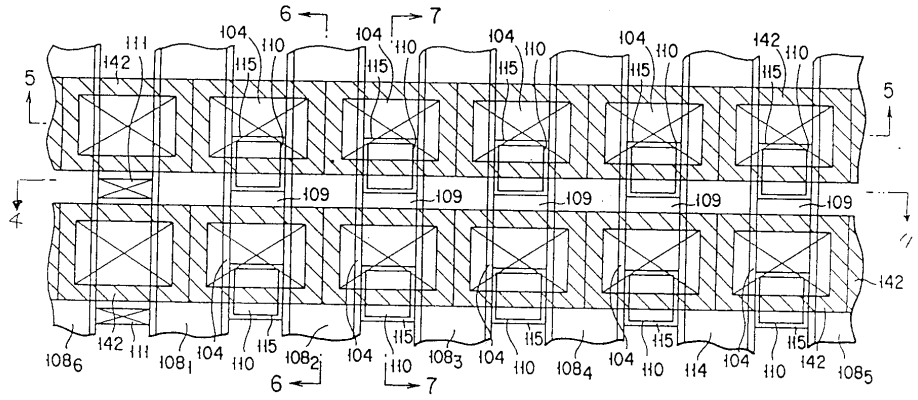
도면2a



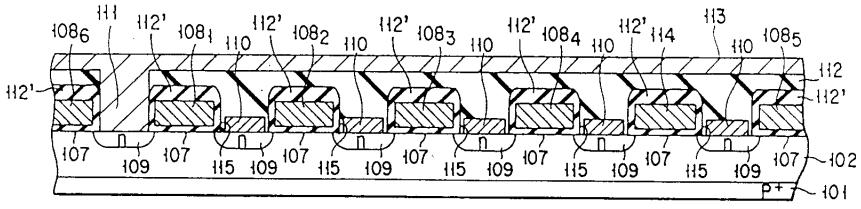
도면2b


209
203
217
203
209
203
217
208
208

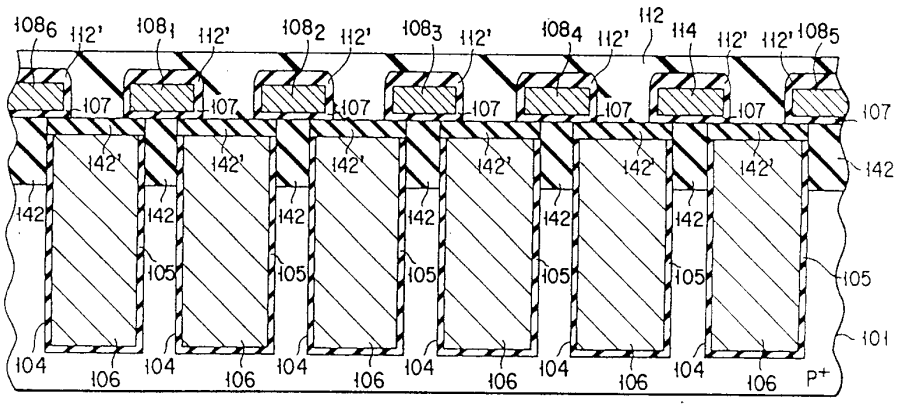
도면3


6
7
5
5
4
111
142
104
110
115
109
142
108₆
108₁
108₂
108₃
108₄
108₅
114

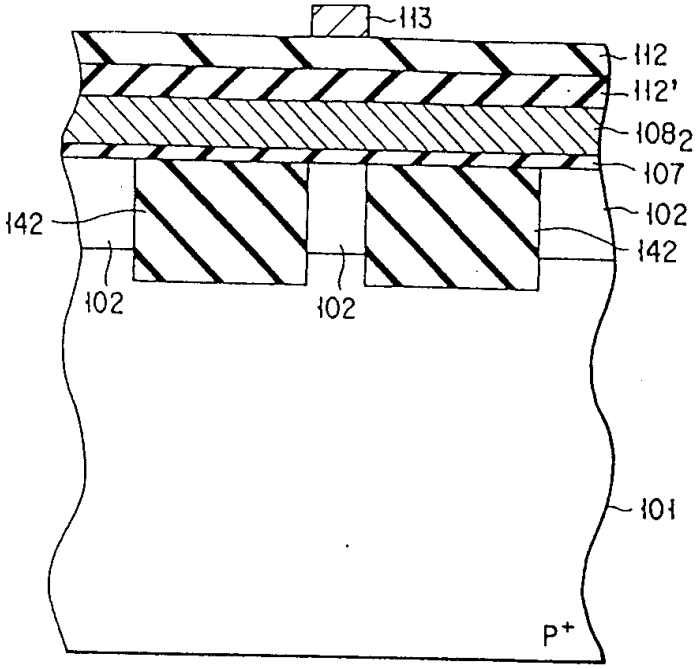
도면4


108₆
111
112'
108₁
108₂
108₃
108₄
114
113
108₅
110
112
107
109
115
102
101
P+

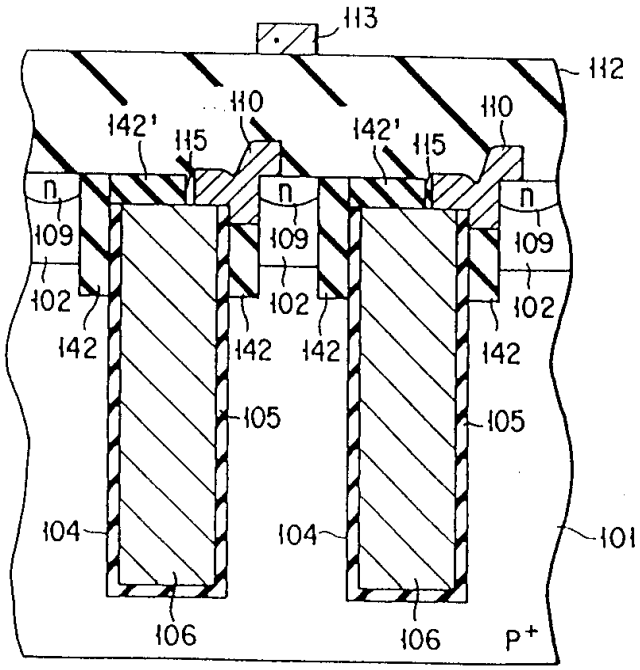
도면5


108₆ 112' 108₁ 112' 108₂ 112' 108₃ 112' 108₄ 112' 112 114 112' 112' 108₅
107
142'
142
105
104
106
101
P+

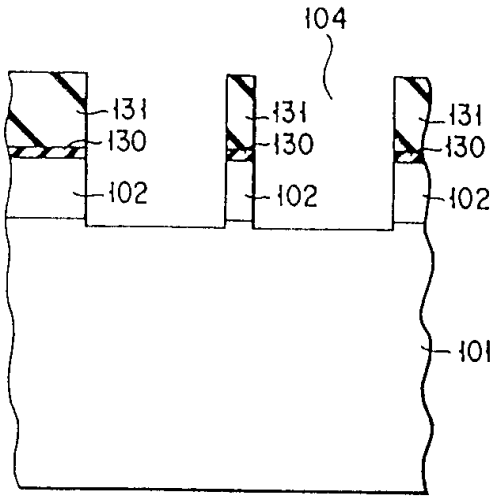
도면6


113
112
112'
108₂
107
102
142
P+

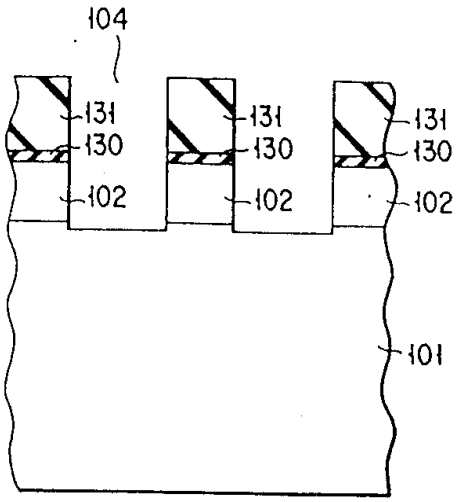
도면7


113
112
110
142'
115
110
142'
115
n
109
102
142
142
105
104
106
n
109
102
142
142
105
104
106
n
109
102
142
105
101
P+

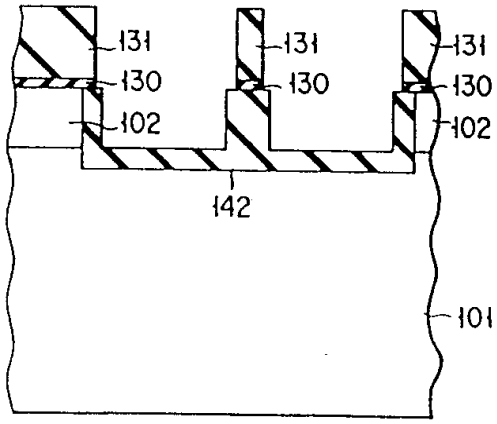
도면8a


104
131
130
102
131
130
102
131
130
102
101

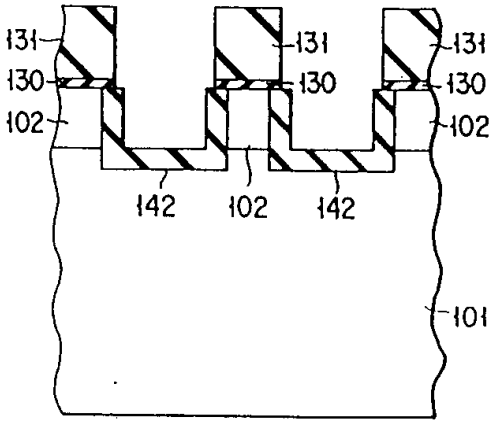
도면8b



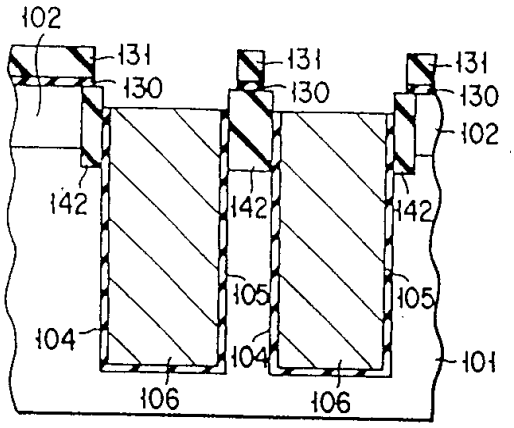
도면9a



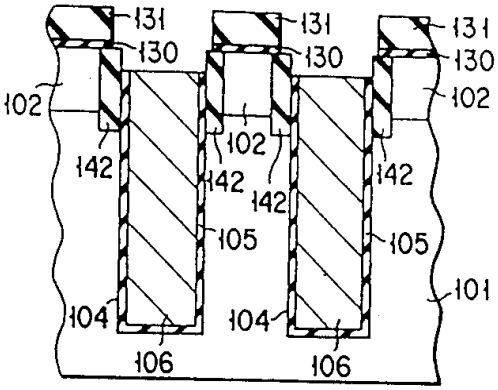
도면9b



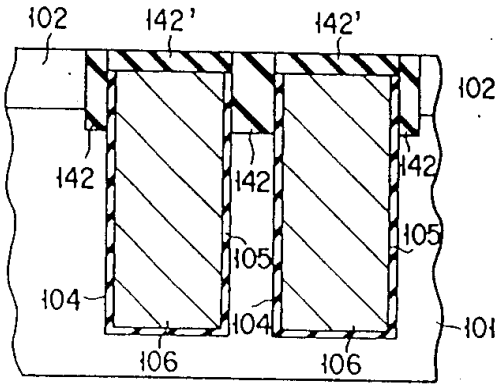
도면10a



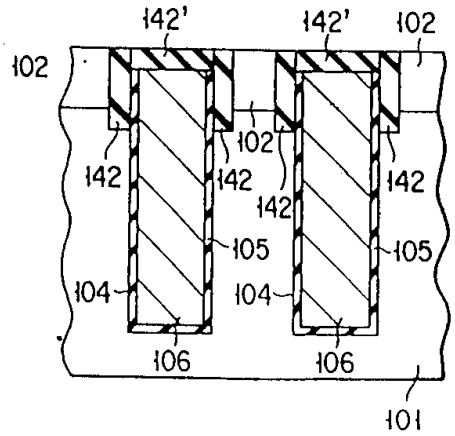
도면10b



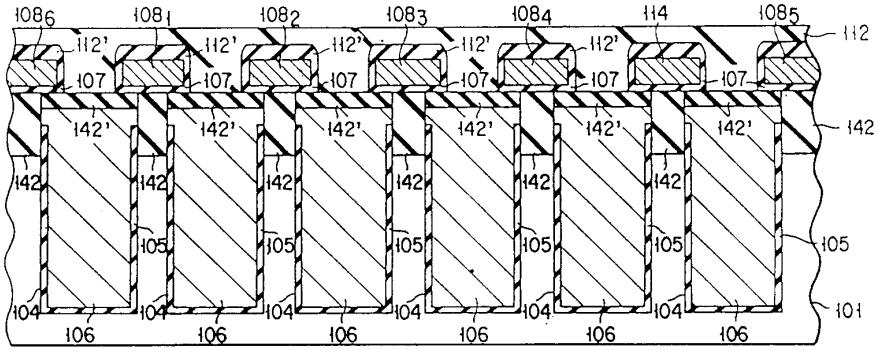
도면11a



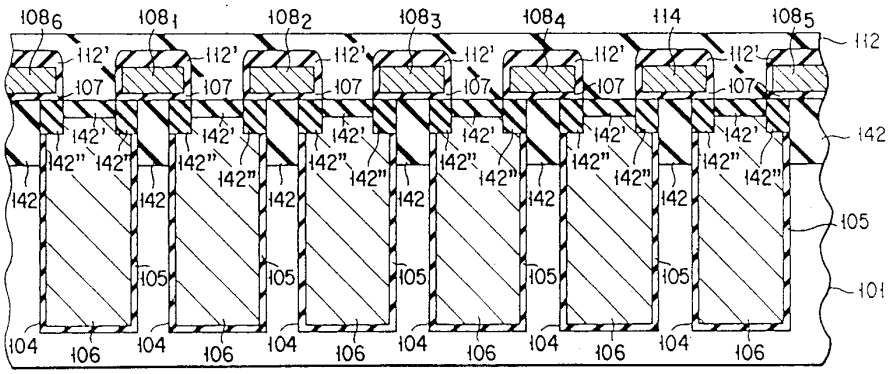
도면11b



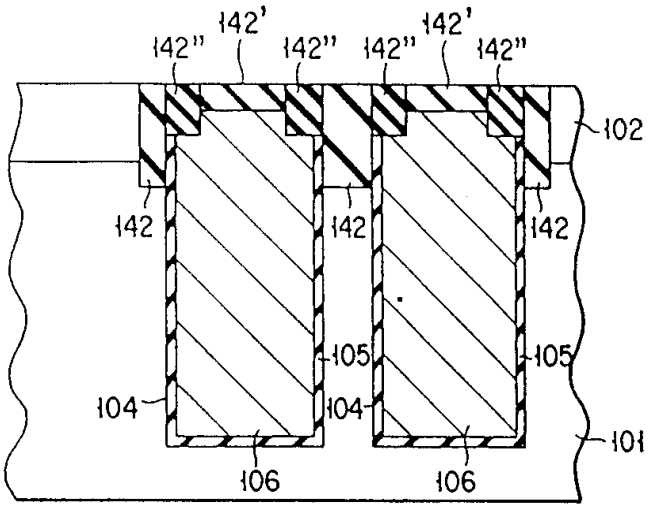
도면12



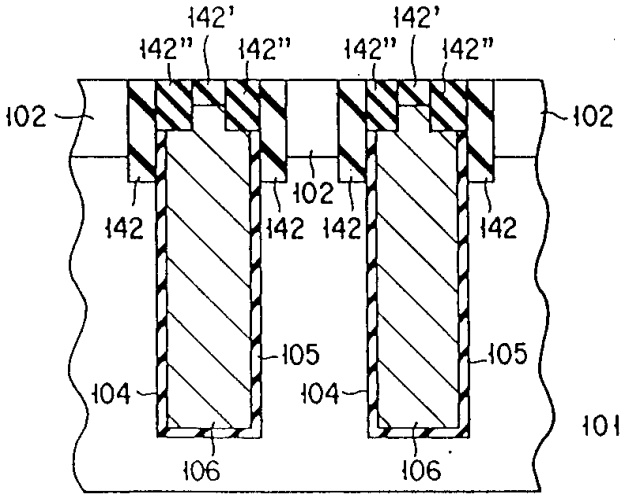
도면13



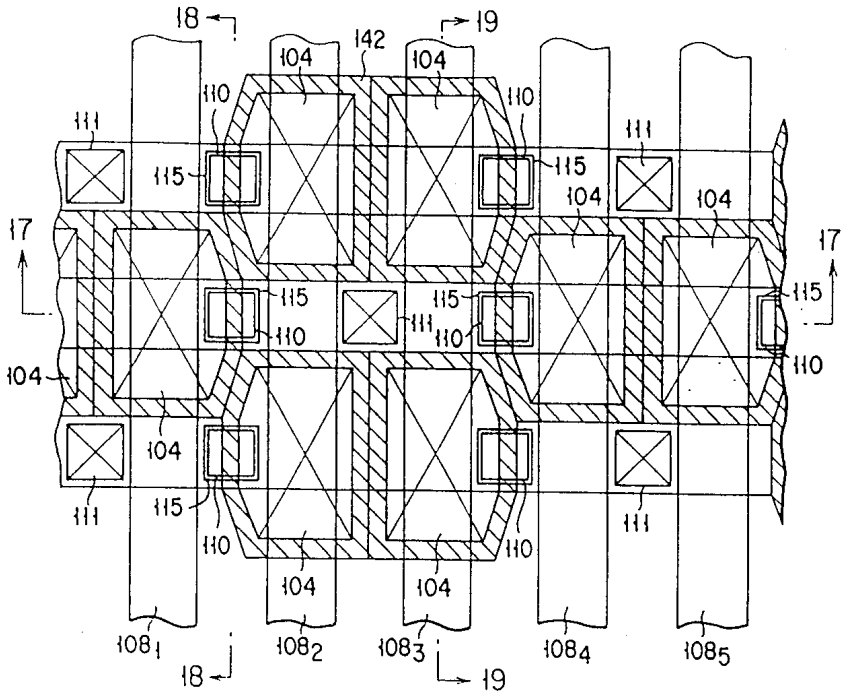
도면14


142'
142"
142"
142"
142'
142"
102
142
142
142
105
105
104
104
101
106
106

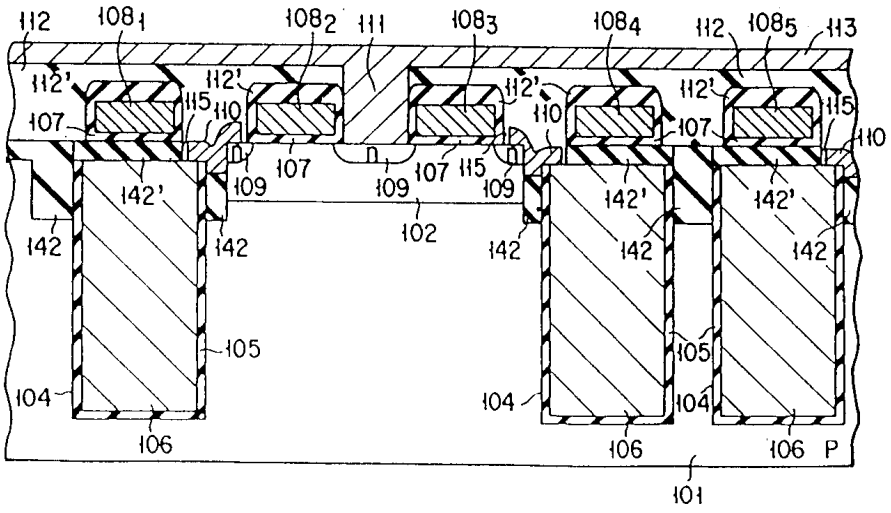
도면15


142'
142"
142"
142"
142'
142"
102
102
102
142
142
142
142
105
105
104
104
101
106
106

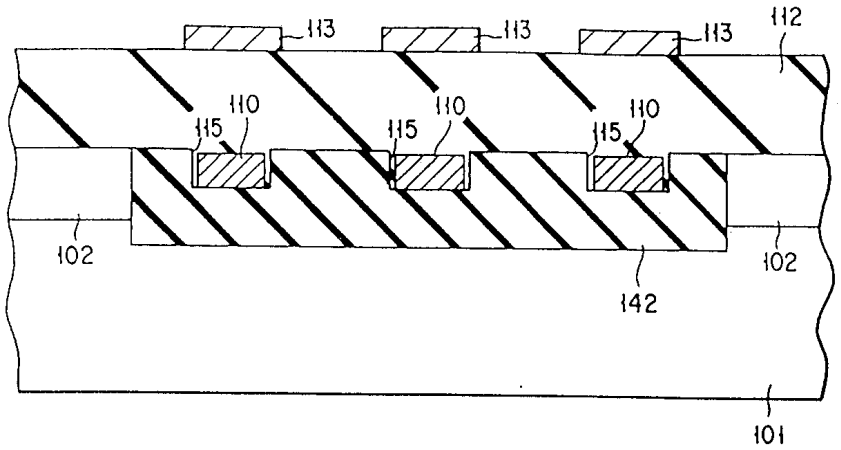
도면16


18
19
142
104
110
111
115
17
1081
1082
1083
1084
1085

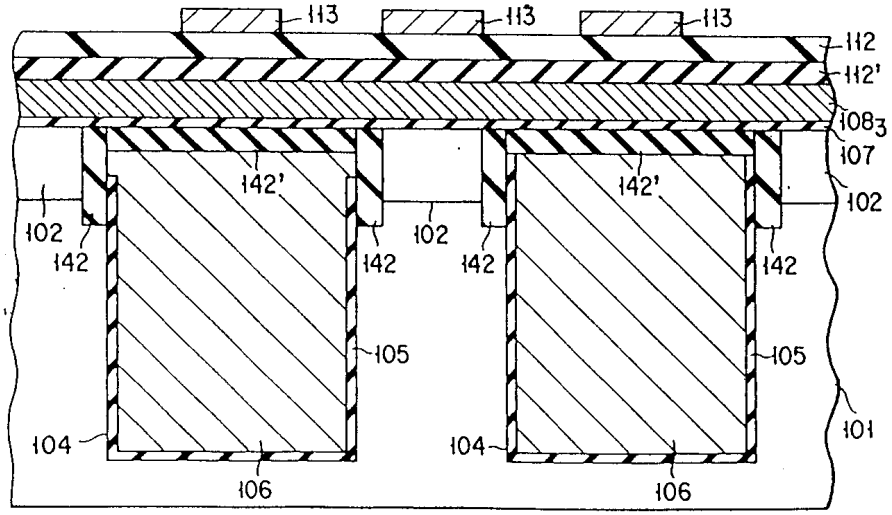
도면17


112
1081
1082
111
1083
1084
1085
113
112'
107
115
110
109
142'
142
102
105
104
106
P
101

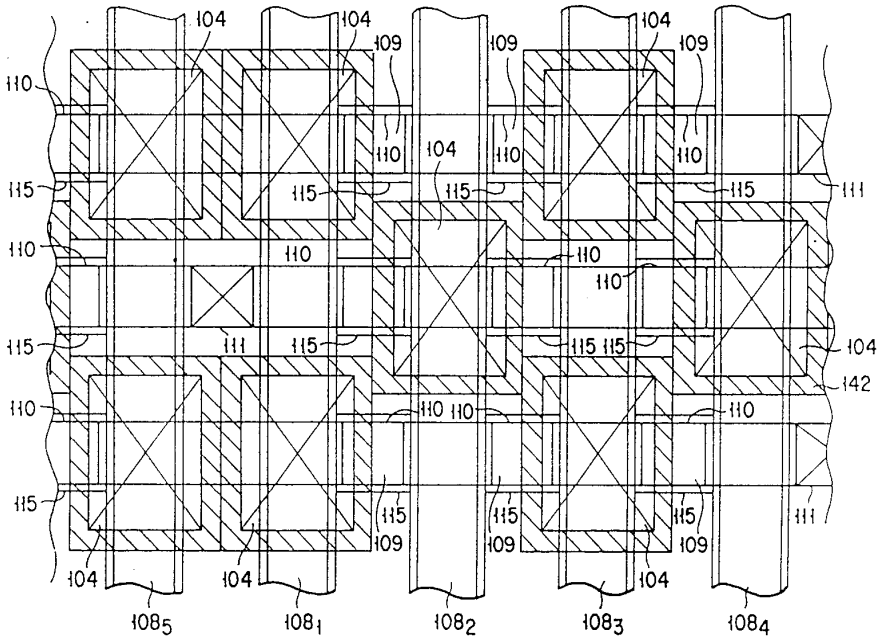
도면18


113
113
113
112
110
110
110
115
115
115
102
102
142
101

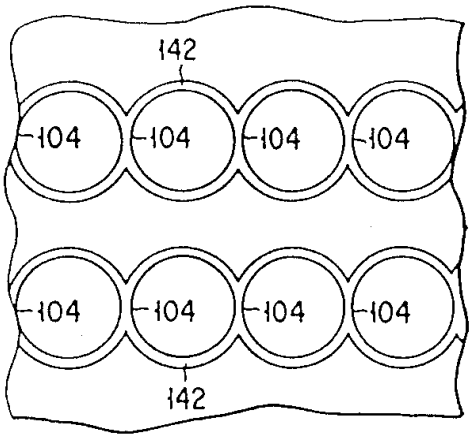
도면19


113
113
113
112
112'
108
107
102
142'
142'
102
102
142
142
142
142
105
105
104
104
106
106
101

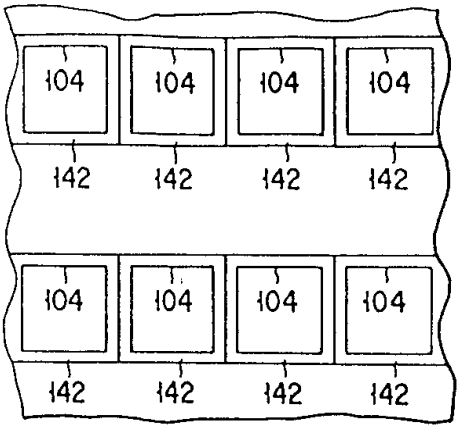
도면20



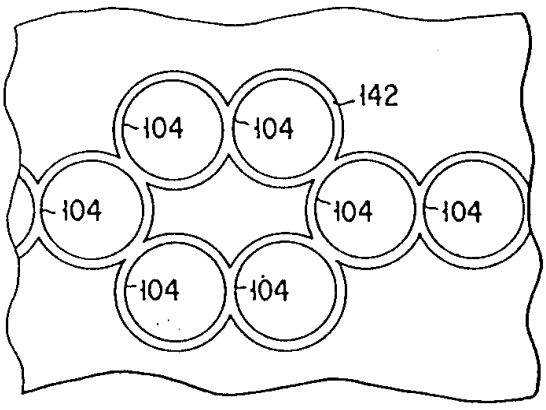
도면21a



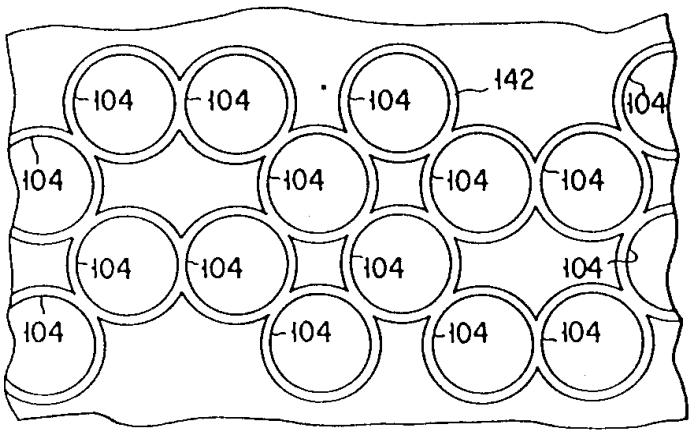
도면21b



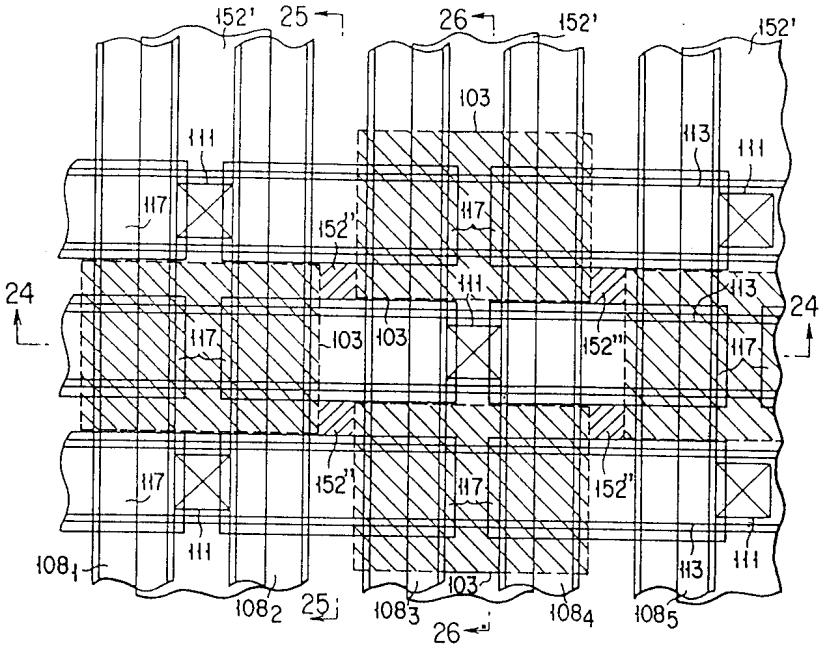
도면22a



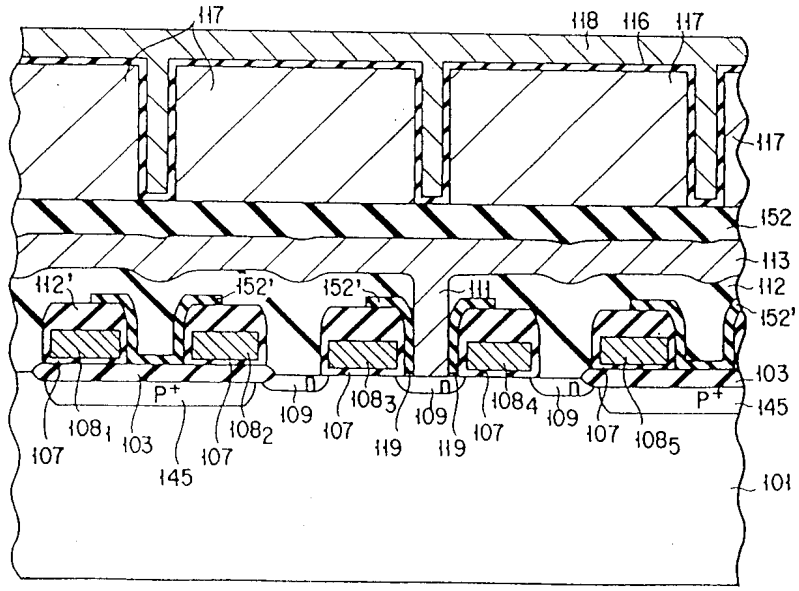
도면22b



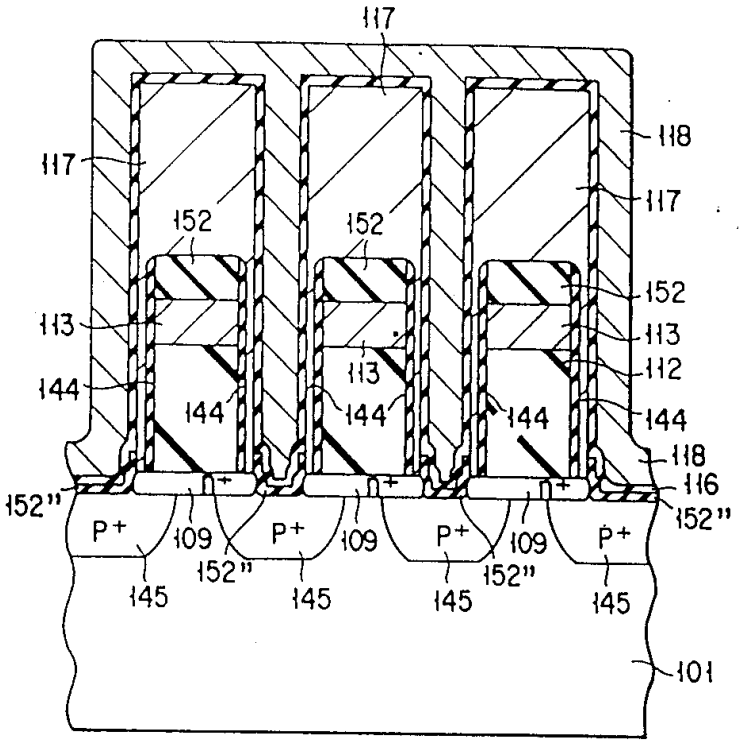
도면23



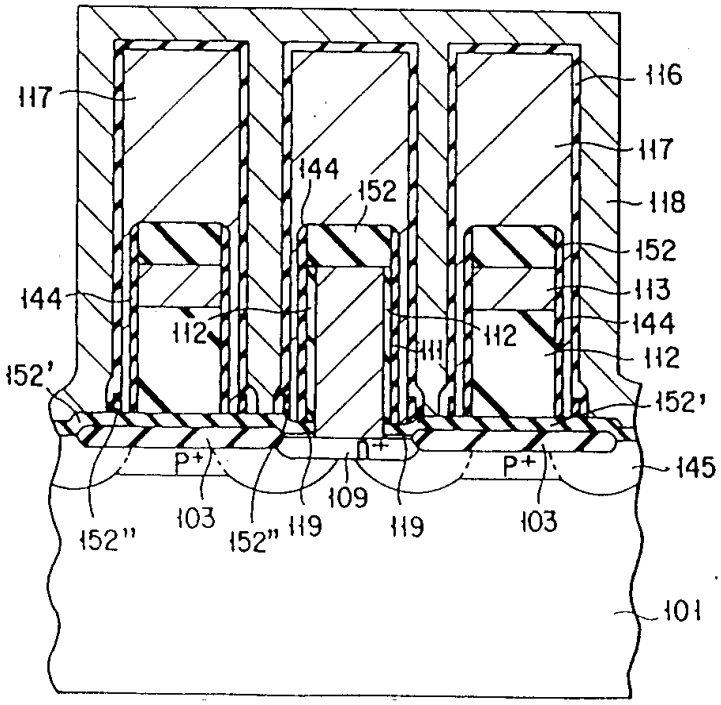
도면24


117
118
116
117
117
152
113
112'
152'
152'
111
112
152'
103
P+
P+
145
108₁
103
108₂
109
107
108₃
109
108₄
109
107
108₅
107
107
145
119
119
101

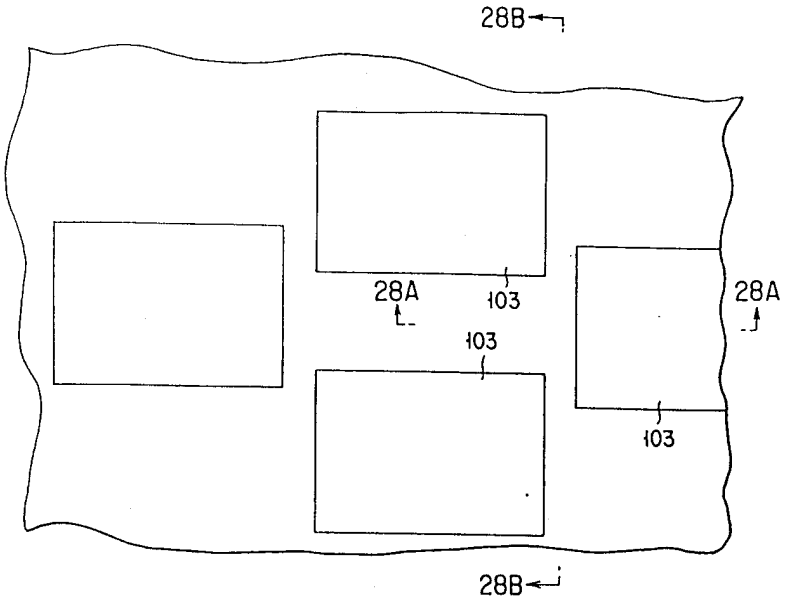
도면25


117
118
117
117
152
152
152
113
113
112
144
144
144
144
144
118
116
152"
152"
P+
109
P+
109
P+
109
P+
152"
152"
145
145
145
145
101

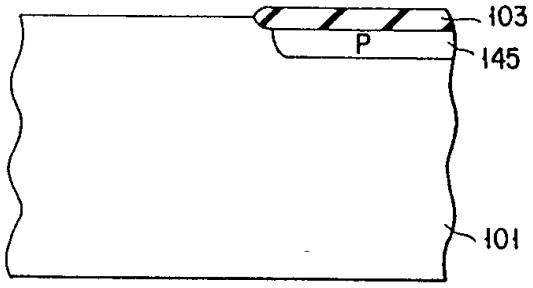
도면26


117
116
144
152
117
118
152
144
113
112
111
112
144
112
152'
112
152'
P+
n+
P+
145
152"
103
152"
119
109
119
103
101

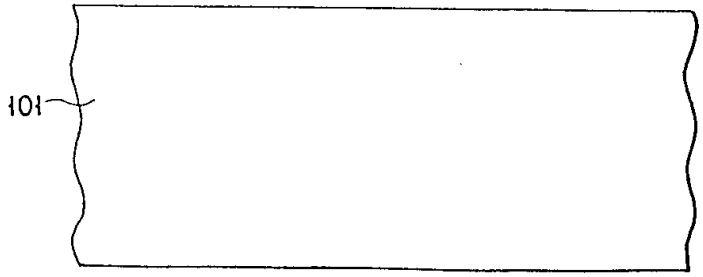
도면27


28B
28A
103
28A
103
103
103
28B

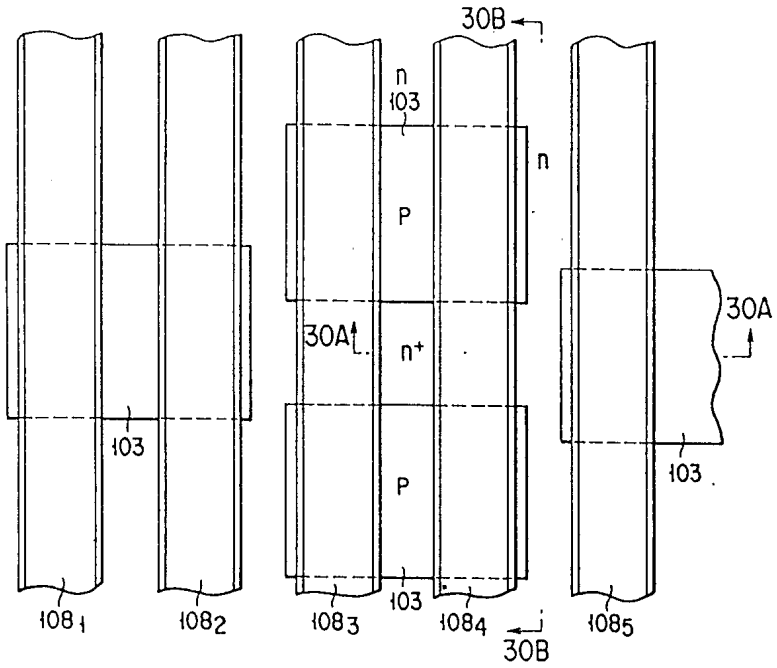
도면28a



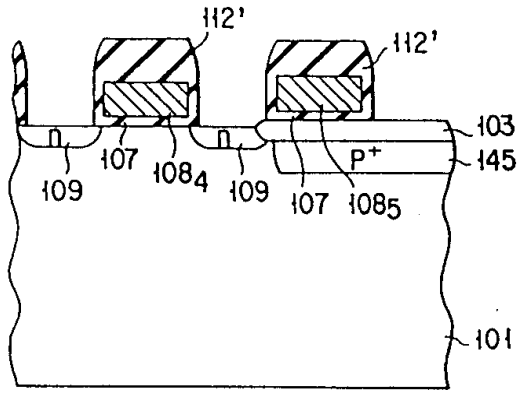
도면28b



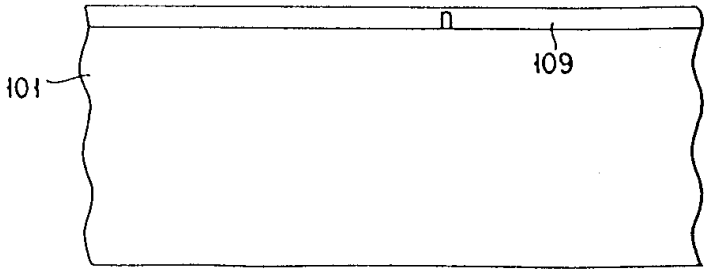
도면29



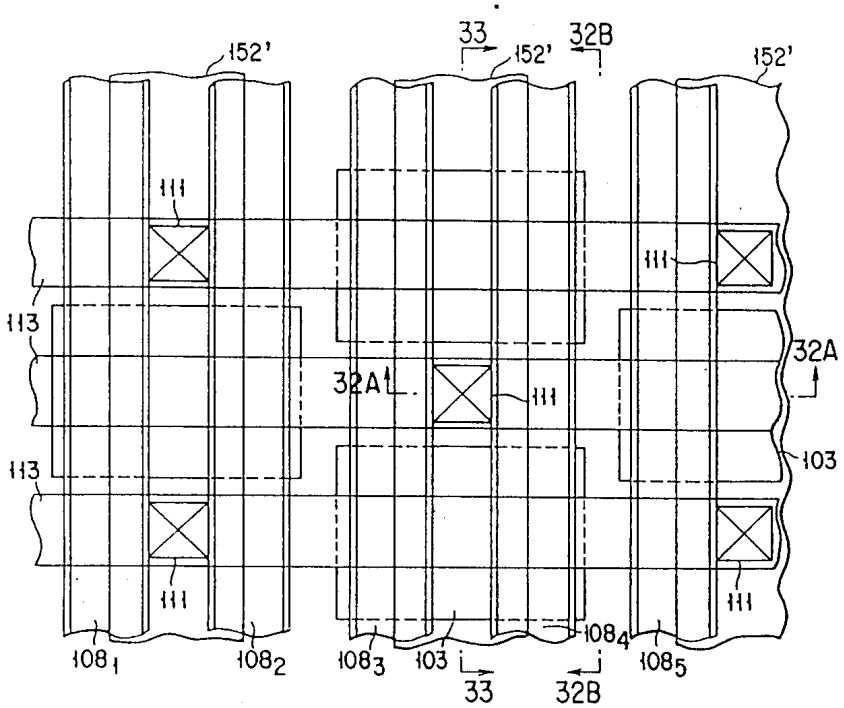
도면30a



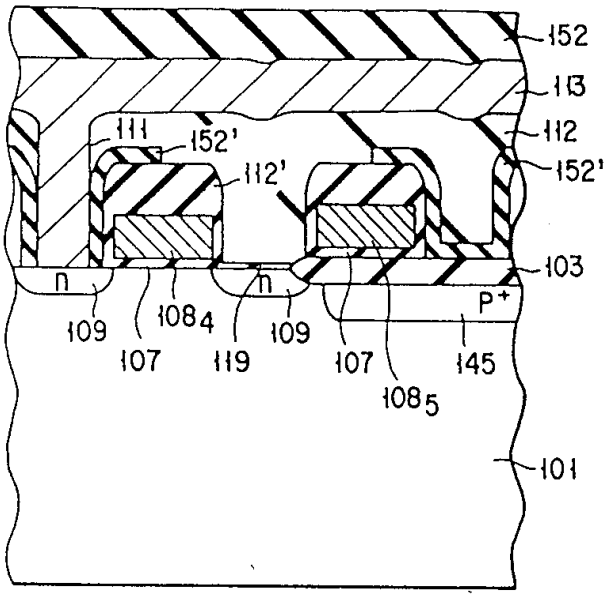
도면30b



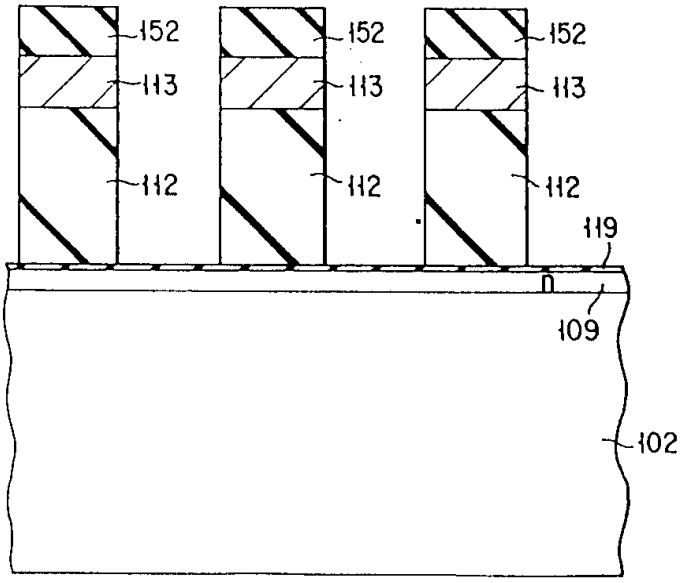
도면31



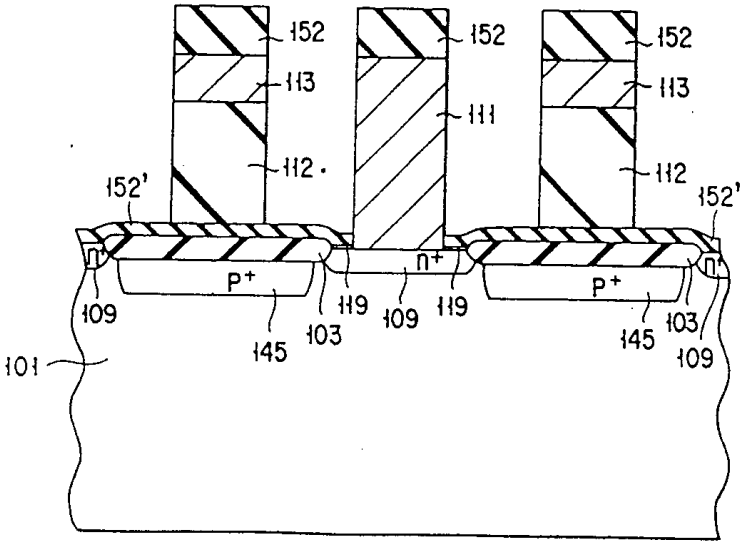
도면32a


152
113
111
152'
112
112'
152'
103
n
n
P+
109
108₄
107
119
109
107
145
108₅
101

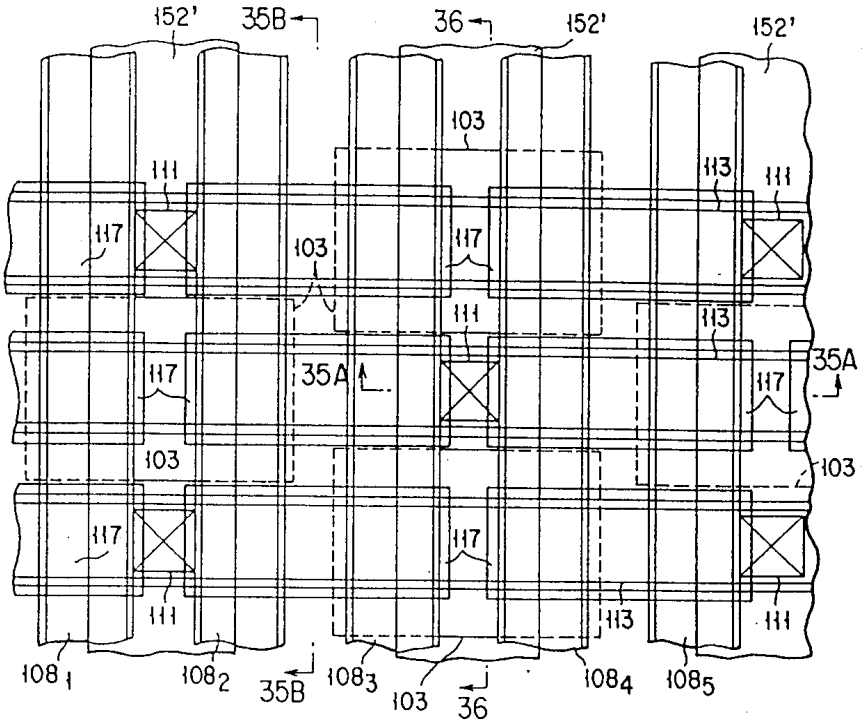
도면32b


152
152
152
113
113
113
112
112
112
119
n
109
102

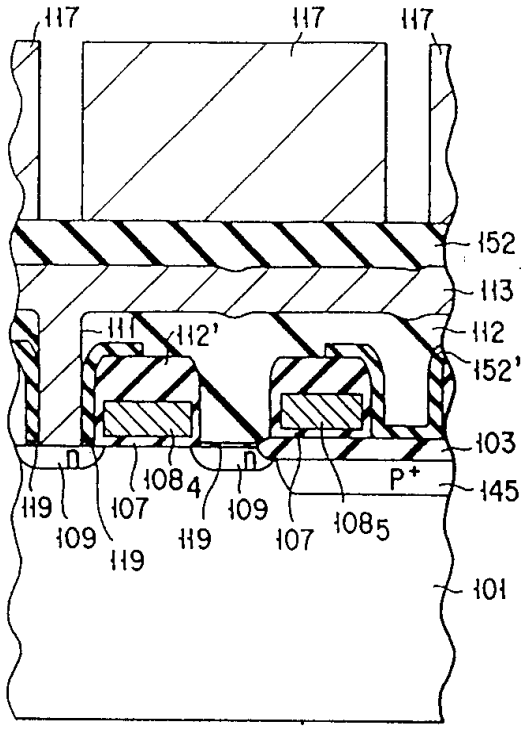
도면33


152
113
112
111
152'
n+
P+
109
119
103
145
101

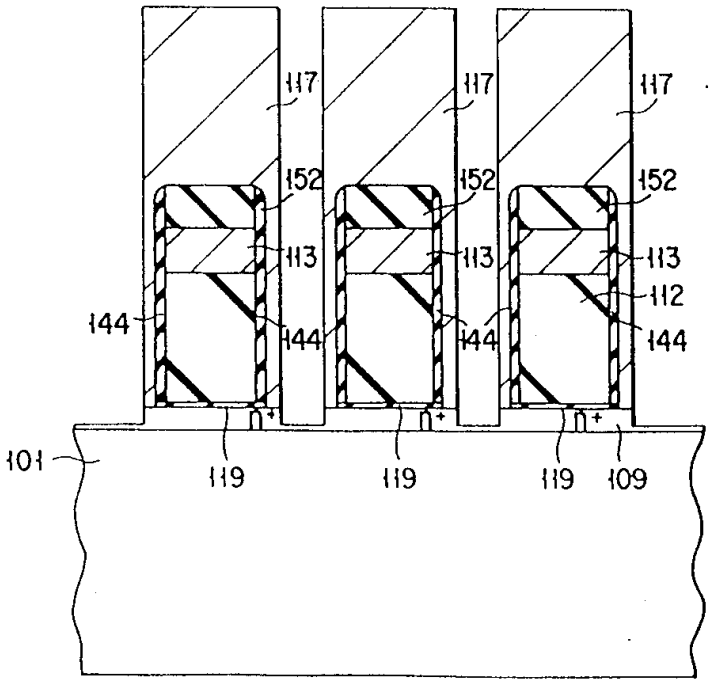
도면34


152'
35B
36
103
111
113
117
35A
108 1
108 2
108 3
108 4
108 5

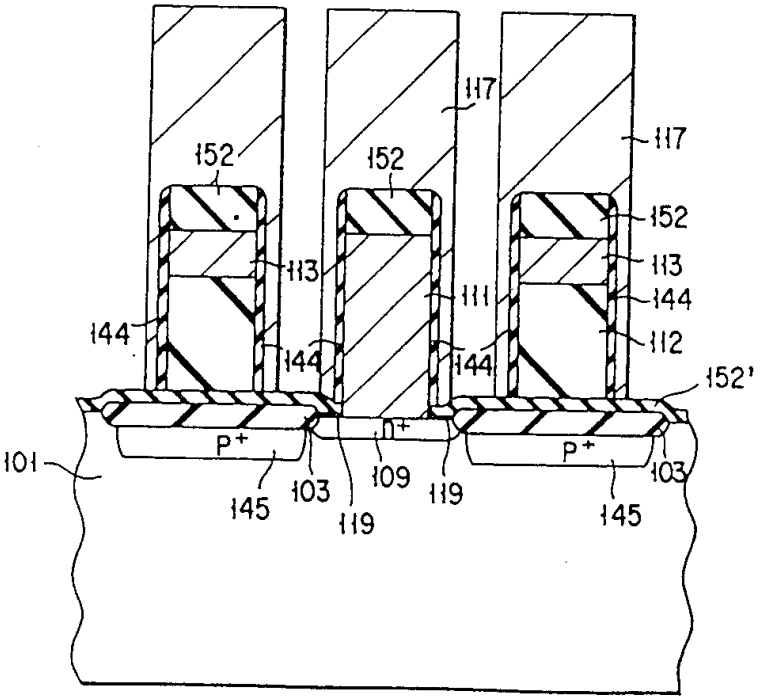
도면35a


117
117
117
152
113
111
112'
112
152'
103
P+
145
119
109
107
108
4
109
119
107
108
5
101

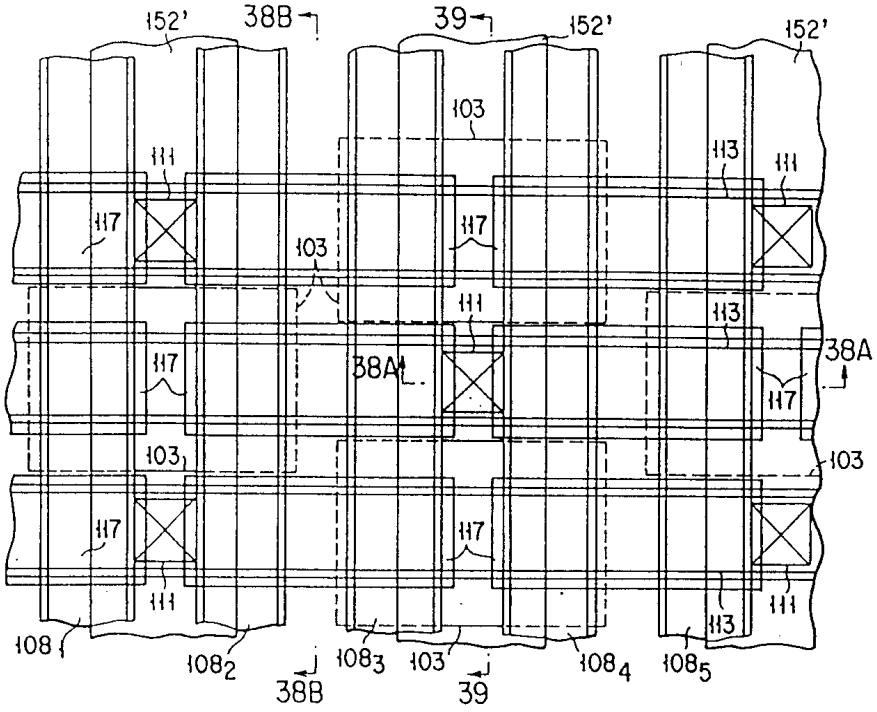
도면35b


117
117
117
152
152
152
113
113
113
112
144
144
144
144
101
119
119
119
109

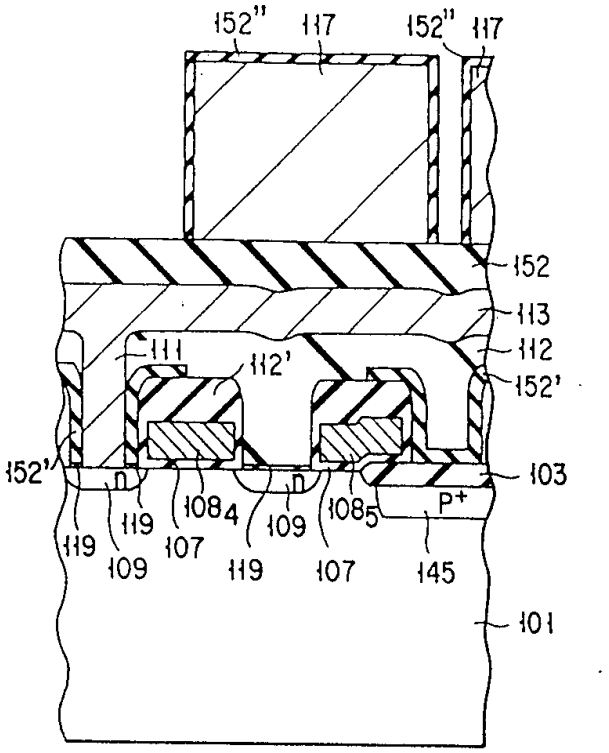
도면36


117
152
152
117
152
113
111
144
144
112
144
144
152'
P+
n+
P+
101
145
103
109
119
119
145
103

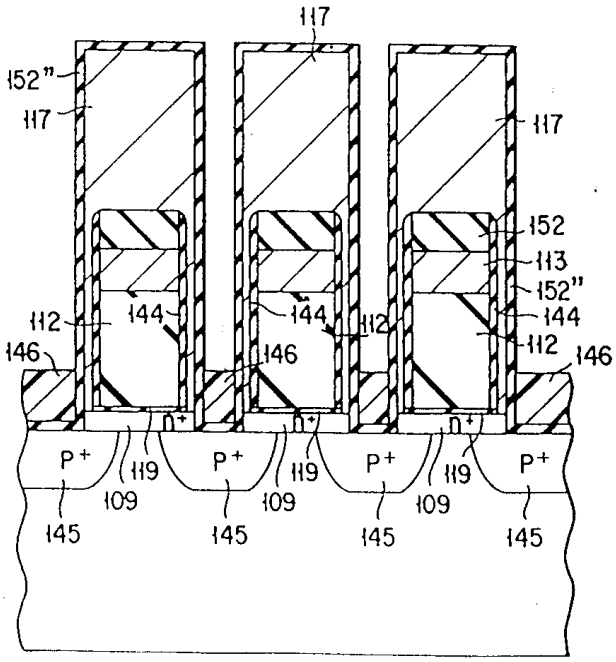
도면37


152'
38B
39
152'
152'
103
111
113
111
117
117
103
111
113
38A
117
117
38A
103
103
117
117
111
113
111
108
108₂
38B
108₃
103
39
108₄
108₅

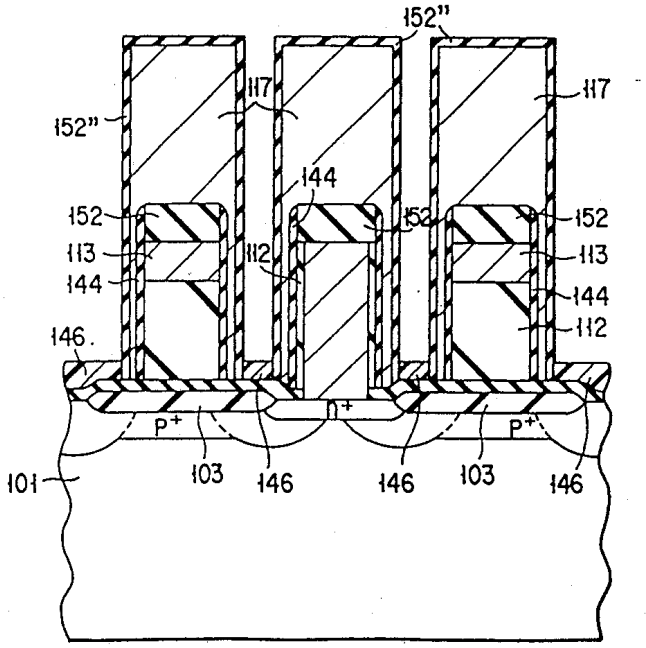
도면38a


152"
117
152"
117
152
113
111
112'
112
152'
152'
103
P+
119
109
119
107
108
4
109
119
107
108
5
145
101

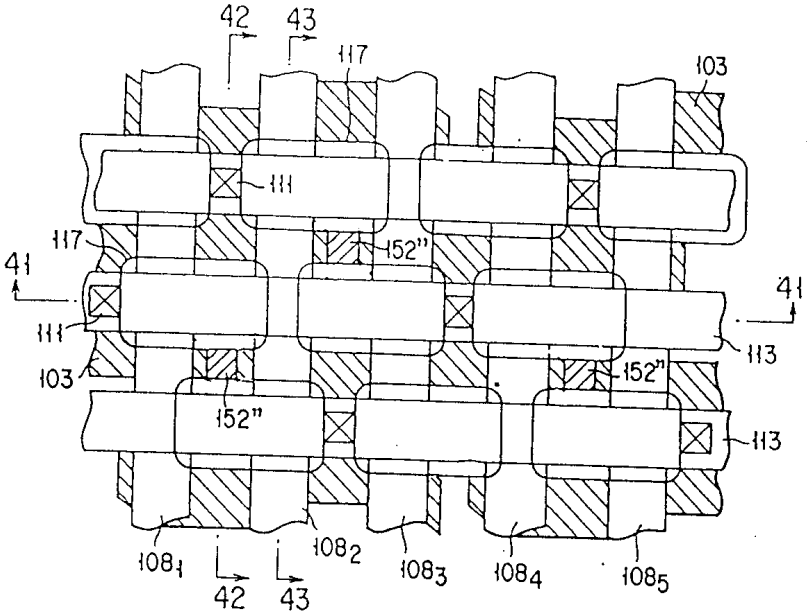
도면38b


117
152"
117
117
152
113
152"
144
144
144
112
112
112
146
146
146
P+
P+
P+
P+
119
109
119
109
119
109
145
145
145
145

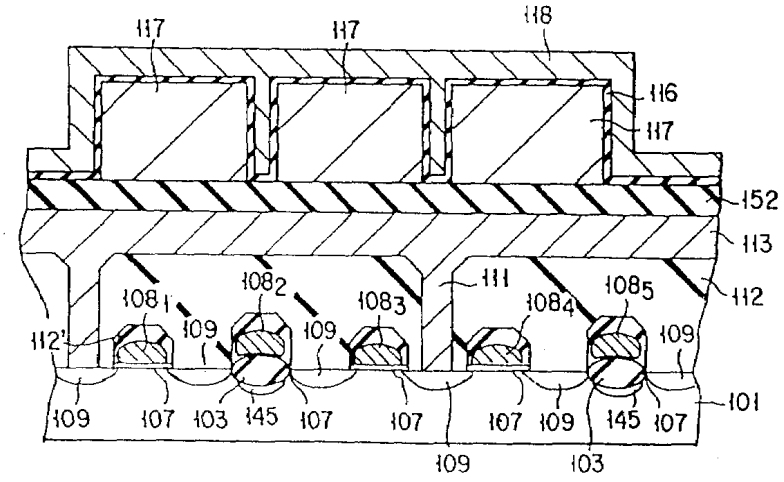
도면39


152"
117
117
152"
144
152
152
152
113
112
113
144
144
112
146
P+
P+
N+
101
103
146
146
103
146

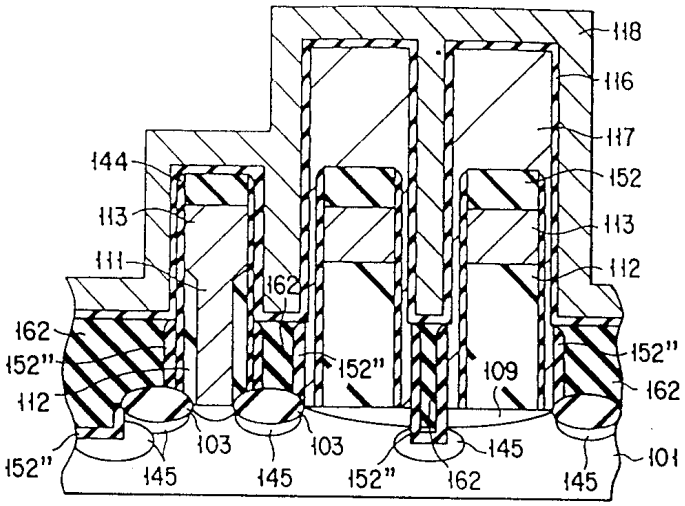
도면40


42
43
117
103
111
117
152"
41
41
111
113
103
152"
152"
113
108₁
108₂
108₃
108₄
108₅
42
43

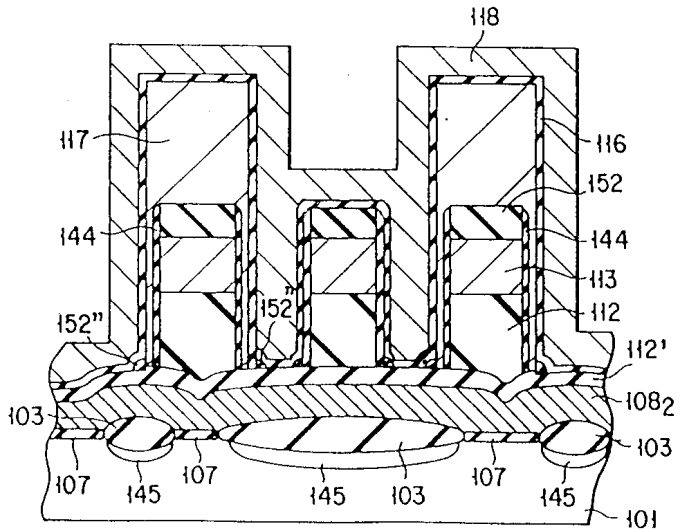
도면41



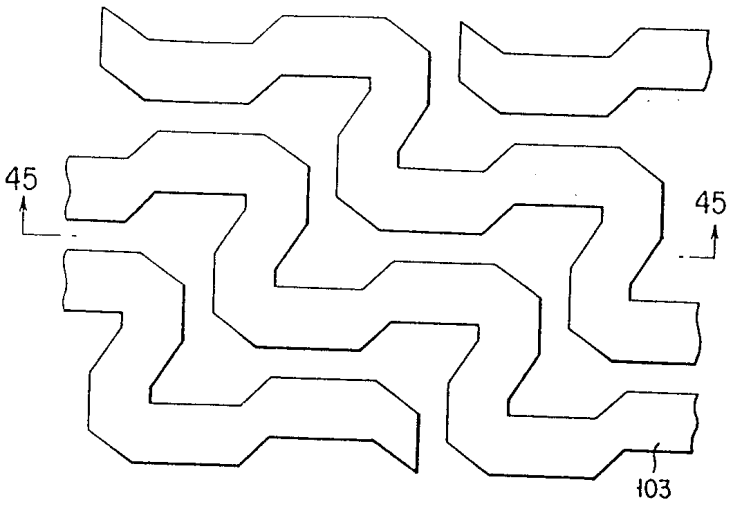
도면42



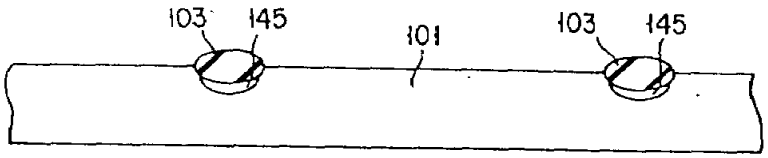
도면43



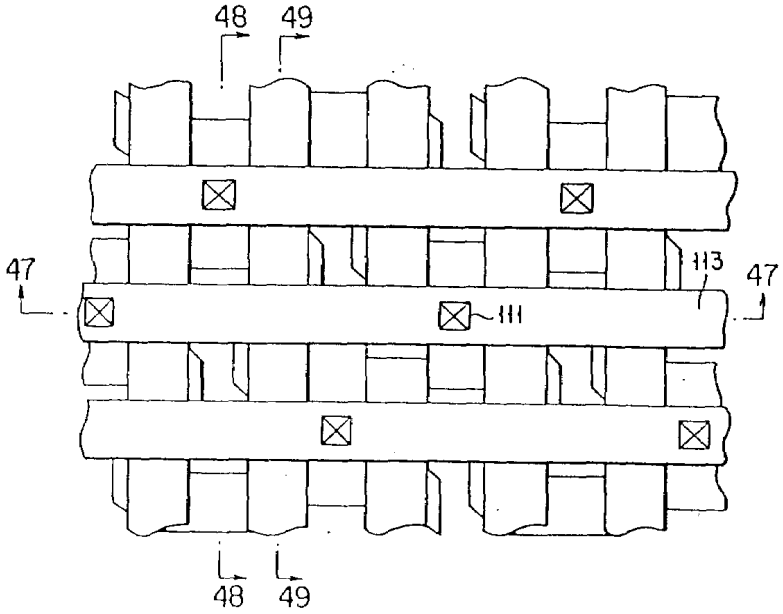
도면44



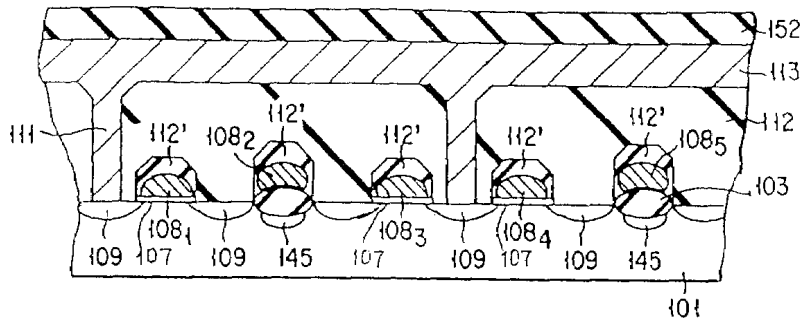
도면45



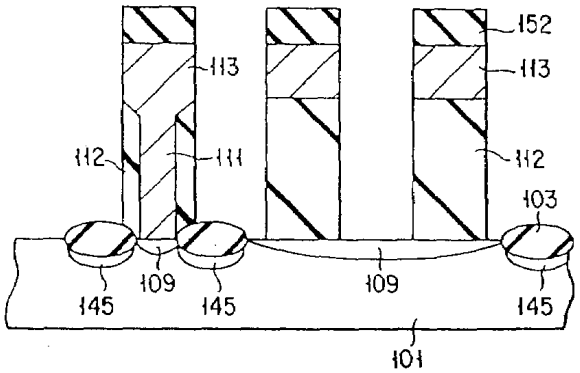
도면46



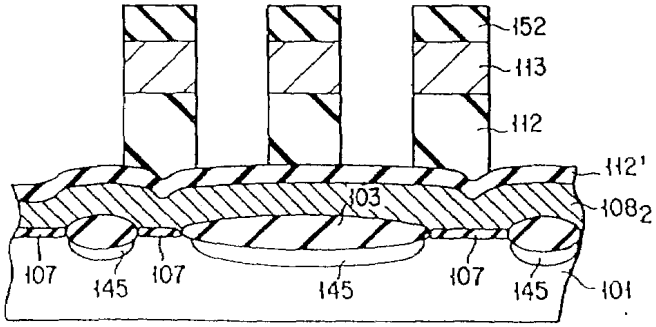
도면47



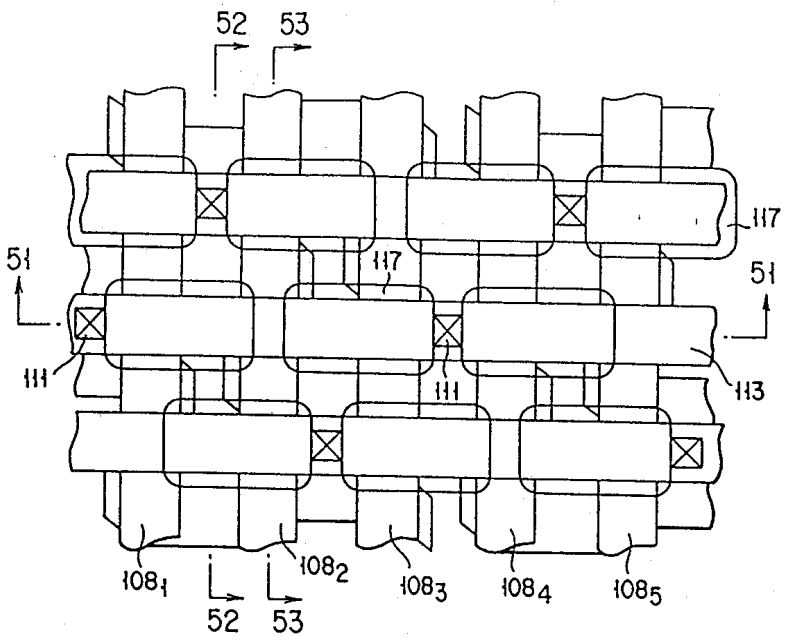
도면48



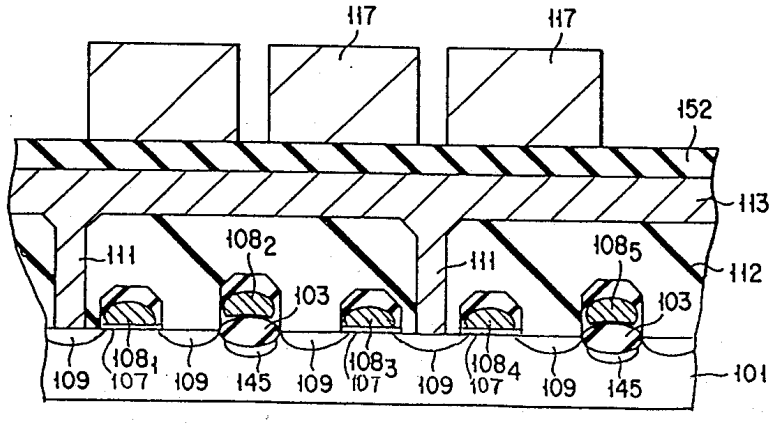
도면49



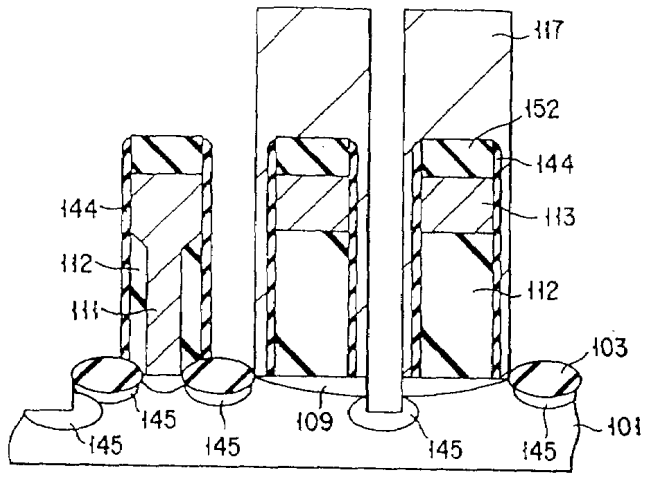
도면50



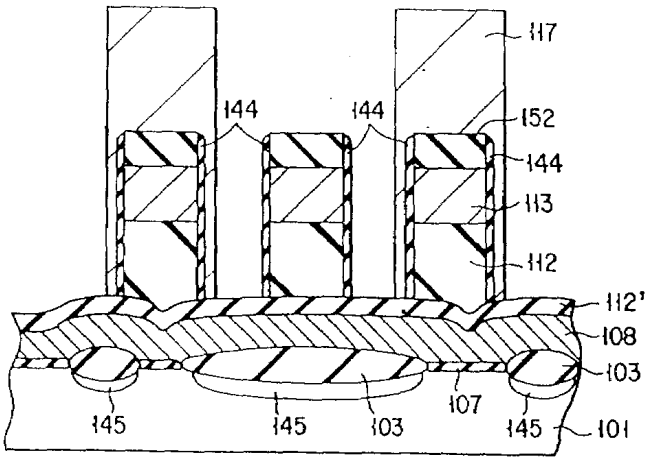
도면51



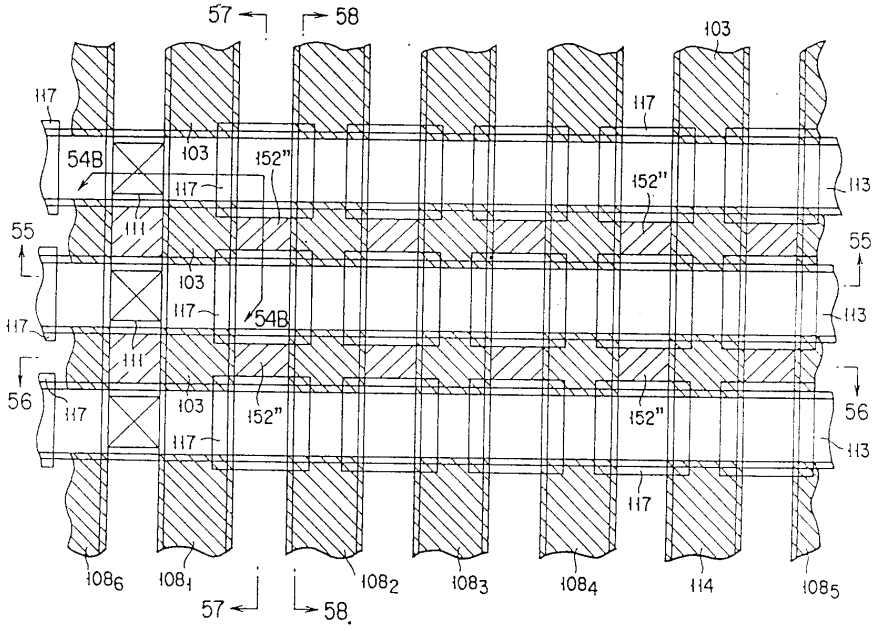
도면52



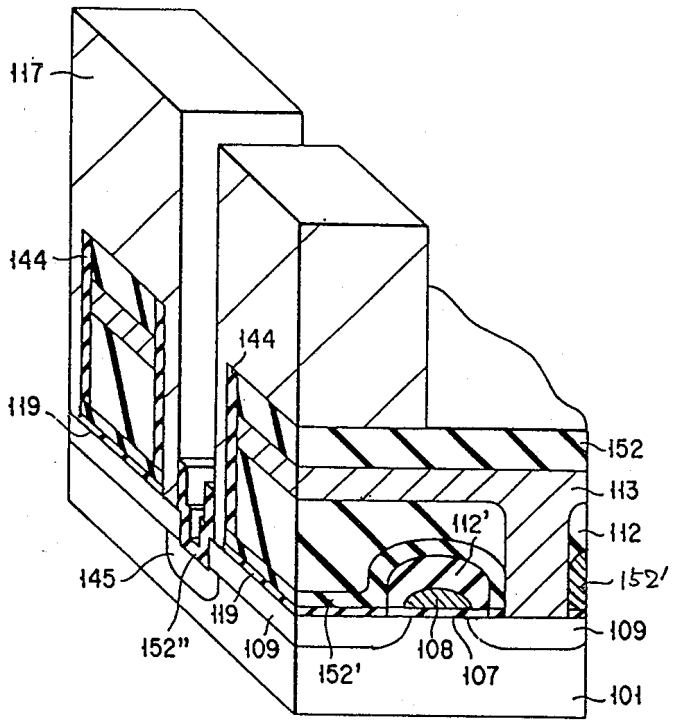
도면53


117
144
144
152
144
113
112
112'
108
103
107
145
145
103
145
101

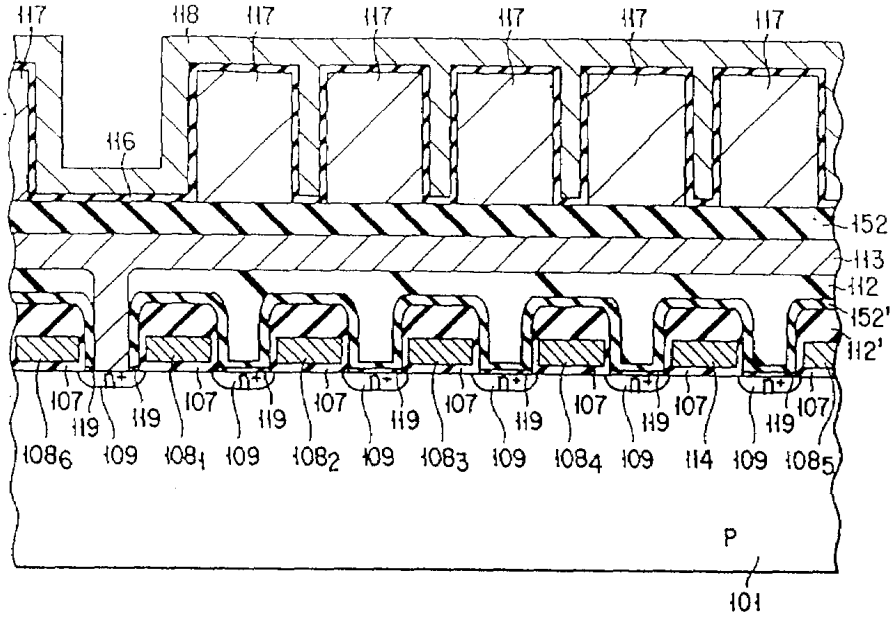
도면54a


57
58
103
117
117
54B
103
152"
117
152"
113
55
111
55
103
117
54B
113
117
111
56
117
103
152"
152"
56
117
113
117
108₆
108₁
57
58
108₂
108₃
108₄
114
108₅

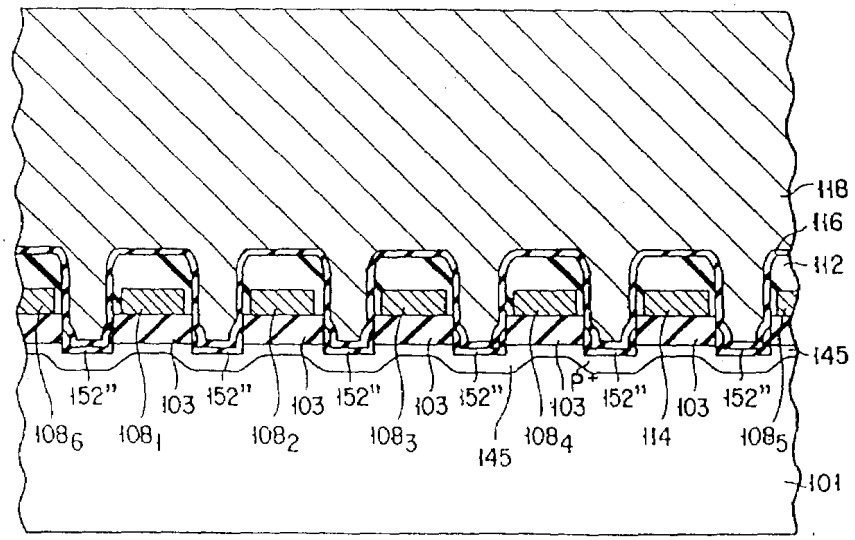
도면54b


117
144
144
119
152
113
112'
112
145
152'
119
152"
109
109
152'
108
107
101

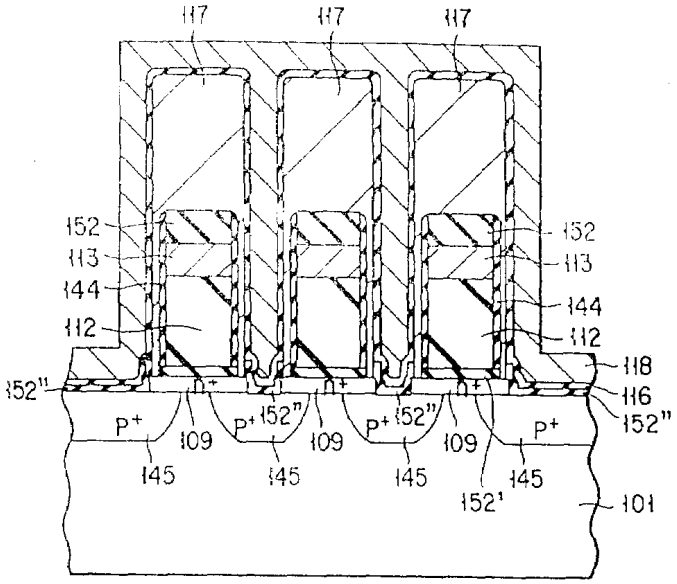
도면55


117
118
117
117
117
117
117
116
152
113
112
152'
112'
107
119
119
107
119
107
119
107
119
107
119
107
119
107
108_6
109
108_1
109
108_2
109
108_3
109
108_4
109
114
109
108_5
P
101

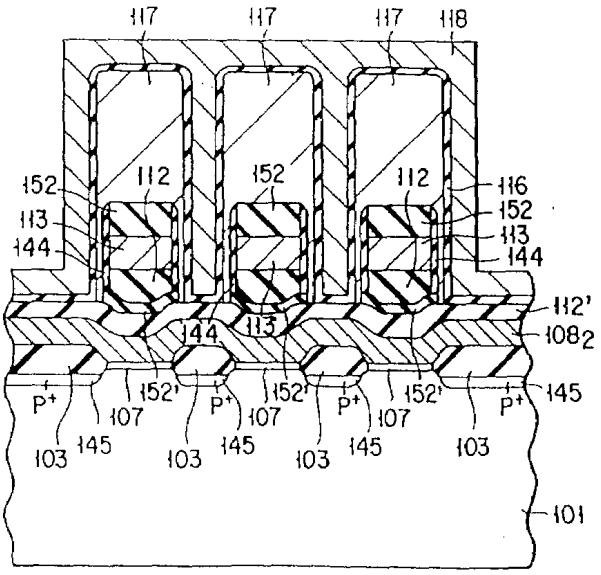
도면56


118
116
112
145
152"
103
152"
103
152"
103
152"
103
P+
152"
103
152"
108_6
108_1
108_2
108_3
145
108_4
114
108_5
101

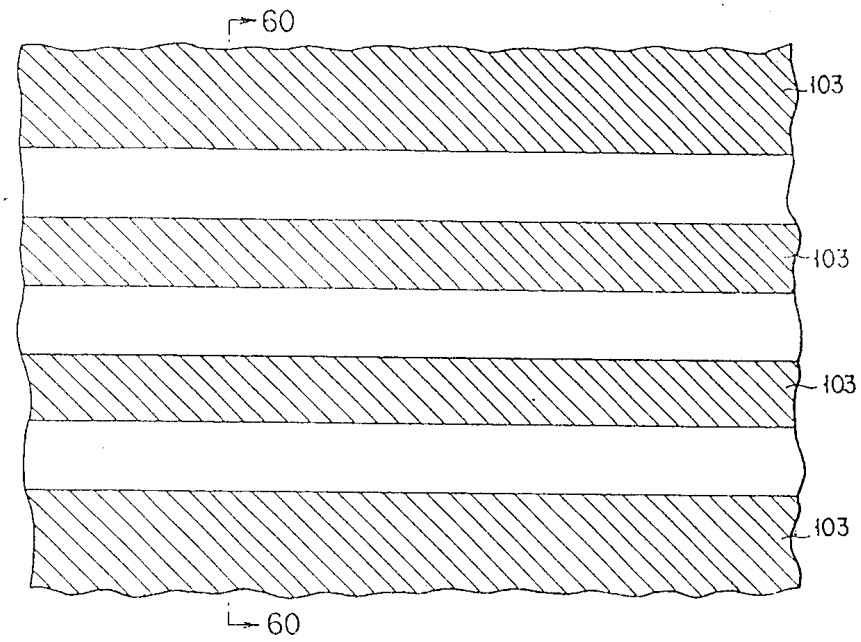
도면57


117
117
117
152
113
144
112
152
113
144
112
118
116
152"
152"
P+
P+
152"
P+
152"
P+
109
109
109
145
145
145
145
152'
101

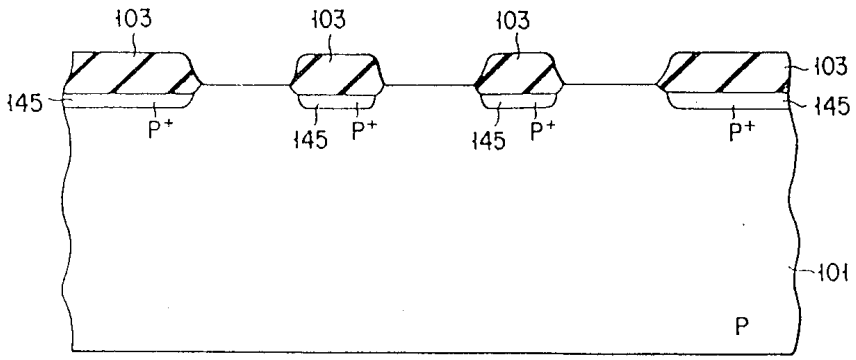
도면58


117
117
117
118
152
112
152
112
116
113
152
144
113
144
112'
144
113
108₂
P+
152'
P+
152'
P+
152'
145
107
107
107
103
145
103
145
103
145
103
101

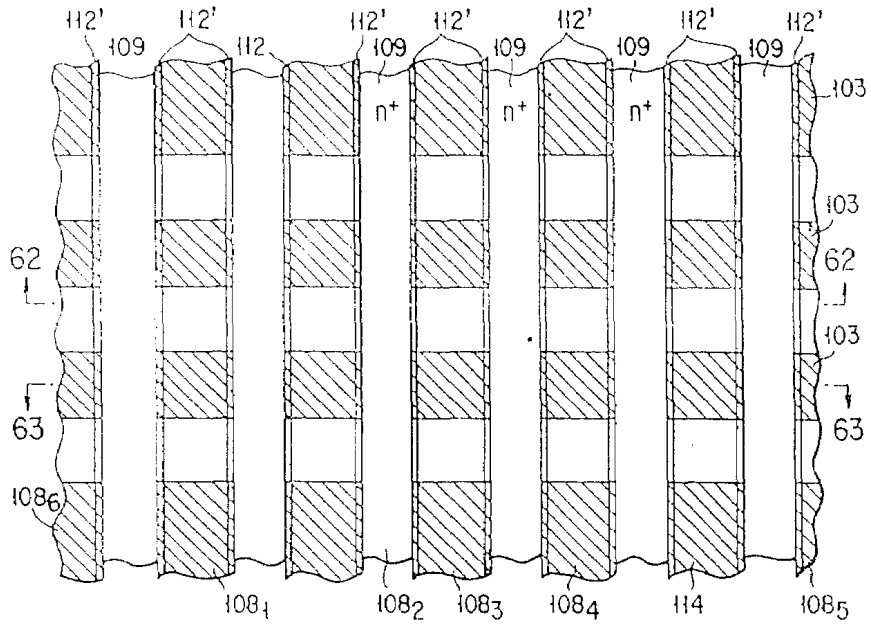
도면59


60
103
103
103
103
60

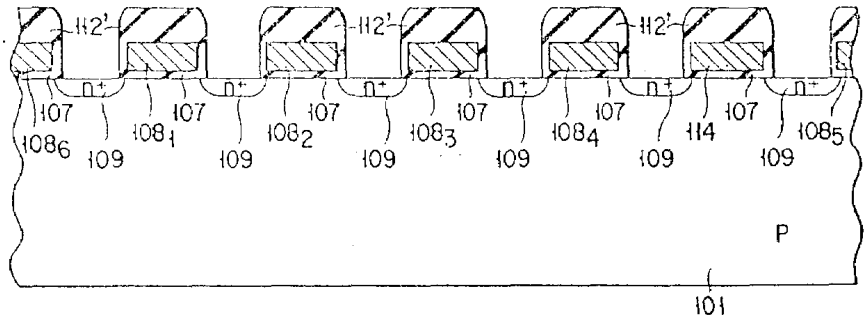
도면60



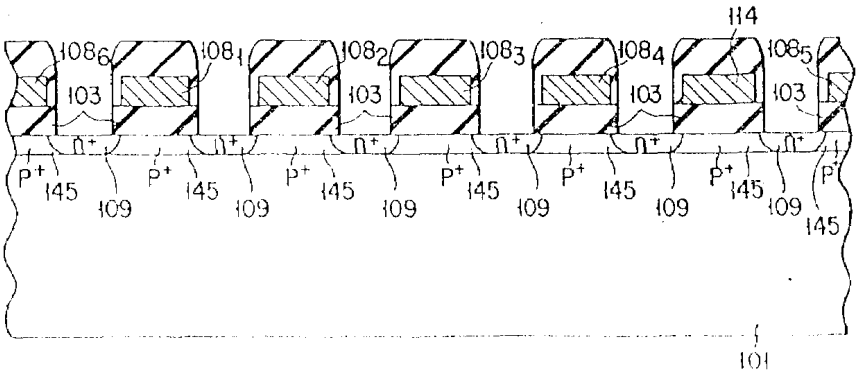
도면61



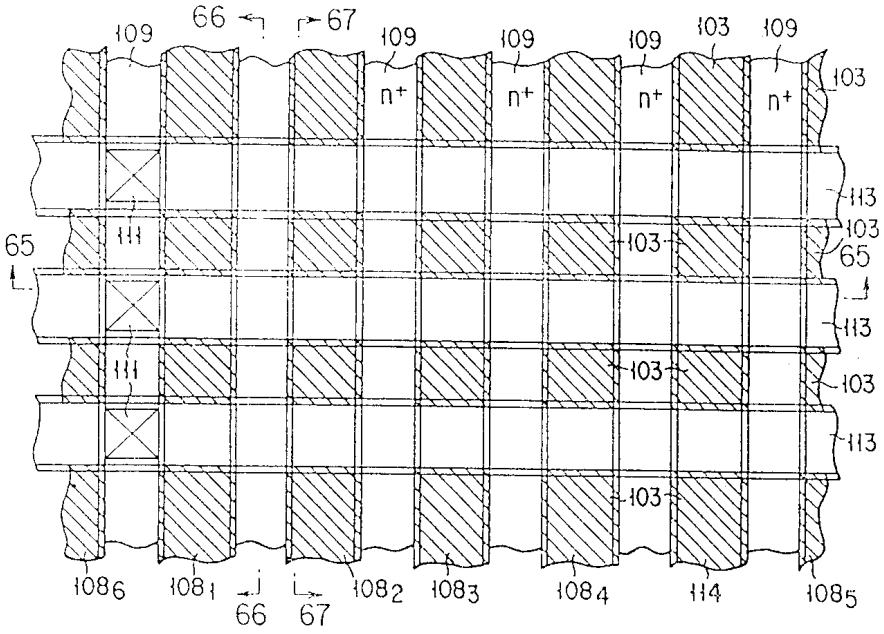
도면62



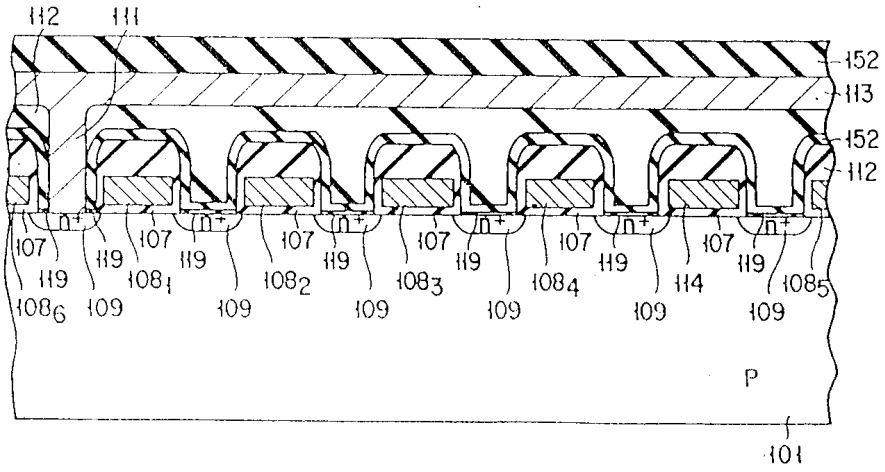
도면63



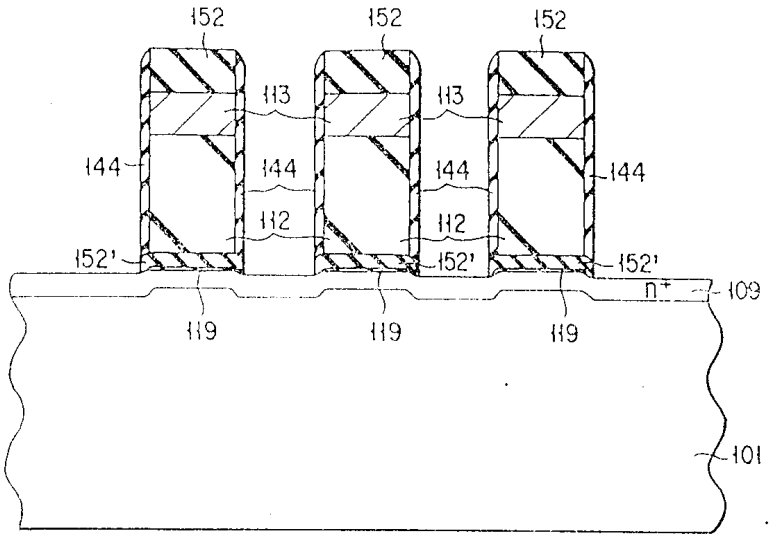
도면64



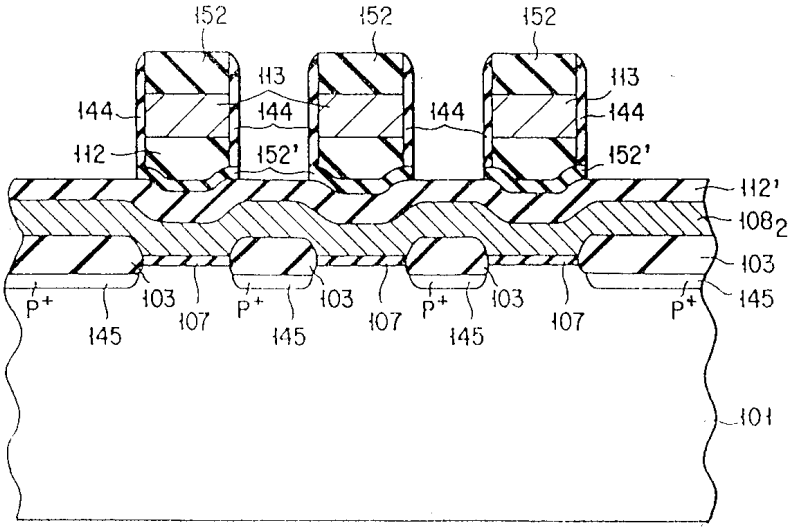
도면65



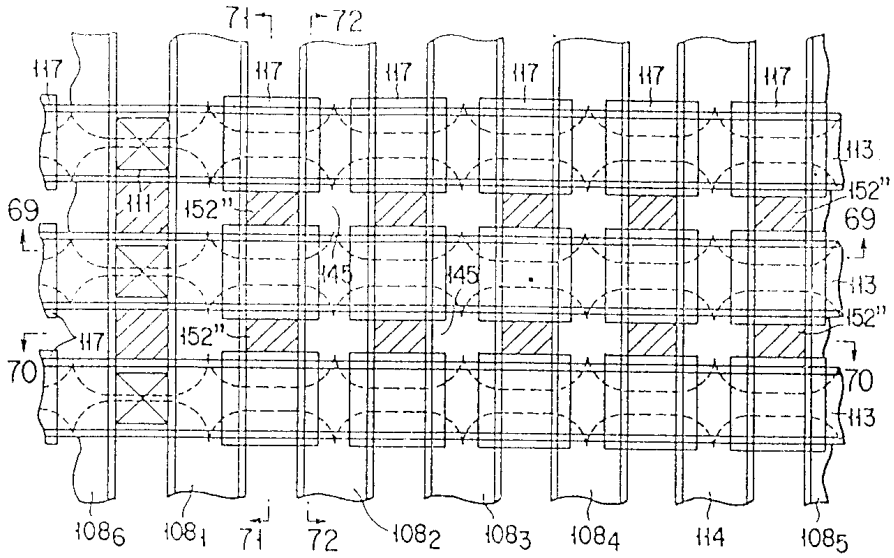
도면66


152
152
152
113
113
144
144
144
144
112
112
152'
152'
152'
n+
109
119
119
119
101

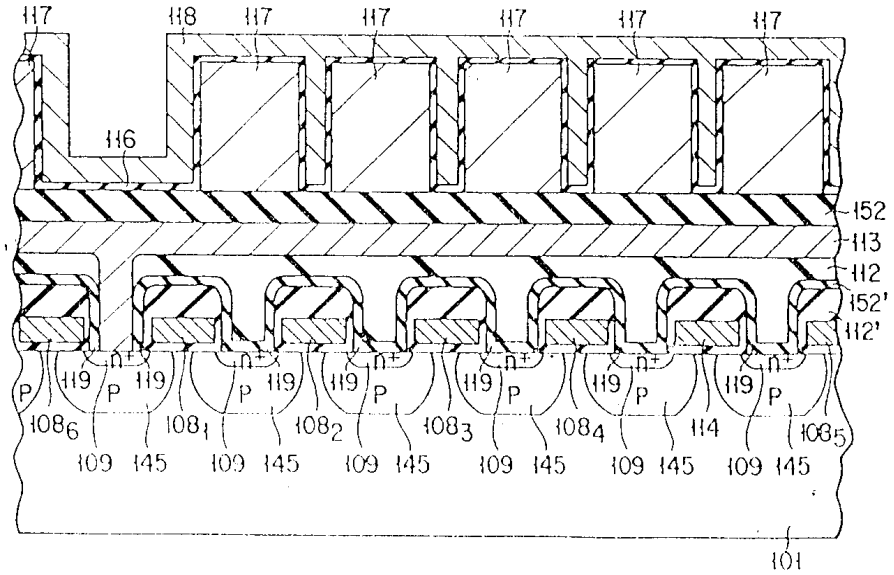
도면67


152
152
152
113
113
144
144
144
144
112
152'
152'
112'
108_2
103
145
P+
103
107
P+
103
107
P+
103
107
P+
145
145
145
101

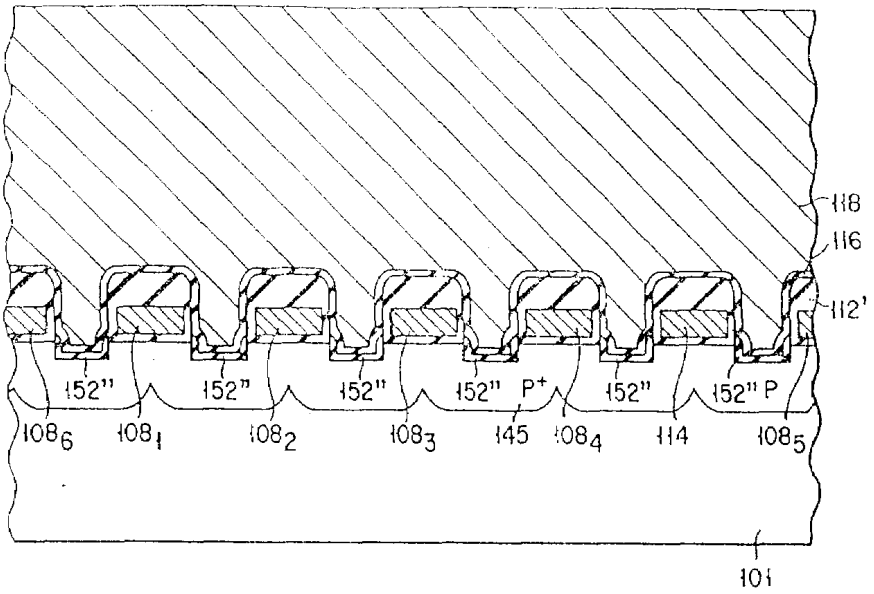
도면68


71
72
117
113
152"
69
111
145
70
108_6
108_1
108_2
108_3
108_4
114
108_5

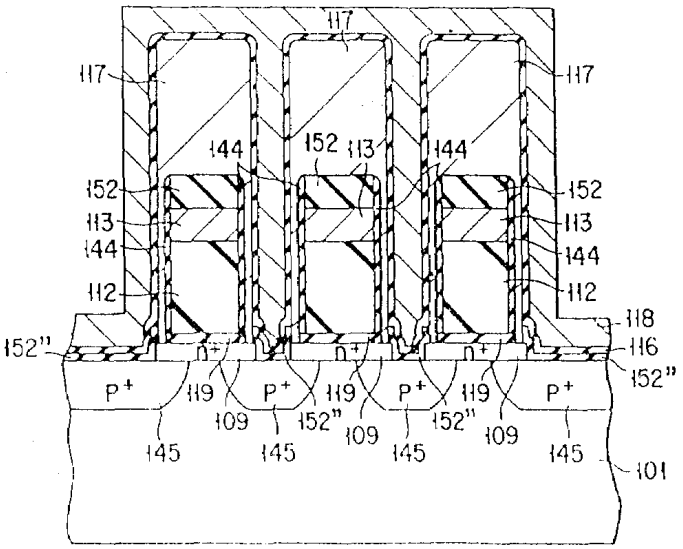
도면69


117
118
116
152
113
112
152'
112'
P
119
n+
109
145
108_6
108_1
108_2
108_3
108_4
114
108_5
101

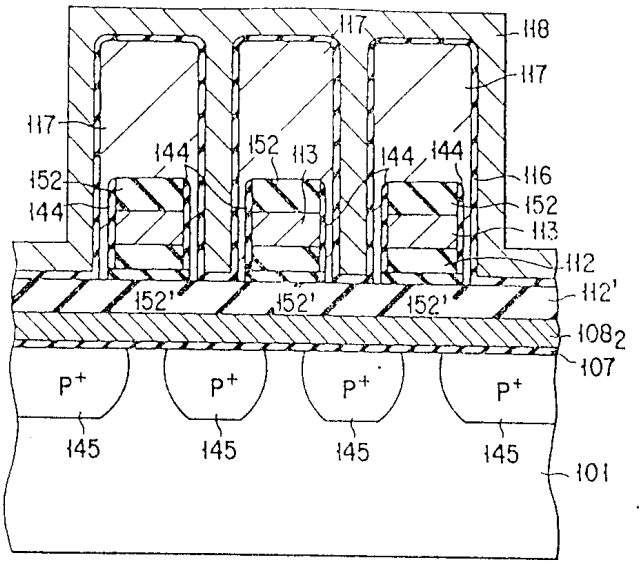
도면70


118
116
112'
152"
152"
152"
152"
P+
152"
152" P
108₆
108₁
108₂
108₃
145
108₄
114
108₅
101

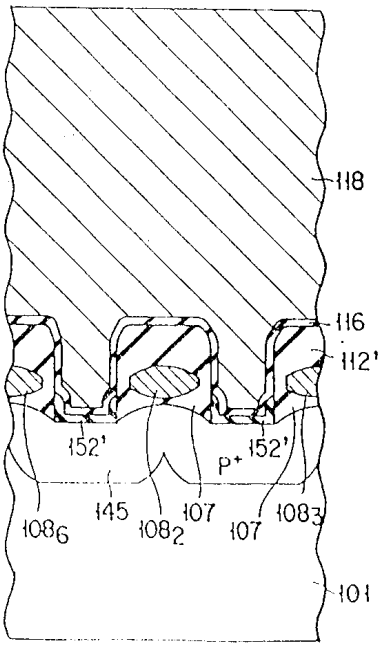
도면71


117
117
117
144
152
113
144
152
152
113
113
144
144
112
112
118
152"
116
n+
n+
n+
152"
P+
119
P+
119
P+
119
P+
109
152"
109
152"
109
145
145
145
145
101

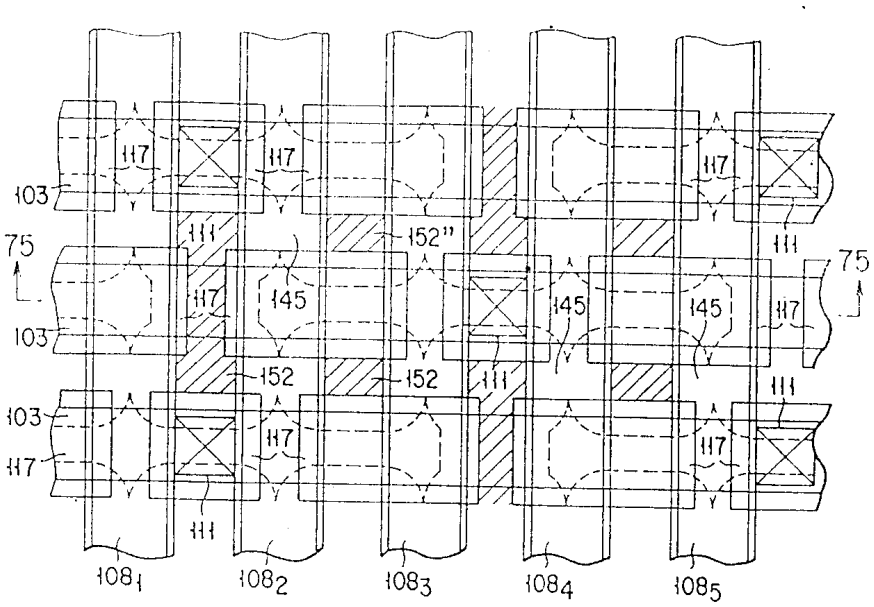
도면72


117
118
117
117
144
152
113
144
144
116
152
144
152
113
112
112'
152'
152'
152'
108_2
107
P+
P+
P+
P+
145
145
145
145
101

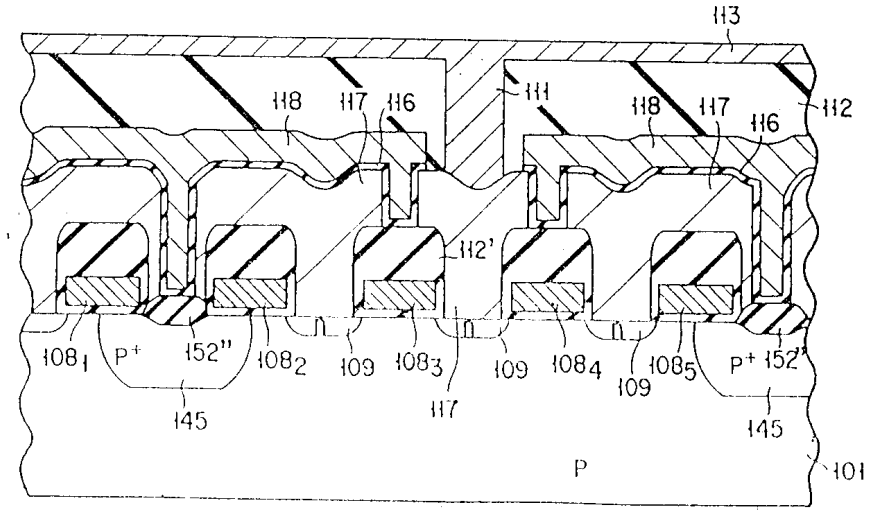
도면73


118
116
112'
152'
152'
P+
145
108_6
108_2
107
107
108_3
101

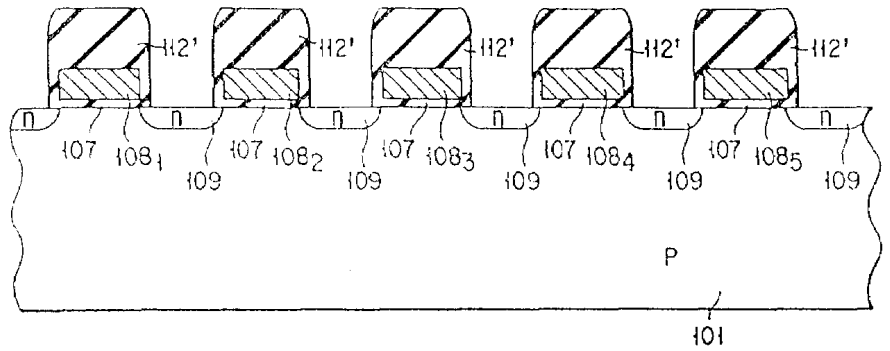
도면74



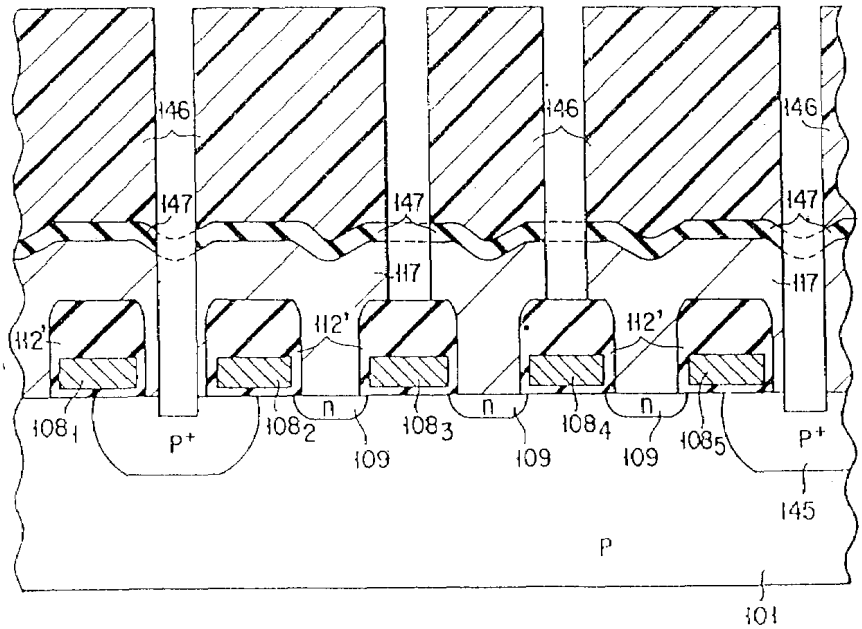
도면75



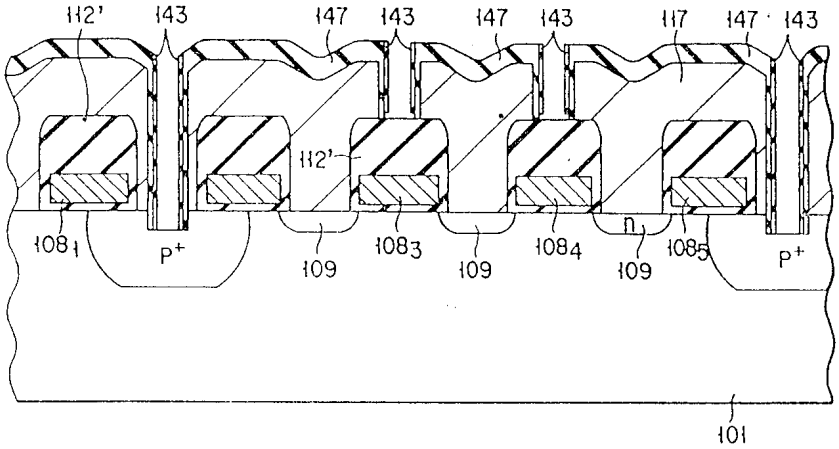
도면76



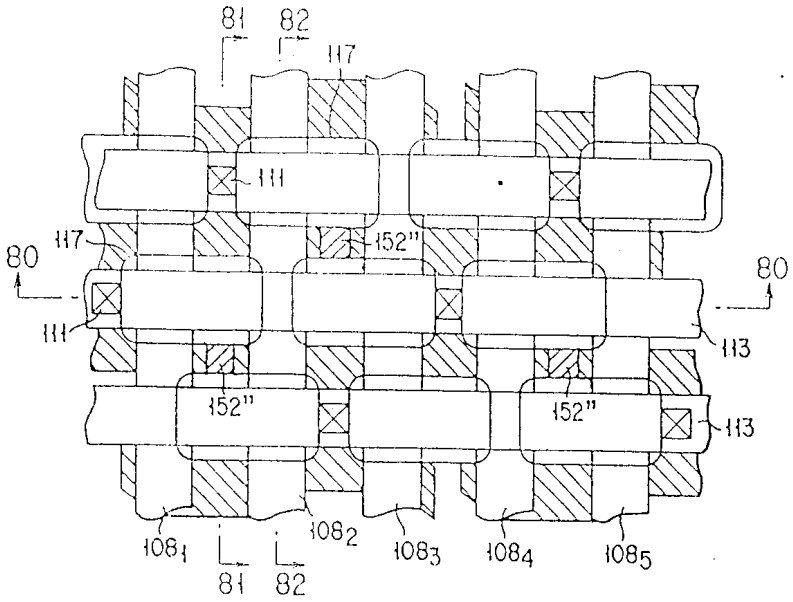
도면77


146
147
117
112'
108_1
108_2
108_3
108_4
108_5
P+
n
109
145
P
101

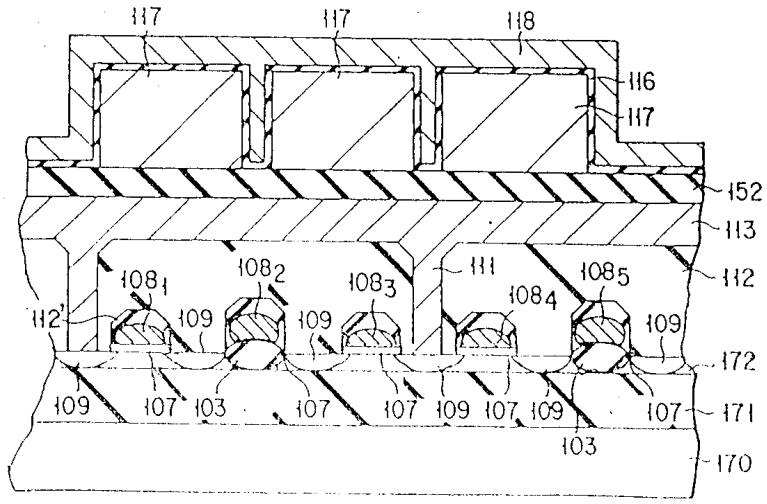
도면78


112'
143
147
117
108_1
108_3
108_4
108_5
P+
n
109
101

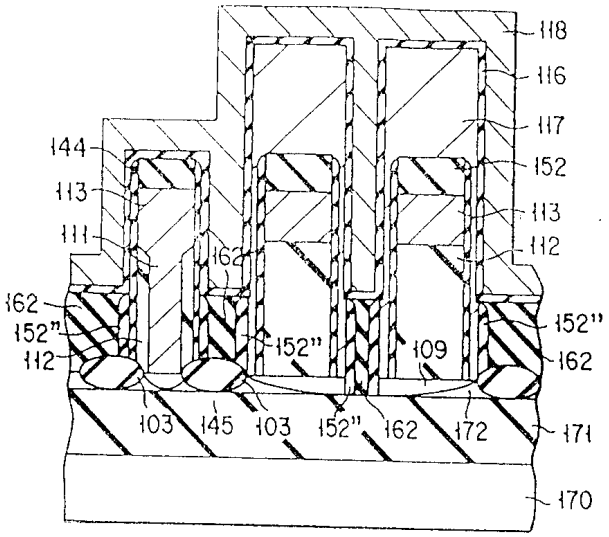
도면79


81
82
117
111
117
152"
80
80
111
113
152"
152"
113
108_1
108_2
108_3
108_4
108_5
81
82

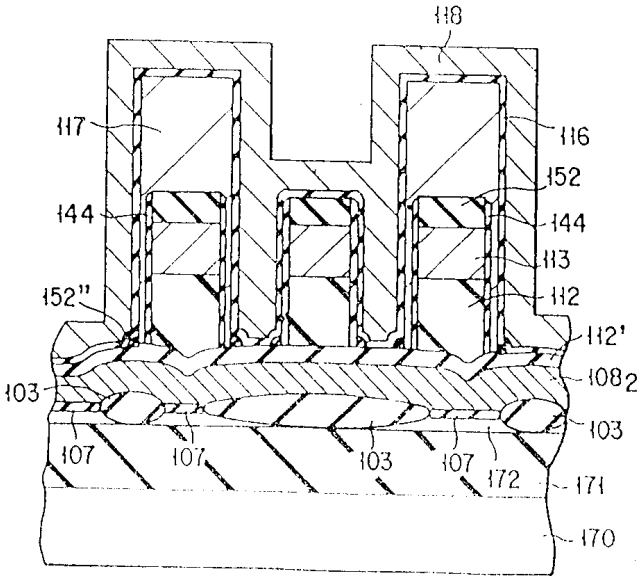
도면80


117
117
118
116
117
152
113
108_1
108_2
108_3
111
108_4
108_5
112
112'
109
109
109
109
172
109
107
103
107
107
109
107
109
107
171
103
170

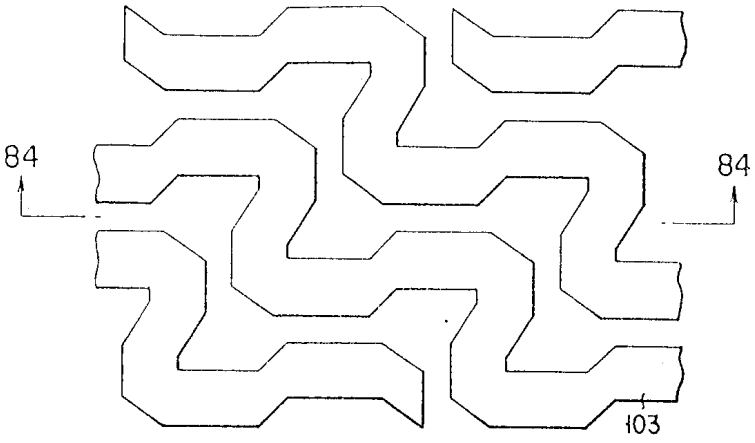
도면81



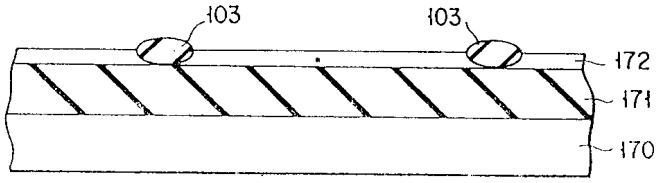
도면82



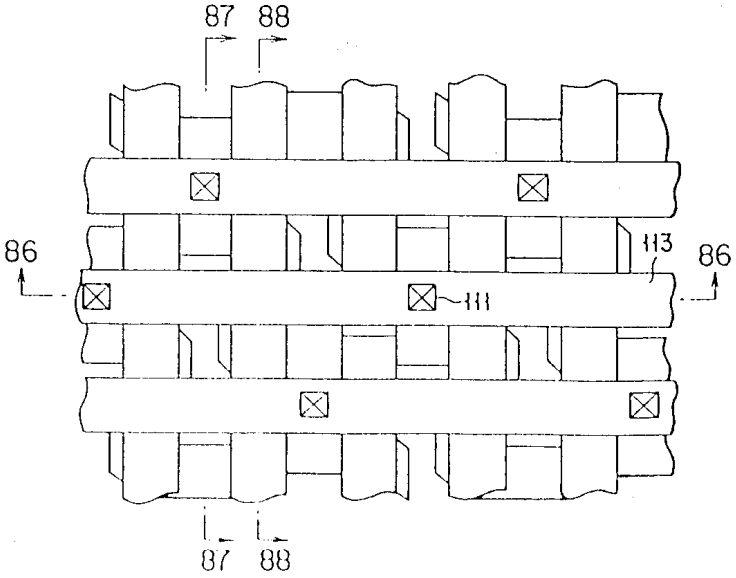
도면83



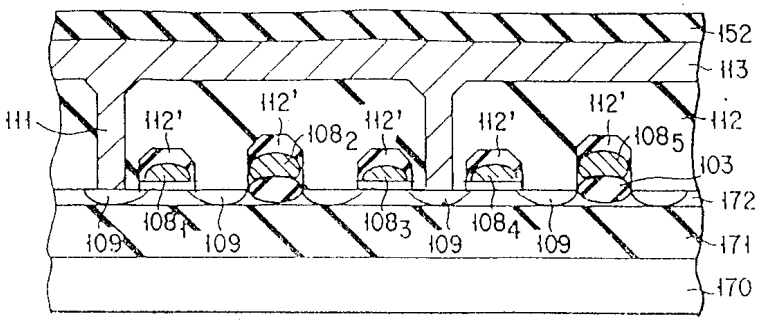
도면84



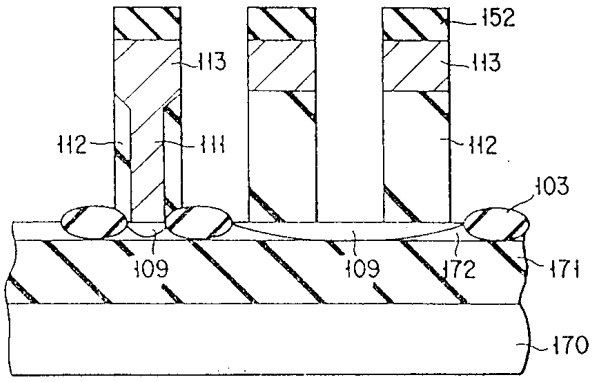
도면85



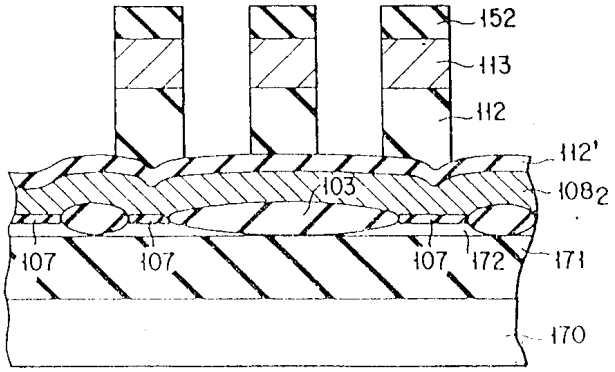
도면86



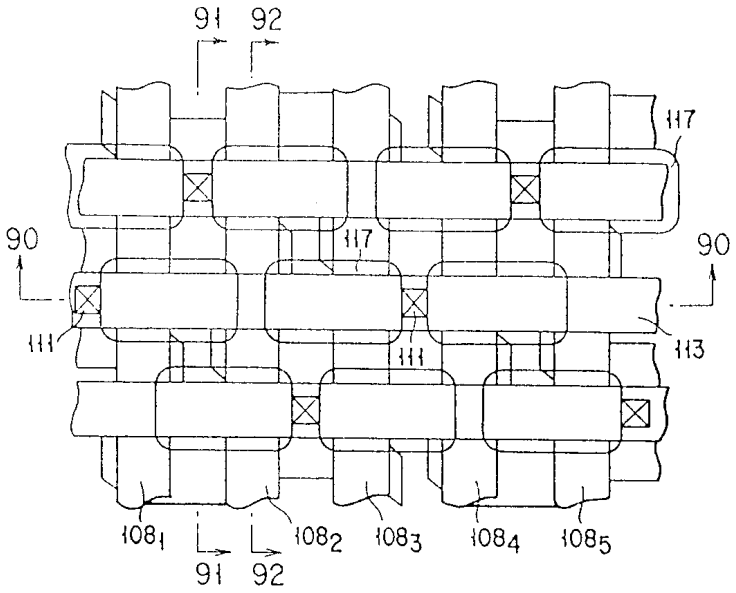
도면87



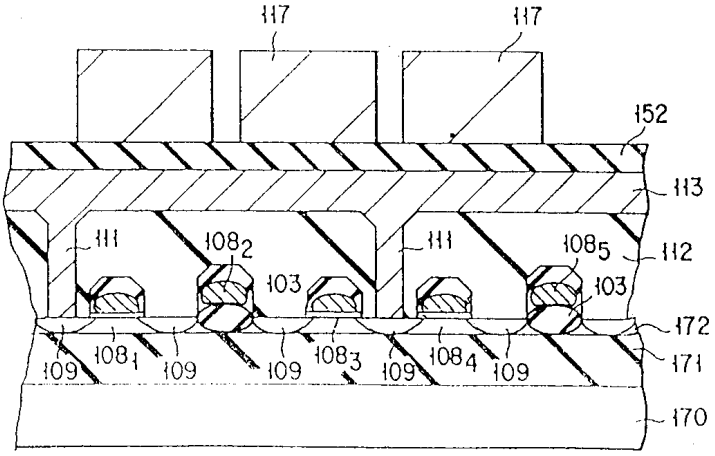
도면88



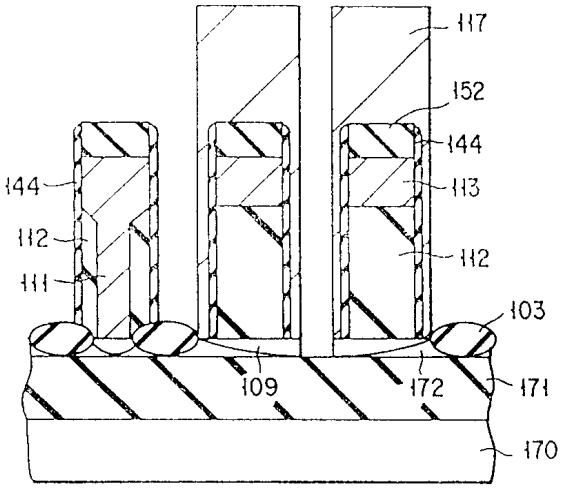
도면89



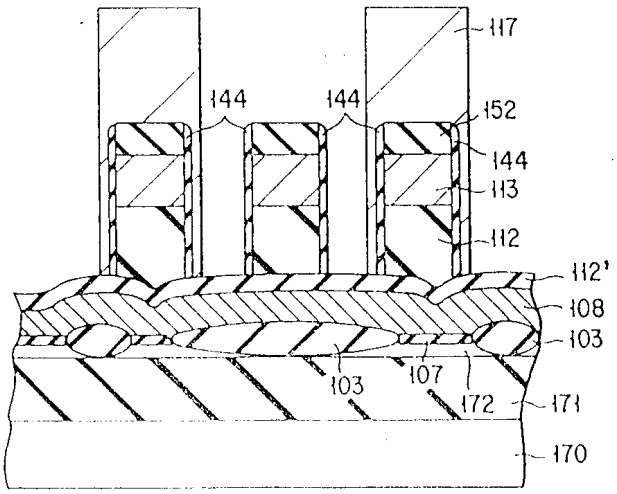
도면90



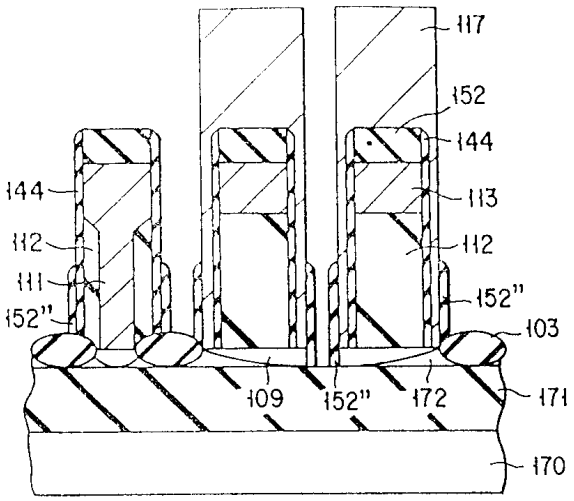
도면91



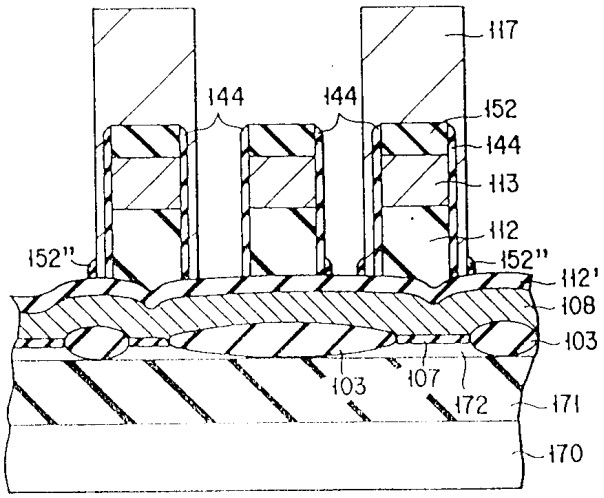
도면92



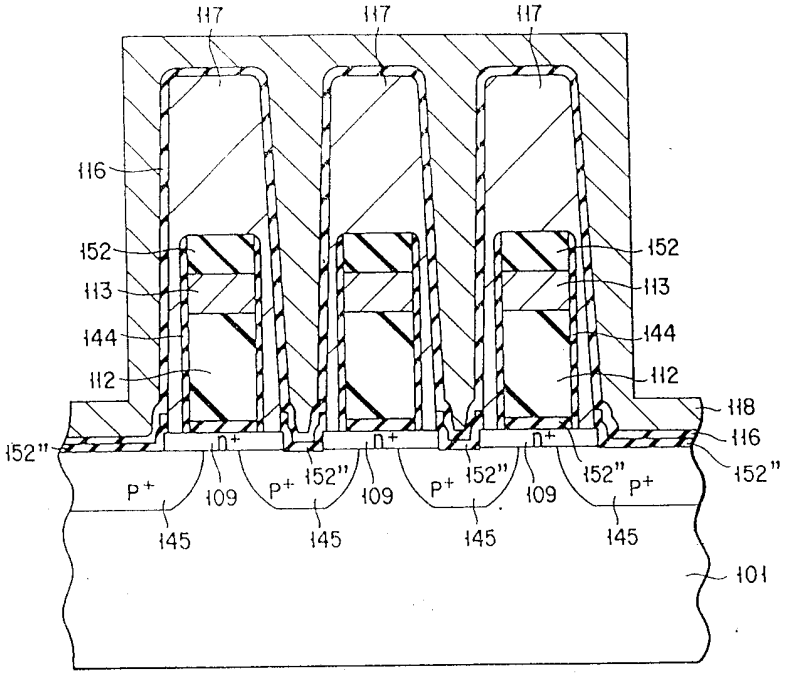
도면93


117
152
144
113
144
112
112
111
152"
152"
103
109
152"
172
171
170

도면94


117
144
144
152
144
113
112
152"
152"
112'
108
103
103
107
172
171
170

도면95


117
117
117
116
152
113
144
112
152
113
144
112
118
116
152"
152"
n+
n+
n+
P+
P+
P+
P+
152"
152"
152"
109
109
109
145
145
145
145
101