

(12) **FASCÍCULO DE PATENTE DE INVENÇÃO**

(22) Data de pedido: 2009.03.02	(73) Titular(es): MARK REMLIN	
(30) Prioridade(s): 2008.04.11 US 82685	77 CUTLERS FARM ROAD MONROE,	
(43) Data de publicação do pedido: 2011.01.19	CONNECTICUT 06468	US
(45) Data e BPI da concessão: 2013.08.21 221/2013	MICHAEL ENGLER	US
	THINKLOGICAL, LLC	US
	(72) Inventor(es):	
	MARK REMLIN	US
	MICHAEL ENGLER	US
	(74) Mandatário:	
	MANUEL ANTÓNIO DURÃES DA CONCEIÇÃO ROCHA	
	AV LIBERDADE, Nº. 69 - 3º D 1250-148 LISBOA	PT

(54) Epígrafe: **SISTEMA DE TRANSMISSÃO MULTIFREQUÊNCIA PARA DADOS PARALELOS DE ENTRADA**

(57) Resumo:

UM SISTEMA DE TRANSMISSÃO MULTIFREQUÊNCIA PARA TRANSMITIR DADOS PARALELOS DE ENTRADA A PARTIR DE UMA PRIMEIRA LOCALIZAÇÃO PARA UMA SEGUNDA LOCALIZAÇÃO, INCLUINDO UMA PARTE TRANSMISSORA E UMA PARTE RECEPTORA. A PARTE TRANSMISSORA RECEBE OS DADOS PARALELOS, INCLUINDO AS INFORMAÇÕES RELACIONADAS COM O RELÓGIO DE DADOS PARALELOS, E ARMAZENA OS DADOS NUM BUFFER, ONDE, POSTERIORMENTE, SERÃO LIDOS E SERIALIZADOS PARA A TRANSMISSÃO NUMA LIGAÇÃO DE DADOS EM SÉRIE PARA A PARTE RECEPTORA, ONDE SERÃO DESSERIALIZEDOS, INCLUINDO A RECUPERAÇÃO DO RELÓGIO DE DADOS PARALELOS NO FLUXO DE DADOS EM SÉRIE. A PARTE RECEPTORA ARMAZENA OS DADOS PARALELOS NUM BUFFER, ONDE SÃO LIDOS A UMA FREQUÊNCIA QUE CORRESPONDE À DO RELÓGIO DE DADOS PARALELOS DOS DADOS PARALELOS DE ENTRADA. OS DADOS PARALELOS NA PARTE TRANSMISSORA SÃO ASSOCIADOS A CARACTERES DE CONTROLO GERADOS QUANDO NÃO SÃO LIDOS QUAISQUER DADOS PARALELOS A PARTIR DO BUFFER ASSOCIADO À PARTE TRANSMISSORA.

RESUMO**"SISTEMA DE TRANSMISSÃO MULTIFREQUÊNCIA PARA DADOS
PARALELOS DE ENTRADA"**

Um sistema de transmissão multifrequência para transmitir dados paralelos de entrada a partir de uma primeira localização para uma segunda localização, incluindo uma parte transmissora e uma parte receptora. A parte transmissora recebe os dados paralelos, incluindo as informações relacionadas com o relógio de dados paralelos, e armazena os dados num buffer, onde, posteriormente, serão lidos e serializados para a transmissão numa ligação de dados em série para a parte receptora, onde serão desserializados, incluindo a recuperação do relógio de dados paralelos no fluxo de dados em série. A parte receptora armazena os dados paralelos num buffer, onde são lidos a uma frequência que corresponde à do relógio de dados paralelos dos dados paralelos de entrada. Os dados paralelos na parte transmissora são associados a caracteres de controlo gerados quando não são lidos quaisquer dados paralelos a partir do buffer associado à parte transmissora.

DESCRIÇÃO**"SISTEMA DE TRANSMISSÃO MULTIFREQUÊNCIA PARA DADOS
PARALELOS DE ENTRADA"****DESCRIÇÃO**

A presente invenção refere-se a sistemas de transmissão de dados, particularmente, sistemas de transmissão para a transferência de dados paralelos que transitam de uma localização para outra, localização remota, de modo a replicar os referidos dados paralelos na localização remota.

ANTECEDENTES DA INVENÇÃO

Sistemas de transmissão para a transferência de dados paralelos de uma localização para outra, localização remota, têm vindo a ser utilizados nos chamados extensores de vídeo, em que os dados provenientes de uma porta de saída de vídeo, num computador ou semelhante, são transferidos para uma localização remota para serem visualizados num monitor remoto. Demonstrou-se ser necessário permitir a transmissão destes dados paralelos independentemente da frequência de relógio dos dados paralelos (isto é, associada a diferentes resoluções de

vídeo e taxas de actualização) de uma forma que poderá ser proporcionada facilmente.

A presente invenção está direccionada para um sistema de transmissão aperfeiçoado e especificamente direccionada para um sistema de transmissão multicanal, em que a frequência de relógio dos dados paralelos é transferida no mesmo fluxo de dados em série que os dados paralelos serializados.

O documento US 2003/0091039 divulga um aparelho para possibilitar a transmissão de dados paralelos de um primeiro barramento paralelo até um segundo barramento paralelo através de um canal de dados em série, incluindo um primeiro elemento lógico que gera um caractere de sincronização, caractere esse que é utilizado num protocolo de transmissão de dados em série aquando da detecção de um pacote de sincronização paralela. Um conversor paralelo-série converte dados do primeiro elemento lógico num fluxo de dados em série. Um conversor série-paralelo converte o fluxo de dados em série numa pluralidade de pacotes de dados paralelos. Um segundo elemento lógico detecta o caractere de sincronização e converte-o num pacote de sincronização paralela.

SUMÁRIO DA INVENÇÃO

Numa realização da presente invenção, um sistema de transmissão multifrequência envia dados a partir de uma

primeira localização para uma segunda localização, sendo ao mesmo tempo capaz de ajustar-se a duas diferentes frequências de relógio de dados paralelos dos dados paralelos de entrada. Num método e sistema deste tipo os dados paralelos são recebidos com um relógio de dados paralelos associado, e são temporariamente armazenados num buffer. Os dados são gravados no buffer na frequência do relógio dos dados paralelos. Nesta realização, os dados são lidos a partir do buffer na frequência de saída, de modo a impedir um sobrefluxo/subfluxo do buffer. Tipicamente, a frequência do relógio de leitura é superior à frequência de relógio de escrita e, desta forma, durante os períodos de tempo sem leitura de dados, são gerados caracteres de controlo para estes ciclos de relógio. A totalidade de dados paralelos e caracteres de controlo é transferida para um conversor paralelo-série para a geração de um fluxo de dados de saída em série, que poderá ser transmitido, por vários meios, para uma localização remota, por exemplo, através de um meio óptico. Os dados serializados contêm informações relacionadas com a frequência de relógio dos dados paralelos. Na localização remota, os dados serializados são desserializados e convertidos novamente na forma paralela e armazenados num buffer. Os dados no buffer são lidos de modo a impedir um sobrefluxo/subfluxo. Os dados paralelos são lidos a partir do buffer a uma frequência do relógio dos dados paralelos, baseada na frequência do relógio dos dados paralelos, recebida no fluxo de dados em série. Assim, a saída do buffer, corresponde aos dados paralelos recebidos na parte transmissora do sistema de transmissão multifrequência. O sistema de transmissão multifrequência poderá ainda

codificar e descodificar os dados paralelos e caracteres de controlo antes do envio dos dados no fluxo de dados em série com a respectiva descodificação na altura da desserialização.

Uma realização da invenção encontra-se especificamente adaptada para transmitir vídeo de acordo com o padrão DVI (*Digital Video Input*).

Numa realização da presente invenção, é gerado um determinado caractere de controlo pela parte transmissora para delimitar os dados paralelos a serem serializados, sendo este caractere de controlo utilizado para recuperar os dados na parte receptora do sistema de transmissão.

Uma realização do sistema de transmissão multifrequência tem capacidade para transmitir e receber dados paralelos DVI num intervalo de 25 MHz a 165 MHz.

Uma realização do sistema de transmissão determina o número de palavras de dados paralelos (isto é, ciclos de relógio dos dados paralelos), que é recebido pelo transmissor durante um período de tempo predeterminado, em que a informação relativa a esta contagem é incluída nos dados serializados enviados para a parte receptora do sistema de transmissão multifrequência, de modo a determinar a frequência do relógio dos dados paralelos na

parte receptora. A invenção é definida na reivindicação 1 do método independente e nas reivindicações 9 e 10 do aparelho, que se encontram anexas.

BREVE DESCRIÇÃO DAS IMAGENS

Para uma melhor compreensão da natureza e objecto da presente invenção, deve ser referida a descrição detalhada que se segue, juntamente com as imagens que se seguem, em que:

A figura 1 é um diagrama de blocos simplificado de um sistema de transmissão multifrequência de acordo com a presente invenção.

A figura 2 é um diagrama de blocos da transmissão da parte transmissora do sistema de transmissão multifrequência.

ã figura 3 é um diagrama de blocos da parte receptora do sistema de transmissão multifrequência.

DESCRIÇÃO DETALHADA

Tal como visto na figura 1, um sistema de transmissão multifrequência 20 engloba uma parte transmissora 22 e uma parte receptora 24, interligadas por uma ligação de dados

em série 26, tal como uma fibra óptica, um cabo coaxial, uma ligação por rádio, etc. A parte transmissora 22 recebe dados paralelos de entrada 28, que serão temporariamente armazenados num buffer 30, tal como um buffer FIFO (first in/first out). O buffer poderá ser implementado de várias formas, incluindo a utilização de memórias de acesso aleatório (RAM - *Random Access Memory*), registos e semelhantes. Os dados paralelos de entrada são registados no buffer (FIFO) 30 por meio de um relógio de dados paralelos 32.

Os dados contidos na memória FIFO são lidos desta mesma memória FIFO no barramento 31, por meio de um relógio de referência de conversor paralelo-série 34 que apresenta uma frequência superior à do relógio dos dados paralelos 32. O multiplexador 36 recebe dados de sincronização e controlo no barramento 38, que são gerados por um módulo de controlo 40, juntamente com os dados paralelos no barramento 31, e lidos do buffer 30. O módulo de controlo também interage com a memória FIFO 30 e o conversor paralelo-série 42.

Os dados de sincronização e controlo são recebidos durante períodos de tempo em que não são lidos quaisquer dados paralelos da memória FIFO 30. Desta forma, os dados de entrada para o multiplexador são sincronizados no multiplexador à frequência do relógio de referência do conversor paralelo-série, sendo que os dados correspondem aos dados paralelos da memória FIFO 30 ou aos dados de

sincronização e controlo do módulo de controlo 40. O multiplexador 36 determina se são transferidos dados do barramento 31 ou do barramento 38 para o conversor paralelo-série 42.

Assim, a informação de saída do multiplexador é facultada ao conversor paralelo-série 42, sob o controlo do módulo de controlo 40, em conjunto com o relógio de referência do conversor paralelo-série 34, de modo a gerar um fluxo de dados em série para ser apresentado na ligação série 26. A ligação série poderá apresentar qualquer comprimento necessário para comunicar de uma extremidade remota, na qual se encontra a parte receptora 24 do sistema de transmissão multifrequência 20. A frequência do relógio do conversor paralelo-série é seleccionada de modo a que seja possível transmitir os dados de saída em série recebidos pelo multiplexador 36.

A parte receptora 24 do sistema de transmissão multifrequência 20 realiza de forma efectiva a operação inversa da parte transmissora. Desta forma, um conversor série-paralelo 44, sob o controlo de um relógio de referência de conversor série-paralelo 46, recebe o fluxo de dados em série de entrada e converte-o em dados paralelos na saída 48, sob o controlo de um módulo de controlo 50. Os dados paralelos são recebidos por um demultiplexador 52 que, sob o controlo de um módulo de controlo 50, gera uma primeira emissão paralela 54, que corresponde aos dados paralelos 28 recebidos pela parte

transmissora 22 e aos dados de sincronização e controlo 56 que correspondem aos dados de sincronização e controlo 38 gerados pela parte transmissora 22. Os dados paralelos 54 são gravados num buffer receptor 58, através do relógio de referência em série recuperado 64. Do buffer 58 sai, assim, um fluxo de dados paralelos de saída 62, que corresponde aos dados paralelos de entrada 28 recebidos pela parte transmissora 22. Os dados são sincronizados no buffer 58 pelo desmultiplexador 52, com base num relógio de referência de conversor paralelo-série recuperado 64, que corresponde ao relógio de referência de conversor paralelo-série 34. Os dados paralelos são lidos do buffer 58 com base na saída de dados paralelos 61 do relógio de saída de dados paralelos 60. Esta frequência de relógio de saída de dados paralelos numa das realizações é derivada do rácio entre os dados de sincronização e controlo 38 e os dados paralelos 31 do buffer 30. Desta forma é assegurado que os dados paralelos gravados no buffer 58 a partir do desmultiplexador 52 são lidos do buffer a uma frequência que corresponde essencialmente à frequência do relógio de dados paralelos 32, relógio este associado aos dados paralelos 28 recebidos pela parte transmissora 22. Ajustes menores à frequência do relógio de saída de dados paralelos 60 poderão ser efectuados por meio do módulo de controlo 50, juntamente com os indicadores 66 do buffer 68. Também poderá ser determinada, contando o número de ciclos do relógio de dados paralelos durante um tempo predeterminado, como por exemplo, 1 milissegundo.

O resultado global será que os dados paralelos de saída 62 e o relógio de saída de dados paralelos 62 correspondem essencialmente aos dados paralelos de entrada 28 e ao relógio de entrada de dados paralelos 32, apenas com uma instabilidade mínima. Além disso, qualquer referência distinta com o fim de estabelecer a frequência do relógio de saída de dados paralelos será eliminada, dado que a frequência deste relógio é determinada pela entrada dos dados em série no conversor série-paralelo 44, tal como será explicado mais tarde.

A figura 2 é um diagrama de blocos detalhado da parte transmissora 22 do sistema de transmissão multifrequência 20. É mostrado especificamente para uma realização da presente invenção, para a recepção de dados vídeo 27 correspondentes ao padrão DVI. Estes dados utilizam TMDS (Transition Minimized Differential Signaling) e são, na realidade, um tipo de dados em série de alta velocidade. Estes dados são convertidos em dados paralelos 28, e relógio 32, por um receptor digital 29. Tal como mostrado, os dados paralelos poderão abranger um pluralidade de oito bit bytes 68, 70 e 72, assim como informação de controlo associadas, normalmente designadas por 74, incluindo, por exemplo, informação de sincronização horizontal, informação de sincronização vertical e informação DE (data enable - activação de dados), assim como informação de controlo associada aos dados paralelos. O relógio de dados paralelos de entrada 32 poderá, no padrão DVI, encontrar-se no intervalo de 25 MHz a 165MHz. Esta informação é sincronizada no buffer 30 através do relógio 32. É lida do

buffer 30 através do relógio de referência do conversor paralelo-série 34. Obviamente, qualquer outro tipo de dados poderá ser recebido de acordo com a sua própria frequência do relógio de dados. É de referir que os tipos de dados recebidos pelo sistema de transmissão multifrequência 20 poderão, então, apresentar qualquer comprimento, desde que seja possível converter os dados em dados paralelos 28, com dados do relógio 32 associados. Assim, o receptor digital 29 e o transmissor digital 102, mostrados, respectivamente, nas figuras 2 e 3 associados à realização para a transmissão e recepção de dados de acordo com o padrão DVI, não necessitam de fazer parte do sistema de transmissão multifrequência.

Tal como foi mencionado, e relativamente a esta realização em particular, o relógio de referência do conversor paralelo-série apresenta uma frequência de dados de 180 MHz (isto é, maior que a frequência máxima de dados dos dados de entrada DVI). Os dados paralelos 28 são sincronizados no buffer 30 com base no sinal do relógio de dados paralelos 32, juntamente com o sinal de activação de gravação 76 do módulo lógico de controlo 40. O buffer 30 apresenta uma capacidade de relógio de leitura independente, isto é, o relógio de leitura poderá diferir do relógio de gravação e, sendo assim, os dados armazenados no buffer 30 poderão ser lidos por meio do relógio de referência do conversor paralelo-série 34, que funciona a uma frequência de relógio superior à do relógio associado com os dados paralelos de entrada. Devido à frequência de relógio superior do relógio de referência do conversor

paralelo-série, o buffer 30 apenas será lido quando activado para tal pelo sinal de activação de leitura 78 do módulo lógico de controlo 40, numa disposição que assegure a inexistência de subfluxo ou sobrefluxo dos dados no âmbito do buffer 30. Nos períodos de tempo nos quais não são lidos quaisquer dados do buffer 30, o relógio de referência do conversor paralelo-série 34, juntamente com o módulo de controlo 40, gera caracteres de controlo em barramentos de dados 80, de modo a que estes caracteres de controlo sejam recebidos pelo multiplexador 36. O módulo de controlo 40 poderá gerar informações para a transmissão, relacionadas com o relógio de dados paralelos 32, contando o número de ciclos do relógio de dados paralelos durante um tempo predeterminado, como por exemplo, 1 milissegundo.

O conversor paralelo-série 42 encontra-se ligado aos barramentos de saída 84 do multiplexador 36, sob o controlo do barramento de controlo K/dados 86 do módulo lógico de controlo 40. O barramento de controlo K/dados 86 informa o conversor paralelo-série 42 se os dados do multiplexador 36 correspondem ou não aos dados paralelos 28 ou aos caracteres de controlo gerados pelo módulo lógico de controlo 40, tal como recebidos pelo multiplexador 36 através dos barramentos de dados 80.

Nesta realização da presente invenção, o conversor paralelo-série 42 também codifica os dados paralelos recebidos, incluindo os caracteres de controlo por via de um esquema de codificação, como por exemplo, o esquema de

codificação 8B/10B, bem conhecido pelo estado da técnica. Obviamente será possível utilizar outros esquemas de codificação/descodificação. A emissão resultante, serializada e codificada, é mostrada na linha de saída 88 para ser apresentada ao módulo óptico 90 para que seja gerada uma emissão serializada no meio de dados serializados 26. Nesta realização em particular, o módulo óptico apresenta uma frequência de dados de 7,2 GHz, de modo a corresponder à frequência máxima de dados paralelos do relógio de referência do conversor paralelo-série 34, vezes o número de bits de dados paralelos recebidos pelo conversor paralelo-série 42 que, nesta realização em particular, são 40 bits. Obviamente, são possíveis outros meios para a transmissão de um fluxo de dados em série de saída, incluindo o uso de cabos coaxiais ou de um módulo de saída de frequência de rádio em vez do módulo óptico 30. Meios alternativos deste tipo para gerar um fluxo de dados em série de saída para uma transmissão de longa distância são bem conhecidos pela técnica.

A figura 3 é um diagrama de blocos detalhado da parte receptora 24 do sistema de transmissão multifrequência e inclui um módulo óptico 92 correspondente para a recepção do fluxo de dados em série por via de um elemento em série 26. O relógio de referência do conversor série-paralelo 46 apresenta uma frequência nominal que corresponde ao relógio de referência do conversor paralelo-série 34 que, nesta realização em particular, é de 180 MHz. O conversor série-paralelo 44, nesta realização em particular, não só desserializa os dados de entrada do módulo óptico 32, mas

também descodifica os dados, nesta realização em particular, através do esquema de descodificação 8B/10B.

Uma vez mais, os dados desserializados pelo conversor serie-paralelo 44 são enviados em barramentos de dados paralelos de saída 48 e correspondem aos dados DVI de entrada e informações de controlo, enquanto que os caracteres de controlo, recebidos nos períodos de tempo sem presença de dados DVI, são transferidos para o módulo de controlo 50, por via de um barramento 56 e sob controlo do barramento de dados/K 94.

O módulo de controlo 50, por via da linha de controlo de multiplexador (MUX) 96 e do relógio do conversor paralelo-série recuperado 64, controla o multiplexador 52 no que diz respeito à gravação dos dados DVI paralelos no desmultiplexador. A emissão do desmultiplexador, no que diz respeito aos dados paralelos (dados DVI 28), é transferida para o buffer 58, um buffer do tipo FIFO, que igualmente se encontra sob o controlo do módulo lógico de controlo 50 por via do sinal de activação de gravação (sinal WE - *write enable*) 98.

Os flags de saída FIFO 66 são transferidos para o módulo lógico de controlo 50 para permitir a temporização do sinal de activação de leitura (RE - *read enable*) 100 que, em conjunto com o sinal do relógio de saída de dados paralelos 61 do relógio de saída de dados paralelos 60,

assegura que os dados lidos do buffer FIFO 58 se encontram a uma frequência de dados correspondente à frequência dos dados de entrada dos dados paralelos 28, e para assegurar ainda que não ocorra um subfluxo ou um sobrefluxo. A frequência do sinal do relógio de saída de dados paralelos 61 é ajustada mediante a comparação desta mesma frequência do relógio à informação relacionada com a frequência do relógio de dados paralelos, tal como transmitida no fluxo de dados em série.

A saída 62 do buffer FIFO 58 e o sinal do relógio de saída de dados paralelos 61 são transferidos para um transmissor digital DVI 102, para gerar uma saída de dados DVI TMDS 104 que corresponde aos dados DVI de entrada 27 recebidos por um receptor 29 no *front-end* da parte transmissora 22 do sistema de transmissão multifrequência 20.

O resultado global do sistema de transmissão multifrequência é, assim, gerar uma saída de dados paralelos na parte receptora, que corresponde à entrada de dados paralelos recebidos pela parte transmissora. A presente invenção atinge estes objectivos recapturando a frequência de dados dos dados paralelos de entrada, sem necessidade de qualquer transmissão separada de informações de relógio para além das informações transmitidas no fluxo de dados em série entre a parte transmissora e a parte receptora. Através do módulo lógico de controlo 50, juntamente com o relógio de saída de dados paralelos 60,

serão efectuados pequenos ajustes da frequência de leitura dos dados paralelos do buffer 58, de modo a minimizar a instabilidade associada à frequência do relógio de saída de dados paralelos 61, que corresponde à frequência de entrada dos dados paralelos que chegam à parte transmissora do sistema de transmissão multifrequência. Esta minimização da instabilidade é essencial para algumas aplicações, incluindo aplicações DVI.

Num exemplo em particular, a frequência do relógio de dados paralelos de entrada deriva do fluxo de dados recebidos no conversor série-paralelo 44 pelo módulo de controlo, comparando a percentagem de dados paralelos à percentagem de caracteres de controlo recebidos por via do conversor série-paralelo. Sendo assim, por exemplo, se for utilizado um sinal de relógio de 180 MHz, e se os dados paralelos perfizerem 50% dos dados desserializados e os caracteres de controlo representarem os restantes 50% dos dados desserializados, a frequência do relógio de dados paralelos é de $0,5 \times 180\text{MHz}$, ou seja, 90MHz.

O resultado global é um sistema de transmissão multifrequência, que poderá ser utilizado com dados paralelos de entrada que poderão situar-se num largo intervalo de frequências para qualquer aplicação em particular. Caso a frequência de entrada dos dados paralelos de entrada varie, é fácil obter uma ressinchronização do sistema de transmissão multifrequência, dado que as informações necessárias para a recuperação de

dados paralelos de entrada se encontram no fluxo de dados em série, recebidos pelo conversor série-paralelo na parte receptora.

Para a realização da presente invenção, em que dados DVI são transmitidos da parte transmissora à parte receptora, um método de medição do relógio de dados paralelos é a contagem do número de ciclos do relógio de dados paralelos durante um período de tempo de 1 milissegundo. Esta função é executada pelo controlador 40. Um valor de 24 bits é lido por um CPU local (CPU - *Central Processing Unit*) do módulo de controlo e transmitido pelo conversor série-paralelo e a ligação óptica 26 durante uma fase de controlo da transmissão.

Para a parte receptora, o valor da parte transmissora será lido e armazenado na memória do módulo de controlo 50 para comparação à frequência do relógio de saída de dados paralelos 60. Tal como na parte transmissora, este valor poderá ser determinado contando o número de palavras de dados paralelos num período de tempo de um milissegundo.

Os dois valores para o receptor e o transmissor são comparados e o relógio de saída de dados paralelos é ajustado utilizando o procedimento descrito na tabela 1 mais abaixo. Os ajustes poderão ser efectuados durante cada período de sincronização vertical de dados vídeo, normalmente a uma frequência de 60 Hz.

O conceito subjacente desta metodologia é que, se o relógio receptor for mais rápido que o relógio transmissor, a CPU na parte receptora abrandará o gerador do relógio (relógio de saída de dados paralelos) e, inversamente, se o relógio receptor for demasiado lento, o módulo de controlo irá acelerar o gerador do relógio.

É possível efectuar melhorias para verificar se os valores se encontram no intervalo, tal como um procedimento para ajustar o gerador do relógio em etapas não lineares, para obter uma comparação mais rápida do que seria possível de outro modo. Tal será realizado usando fases de ajuste COURSE e MEDIUM (ver tabela 1).

Uma fase FINE utiliza a contagem de dados FIFO do buffer 58 como indicação da rapidez ou lentidão com que os dados estão a ser lidos. Para a operação nominal, a palavra de dados FIFO deverá corresponder a aproximadamente metade do tamanho FIFO, para permitir "*rubberbanding*" dos dados de saída. A palavra de dados FIFO é continuamente monitorizada e o relógio é continuamente ajustado para compensar uma ruptura de dados e imprecisão do relógio de origem. Quando não é possível ajustar duas contagens de relógio no âmbito de um intervalo normal, o procedimento reverte para o modo COURSE ou MEDIUM, para reajustar o sinal do relógio regenerado. Este procedimento poderá ser utilizado para detectar uma alteração na resolução do ecrã nos dados vídeo DVI de entrada.

Outra realização da presente invenção poderá receber os dados correspondentes ao standard USB (*Universal Serial Bus* - Barramento Serial Universal), incluindo o padrão USB 2.0, para transmitir as informações de teclado, rato e áudio, ou quaisquer outras informações que suportem o standard USB.

A ligação em série, assim como o transmissor e o receptor ópticos associados, poderão ser implementados de acordo com o padrão XAUI para a interligação de portas 10 Gigabit Ethernet (10GbE). Também poderão ser utilizados para aplicações de transceptor óptico independentes de protocolo, e substituíveis em funcionamento 10G XFP (*SFP - small form factor pluggable*), incluindo aquelas para aplicações de ligação dupla DVI.

TABELA 1

Pseudo-algoritmo de controlo de código:

```

//*****

// Esta rotina é chamada em cada sinc. vertical (aprox. 16 ms para 60 Hz)

//*****

Obter nova contagem TX e RX; // novas contagens são geradas a cada milissegundo

If (COARSE ADJUST)
  {
    If (contagem TX e RX em intervalo válido)
      If (primeira vez através de COARSE)
        {
          Calcular o valor inicial a enviar para o gerador de relógio
          utilizando a contagem TX;
          Enviar o valor para o gerador de relógio;
        }
      Else If (sem ser primeira vez através de COARSE)
        {
          Calcular a diferença nas contagens de relógio TX e RX;
          if (diferença > 30)
            {

```

```

if (count_tx > count_rx)
    {
        Calcular o valor a enviar para o gerador de
relógio;

        utilizando a contagem TX +x;
        Enviar valor para gerador de relógio;
    }
else if (count_tx < count_rx)
    {
        Calcular o valor a enviar para o gerador
de relógio utilizando a contagem TX - x;
        Enviar valor para gerador de relógio;
    }
Eise           // we are = go to medium
    {
        Definir flags para ir para médio na próxima
vez, através

    }
} // end if (!first_time_flag)
} // end if (do_range)
} // end if (coarse_adjust)

//-----
// ajuste médio
//-----
IF (MEDIUM ADJUST)
    {
        If (contagem TX e RX em intervalo válido)
            {

```

```

Calcular a diferença entre contagens TX e RX;
if (diferença > 50) // fora do intervalo de ajuste {
    Definir flags para entrar ajuste largo na próxima vez;
    sair;
}
else if (diferença > 10)
    medium_step_value = 0x6000;
else if (diferença > 5)
    medium_step_value = 0x5000;
else if (diferença > 2)
    medium_step_value = 0x4000;
else if (diferença > 1)
    medium_step_value = 0x3000;
else
    medium_step_value = 0x2000;
//
// contagens TX & RX entre 2 contagens
//
if (fpga_count_tx > fpga_count_rx)
{
    value += (u32)medium_step_value;           // acelerar
    Enviar valor para gerador de relógio;
}
else if (fpga_count_tx < fpga_count_rx)
{
    value -= (u32)medium_step_value;           // abrandar
    Enviar valor para gerador de relógio
}

```

```

        else // iguais; ir para ajuste fino
        {
            Definir flags para ajuste fino, na próxima vez, através de;
        }
    }
}

// -----

ajuste fino

// -----

if (fine_adjust)
{
    if (fifo_count > FIFO_UPPER_COUNT)
    {
        // 9910 demasiado lento: acelerar
        if (count_rx <= count_tx) // permitir acelerar apenas se rx <= tx
        {
            value += FINE_STEP_VALUE;
            Enviar valor para gerador de relógio;
        }
    }
    else if (fifo_count < FIFO_LOWER_COUNT )
    {
        // 9910 demasiado rápido: abrandar
        if (count_rx >= count_tx) // permitir abrandar apenas se rx >=
tx
        {
            value -= FINE_STEP_VALUE; // valor do passo
            Enviar valor para o gerador de relógio;
        }
    }
}

```

```

    }
  } // end else if

  // VERIFICAR CONTAGEM TX & RX PARA ALTERAÇÃO DE RESOLUÇÃO
  //
  if (count_tx and count_rx em intervalo válido)
  {
    Calcular a diferença nas contagens de relógio TX e RX;
    if (diferença > 10)          // com mais de 10 contagens fora, alteramos
    as resoluções
    {
      Definir flags para ir para ajuste largo, na próxima vez, através de;
      first_time_flag= 0;
    }
    else if (diferença > 2)      // ajuste fino fora do intervalo de
ajuste
    {
      Definir flags para ir para modo médio, na próxima vez, através de;
    }
  } // end if ( )
} // end if (fine_adjust)
}

```

COMPONENTES

O buffer, registo, multiplexador, conversor paralelo-série e módulo lógico de controlo da parte transmissora 22 poderão ser fabricados a partir de uma matriz de portas de campo programáveis. Os módulos ópticos 90 e 92 poderão ser um pequeno transceptor óptico SFP. O conversor série-paralelo, multiplexador, buffer e módulo lógico de controlo

para a parte receptora 24 também poderão ser fabricados a partir de matrizes de portas de campo programáveis. O relógio de saída de dados paralelos 60 poderá ser fabricado a partir da peça de Dispositivo Análogo nº AD9910, apresentando um intervalo de relógio de entre 0 a 400 MHz com incrementos de 0,25 Hz. Os módulos de controlo também poderão ser fabricados a partir de unidades de processamento de controlo com memória associada para o controlo de programas (incluindo a implementação de informações de controlo do relógio de dados paralelos). O receptor digital 29 poderá ser fabricado a partir de um receptor manufacturado por Silicon Image, peça nº 7171 e o transmissor digital 102 poderá ser fabricado a partir de um transmissor manufacturado por Silicon Image, peça nº 7170.

Embora tenham sido mostradas, descritas e destacadas novas características fundamentais da invenção, tal como aplicadas às realizações preferenciais desta mesma, é subentendida a possibilidade de várias omissões, assim como de substituições ou alterações em forma e detalhe dos dispositivos e métodos descritos por parte dos especialistas na matéria, sem que ocorra um afastamento do escopo da invenção. Por exemplo, é expressamente entendido que todas as combinações dos elementos e/ou etapas de método que têm substancialmente a mesma função, funcionando essencialmente da mesma maneira, para obter os mesmos resultados, se encontram dentro do escopo da invenção. Mais ainda, deverá ser entendido que as estruturas e/ou elementos e/ou etapas de método mostrados e/ou descritos em relação com qualquer forma ou realização divulgada da

invenção poderão ser incorporados em qualquer outra forma ou realização divulgada, descrita ou proposta, como uma forma geral de escolha de design. É, então, intencionado que a única limitação sejam as reivindicações anexas. Além disso, nas reivindicações, as cláusulas "meio + função" pretendem abranger as estruturas aqui descritas como realizadoras das funções citadas e não apenas como estruturalmente equivalentes, mas também como estruturas equivalentes. Ou seja, embora um prego e um parafuso não sejam estruturalmente equivalentes, sendo que um prego aplica uma superfície cilíndrica para segurar partes de madeira entre si, enquanto um parafuso aplica uma superfície de hélice para apertar partes de madeira, um prego e um parafuso poderão ser estruturas equivalentes.

REFERÊNCIAS CITADAS NA DESCRIÇÃO

Esta lista de referências citadas pelo requerente é apenas para a conveniência do leitor. A mesma não faz parte do documento de Patente Europeia. Embora tenha sido tomado muito cuidado na compilação das referências, não se poderão excluir erros e omissões e o EPO nega qualquer responsabilidade neste sentido.

Documentos de Patente citados na descrição

- US 20030091039 A [0004]

REIVINDICAÇÕES

1. Um método para enviar e receber dados, englobando:

- o armazenamento temporário de dados paralelos num primeiro buffer, com base num relógio de dados paralelos recebidos.
- a leitura dos referidos dados paralelos, do referido primeiro buffer, a uma frequência que previne um sobrefluxo ou subfluxo do referido primeiro buffer,
- a geração de informações relacionadas com o referido relógio de dados paralelos e a geração de caracteres de controlo quando os dados não são lidos do referido buffer,
- o armazenamento das referidas informações relacionadas com o referido relógio de dados paralelos e os referidos caracteres de controlo, e
- a serialização dos referidos dados paralelos lidos, das referidas informações relacionadas com o referido relógio de dados paralelos e dos referidos caracteres de controlo num fluxo de dados em série,
- a transmissão dos referidos dados serializados,
- a determinação, pelo menos aproximada, do referido relógio de dados paralelos a partir das informações relacionadas com o referido relógio de dados paralelos,
- o armazenamento dos referidos dados desserializados de forma paralela num segundo buffer, com base na referida determinação aproximada do referido relógio de dados paralelos, e

- a leitura dos referidos dados paralelos a partir do referido segundo buffer, à referida aproximação do referido relógio de dados paralelos, de modo a prevenir sobrefluxo e subfluxo do referido segundo buffer.

2. O método da reivindicação 1, em que um relógio de referência de conversor paralelo-série funciona a uma frequência de conversor paralelo-série superior à frequência do relógio de dados paralelos, e em que serão gerados caracteres de controlo à referida frequência de conversor paralelo-série sempre que os dados paralelos não são lidos do referido primeiro buffer.

3. O método da reivindicação 1 ou 2, em que as informações relacionadas com o referido relógio de dados paralelos se baseiam no rácio entre os referidos caracteres de controlo e os referidos dados paralelos.

4. O método da reivindicação 2, em que as informações relacionadas com o referido relógio de dados paralelos se baseiam num número de palavras de dados paralelos recebidos durante um período predeterminado de tempo.

5. O método da reivindicação 4, em que a determinação de uma aproximação do relógio de dados paralelos é efectuada recuperando o referido número de palavras de dados paralelos, recebidas durante um período de tempo predeterminado, a partir de dados desserializados, e comparando uma frequência do relógio derivada a um relógio

gerado localmente, ajustando o referido relógio gerado localmente com base na referida comparação.

6. O método da reivindicação 5, em que o ajuste é efectuado em incrementos ajustáveis, com base num valor da referida comparação.

7. O método da reivindicação 1 ou 2, englobando ainda:

a codificação dos referidos dados paralelos, as referidas informações relacionadas com o referido relógio de dados paralelos e os caracteres de controlo, com base num esquema de codificação, e a serialização dos referidos dados paralelos codificados, as referidas informações relacionadas com o referido relógio de dados paralelos e os referidos caracteres de controlo codificados e, posteriormente, a desserialização dos referidos dados paralelos codificados, as referidas informações relacionadas com o referido relógio de dados paralelos e os referidos caracteres de controlo codificados e, ainda, a descodificação dos referidos dados paralelos codificados desserializados, as referidas informações relacionadas com o referido relógio de dados paralelos e os referidos caracteres de controlo codificados desserializados, com base num esquema de descodificação que corresponde ao referido esquema de codificação.

8. O método da reivindicação 2, em que pelo menos alguns dos caracteres de controlo são utilizados para determinar a

localização dos dados paralelos em relação a outros dados desserializados.

9. Um aparelho para o envio de dados, englobando:

um buffer para receber dados paralelos com base num relógio de dados paralelos,
um módulo de controlo para controlar a leitura de dados a partir do buffer, de modo a impedir um sobrefluxo ou subfluxo, para gerar informações relacionadas com o referido relógio de dados paralelos e para gerar caracteres de controlo quando não são lidos quaisquer dados do buffer,
um multiplexador para o armazenamento das informações de dados paralelos relacionadas com o referido relógio de dados paralelos e os referidos caracteres de controlo,
um conversor paralelo-série, em cooperação com o referido multiplexador, para converter os dados paralelos, as informações de dados paralelos relacionadas com o referido relógio de dados paralelos e os caracteres de controlo num fluxo de dados em série para transmissão, e
um transmissor de dados em série para transmitir o referido fluxo de dados em série.

10. Um aparelho para a recepção de dados, englobando:

um receptor de dados em série para receber um fluxo de dados em série,

um conversor série-paralelo para converter o referido fluxo de dados em dados paralelos, caracteres de controlo e informações relacionados com um relógio de dados paralelos,
um desmultiplexador para receber os dados paralelos e informações relacionadas com o referido relógio de dados paralelos,
um buffer para receber os dados paralelos do desmultiplexador, e
um módulo de controlo para receber os caracteres de controlo do conversor série-paralelo, para controlar a transferência de dados paralelos para o multiplexador, para controlar a escrita de dados paralelos no buffer, e para controlar a geração de, pelo menos, uma aproximação do referido relógio de dados paralelos, com base nas referidas informações relacionadas com o referido relógio de dados paralelos, de modo a que os dados paralelos sejam lidos do buffer à referida aproximação do referido relógio de dados paralelos, de forma a prevenir o sobrefluxo e subfluxo do referido buffer.

11. Um sistema para enviar e receber dados, englobando:

o aparelho para enviar e receber dados de acordo com a reivindicação 9, e
uma parte receptora que apresenta:

um receptor de dados em série para receber o referido fluxo de dados em série,

um conversor série-paralelo para converter o referido fluxo de dados nos referidos dados paralelos, nos referidos caracteres de controlo e nas referidas informações relacionadas com o referido relógio de dados paralelos,
um desmultiplexador para receber os dados paralelos e informações relacionadas com o referido relógio de dados paralelos,
um segundo buffer para receber os dados paralelos do desmultiplexador, e
um módulo de controlo para receber os caracteres de controlo do conversor série-paralelo, para controlar a transferência dos dados paralelos para o desmultiplexador, para controlar a escrita de dados paralelos no segundo buffer, e para controlar a geração de pelo menos uma aproximação do referido relógio de dados paralelos, com base nas referidas informações relacionadas com o referido relógio de dados paralelos, de modo a que os dados paralelos sejam lidos do segundo buffer à referida aproximação do referido relógio de dados paralelos, de modo a prevenir o sobrefluxo e subfluxo do referido segundo buffer.

12. O sistema da reivindicação 11, em que as referidas informações relacionadas com o referido relógio de dados paralelos são determinadas contando os ciclos do relógio de dados paralelos, recebidos pelo buffer durante um período de tempo predeterminado, e transferindo estas informações

para o conversor paralelo-série para transmissão no fluxo de dados em série.

13. O sistema da reivindicação 12, em que o conversor paralelo-série codifica os dados paralelos, as informações relacionadas com o referido relógio de dados paralelos e os caracteres de controlo antes da serialização dos referidos dados paralelos, das referidas informações relacionadas com o referido relógio de dados paralelos e dos referidos caracteres de controlo.

14. O sistema da reivindicação 11, em que as informações relacionadas com o referido relógio de dados paralelos são determinadas com base no rácio entre os dados paralelos e os caracteres de controlo.

15. O sistema da reivindicação 11, em que o transmissor de dados em série e o referido receptor de dados em série são, respectivamente, um transmissor óptico e um receptor óptico.

16. O sistema da reivindicação 11, em que um relógio de referência para envio é configurado para funcionar a uma frequência de conversor paralelo-série superior à frequência do relógio de dados paralelos, e em que os caracteres de controlo são gerados à referida frequência de conversor paralelo-série, sempre que não são lidos quaisquer dados paralelos a partir do referido primeiro buffer.

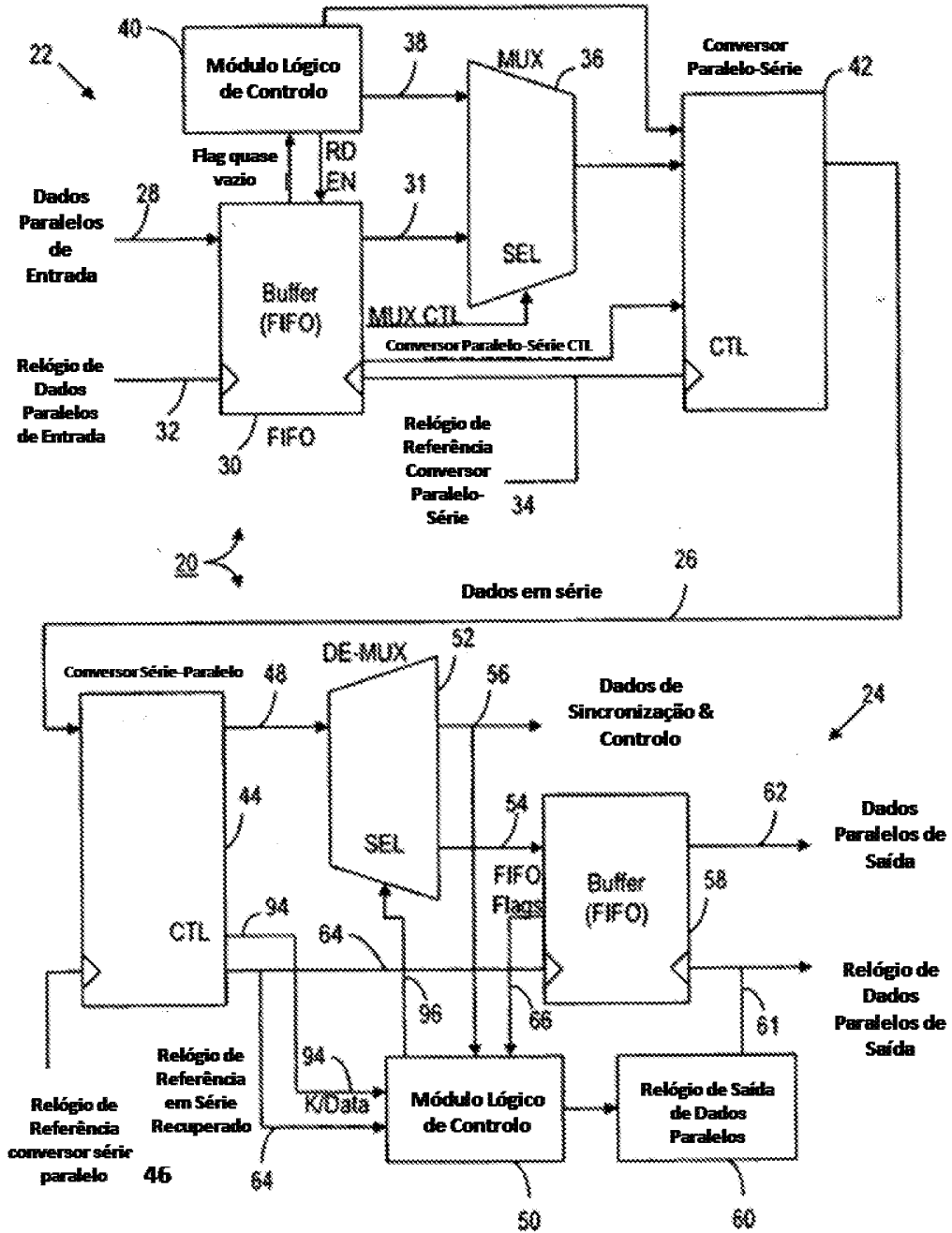


FIG. 1

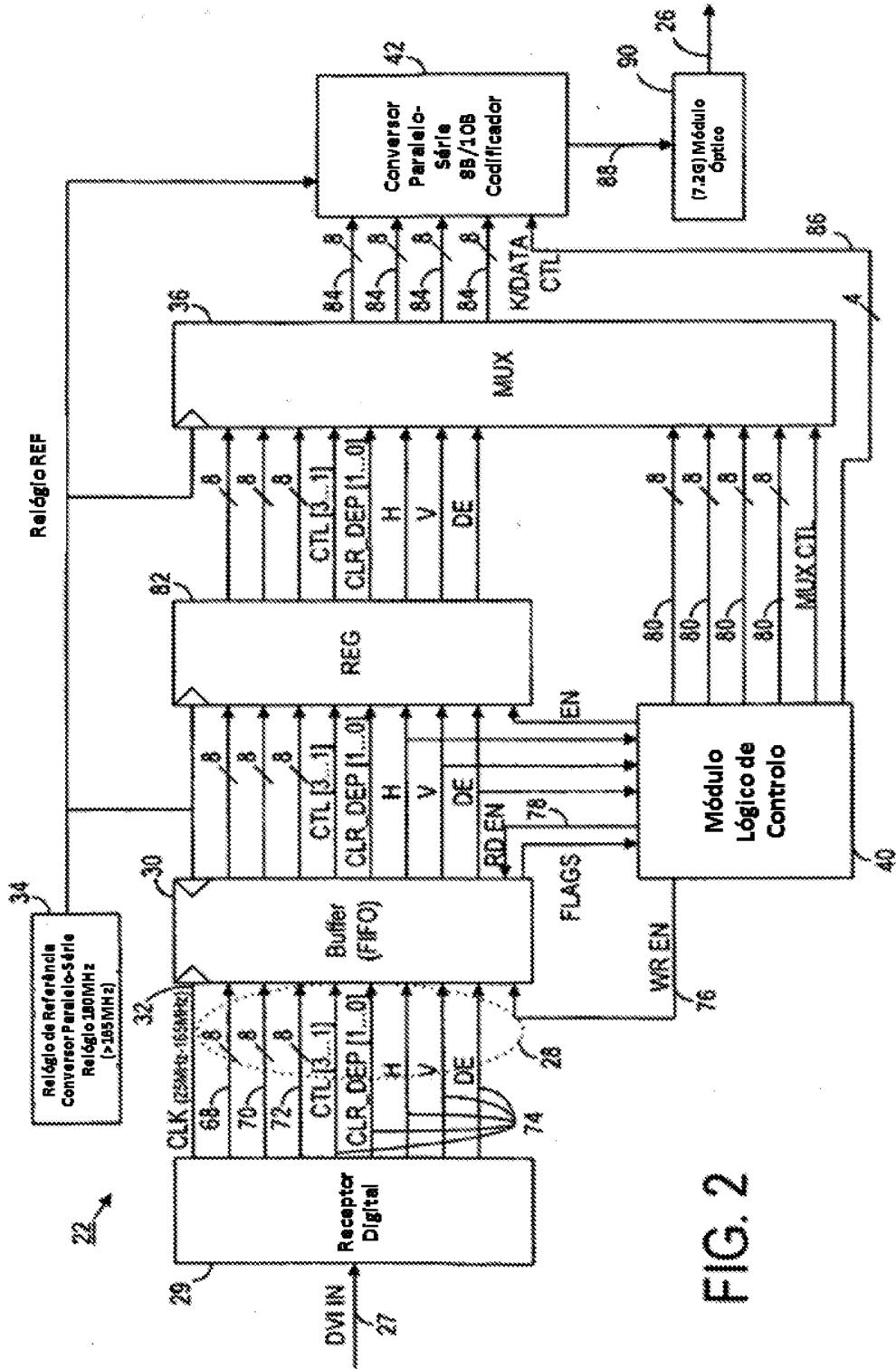


FIG. 2

