(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월17일
(11) 등록번호 10-1319750
(24) 등록일자 2013년10월11일

(51) 국제특허분류(Int. Cl.)
H01L 31/075 (2006.01) *H01L 31/18* (2006.01)
H01L 31/042 (2006.01)
(21) 출원번호 10-2011-7020334
(22) 출원일자(국제) 2010년06월08일
심사청구일자 2011년08월31일
(85) 번역문제출일자 2011년08월31일
(65) 공개번호 10-2011-0122704
(43) 공개일자 2011년11월10일
(86) 국제출원번호 PCT/US2010/037815
(87) 국제공개번호 WO 2010/144480
국제공개일자 2010년12월16일
(30) 우선권주장
61/185,770 2009년06월10일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US20050145972 A1*
US06087580 A*
US06184458 B1
US20030000565 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
씬실리콘 코포레이션
미국 94043 캘리포니아주 마운틴 뷰 엔. 쇼어라인 블루버드 #비-3 1400
(72) 발명자
코클리, 케빈
미국 캘리포니아주 마운틴 뷰 넘버비-3 노쓰 쇼어라인 블러바드 1400
후센, 굴레이드
미국 캘리포니아주 마운틴 뷰 넘버비-3 노쓰 쇼어라인 블러바드 1400
(뒷면에 계속)
(74) 대리인
백만기, 정은진, 양영준

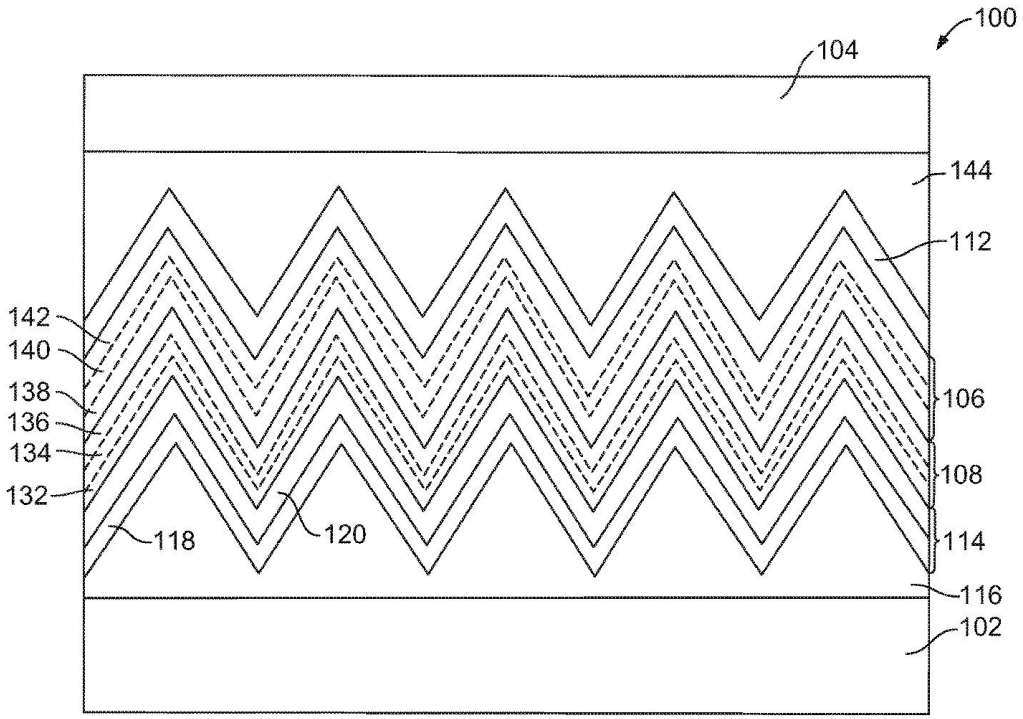
전체 청구항 수 : 총 20 항 심사관 : 천대식

(54) 발명의 명칭 **반도체 다층 스택을 구비한 광전지 모듈 및 광전지 모듈의 제작 방법**

(57) 요 약

광전지 모듈을 제작하는 방법이 제공된다. 방법은 전기적으로 전기 절연 기판과 하부 전극을 제공하는 단계, 하부 전극 위에 실리콘 층들의 하부 스택을 피착하는 단계 및 하부 스택 위에 실리콘 층들의 상부 스택을 피착하는 단계를 포함한다. 하부 및 상부 스택들은 N-I-P 접합들을 포함한다. 하부 스택은 적어도 1.60eV의 에너지 밴드 갭을 가지며, 상부 스택은 적어도 1.80eV의 에너지 밴드갭을 갖는다. 방법은 상부 스택 위에 상부 전극을 제공하는 단계를 더 포함한다. 하부 및 상부 스택들은 상부 및 하부 전극들 사이에서 입사광을 전위로 전환하며, 하부 및 상부 스택은 각기 입사광의 파장에 기초하여 입사광의 서로 다른 부분을 전위로 전환한다.

대 표 도



(72) 발명자

스테펜즈, 제이슨

미국 캘리포니아주 마운틴 뷰 넘버비-3 노쓰 쇼어 라인 블러바드 1400

기로트라, 쿠날

미국 캘리포니아주 마운틴 뷰 넘버비-3 노쓰 쇼어 라인 블러바드 1400

로센탈, 사무엘

미국 94043 캘리포니아주 샌 프란시스코 돌로레스 에스티. 139

(30) 우선권주장

61/221,816 2009년06월30일 미국(US)

61/230,790 2009년08월03일 미국(US)

특허청구의 범위

청구항 1

광전지 모듈을 제작하는 방법으로서,

전기 절연 기판과 하부 전극을 제공하는 단계;

상기 하부 전극 위에, 비정질의 n-도핑된 실리콘의 저부 서브층, 적어도 1.60eV의 에너지 밴드갭을 갖는 비정질의 진성 실리콘의 중간 서브층, 및 p-도핑된 실리콘의 상부 서브층을 포함하는 N-I-P 접합을 포함하는 실리콘 층들의 하부 스택을 피착하는 단계;

상기 하부 스택 위에, 비정질의 n-도핑된 실리콘의 저부 서브층, 적어도 1.80eV의 에너지 밴드갭을 갖는 비정질의 진성 실리콘의 중간 서브층 및 p-도핑된 실리콘의 상부 서브층을 포함하는 N-I-P 접합을 포함하는 실리콘 층들의 상부 스택을 피착하는 단계; 및

상기 상부 스택 위에 상부 전극을 제공하고 상기 상부 전극 위에 커버 층을 제공하는 단계

를 포함하며,

상기 하부 스택 및 상부 스택은 상기 상부 전극과 하부 전극 사이에서 상기 기판에 대향하는 상기 커버 층 상에서 상기 광전지 모듈에 입사하고, 상기 커버 층 및 상부 전극을 통하여 실리콘 층들의 상기 상부 스택 및 실리콘 층들의 상기 하부 스택으로 이동하는 광을 전위로 전환하며, 상기 하부 스택 및 상부 스택의 각각은 상기 광의 파장들에 기초하여 상기 광의 서로 다른 부분을 전위로 전환하는, 방법.

청구항 2

제1항에 있어서, 상기 하부 스택을 피착하는 단계는 게르마늄(Ge)을 피착하지 않고 비정질 실리콘 층들을 피착하는, 방법.

청구항 3

제1항에 있어서, 상기 하부 스택 내의 게르마늄 함량은 0.01% 이하인, 방법.

청구항 4

제1항에 있어서, 실리콘 층들의 상기 하부 스택의 상부 서브층은 실리콘 층들의 상기 하부 스택의 저부 서브층 및 중간 서브층보다 낮은 온도에서 피착되는, 방법.

청구항 5

제4항에 있어서, 상기 저부 서브층, 중간 서브층 및 상부 서브층을 피착하는 단계는 상기 저부 서브층 및 중간 서브층을 적어도 250℃의 온도에서 피착하고 상기 상부 서브층을 220℃ 이하의 온도에서 피착하는 단계를 포함하는, 방법.

청구항 6

제1항에 있어서, 상기 상부 스택을 피착하는 단계는 상기 하부 스택을 피착하는 온도보다 낮은 온도에서 상기 상부 스택을 피착하는 단계를 포함하는, 방법.

청구항 7

제1항에 있어서, 상기 상부 스택을 피착하는 단계는 비정질의 n-도핑된 실리콘의 저부 서브층, 비정질의 진성 실리콘의 중간 서브층 및 p-도핑된 실리콘의 상부 서브층을 220℃ 이하의 온도에서 피착하는 단계를 포함하는, 방법.

청구항 8

제1항에 있어서, 인접한 광전지 셀(cell)들 내의 상기 상부 전극의 섹션들을 전기적으로 분리시키도록 상기 상부 전극의 일부를 제거하는 단계를 더 포함하며, 상기 제거하는 단계는 상기 광전지 셀들 내의 상기 하부 전극

으로부터 상기 상부 전극으로 상기 하부 스택 및 상부 스택을 통해 연장된 바이패스 다이오드를 형성하는, 방법.

청구항 9

제8항에 있어서, 상기 제거하는 단계는 상기 하부 스택 및 상부 스택의 일부의 결정질 분율을 상기 하부 스택 및 상부 스택의 잔여부보다 크게 되도록 증가시키며, 증가한 상기 결정질 분율을 갖는 일부는 상기 바이패스 다이오드를 형성하는, 방법.

청구항 10

제8항에 있어서, 상기 바이패스 다이오드를 갖는 상기 광전지 셀이 역방향 바이어스되는 때 상기 바이패스 다이오드를 통해 상기 상부 전극과 상기 하부 전극 사이에 전류를 전도하는 단계를 더 포함하는, 방법.

청구항 11

제8항에 있어서, 상기 바이패스 다이오드를 갖는 상기 광전지 셀이 입사광으로부터 가려지고 인접한 셀들이 입사광에 노출되는 때 상기 바이패스 다이오드를 통해 상기 상부 전극과 상기 하부 전극 사이에 전류를 전도하는 단계를 더 포함하는, 방법.

청구항 12

단일 집적 광전지 모듈로서,

전기 절연 기판;

상기 기판 위에 배치된 하부 전극;

비정질의 n-도핑된 실리콘의 저부 서브층, 적어도 1.60eV의 에너지 밴드갭을 갖는 비정질의 진성 실리콘의 중간 서브층 및 비정질의 p-도핑된 실리콘의 상부 서브층으로 형성된 N-I-P 접합을 포함하고 상기 하부 전극 위에 배치된 실리콘 층들의 하부 스택;

비정질의 n-도핑된 실리콘의 저부 서브층, 적어도 1.80eV의 에너지 밴드갭을 갖는 비정질의 진성 실리콘의 중간 서브층 및 비정질의 p-도핑된 실리콘의 상부 서브층으로 형성된 N-I-P 접합을 포함하고 상기 하부 스택 위에 배치된 실리콘 층들의 상부 스택; 및

상기 상부 스택 위에 배치된 상부 전극 및 상기 상부 전극 위에 배치된 커버 층

을 포함하며,

상기 상부 스택의 에너지 밴드갭은 상기 하부 스택 및 상부 스택이 광의 파장들에 기초하여 상기 상부 전극과 상기 하부 전극 사이에서 입사광의 서로 다른 부분을 전위로 전환하도록 상기 하부 스택의 에너지 밴드갭보다 크고, 상기 광은 상기 기판에 대향하는 상기 커버 층 상에서 상기 광전지 모듈에 입사하고 상기 커버 층 및 상부 전극을 통과하여 실리콘 층들의 상기 상부 스택 및 상기 하부 스택에 의해 흡수되는, 단일 집적 광전지 모듈.

청구항 13

제12항에 있어서, 상기 하부 스택은 상기 하부 스택에 배치된 게르마늄(Ge)이 없는 비정질 실리콘 접합을 포함하는, 단일 집적 광전지 모듈.

청구항 14

제12항에 있어서, 상기 하부 스택 및 상부 스택의 각각은 비정질 실리콘의 N-I-P 접합들을 포함하는, 단일 집적 광전지 모듈.

청구항 15

제12항에 있어서, 상기 하부 스택은 N-도핑된 실리콘의 저부 서브층, 진성 실리콘의 중간 서브층 및 P-도핑된 실리콘의 상부 서브층을 포함하며, 상기 상부 서브층은 상기 저부 서브층 및 중간 서브층과는 다른 에너지 밴드갭을 갖는, 단일 집적 광전지 모듈.

청구항 16

제12항에 있어서, 상기 하부 스택은 N-도핑된 실리콘의 저부 서브층, 진성 실리콘의 중간 서브층 및 P-도핑된 실리콘의 상부 서브층을 포함하며, 상기 상부 서브층은 상기 저부 서브층 및 중간 서브층의 각각이 광을 투과시키는 것보다 더 많은 광을 투과시키는, 단일 집적 광전지 모듈.

청구항 17

제12항에 있어서, 광전지 셀들 내의 상기 하부 전극으로부터 상기 상부 전극으로 상기 하부 스택 및 상부 스택을 통해 연장된 바이패스 다이오드를 더 포함하며, 상기 바이패스 다이오드는 상기 하부 스택 및 상부 스택의 잔여부보다 큰 결정질 분율을 갖는 상기 하부 스택 및 상부 스택의 일부를 포함하는, 단일 집적 광전지 모듈.

청구항 18

제17항에 있어서, 상기 바이패스 다이오드는 상기 상부 전극 및 하부 전극이 역방향 바이어스되는 때 상기 상부 스택 및 하부 스택을 통해 상기 상부 전극과 상기 하부 전극 사이에서 전류를 전도하는, 단일 집적 광전지 모듈.

청구항 19

제17항에 있어서, 상기 바이패스 다이오드는 셀이 광으로부터 가려지고 인접한 셀들이 광에 노출되는 때 상기 상부 스택 및 하부 스택을 통해 상기 상부 전극과 상기 하부 전극 사이에서 전류를 전도하는, 단일 집적 광전지 모듈.

청구항 20

제12항에 있어서, 상기 하부 스택은 트리메틸보론($B(CH_3)_3$)으로 도핑된 실리콘의 층을 포함하고, 상기 상부 스택은 삼불화붕소(BF_3)로 도핑된 실리콘의 층을 포함하는, 단일 집적 광전지 모듈.

명 세 서

기 술 분 야

[0001] 관련 출원의 교차 참조

[0002] 본 출원은 "텐덤 반도체 층 스택을 갖는 광전지 소자(Photovoltaic Devices Having Tandem Semiconductor Layer Stacks)"라는 명칭으로 2009년 6월 10일 출원된 동시 진행 중인 미국 가출원 제61/185,770호("'770 출원"), "다중 반도체 층 스택을 갖는 광전지 소자(Photovoltaic Devices Having Multiple Semiconductor Layer Stacks)"라는 명칭으로 2009년 6월 30일 출원된 동시 진행 중인 미국 가출원 제61/221,816호("'816 출원") 및 "다중 반도체 층 스택을 갖는 광전지 소자(Photovoltaic Devices Having Multiple Semiconductor Layer Stacks)"라는 명칭으로 2009년 8월 3일 출원된 동시 진행 중인 미국 가출원 제61/230,790호("'790 출원")의 정식 특허출원이며 그 우선권의 향유를 주장한다. '770, '816 및 '790 출원의 전체 개시 내용은 그 전체가 본 출원에 참조로서 포함된다.

배 경 기 술

[0003] 본 명세서에 기재된 주제(subject matter)는 광전지 소자에 관한 것이다. 몇 가지 공지된 광전지 소자는 실리콘 박막의 활성 영역을 갖는 박막 광 모듈을 포함한다. 모듈에 입사된 빛은 활성 실리콘 필름 안으로 진입한다. 빛이 실리콘 필름에 의해 흡수된다면, 빛은 실리콘 내에 전자와 정공을 발생시킬 수 있다. 전자와 정공은 모듈로부터 인출되어 외부 전자 부하에 가해질 수 있는 전위 및/또는 전류를 발생시키도록 사용될 수 있다.

[0004] 빛 안의 광자는 실리콘 필름 내의 전자를 여기시켜 전자를 실리콘 필름 내의 원자로부터 분리시킨다. 광자가 전자를 여기시켜 필름 내의 원자로부터 분리시기 위해서는, 광자는 실리콘 필름 내의 에너지 밴드갭을 초과하는 에너지를 가져야 한다. 광자의 에너지는 필름에 입사되는 빛의 파장에 관계된다. 따라서 빛은 필름의 에너지

밴드갭과 빛의 파장에 기초하여 실리콘 필름에 흡수된다.

[0005] 몇 가지 공지된 광전지 소자는 하부 전극과 상부 전극 사이에 서로의 상부에 피착된 2 이상의 실리콘 필름 세트를 포함하는 텐덤 층 스택을 포함한다. 서로 다른 필름 세트는 서로 다른 에너지 밴드갭을 가질 수 있다. 서로 다른 세트의 필름에 서로 다른 밴드갭을 제공하면, 입사광의 더 많은 파장이 소자에 의해 흡수될 수 있으므로 소자의 효율이 증가할 수 있다. 예컨대 제1 필름 세트가 제2 필름 세트보다 큰 에너지 밴드갭을 가질 수 있다. 제1 필름 세트의 에너지 밴드갭을 초과하는 에너지와 결합된 파장을 갖는 일부 빛은 제1 필름 세트에 의해 흡수되어 전자-정공 쌍을 생성한다. 제1 필름 세트의 에너지 밴드갭을 초과하지 않는 에너지와 결합된 파장을 갖는 일부 빛은 전자-정공 쌍을 생성하지 않고 제1 필름 세트를 통과한다. 제1 필름 세트를 통과하는 이 빛의 적어도 일부는 제2 필름 세트가 더 낮은 에너지 밴드갭을 갖는다면 제2 필름 세트에 의해 흡수될 수 있다.

[0006] 서로 다른 필름 세트에 서로 다른 에너지 밴드갭을 제공하기 위해, 실리콘 필름은 그 밴드갭을 변화시키도록 게르마늄으로 합금화될 수 있다. 하지만, 필름을 게르마늄으로 합금화하는 것은 제조에 사용될 수 있는 피착률을 감소시키기 쉽다. 또한, 게르마늄으로 합금화된 실리콘 필름은 게르마늄이 없는 필름보다 광 조사에 따른 열화(LID)에 더 취약한 경향이 있다. 게다가, 실리콘-게르마늄 합금을 피착시키도록 사용되는 소스 가스인 게르마늄은 고가이고 위험하다.

[0007] 실리콘 필름을 게르마늄으로 합금화하는 것에 대한 대안으로, 광전지 소자 내의 실리콘 필름의 에너지 밴드갭은 실리콘 필름을 비정질 실리콘 필름이 아닌 미정질 실리콘 필름으로서 피착하여 감소시킬 수 있다. 비정질 실리콘 필름은 미정질 상태로 피착된 실리콘 필름보다 큰 에너지 밴드갭을 갖는 것이 보통이다. 몇 가지 알려진 광전지 소자는 미정질 실리콘 필름과 직렬로 적층된 비정질 실리콘 필름을 갖는 반도체 층 스택을 포함한다. 그러한 소자에서, 비정질 실리콘 필름은 접합에서 캐리어 이동과 관련된 손실(carrier transport-related loss)을 감소시키도록 비교적 작은 두께로 피착된다. 예컨대 비정질 실리콘 필름은 입사광에 의해 실리콘 원자로부터 여기되어 상부 또는 하부 전극에 도달하기 전에 다른 실리콘 원자 또는 다른 전자 및 정공과 재결합되는 전자 및 정공의 양을 감소시키도록 작은 두께로 피착될 수 있다. 전극에 도달하지 않는 전자 또는 정공은 광전지 소자에 의해 생성되는 전압 또는 전류에 기여하지 않는다. 하지만, 비정질 실리콘 접합의 두께가 감소함에 따라, 더 적은 빛이 비정질 실리콘 접합에 의해 흡수되고 실리콘 필름 내의 광전류의 흐름은 감소한다. 그 결과, 입사광을 전류로 전환하는 광전지 소자의 효율은 소자 스택 내의 비정질 실리콘 접합에 의해 제한될 수 있다.

[0008] 비교적 얇은 비정질 실리콘 필름을 갖는 몇 가지 광전기 소자에서, 활성 비정질 실리콘 필름을 갖는 소자 내의 광전지 셀(cell)의 표면적은 셀의 비활성 영역에 비해 증가할 수 있다. 불활성 또는 비활성 영역은 실리콘 필름이 존재하지 않거나 입사광을 전기로 전환하지 않는 셀의 일부를 포함하는 데 비해, 활성 영역은 입사광을 전기로 전환하는 실리콘 필름을 포함한다. 소자 내의 광전지 셀의 활성 영역을 소자 내의 비활성 영역에 비해 증가시킴으로써 광전지 소자에 의해 발생된 전력을 증가시킬 수 있다. 예컨대 활성 비정질 실리콘 필름을 갖는 단일 집적(monolithically-integrated) 박막 광전지 모듈 내의 셀의 폭을 증가시키면 태양광에 노출되는 모듈 내의 활성 광전지 재료의 분율 또는 백분율이 증가한다. 활성 광전지 재료의 분율이 증가함에 따라, 소자에 의해 발생되는 전체 광전류가 증가할 수 있다.

[0009] 셀의 폭을 증가시키면 소자의 광 투과성 전극의 크기 또는 면적도 역시 증가한다. 광 투과성 전극은 셀에서 생성된 전자 또는 정공을 전도하여 소자의 전압 또는 전류를 생성시키는 전극이다. 광 투과성 전극의 크기 또는 면적이 증가함에 따라, 광 투과성 전극의 전기 저항(R)도 역시 증가한다. 광 투과성 전극을 통과하는 전류(I)도 역시 증가할 수 있다. 광 투과성 전극을 통과하는 전류와 광 투과성 전극의 저항이 증가함에 따라, 광전지 소자 내의 I^2R 손실 등의 에너지 손실이 증가한다. 에너지 손실이 증가함에 따라, 광전지 소자는 효율이 떨어지고 소자에 의해 발생되는 전력이 감소한다. 따라서, 단일 집적 박막 광전지 소자에서, 소자 내의 활성 광전지 재료의 분율과 소자의 투명한 전도성 전극 내에 생기는 에너지 손실 사이에 교환조건이 존재한다.

[0010] 입사광을 전류로 전환하는 효율이 증가하고 그리고/또는 에너지 손실이 감소한 광전지 소자에 대한 필요성이 존재한다.

발명의 내용

[0011] <발명의 개요>

[0012] 일 실시예에서, 광전지 모듈을 제작하는 방법이 제공된다. 방법은 전기 절연 기판과 하부 전극을 제공하는 단계, 하부 전극 위에 실리콘 층들의 하부 스택을 피착하는 단계 및 하부 스택 위에 실리콘 층들의 상부 스택을

피착하는 단계를 포함한다. 하부 및 상부 스택들은 N-I-P 접합들을 포함한다. 하부 스택은 적어도 1.60eV의 에너지 밴드갭을 가지며, 상부 스택은 적어도 1.80eV의 에너지 밴드갭을 갖는다. 방법은 상부 스택 위에 상부 전극을 제공하는 단계를 더 포함한다. 하부 및 상부 스택들은 상부 및 하부 전극들 사이에서 입사광을 전위로 전환하며, 하부 및 상부 스택은 각기 입사광의 파장에 기초하여 입사광의 서로 다른 부분을 전위로 전환한다.

[0013] 다른 실시예에서, 단일 집적 광전지 모듈이 제공된다. 모듈은 전기 절연 기판, 기판 위의 하부 전극, 하부 전극 위의 실리콘 층들의 하부 스택, 하부 스택 위의 실리콘 층들의 상부 스택 및 상부 스택 위의 상부 전극을 포함한다. 하부 스택은 적어도 1.60eV의 에너지 밴드갭을 갖고, 상부 스택은 적어도 1.80eV의 에너지 밴드갭을 갖는다. 하부 및 상부 스택이 입사광의 파장에 기초하여 상부 전극과 하부 전극 사이에서 입사광의 서로 다른 부분을 전위로 전환하도록 상부 스택의 에너지 밴드갭은 하부 스택의 에너지 밴드갭보다 크다.

도면의 간단한 설명

[0014] 도 1은 일 실시예에 따른 기판 형상 광전지 셀의 개략도이다.

도 2는 일 실시예에 따른 도 1에 도시된 템플릿 층 내의 구조체들을 개략적으로 도시한다.

도 3은 다른 실시예에 따른 도 1에 도시된 템플릿 층 내의 구조체들을 개략적으로 도시한다.

도 4는 다른 실시예에 따른 도 1에 도시된 템플릿 층 내의 구조체들을 개략적으로 도시한다.

도 5는 일 실시예에 따른 기판 형상 광전지 소자(500)의 개략도이다.

도 6은 일 실시예에 따른 기판 형상 광전지 소자를 제작하는 공정의 순서도이다.

전술한 발명의 개요 및 목하 기재되는 기술의 특정한 실시예의 후속하는 상세한 설명은 첨부 도면과 연계하여 읽는다면 더 잘 이해될 것이다. 목하 기재되는 기술을 설명할 목적으로, 특정한 실시예가 도면에 도시된다. 하지만, 목하 기재되는 기술은 첨부 도면에 도시된 배치체 및 수단에 한정되지 않음을 알아야 한다. 더욱이, 도면의 구성요소는 일정한 비례가 아닌 것을 알아야 하며, 구성요소 간의 상대적인 크기는 그 상대적인 크기가 필수적인 것으로 해석하거나 이해하지 말아야 한다.

발명을 실시하기 위한 구체적인 내용

[0015] 도 1은 일 실시예에 따른 기판 형상 광전지 셀(100)의 개략도이다. 셀(100)은 기판(102) 및 광 투과성 커버 층(104)을 포함하며, 2개의 반도체 접합 스택들 또는 층 스택들(106, 108)이 기판(102)과 커버 층(104) 사이에 배치되어 있다. 일 실시예에서, 반도체 접합 스택들(106, 108)은 실리콘의 N-I-P 층 스택들을 포함한다. 셀(100)은 기판 형상 광전지 셀이다. 예컨대 기판(102) 반대쪽의 커버 층(104) 상의 셀(100)에 입사된 빛은 셀(100)에 의해 전위로 전환된다. 빛은 셀(100)의 커버 층(104)과 추가의 층 및 구성요소를 통과하여 상부 및 중간 층 스택(106, 108)으로 전파된다. 빛은 상부 및 중간 층 스택(106, 108)에 의해 흡수된다.

[0016] 빛 안의 광자는 전자를 여기시켜 전자를 층 스택(106, 108) 내의 원자로부터 분리시킨다. 전자가 원자로부터 분리될 때 상보형 양전하 또는 정공이 생성된다. 층 스택(106, 108)은 입사광 내의 파장의 스펙트럼의 서로 다른 부분을 흡수하는 서로 다른 에너지 밴드갭을 갖는다. 전자는 층 스택(106, 108)을 통해 이동 또는 확산되고 상부 및 하부 전극(112, 114) 또는 전극(112, 114) 중의 하나에서 수집된다. 정공은 상부 및 하부 전극(112, 114)을 통해 이동 또는 확산되고 상부 및 하부 전극(112, 114) 중의 다른 하나에서 수집된다. 상부 및 하부 전극(112, 114)에서의 전자와 정공의 수집은 셀(100) 내의 전위차를 발생시킨다. 셀(100) 내의 전압차는 추가의 셀(도시 생략)에 의해 발생되는 전위차에 더해질 수 있다. 전술한 바와 같이, 서로 직렬 결합된 복수의 셀(100) 내에서 발생되는 전위차는 하나로 합쳐져 이들 셀(100)에 의해 발생되는 전체 전위차를 증가시킬 수 있다. 인접한 셀들(100) 사이의 전자와 정공의 흐름에 의해 전류가 발생된다. 전류는 셀(100)로부터 인출되어 외부 전자 부하에 인가될 수 있다.

[0017] 셀(100)의 구성요소 및 층들은 도 1에 개략적으로 도시되며, 도 1에 도시된 구성요소 및 층의 형태, 방향 및 상대적인 크기는 한정하도록 의도된 것은 아니다. 기판(102)은 셀(100)의 바닥, 또는 전기로 전환되는 입사광을 수신하는 측면에 대향된 셀(100)의 측면에 위치된다. 기판(102)은 셀(100)의 다른 층 및 구성요소에 기계적 지지를 제공한다. 기판(102)은 비전도성 재료 등의 유전 재료를 포함하거나 그 재료로 형성된다. 기판(102)은 약 750℃ 미만의 연화점을 갖는 하나 이상의 유전 재료 등의 비교적 낮은 연화점을 갖는 유전체로 형성될 수 있다. 단지 예로서, 기판(102)은 소다 석회 플로트 유리(soda-lime float glass), 저철분 플로트 유리, 또는 적

어도 10 중량%의 산화나트륨(Na_2O)을 포함하는 유리로 형성될 수 있다. 다른 예에서, 기판은 플로트 유리 또는 붕규산 유리 등의 다른 형태의 유리로 형성될 수 있다. 이와 달리, 기판(102)은 질화규소(Si_3N_4) 또는 산화알루미늄(알루미나 또는 Al_2O_3) 등의 세라믹으로 형성된다. 다른 예에서, 기판(102)은 금속 등의 전도성 재료로 형성된다. 단지 예로서, 기판(102)은 스테인리스강철, 알루미늄, 또는 티타늄으로 형성될 수 있다.

[0018] 기판(102)은 셀(100)의 제작 및 취급 중에 셀(100)에 기계적 열적 안정성을 제공하면서 셀(100)의 잔여층을 기구적으로 지지하기에 충분한 두께를 갖는다. 기판(102)은 일 실시예에서 적어도 대략 0.7 내지 5.0mm의 두께를 갖는다. 단지 예로서, 기판(102)은 플로트 유리의 대략 2mm 두께의 층일 수 있다. 이와 달리, 기판(102)은 붕규산염 유리의 대략 1.1mm 두께의 층일 수 있다. 다른 실시예에서, 기판(102)은 저철분 또는 표준 플로트 유리의 대략 3.3mm 두께의 층일 수 있다.

[0019] 텍스처된 템플릿 층(116)이 기판(102) 위에 피착될 수 있다. 이와 달리, 템플릿 층(116)은 셀(100)에 포함되지 않는다. 템플릿 층(116)은 템플릿 층(116)에 또는 위에 피착된 셀(100) 내의 층들 또는 구성요소들 중의 하나 이상에 텍스처를 부여하는 제어된 미리 정해진 3차원 텍스처를 갖는 층이다. 일 실시예에서, 텍스처 템플릿 층(116)은 "박막 실리콘 내의 광 포획을 증가시키는 광전지 셀 및 방법(Photovoltaic Cells And Methods To Enhance Light Trapping In Thin Film Silicon)"이란 명칭으로 2010년 4월 19일에 출원된 동시 진행 중인 미국 정식특허출원 제12/762,880("'880 출원")에 기재된 실시예들 중의 하나에 따라 피착 및 형성될 수 있다. '880 출원의 전체 개시 내용은 그 전체가 본 명세서에 참조로서 포함된다. '880 출원에 대해, 템플릿 층(116)의 텍스처는 템플릿 층(116)의 하나 이상의 구조체(200, 300, 400)(도 2 내지 도 4에 도시)의 형태와 치수에 의해 결정될 수 있다. 템플릿 층(116)은 기판(102) 위에 피착된다. 예컨대, 템플릿 층(116)은 기판(102)에 직접 피착될 수 있다.

[0020] 도 2는 일 실시예에 따른 템플릿 층(116) 내의 피크 구조체들(200)을 개략적으로 도시한다. 피크 구조체(200)는 템플릿 층(116) 위의 층들 내에 미리 정해진 텍스처를 부여하도록 템플릿 층(116) 내에 형성된다. 구조체(200)는 이 구조체(200)가 템플릿 층(116)의 상면(202)을 따라 가파른 피크처럼 보임에 따라 피크 구조체(200)라 불린다. 피크 구조체(200)는 피크 높이(Hpk)(204), 피치(206), 천이 형태(208) 및 기부 폭(Wb)(210)을 포함하는 하나 이상의 파라미터에 의해 형성된다. 도 2에 도시된 바와 같이, 피크 구조체(200)는 기판(102)으로부터의 거리가 증가함에 따라 폭이 감소하는 형태로서 형성된다. 예컨대, 피크 구조체(200)는 기판(102)에 또는 그 가까이 위치한 기부(212)로부터 여러 피크(214)로 크기가 감소한다. 피크 구조체(200)는 도 2의 2차원도에서는 삼각형으로 묘사되지만, 대안으로 3차원에서는 피라미드 또는 원추 형태를 가질 수 있다.

[0021] 피크 높이(Hpk)(204)는 피크 구조들(200) 사이의 천이 형태(208)로부터 피크(214)까지의 평균 또는 중간 거리를 나타낸다. 예컨대, 템플릿 층(116)은 피크(214)의 기부(212)까지 또는 천이 형태(208)의 영역까지 대략 평탄한 층으로 피착될 수 있다. 템플릿 층(116)은 피크(214)를 형성하기 위해 계속 피착될 수 있다. 기부(212) 또는 천이 형태(208)와 피크(214) 사이의 거리는 피크 높이(Hpk)(204)일 수 있다.

[0022] 피치(206)는 피크 구조체들(200)의 피크들(214) 사이의 평균 또는 중간 거리를 나타낸다. 피치(206)는 2 이상의 방향에서 대략 동일할 수 있다. 예컨대, 피치(206)는 기판(102)에 평행하게 연장되는 2개의 수직 방향에서 동일할 수 있다. 다른 실시예에서, 피치(206)는 다른 방향을 따라 다른 값일 수 있다. 이와 달리, 피치(206)는 인접한 피크 구조체들(200) 상의 다른 유사한 지점들 사이의 평균 또는 중간 거리를 나타낼 수 있다. 천이 형태(208)는 피크 구조체들(200) 사이의 템플릿 층(116)의 상면(202)의 일반적인 형태이다. 설명되는 실시예에 도시된 바와 같이, 천이 형태(208)는 평탄한 "깎인면(facet)"의 형태를 가질 수 있다. 이와 달리, 평탄한 깎인면 형태는 3차원으로 볼 때 원추 또는 피라미드일 수 있다. 기부폭(Wb)(210)은 피크 구조체(200)와 템플릿 층(116)의 기부(212) 사이의 계면에서 피크 구조체(200)를 가로지르는 평균 또는 중간 거리이다. 기부폭(Wb)(210)은 2 이상의 방향에서 대략 동일할 수 있다. 예컨대 기부폭(Wb)(210)은 기판(102)에 평행하게 연장되는 2개의 수직 방향에서 동일할 수 있다. 이와 달리, 기부폭(Wb)(210)은 다른 방향을 따라 다른 값일 수 있다.

[0023] 도 3은 일 실시예에 따른 템플릿 층(116)의 골(골짜기) 구조체들(300)을 개략적으로 도시한다. 골 구조체(300)의 형태는 도 2에 도시된 피크 구조체(200)의 형태와 다르지만 도 2와 연계되어 전술한 파라미터 중의 하나 이상에 의해 형성될 수 있다. 예컨대 골 구조체(300)는 피크 높이(Hpk)(302), 피치(304), 천이 형태(306) 및 기부 폭(Wb)(308)에 의해 형성될 수 있다. 골 구조체(300)는 골 구조체(300)의 상면(310)으로부터 템플릿 층(116) 안으로 연장된 오목부 또는 공동으로 형성된다. 골 구조체(300)는 도 3의 2차원도에서는 포물선 형태를 갖는 것으로 도시되지만, 3차원에서는 원추, 피라미드 또는 포물면 형태를 가질 수 있다. 동작시, 골 구조체

(300)는 이상적인 포물선의 형태로부터 약간 변형될 수 있다.

[0024] 일반적으로, 골 구조체(300)는 상면(310)으로부터 템플릿 층(116) 안으로 기판(102) 쪽으로 하향 연장된 공동을 포함한다. 골 구조체(300)는 천이 형태들(306) 사이에 위치한 템플릿 층(116)의 저점(312) 또는 바닥으로 하향 연장된다. 피크 높이(Hpk)(302)는 상면(310)과 저점(312) 사이의 평균 또는 중간 거리를 나타낸다. 피치(304)는 골 구조체(300)의 동일하거나 공통의 지점들 사이의 평균 또는 중간 거리를 나타낸다. 예컨대, 피치(304)는 골 구조체들(300) 사이로 연장된 천이 형태들(306)의 중점들 사이의 거리일 수 있다. 피치(304)는 2 이상의 방향에서 대체로 동일할 수 있다. 예컨대 피치(304)는 기판(102)에 평행하게 연장된 2개의 수직 방향에서 동일할 수 있다. 다른 실시예에서, 피치(304)는 서로 다른 방향에서 서로 다를 수 있다. 이와 달리, 피치(304)는 골 구조체들(300)의 저점들(312) 사이의 거리를 나타낼 수 있다. 이와 달리, 피치(304)는 인접한 골 구조체들(300) 상의 다른 유사한 지점들 사이의 평균 또는 중간 거리를 나타낼 수 있다.

[0025] 천이 형태(306)는 골 구조체들(300) 사이의 상면(310)의 일반적인 형태이다. 설명된 실시예에 도시된 바와 같이, 천이 형태(306)는 평탄한 "깎인면"의 형태를 할 수 있다. 이와 달리, 평탄한 깎인면 형태는 3차원으로 보았을 때 원추 또는 피라미드일 수 있다. 기부 폭(Wb)(308)은 인접한 골 구조체들(300)의 저점들(312) 사이의 평균 또는 중간 거리일 수 있다. 이와 달리, 기부 폭(Wb)(308)은 천이 형태(306)의 중점들 사이의 거리일 수 있다. 기부 폭(Wb)(308)은 2 이상의 방향에서 대략 동일할 수 있다. 예컨대 기부 폭(Wb)(308)은 기판(102)에 평행하게 연장된 2개의 수직 방향에서 동일할 수 있다. 이와 달리, 기부 폭(Wb)(308)은 서로 다른 방향에서 서로 다를 수 있다.

[0026] 도 4는 일 실시예에 따른 템플릿 층(116)의 둥근 구조체들(400)을 개략적으로 도시한다. 둥근 구조체(400)의 형태는 도 2에 도시된 피크 구조체(200) 및 도 3에 도시된 골 구조체(300)의 형태와 다르지만, 도 2 및 도 3과 연계되어 전술한 파라미터들 중의 하나 이상에 의해 형성될 수 있다. 예컨대, 둥근 구조체(400)는 피크 높이(Hpk)(402), 피치(404), 천이 형태(406) 및 기부 폭(Wb)(408)에 의해 형성될 수 있다. 둥근 구조체(400)는 템플릿 층(114)의 기부 필름(410)으로부터 상향 연장된 템플릿 층(114)의 상면(414)의 돌출부로서 형성된다. 둥근 구조체(400)는 대략 포물선 또는 둥근 형태를 가질 수 있다. 동작시, 둥근 구조체(400)는 이상적인 포물선의 형태에서 약간 변형될 수 있다. 둥근 구조체(400)가 도 4의 2차원도에서는 포물선으로 묘사되지만, 이와 달리 둥근 구조체(400)는 기판(102)으로부터 멀어지도록 상향 연장된 3차원의 포물면, 피라미드 또는 원추의 형태를 할 수 있다.

[0027] 일반적으로, 둥근 구조체(400)는 기부 필름(410)으로부터, 기판(102)으로부터 멀어지는 방향으로 둥근 고점(412) 또는 둥근 정점으로 상향 돌출한다. 피크 높이(Hpk)(402)는 기부 필름(410)과 고점(412) 사이의 평균 또는 중간 거리를 나타낸다. 피치(404)는 둥근 구조체들(400)의 동일한 또는 공통의 지점들 사이의 평균 또는 중간 거리를 나타낸다. 예컨대 피치(404)는 고점들(412) 사이의 거리일 수 있다. 피치(404)는 2 이상의 방향에서 대략 동일할 수 있다. 예컨대 피치(404)는 기판(102)에 평행하게 연장된 2개의 수직 방향에서 동일할 수 있다. 이와 달리, 피치(404)는 다른 방향을 따라 달라질 수 있다. 다른 예에서, 피치(404)는 둥근 구조체들(400) 사이에서 연장된 천이 형태들(406)의 중점들 사이의 거리를 나타낼 수 있다. 이와 달리, 피치(404)는 인접한 둥근 구조체들(400) 상의 다른 유사한 지점들 사이의 평균 또는 중간 거리를 나타낼 수 있다.

[0028] 천이 형태(406)는 둥근 구조체들(400) 사이의 상면(414)의 일반적인 형태이다. 설명된 실시예에 도시된 바와 같이, 천이 형태(406)는 평탄한 "깎인면"의 형태를 할 수 있다. 이와 달리, 평탄한 깎인면 형태는 3차원으로 볼 때 원추 또는 피라미드일 수 있다. 기부 폭(Wb)(408)은 둥근 구조체(400)의 대향면들 상의 천이 형태들(406) 사이의 평균 또는 중간 거리를 나타낸다. 이와 달리, 기부 폭(Wb)(408)은 천이 형태들(406)의 중점들 사이의 거리를 나타낼 수 있다.

[0029] 일 실시예에 따르면, 구조체(200, 300, 400)의 피치(204, 302, 402) 및/또는 기부폭(Wb)(210, 308, 408)은 대략 400nm 내지 대략 1500nm이다. 이와 달리, 구조체(200, 300, 400)의 피치(204, 302, 402)는 대략 400nm보다 작거나 대략 1500nm보다 클 수 있다. 구조체(200, 300, 400)의 평균 또는 중간 피크 높이(Hpk)(204, 302, 402)는 해당 구조체(200, 300, 400)를 위한 피치(206, 304, 404)의 대략 25 내지 80%일 수 있다. 이와 달리, 평균 피크 높이(Hpk)(204, 302, 402)는 피치(206, 304, 404)의 다른 분율일 수 있다. 기부폭(Wb)(210, 308, 408)은 피치(206, 304, 404)와 대략 동일할 수 있다. 다른 실시예에서, 기부폭(Wb)(210, 308, 408)은 피치(206, 304, 404)와 다를 수 있다. 기부폭(Wb)(210, 308, 408)은 2 이상의 방향에서 대략 동일할 수 있다. 예컨대 기부폭(Wb)(210, 308, 408)은 기판(102)에 평행하게 연장된 2개의 수직 방향에서 동일할 수 있다. 이와 달리, 기부폭(Wb)(210, 308, 408)은 다른 방향을 따라 다른 값일 수 있다.

[0030] 템플릿 층(116) 내의 구조체(200, 300, 400)의 파라미터는 PV 셀(100)(도 1에 도시)가 이중 또는 삼중 접합 셀(100)인가 그리고/또는 스택(106, 108, 110)(도 1에 도시) 내의 반도체 필름들 또는 층들 중의 어느 것이 한류층(current-limiting layer)이 있는가에 따라 달라질 수 있다. 예컨대 층 스택(106, 108, 110)은 N-I-P 및/또는 P-I-N 도핑된 비정질 또는 도핑된 미정질 실리콘 층의 3 이상의 스택을 포함할 수 있다. 전술한 하나 이상의 파라미터는 N-I-P 및/또는 P-I-N 스택 내의 반도체 층들 중의 어느 것이 한류층인가에 기초할 수 있다. 예컨대 N-I-P 및/또는 P-I-N 스택 내의 층들 중의 하나 이상은 빛이 PV 셀(100)과 충돌할 때 PV 셀(100)에 의해 발생되는 전류의 양을 제한할 수 있다. 구조체(200, 300, 400)의 파라미터 중의 하나 이상은 이러한 층들 중의 어느 것이 한류층인가에 기초할 수 있다.

[0031] 일 실시예에서, PV 셀(100)(도 1에 도시)이 층 스택(106, 108, 110)(도 1에 도시) 중의 하나 이상의 미정질 실리콘 층을 포함하고 미정질 실리콘 층이 층 스택(106, 108, 110)의 한류층이라면, 미정질 실리콘 층 아래의 템플릿 층(116) 내의 구조체(200, 300, 400)의 피치(206, 404, 404)는 대략 500 내지 1500nm 사이일 수 있다. 미정질 실리콘 층은 대략 500과 1500nm 사이의 파장을 갖는 적외선 광에 상응하는 에너지 밴드갭을 갖는다. 예컨대, 피치(206, 404, 504)가 파장에 대략 합치된다면, 구조체(200, 300, 400)는 500과 1500nm 사이의 파장을 갖는 증가한 양의 적외선 광을 반사할 수 있다. 구조체(200, 300, 400)의 천이 형태(208, 306, 406)는 평탄한 깎인면일 수 있고, 기부폭(Wb)(210, 308, 408)은 피치(206, 304, 404)의 60% 내지 100%일 수 있다. 피크 높이(Hpk)(204, 302, 402)는 피치(206, 304, 404)의 25% 내지 75% 사이일 수 있다. 예컨대 피치(206, 304, 404)에 대한 피크 높이(Hpk)(204, 302, 402)의 비율은 다른 비율에 비해 실리콘 층 스택(106, 108, 110) 안으로 더 많은 빛을 도로 반사하는 구조체(200, 300, 400)의 산란각을 제공할 수 있다.

[0032] 다른 실시예에서, PV 셀(100)(도 1에 도시)이 비정질 실리콘으로 형성되거나 이를 포함하는 하나 이상의 층 스택(106, 108, 110)을 포함한다면, 템플릿 층(116)을 위한 피치(206, 304, 404)의 범위는 층 스택(106, 108, 110; 도 1에 도시) 중의 어느 것이 한류 스택인가에 기초하여 달라질 수 있다. 상부 및/또는 중간 층 스택(106, 108)이 미정질 N-I-P 또는 P-I-N 도핑된 반도체 층 스택을 포함하고, 하부 층 스택(110)은 비정질 N-I-P 또는 P-I-N 도핑된 반도체 층 스택을 포함하며, 상부 및/또는 중간 층 스택(106, 108)이 한류층이라면, 피치(206, 304, 504)는 대략 500과 1500nm 사이일 수 있다. 반대로, 하부 실리콘 층 스택(108)이 한류층이라면, 피치(206, 304, 404)는 대략 350과 1000nm 사이일 수 있다.

[0033] 도 1에 도시된 셀(100)의 설명으로 돌아오면, 템플릿 층(116)은 '880 출원에 기재된 실시예 중의 하나 이상에 따라 형성될 수 있다. 예컨대 템플릿 층(116)은 기판(102)에 비정질 실리콘 층을 피착한 다음 비정질 실리콘의 상면에 배치된 이산화규소 구체들을 통한 반응성 이온 식각을 이용해 비정질 실리콘을 텍스처하여 형성할 수 있다. 이와 달리, 템플릿 층(116)은 기판(102)에 알루미늄 및 탄탈 이중층을 스퍼터링한 다음 템플릿 층(116)을 양극 처리하여 형성할 수 있다. 다른 실시예에서, 템플릿 층은 대기 화학 기상 피착(atmospheric chemical vapor deposition)을 이용하여, 텍스처된 플루오르화 산화주석(SnO_2:F)의 필름을 피착하여 형성할 수 있다. 템플릿 층(116)의 이들 필름의 하나 이상은 Asahi Glass Company 또는 Pilkington Glass 등의 판매자로부터 구입할 수 있다. 대체 실시예에서, 템플릿 층(116)은 정전하를 기판(102)에 인가한 다음 충전된 기판(102)을 역으로 충전된 입자들을 갖는 환경에 둠으로써 형성할 수 있다. 정전기력은 충전된 입자를 기판(102)으로 끌어당겨 템플릿 층(116)을 형성한다. 그 결과 입자는 후속하는 피착 단계에서 입자에 점착성 "접착"층(도시 생략)을 피착하거나 입자와 기판(102)을 풀림 처리하는 것에 의해 기판(102)에 영구히 부착된다. 입자 재료의 예는 탄화규소, 알루미나, 질화알루미늄, 다이아몬드 및 CVD 다이아몬드 등의 각진 세라믹 및 다이아몬드상 재료 입자를 포함한다.

[0034] 하부 전극(114)은 템플릿 층(116) 위에 피착된다. 하부 전극(114)은 전도성 반사층(118)과 전도성 버퍼 층(120)으로 이루어진다. 반사층(118)은 템플릿 층(116) 위에 피착된다. 예컨대 반사층(118)은 템플릿 층(116)에 직접 피착될 수 있다. 반사층(118)은 템플릿 층(116)에 의해 영향을 받는 텍스처된 상면(122)을 갖는다. 예컨대 반사층(118)은 템플릿 층(116)의 구조체(200, 300, 400)(도 2 내지 도 4에 도시)와 크기 및/또는 형태가 유사한 구조체(도시 생략)를 포함하도록 템플릿 층(116)에 피착될 수 있다.

[0035] 반사층(118)은 은과 같은 반사-전도성 재료를 포함하거나 그 재료로 형성될 수 있다. 이와 달리, 반사층(118)은 알루미늄이나, 은 또는 알루미늄을 포함하는 합금을 포함하거나 그것으로 형성될 수 있다. 반사층(118)은 일 실시예에서 두께가 대략 100 내지 300nm이며, 반사층(118)의 재료(들)를 템플릿 층(116)에 스퍼터링하여 피착할 수 있다.

[0036] 반사층(118)은 전도층과, 층 스택(106, 108) 안으로 빛을 상향 반사하기 위한 반사면을 제공한다. 예컨대 커버

층(104)에 입사되고 층 스택(106, 108)을 통과하는 빛의 일부는 층 스택(106, 108)에 의해 흡수되지 않을 수 있다. 이러한 빛의 일부는 반사광이 층 스택(106, 108)에 의해 흡수될 수 있도록 반사층(118)에서 층 스택(106, 108) 안으로 도로 반사될 수 있다. 반사층(118)의 텍스처된 상면(122)은 흡수되는, 또는 층 스택(106, 108)의 평면 안으로의 빛의 부분적 또는 전체 산란에 의해 "포획"되는 빛의 양을 증가시킨다. (도 2 내지 도 4에 도시된) 피크 높이(Hpk)(204, 302, 403), 피치(206, 304, 404), 천이 형태(208, 306, 406) 및/또는 기부폭(Wb)(210, 308, 408)은 입사광의 파장의 바람직한 또는 미리 정해진 범위에 대해 층 스택(106, 108, 110) 내에 포획되는 빛의 양을 증가시키도록 바뀔 수 있다.

[0037] 버퍼 층(120)은 반사층(118) 위에 피착되며, 반사층(118)에 직접 피착될 수 있다. 버퍼 층(120)은 하부 층 스택(108)에 전기 접촉을 제공한다. 예컨대 버퍼 층(120)은 하부 층 스택(108) 내의 활성 실리콘 층과 전기적으로 결합된 투명 전도성 산화물(TCO) 재료를 포함하거나 그것으로 형성될 수 있다. 일 실시예에서, 버퍼 층(120)은 알루미늄 도핑된 산화아연, 산화아연 및/또는 인듐주석산화물을 포함한다. 버퍼 층(120)은 비록 다른 두께가 사용될 수 있지만 대략 50 내지 500nm의 두께로 피착될 수 있다.

[0038] 일 실시예에서, 버퍼 층(120)은 반사층(118)과 하부 층 스택(108) 사이에 화학적 버퍼를 제공한다. 예컨대 버퍼 층(120)은 셀(100)의 가공 및 제작 중에 반사층(118)에 의한 하부 층 스택(108)에 대한 화학적 침식을 방지할 수 있다. 버퍼 층(120)은 하부 층 스택(108) 내의 실리콘의 오염을 지연 또는 방지하고, 하부 층 스택(108) 내의 플라즈몬 흡수 손실을 감소시킬 수 있다.

[0039] 버퍼 층(120)은 반사층(118)과 하부 층 스택(108) 사이의 광학적 버퍼를 제공할 수 있다. 예컨대 버퍼 층(120)은 반사층(118)에서 반사되는 파장의 미리 정해진 범위 내에서 광량을 증가시키는 두께로 피착되는 광 투과성 층일 수 있다. 버퍼 층(120)의 두께는 일정한 파장의 빛이 버퍼 층(120)을 통과하고, 반사층(118)에서 반사되고, 버퍼 층(120)을 통해 하부 층 스택(108) 안으로 도로 들어가도록 허용할 수 있다. 단지 예로서, 버퍼 층(120)은 대략 75 내지 80nm의 두께로 피착될 수 있다.

[0040] 하부 층 스택(108)은 하부 전극(114) 위에, 또는 그 위에 직접 피착된다. 하부 층 스택(108)은 다른 두께로 피착될 수 있지만, 대략 100 내지 600nm의 두께로 피착될 수 있다. 일 실시예에서 하부 층 스택(108)은 실리콘으로 된 3개의 서브층(132, 134, 136)을 포함한다.

[0041] 서브층(132, 134, 136)은 각각 n-도핑된, 진성 및 p-도핑된 비정질 실리콘(a-Si:H) 필름일 수 있다. 예컨대 서브층(132, 134, 136)은 비정질 N-I-P 접합 또는 층 스택을 형성할 수 있다. 일 실시예에서, 하부 층 스택(108)은 서브층(132, 134, 136)에 게르마늄(Ge)이 포함되지 않거나 존재하지 않는 실리콘 층들의 접합 스택으로서 피착된다. 예컨대 하부 층 스택(108)은 게르마늄 함량이 0.01% 이하일 수 있다. 게르마늄 함량은 하부 층 스택(108)은 내의 다른 물질에 대한 하부 층 스택(108)은 내의 게르마늄의 양을 나타낸다. 서브층(132, 134, 136)은 비교적 높은 피착 온도에서 플라즈마 강화 화학 피착(PECVD)을 이용하여 피착될 수 있다. 예컨대 서브층(132, 134, 136)은 대략 200 내지 350℃의 온도에서 피착될 수 있다. 일 실시예에서, 2개의 하부 서브층(132, 134)은 대략 250 내지 350℃의 온도에서 피착되는 반면, 상부 서브층(136)은 대략 200℃의 온도에서 피착된다. 예컨대 상부 서브층(136)은 150 내지 250℃의 온도에서 피착될 수 있다.

[0042] 비교적 높은 피착 온도에서 서브층(132, 134, 136)을 피착하면, 더 낮은 피착 온도에서 피착되는 비정질 실리콘 층들에 비해 하부 층 스택(108)의 에너지 밴드갭이 감소할 수 있다. 비정질 실리콘의 피착 온도가 증가함에 따라, 실리콘의 에너지 밴드갭이 감소할 수 있다. 예컨대 서브층(132, 134, 136)을 대략 200 내지 350℃ 사이의 온도에서 비정질 실리콘 층으로서 피착하면, 하부 층 스택(108)의 밴드갭이 대략 1.60 내지 1.80eV 예컨대 적어도 1.65eV가 되게 할 수 있다. 하부 층 스택(108)의 밴드갭을 감소시키면, 서브층(132, 134, 136)은 입사광 내의 파장의 스펙트럼의 더 큰 서브세트를 흡수할 수 있으며, 직렬로 전기적으로 상호 연결된 복수의 셀(100)에 의해 더 큰 전류가 발생될 수 있다.

[0043] 하부 층 스택(108) 내의 서브층(132, 134, 136) 중의 하나 이상의 비교적 높은 피착 온도에서의 피착은 하부 층 스택(108)의 수소 함량을 측정하여 확인할 수 있다. 일 실시예에서, 하나 이상의 서브층(132, 134, 136)의 최종 수소 함량은 서브층(들)(132, 134, 136)이 대략 250℃보다 높은 온도에서 피착된다면 대략 12 원자% 미만이다. 다른 실시예에서, 하나 이상의 서브층(132, 134, 136)의 최종 수소 함량은 서브층(들)(132, 134, 136)이 대략 250℃보다 높은 온도에서 피착된다면 대략 10 원자% 미만이다. 다른 실시예에서, 하나 이상의 서브층(132-136)의 최종 수소 함량은 서브층(들)(132, 134, 136)이 대략 250℃보다 높은 온도에서 피착된다면 대략 8 원자% 미만이다. 하나 이상의 서브층(132-136)의 최종 수소 함량은 이차 이온 질량 분석기(SIMS)를 이용해 측정할 수 있다. 서브층(132-136)의 하나 이상의 샘플을 SIMS 안에 넣는다. 그러면 샘플은 이온 빔으로 스퍼터

링된다. 이온 빔은 샘플로부터 이차 이온이 배출되도록 한다. 이차 이온은 질량 분석계를 이용해 수집하고 분석한다. 그러면 질량 분석계는 샘플의 분자 조성을 결정한다. 질량 분석계는 샘플 내의 수소의 원자 백분율을 결정할 수 있다. 이와 달리, 서브층(132, 134, 136) 중의 하나 이상의 층 내의 최종 수소 농도는 푸리에 변환 적외선 분광학(FTIR)을 이용하여 측정될 수 있다. FTIR에서, 적외선 광의 빔이 서브층(132, 134, 136) 중의 하나 이상의 샘플에 투과된다. 샘플 내의 서로 다른 분자 구조 및 종류는 적외선 광을 다르게 흡수할 수 있다. 샘플 내의 서로 다른 분자 종류의 상대적 농도에 기초하여, 샘플 내의 분자 종류의 스펙트럼을 얻는다. 샘플 내의 수소의 원자 백분율은 이 스펙트럼으로부터 결정할 수 있다. 이와 달리, 여러 스펙트럼이 얻어지고, 샘플 내의 수소의 원자 백분율은 스펙트럼의 그룹으로부터 결정된다.

[0044] 후술하는 바와 같이, 상부 서브층(136)은 p-도핑된 실리콘 필름일 수 있다. 상부 서브층(136)이 p-도핑된 필름인 그러한 실시예에서, 상부 서브층(136)이 대략 150 내지 200℃ 범위 내의 비교적 더 낮은 온도에서 피착되는 데 비해, 저부 및 중간 서브층(132, 134)은 대략 250 내지 350℃ 범위 내의 비교적 더 높은 피착 온도에서 피착될 수 있다. p-도핑된 상부 서브층(136)은 p-도핑된 상부 서브층(136)과 진성 중간 서브층(134) 사이의 상호 확산의 양을 감소시키도록 더 낮은 온도에서 피착된다. p-도핑된 상부 서브층(136)을 더 낮은 온도에서 피착하면, 상부 서브층(136)의 밴드갭을 증가시킬 수 있고, 그리고/또는 상부 서브층(136)이 가시광을 더 투과시키게 된다.

[0045] 저부 서브층(132)은 n-도핑된 실리콘의 비정질 층일 수 있다. 일 실시예에서, 저부 서브층(132)은 대략 1 내지 3 토르의 진공압과 대략 200 내지 400W의 에너지로 수소(H_2), 실란(SiH_4) 및 수소화인 또는 인트리수화물(PH_3)의 소스 가스 조합을 사용하여 대략 13.56MHz의 동작 주파수로 PECVD 챔버에서 피착된다. 저부 서브층(132)의 피착에 사용되는 소스 가스의 비율은 대략 4 내지 12부의 수소 가스 대 대략 1부의 실란 대 대략 0.007부의 수소 화인일 수 있다.

[0046] 중간 서브층(134)은 진성 실리콘의 비정질 층일 수 있다. 이와 달리, 중간 서브층(134)은 진성 실리콘의 다형 층일 수 있다. 일 실시예에서, 중간 서브층(134)은 대략 1 내지 3 토르의 진공압과 대략 100 내지 400W의 에너지로 수소(H) 및 실란(SiH_4)의 소스 가스 조합을 사용하여 대략 13.56MHz의 동작 주파수로 PECVD 챔버에서 피착된다. 중간 서브층(134)의 피착에 사용되는 소스 가스의 비율은 대략 4 내지 12부의 수소 가스 대 대략 1부의 실란일 수 있다.

[0047] 일 실시예에서, 상부 서브층(136)은 p-도핑된 실리콘의 프로토결정질 층이다. 이와 달리 상부 서브층(136)은 p-도핑된 실리콘의 비정질 층일 수 있다. 일 실시예에서, 상부 서브층(136)은 대략 1 내지 2 토르의 진공압과 대략 200 내지 400W의 에너지로 수소(H), 실란(SiH_4) 및 삼불화붕소(BF_3), TMB 또는 디보란(B_2H_6)의 소스 가스 조합을 사용하여 대략 13.56MHz의 동작 주파수로 PECVD 챔버에서 대략 200℃의 온도로 피착된다. 상부 서브층(136)의 피착에 사용되는 소스 가스의 비율은 대략 100 내지 2000부의 수소 가스 대 대략 1부의 실란 대 대략 0.1 내지 1부의 도펀트 가스일 수 있다.

[0048] 3개의 서브층(132, 134, 136)은 활성 실리콘 층들의 N-I-P 접합 또는 층 스택을 형성할 수 있다. 하부 층 스택(108)은 상부 층 스택(106)의 에너지 밴드갭과 다른 에너지 밴드갭을 가질 수 있다. 하부 및 상부 층 스택(106, 108)의 서로 다른 에너지 밴드갭 때문에, 하부 및 상부 층 스택(106, 108)은 서로 다른 파장의 입사광을 흡수할 수 있고 입사광을 전위 및/또는 전류로 전환하는 셀(100)의 효율이 증가할 수 있다.

[0049] 상부 층 스택(106)은 하부 층 스택(108) 위에 피착된다. 예컨대, 상부 층 스택(106)은 하부 층 스택(108)에 직접 피착될 수 있다. 일 실시예에서, 상부 층 스택(106)은 다른 두께로 피착될 수 있지만 대략 50 내지 200nm의 두께로 피착된다. 상부 층 스택(106)은 실리콘으로 된 3개의 서브층(138, 140, 142)을 포함할 수 있다. 일 실시예에서, 서브층(138, 140, 142)은 N-I-P 접합 또는 층 스택을 형성하는 n-도핑된, 진성 및 p-도핑된 비정질 실리콘(a-Si:H) 필름이다. 서브층(138, 140, 142)은 비교적 낮은 피착 온도에서 플라즈마 강화 화학 피착(PECVD)을 이용해 피착될 수 있다. 예컨대 서브층(138, 140, 142)은 대략 150 내지 220℃의 온도에서 피착될 수 있다.

[0050] 비교적 더 낮은 피착 온도에서 서브층(138, 140, 142)을 피착하면, 하부 층 스택(108) 내의 서브층(132, 134, 136) 사이 및/또는 상부 층 스택(106) 내의 서브층(138, 140, 142) 사이의 도펀트의 상호 확산을 감소시킬 수 있다. 서브층(132, 134, 136, 138, 140, 142)이 가열되는 온도가 또한 증가함에 따라 서브층(132, 134, 136, 138, 140, 142) 내와 이들 사이의 도펀트의 확산은 증가한다. 더 낮은 피착 온도를 사용하면 서브층(132, 134, 136, 138, 140, 142) 내의 도펀트 상호 확산의 양을 감소시킬 수 있다. 주어진 서브층(132, 134, 136, 138,

140, 142)에 더 낮은 피착 온도를 사용하면 셀(100) 내의 하부의 서브층(132, 134, 136, 138, 140, 142)으로부터의 수소 발생을 감소시킬 수 있다.

[0051] 서브층(138, 140, 142)을 비교적 더 낮은 피착 온도에서 피착하면 더 높은 피착 온도에서 피착되는 비정질 실리콘 층에 비해 상부 층 스택(106)의 에너지 밴드갭을 증가시킬 수 있다. 예컨대 서브층(138, 140, 142)을 대략 150 내지 200℃ 사이의 온도에서 비정질 실리콘 층으로서 피착하면 상부 층 스택(106)의 밴드갭이 대략 1.80 내지 2.00eV가 될 수 있다. 상부 층 스택(106)의 밴드갭을 증가시키면 상부 층 스택(106)은 입사광 내의 파장의 스펙트럼의 더 작은 서브세트를 흡수할 수 있게 되지만, 셀(100) 내에 발생되는 전위차가 증가하게 될 수 있다.

[0052] 저부 서브층(138)은 n-도핑된 실리콘의 비정질 층일 수 있다. 일 실시예에서, 저부 서브층(130)은 대략 1 내지 3 토르의 진공압과 대략 200 내지 400W의 에너지로 수소(H_2), 실란(SiH_4) 및 수소화인 또는 인트리수화물(PH_3)의 소스 가스 조합을 사용하여 대략 13.56MHz의 동작 주파수로 PECVD 챔버에서 대략 150 내지 220℃ 사이의 온도에서 피착된다. 저부 서브층(138)의 피착에 사용되는 소스 가스의 비율은 대략 4 내지 12부의 수소 가스 대 대략 1부의 실란 대 대략 0.005부의 수소화인일 수 있다.

[0053] 중간 서브층(140)은 진성 실리콘의 비정질 층일 수 있다. 이와 달리, 중간 서브층(140)은 진성 실리콘의 다형 층일 수 있다. 일 실시예에서, 중간 서브층(140)은 대략 1 내지 3 토르의 진공압과 대략 200 내지 400W의 에너지로 수소(H) 및 실란(SiH_4)의 소스 가스 조합을 사용하여 대략 13.56MHz의 동작 주파수로 PECVD 챔버에서 대략 150 내지 220℃ 사이의 온도에서 피착된다. 중간 서브층(140)의 피착에 사용되는 소스 가스의 비율은 대략 4 내지 20부의 수소 가스 대 대략 1부의 실란일 수 있다.

[0054] 일 실시예에서, 상부 서브층(142)은 p-도핑된 실리콘의 프로토결정질 층이다. 이와 달리, 상부 서브층(142)은 p-도핑된 실리콘의 비정질 층일 수 있다. 일 실시예에서, 상부 서브층(142)은 대략 1 내지 2 토르의 진공압과 대략 2000 내지 3000W의 에너지로 수소(H), 실란(SiH_4) 및 삼불화붕소(BF_3), TMB 또는 디보란(B_2H_6)의 소스 가스 조합을 사용하여 대략 13.56MHz의 동작 주파수로 PECVD 챔버에서 대략 150 내지 200℃ 사이의 온도에서 피착된다. 상부 서브층(142)의 피착에 사용되는 소스 가스의 비율은 대략 100 내지 200부의 수소 가스 대 대략 1부의 실란 대 대략 0.1 내지 1부의 도펀트 가스일 수 있다.

[0055] 전술한 바와 같이, 상부 및 중간 층 스택(106, 108)은 입사광 파장의 스펙트럼의 서로 다른 서브세트를 각각 흡수하도록 서로 다른 에너지 밴드갭을 가질 수 있다. 일 실시예에서, 층 스택(106, 108)은 서로 다른 빛의 파장 세트를 각각 흡수하며, 층 스택(106, 108) 중의 2 이상의 스택은 입사광의 파장의 적어도 부분적으로 중첩된 스펙트럼을 흡수할 수 있다. 상부 층 스택(106)은 하부 층 스택(108)보다 큰 에너지 밴드갭을 가질 수 있다. 셀(100) 내의 서로 다른 에너지 밴드갭은 셀(100)이 입사광의 상당한 부분을 전류로 전환하는 것을 가능케 할 수 있다. 예컨대 하부 층 스택(108)의 최저 에너지 밴드갭은 하부 층 스택(108)이 입사광의 최장 파장을 흡수하는 것을 가능케 할 수 있는 반면, 상부 층 스택(106)의 최대 에너지 밴드갭은 상부 층 스택(106)이 하부 층 스택(108)에 비해 입사광의 더 작은 파장을 흡수하는 것을 가능케 할 수 있다. 예컨대 상부 층 스택(106)은 층 스택(106, 108)의 최대 전위를 제공하면서 일정 범위의 가시 입사광의 파장을 흡수할 수 있다.

[0056] 층 스택(106, 108)의 에너지 밴드갭은 타원편광법을 이용하여 측정될 수 있다. 이와 달리, 외부 양자 효율(EQE) 측정을 사용하여 층 스택(106, 108)의 에너지 밴드갭을 얻을 수 있다. 반도체 층 또는 층 스택에 입사되는 빛의 파장을 변화시키고 입사 광자를 외부 회로에 도달하는 전자로 전환하는 층 또는 층 스택의 효율을 측정하여 EQE 측정치를 얻는다. 서로 다른 파장에서 입사광을 전자로 전환하는 층 스택(106, 108)의 효율에 기초하여, 층 스택(106, 108)의 에너지 밴드갭이 유도될 수 있다. 예컨대, 각각의 층 스택(106, 108)은, 특정한 층 스택(106, 108)이 다른 에너지의 빛을 전환하는 것보다는 특정한 층 스택(106, 108)의 밴드갭보다 큰 에너지를 갖는 입사광을 전환하는 것이 더 효율적일 수 있다.

[0057] 상부 전극(112)은 상부 층 스택(106) 위에 피착된다. 예컨대 상부 전극(112)은 상부 층 스택(106)에 직접 피착될 수 있다. 상부 전극(112)은 전도성 광 투과성 재료를 포함하거나 그것으로 형성된다. 예컨대 상부 전극(112)은 투명한 전도성 산화물로 형성될 수 있다. 그러한 재료의 예는 산화아연(ZnO), 산화주석(SnO_2), 불소 도핑된 산화주석(SnO_2:F), 산화인듐주석(ITO), 이산화티타늄(TiO_2) 및/또는 알루미늄 도핑된 산화아연(Al:ZnO)을 포함한다. 상부 전극(112)은 다양한 두께로 피착될 수 있다. 일부 실시예에서, 상부 전극(112)은 두께가 대략 50nm 내지 2㎛이다.

[0058] 일 실시예에서, 상부 전극(112)은 ITO 또는 Al:ZnO의 60 내지 90nm 두께의 층으로 형성된다. 상부 전극(112)은

셀(100)의 상부 전극(112)에 반사 방지(AR) 효과를 일으키는 두께로 전도성 재료로서의 기능과 광 투과성 재료로서의 기능을 모두 가질 수 있다. 예컨대 상부 전극(112)은 빛의 파장(들)의 비교적 작은 백분율을 상부 전극(112)에 의해 셀(100)의 활성층으로부터 반사되도록 반사하면서 입사광의 하나 이상의 파장의 비교적 큰 백분율이 상부 전극(112)을 통해 전파되도록 할 수 있다. 단지 예로서, 상부 전극(112)은 입사광의 하나 이상의 요망되는 파장의 대략 5% 이하를 층 스택(106, 108)으로부터 반사할 수 있다. 다른 예에서, 상부 전극(112)은 입사광의 요망되는 파장의 대략 3% 이하를 층 스택(106, 108)으로부터 반사할 수 있다. 다른 예에서, 상부 전극(112)은 입사광의 요망되는 파장의 대략 2% 이하를 층 스택(106, 108)으로부터 반사할 수 있다. 또 다른 예에서, 상부 전극(112)은 입사광의 요망되는 파장의 대략 1% 이하를 층 스택(106, 108)으로부터 반사할 수 있다. 상부 전극(112)의 두께는 상부 전극(112)을 통해 층 스택(106, 108) 안으로 하향 전파되는 입사광의 요망되는 파장을 변화시키도록 조절될 수 있다. 비록 하나 이상의 실시예에서 비교적 얇은 상부 전극(112)의 표면 저항이 평방 당 대략 20 내지 50 옴과 같이 비교적 높을 수 있지만, 상부 전극(112)의 비교적 높은 표면 저항은 후술하는 바와 같이 광전지 모듈의 각각의 셀(100) 내의 상부 전극(112)의 폭을 감소시켜 상쇄할 수 있다.

[0059] 상부 전극(112) 위에는 점착층(144)이 피착된다. 예컨대 점착층(144)은 상부 전극(112)에 직접 피착될 수 있다. 이와 달리, 점착층(144)은 셀(100)에 포함되지 않는다. 점착층(144)은 커버 층(104)을 상부 전극(112)에 고정한다. 점착층(144)은 셀(100) 안으로의 습기 침입을 방지할 수 있다. 점착층(144)은 예컨대 폴리비닐 부티랄(PVB), 설린 또는 에틸렌 비닐 아세테이트(EVA)와 같은 재료를 포함할 수 있다.

[0060] 커버 층(104)은 점착층(144) 위에 배치된다. 이와 달리, 커버 층(104)은 상부 전극(112) 상에 배치된다. 커버 층(104)은 광 투과성 재료를 포함하거나 그것으로 형성된다. 일 실시예에서, 커버 층(104)은 강화유리 시트이다. 커버 층(104) 내에 강화유리를 사용하는 것은 셀(100)을 물리적 손상으로부터 보호하는데 기여할 수 있다. 예컨대 강화유리 커버 층(104)은 셀(100)을 우박 및 다른 환경적인 손상으로부터 보호하는데 기여할 수 있다. 다른 실시예에서, 커버 층(104)은 소다석회 유리, 저철분 강화유리 또는 저철분 서냉 유리의 시트이다. 고도로 투명한 저철분 유리 커버 층(104)의 사용은 층 스택(106, 108)으로의 광 투과를 개선할 수 있다. 선택적으로, 커버 층(104)의 상부에 반사 방지(AR) 코팅(도시 생략)이 제공될 수 있다.

[0061] 도 5는 일 실시예에 따른 기판 형상 광전지 소자(500)의 개략도 및 이 소자(500)의 확대도(502)이다. 소자(500)는 서로 직렬로 전기적으로 결합된 복수의 광전지 셀(504)을 포함한다. 셀(504)은 (도 1에 도시된) 셀(100)과 유사할 수 있다. 예컨대 각각의 셀(504)은 빛의 파장의 스펙트럼의 다른 서브세트를 각각 흡수하는 층 스택(106, 108)(도 1에 도시)의 텐덤 배치체를 가질 수 있다. 일 실시예에서, 셀(504) 내의 층 스택 중의 2 이상에 의해 흡수되는 빛의 파장의 스펙트럼은 적어도 부분적으로 서로 중첩될 수 있다. 도 1의 개략적인 도면은 도 5의 선 1-1을 따른 소자(500)의 단면도일 수 있다. 소자(500)는 직렬로 서로 전기적으로 결합된 다수의 셀(504)을 포함할 수 있다. 단지 예로서, 소자(500)는 직렬로 서로 연결된 25, 50 또는 100 이상의 셀(504)을 구비할 수 있다. 또한 각각의 가장 바깥쪽 셀(504)은 복수의 리드(506, 508) 중의 하나와 전기적으로 연결될 수 있다. 리드(506, 508)는 소자(500)의 양 단부(510, 512) 사이에서 연장된다. 리드(506, 508)는 외부 전기 부하(510)와 연결된다. 소자(500)에 의해 발생되는 전류는 외부 부하(510)에 인가된다.

[0062] 전술한 바와 같이, 각각의 셀(504)은 여러 층을 포함한다. 예컨대, 각각의 셀(504)은 기판(102)(도 1에 도시)과 유사한 기판(512), 하부 전극(114)(도 1에 도시)과 유사한 하부 전극(514), 반도체 재료의 다층 스택(516), 상부 전극(112)(도 1에 도시)과 유사한 상부 전극(518), 점착층(144)(도 1에 도시)과 유사한 점착층(520), 그리고 커버 층(104)(도 1에 도시)과 유사한 커버 층(522)을 포함한다. 다층 스택(516)은 소자(500)에 입사되는 빛의 파장의 스펙트럼의 다른 서브세트를 각기 흡수 또는 포획하는 활성 실리콘 층의 상부, 중간 및 하부 접합 스택을 포함할 수 있다. 예컨대 다층 스택(516)은 상부 층 스택(106)(도 1에 도시)과 유사한 상부 층 스택 및 하부 층 스택(108)(도 1에 도시)과 유사한 하부 층 스택을 포함할 수 있다. 소자(500)는 빛이 기판(512)의 반대편에 배치된 커버 층(522)에 입사되기 때문에 기판 형상 소자이다.

[0063] 하나의 셀(504)의 상부 전극(518)은 이웃하는 인접 셀(504) 내의 하부 전극(514)과 전기적으로 결합된다. 전술한 바와 같이, 상부 및 하부 전극(518, 514)에서의 전극 및 정공의 수집은 각각의 셀(504) 내에 전압차를 발생시킨다. 셀(504) 내의 전압차는 소자(500) 내의 다수의 셀(504)에 걸쳐 부가적일 수 있다. 전자와 정공은 하나의 셀(504) 내의 상부 및 하부 전극(518, 514)을 통해 이웃 셀(504) 내의 대향 전극(518, 514)으로 흐른다. 예컨대, 빛이 텐덤 층 스택(516)에 부딪힐 때 제1 셀(504) 내의 전자가 하부 전극(514)으로 흐른다면, 전자는 제1 셀(504)의 하부 전극(514)을 통해 제1 셀(504)에 인접한 제2 셀(504) 내의 상부 전극(518)으로 흐른다. 마찬가지로, 정공이 제1 셀(504) 내의 상부 전극(518)으로 흐른다면, 정공은 제1 셀(504) 내의 상부 전극(518)으로부터 제2 셀(504) 내의 하부 전극(514)으로 흐른다. 상부 및 하부 전극(518, 514)을 통한 전자와 정공의 흐

름에 의해 전류와 전압이 발생된다. 전류는 외부 부하(510)에 인가된다.

[0064] 소자(500)는 "단일 집적 광 모듈(Monolithically-Integrated Solar Module)"이란 명칭으로 2009년 9월 29일에 출원된 동시 진행 중인 미국 특허출원 제12/569,510호("'510 출원")에 기재된 실시예 중의 하나 이상과 유사한 단일 집적 광 모듈일 수 있다. '510 출원의 전체 개시 내용은 본 명세서에 참조로서 포함된다. 예컨대, 소자(500) 내의 하부 및 상부 전극(514, 518)과 텐덤 층 스택(516)의 형태를 생성하기 위해, 소자(500)는 '510 출원에 기재된 바와 같이 단일 집적 모듈로서 제작될 수 있다. 일 실시예에서, 하부 전극(514)의 일부는 제거되어 하부 분리 간격(524)을 형성한다. 하부 전극(514)의 일부는 하부 전극(514)에 패터닝 기술을 사용하여 제거할 수 있다. 예컨대 하부 전극(514) 내에 하부 분리 간격(524)을 스크라이빙하는 레이저 광을 사용하여 하부 분리 간격(524)을 형성할 수 있다. 하부 분리 간격(524)을 형성하도록 하부 전극(514)의 일부가 제거된 후, 하부 전극(514)의 잔여부는 확대도(502)의 평면을 가로지르는 방향으로 연장된 선형 스트립으로서 배치된다.

[0065] 다층 스택(516)은 하부 분리 간격(524) 내의 부피를 채우도록 하부 전극(514)에 피착된다. 그런 다음 다층 스택(516)을 레이저 빔 등의 에너지의 시준된 빔에 노출시켜 다층 스택(516)의 일부를 제거하고 다층 스택(516) 내에 층간 간격(526)을 제공한다. 층간 간격(526)은 인접한 셀(504)의 다층 스택(516)을 분리시킨다. 층간 간격(526)을 형성하도록 다층 스택(516)의 일부가 제거된 후, 다층 스택(516)의 잔여부는 확대도(502)의 평면을 가로지르는 방향으로 연장된 선형 스트립으로서 배치된다.

[0066] 상부 전극(518)은 층간 간격(526) 내의 다층 스택(516)과 하부 전극(514)에 피착된다. 일 실시예에서, 소자(500)의 전환 효율은 비교적 얇은 상부 전극(518)을 반사 방지(AR) 효과를 제공하도록 조절되거나 조정된 두께로 피착하여 증가시킬 수 있다. 예컨대 상부 전극(518)의 두께(538)는 상부 전극(518)을 통해 다층 스택(516) 안으로 투과되는 가시광의 양을 증가시키도록 조절할 수 있다. 상부 전극(518)을 통해 투과되는 가시광의 양은 입사광의 파장과 상부 전극(518)의 두께에 기초하여 달라질 수 있다. 일정 두께의 상부 전극(518)은 일정 파장의 빛이 다른 파장의 빛보다 상부 전극(518)을 통해 더 많이 전파될 수 있게 한다. 단지 예로서, 상부 전극(518)은 대략 60 내지 90nm의 두께로 피착될 수 있다.

[0067] 상부 전극(518)에 의해 제공되는 반사 방지 효과는 더 많은 빛이 상부 전극(518)을 통해 다층 스택(516)으로 전파될 수 있으므로 소자(500)에 의해 발생되는 전체 전력을 증가시킬 수 있다. 상부 전극(518)에 의해 제공되는 반사 방지 효과로부터 생기는 증가한 전력 출력은 상부 전극(518)에 발생하는 I^2R 손실과 같은 에너지 손실의 전부는 아니더라도 적어도 일부를 극복하기에 충분할 수 있다. 예컨대 상부 전극(518)을 통과하는 빛의 증가한 양에 기인하는 광전류의 증가된 양은 증가는 얇은 상부 전극(518)의 비교적 높은 표면 저항과 결합된 I^2R 전력 손실을 극복하거나 적어도 부분적으로 상쇄할 수 있다. 그와 같이 비교적 높은 출력 전압과 비교적 낮은 전류 밀도를 갖는 조건에서, 예컨대 상부 전극(518)의 표면 저항이 적어도 평방 당 대략 15 내지 30 옴의 표면 저항과 같이 평방 당 10 옴보다 크더라도, 셀(504)의 폭(540)이 대략 0.6 내지 1.2cm의 크기를 가질 수 있도록, 셀(504)의 얇은 상부 전극(518) 내의 I^2R 손실은 충분히 작을 수 있다. 셀(504)의 폭(540)이 소자(500) 내에서 제어될 수 있기 때문에, 상부 전극(518) 내의 I^2R 전력 손실은 얇은 상부 전극(518) 상부의 전도성 그리드의 사용 없이 감소할 수 있다.

[0068] 상부 전극(518)의 일부는 제거되어 상부 전극(518) 내의 상부 분리 간격(528)을 형성하고 인접한 셀(504) 내의 상부 전극(518)의 일부를 서로 전기적으로 분리한다. 상부 분리 간격(528)은 상부 전극(518)을 레이저 광 등의 에너지의 시준된 빔에 노출시켜 형성할 수 있다. 에너지의 시준된 빔은 상부 분리 간격(528)에 가까운 다층 스택(516)의 결정질 분율을 국부적으로 증가시킬 수 있다. 예컨대 상부 전극(518)과 하부 전극(514) 사이로 연장된 수직부(530) 내의 다층 스택(516)의 결정도는 에너지의 시준된 빔에 대한 노출에 의해 증가할 수 있다. 또한, 에너지의 시준된 빔은 다층 스택(516) 내부에서 도펀트를 확산시킬 수 있다. 다층 스택(516)의 수직부(530)는 상부 및 하부 전극(518, 514) 사이에 상부 전극(518)의 좌측 가장자리(534) 아래에 배치된다. 도 5에 도시된 바와 같이, 상부 전극(518) 내의 각각의 간격(528)은 인접한 셀(504) 내의 상부 전극(518)의 좌측 가장자리(534) 및 대향된 우측 가장자리(536)를 경계로 한다.

[0069] 다층 스택(516)과 수직 부분(530)의 결정질 분율은 다양한 방법으로 결정될 수 있다. 예컨대 라만 분광학을 이용하여 다층 스택(516)과 수직부(530) 내의 비정질 재료의 결정질 재료에 대한 상대 부피를 비교할 수 있다. 검사받도록 시도된 다층 스택(516)과 수직부(530) 중의 하나 이상은 예컨대 레이저의 단색광에 노출될 수 있다. 다층 스택(516)과 수직부(530)의 화학적 함량과 결정 구조에 기초하여 단색광이 산란될 수 있다. 빛이 산란됨에 따라, 빛의 주파수(및 파장)는 변한다. 예컨대 산란광의 주파수는 편이될 수 있다. 산란광의 주파수가 측

정 및 분석된다. 산란광의 주파수의 세기 및/또는 편이에 기초하여, 검사받는 다층 스택(516)과 수직부(530)의 비정질 및 결정질 재료의 상대 부피가 결정될 수 있다. 이러한 상대 부피에 기초하여, 검사받는 다층 스택(516)과 수직부(530) 내의 결정질 분율이 측정될 수 있다. 다층 스택(516)과 수직부(530)의 여러 샘플이 검사받는다면, 결정질 분율은 여러 측정된 결정질 분율의 평균일 수 있다.

[0070] 다른 예에서, 다층 스택(516)과 수직부(530)의 하나 이상의 TEM 화상을 얻어 다층 스택(516)과 수직부(530)의 결정질 분율을 결정할 수 있다. 검사받는 다층 스택(516)과 수직부(530)의 하나 이상의 슬라이스를 얻는다. 결정질 재료를 나타내는 각각의 TEM 화상 내의 표면적의 백분율을 각각의 TEM 화상에 대해 측정한다. 그런 다음 TEM 화상 내의 결정질 재료의 백분율을 평균하여 검사받는 다층 스택(516)과 수직부(530) 내의 결정질 분율을 결정할 수 있다.

[0071] 일 실시예에서, 다층 스택(516)의 잔여부에 대한 수직부(530)의 증가한 결정도 및/또는 확산은 도 5에 도시된 도면에서 다층 스택(516)의 두께를 통해 수직으로 연장된 내장형 바이패스 다이오드(532)를 형성한다. 예컨대 수직부(530)에서의 다층 스택(516)의 결정질 분율 및/또는 상호 확산은 다층 스택(516)의 잔여부에서의 결정질 분율 및/또는 상호 확산보다 더 클 수 있다. 에너지의 시준된 빔의 에너지 및 펄스 지속의 제어를 통해, 내장 바이패스 다이오드(532)는 개별 셀들(504) 내에 전기 쇼트를 발생하지 않으면서 개별 셀들(504)의 각각의 셀을 통해 형성될 수 있다. 내장 바이패스 다이오드(532)는 특정한 셀(504)이 빛으로부터 가려지는 때 특정한 셀(504), 셀들(504)의 그룹 및/또는 소자(500)의 손상을 방지할 수 있는 전기 바이패스를 소자(500) 내의 셀(504)을 통해 제공한다. 예컨대 내장 바이패스 다이오드(532)가 없다면, 다른 셀들(504)이 계속 빛에 노출되는 동안 가려지거나 더 이상 빛에 노출되지 않는 셀(504)은 노출된 셀(504)에 의해 발생된 전위에 의해 역방향 바이어스될 수 있다. 빛에 노출된 셀(504)에 의해 발생된 전위는 가려진 셀(504)의 상부 및 하부 전극(518, 514)에서 가려진 셀(504)에 걸쳐 높아질 수 있다. 그 결과, 가려진 셀(504)은 온도가 증가할 수 있고, 만약 가려진 셀(504)의 온도가 현저히 증가한다면, 가려진 셀(504)은 영구적으로 손상되고 그리고/또는 타버릴 수 있다. 내장 바이패스 다이오드(532)를 구비하지 않는 가려진 셀(504)은 전위 또는 전류가 전체 소자(500)에 의해 발생되는 것도 역시 방지할 수 있다. 따라서, 내장 바이패스 다이오드(532)가 없는 가려진 셀(504)은 소자(500)로부터 오는 전류의 상당량을 낭비하거나 상실할 수 있다.

[0072] 내장 바이패스 다이오드(532)가 있으면, 빛에 노출된 셀(504)에 의해 발생된 전위는 가려진 셀(504)의 상부 분리 간격(528)의 가장자리에 형성된 바이패스 다이오드(532)를 통해, 바이패스 다이오드(532)를 갖는 가려진 셀(504)을 우회할 수 있다. 다층 스택(516)의 일부(530)의 증가한 결정도 및/또는 다층 스택(516) 내의 상부 전극(518)과 일부(530) 사이의 상호 확산은 가려진 셀(504)이 역방향 바이어스되는 때 전류가 흐르는 경로를 제공한다. 예컨대, 바이패스 다이오드(532)가 가려진 셀(504)의 대부분보다 더 낮은 역방향 바이어스 하의 전기 저항 특성을 가짐에 따라, 가려진 셀(504)에 걸친 역방향 바이어스는 바이패스 다이오드(532)를 통해 흡어질 수 있다.

[0073] 셀(504) 또는 소자(500) 내의 내장 바이패스 다이오드(532)의 존재는 개별 셀(504)을 가리기 전과 후에 소자(500)의 전기 출력을 비교하여 결정할 수 있다. 예컨대 소자(500)를 조명하고 소자(500)에 의해 발생된 전위를 측정한다. 하나 이상의 셀(504)을 빛으로부터 가린 동안 나머지 셀(504)을 조명할 수 있다. 소자(500)는 리드(506, 508)를 함께 연결하면 단락될 수 있다. 그런 다음 소자(500)는 미리 정해진 시간 기간 예컨대 1시간 동안 빛에 노출될 수 있다. 그런 다음 가려진 셀(504)과 가려지지 않은 셀(504) 양쪽을 한 번 더 조명하고 소자(500)에 의해 발생된 전위를 측정한다. 일 실시예에서, 셀(504)을 가리기 전후의 전위가 서로의 대략 100mV 이내라면, 소자(500)는 내장 바이패스 다이오드(532)를 포함한다. 이와 달리, 셀(504)을 가린 후의 전위가 셀(504)을 가리기 전의 전위보다 대략 200 내지 2500mV 만큼 낮다면, 소자(500)는 내장 바이패스 다이오드(532)를 포함하지 않을 수 있다.

[0074] 다른 실시예에서, 특정한 셀(504)을 위한 내장 바이패스 다이오드(532)의 존재는 셀(504)을 전기적으로 탐색하여 결정할 수 있다. 셀(504)이 조명 없이 역방향 바이어스되는 때 셀(504)이 가역적이고 비영구적인 다이오드 고장을 보인다면, 셀(504)은 내장 바이패스 다이오드(532)를 갖고 있다. 예컨대 대략 -5 내지 -8V의 역방향 바이어스가 조명 없는 셀(504)의 상부 및 하부 전극(514, 518)에 걸쳐 인가되는 때에 셀(504)이 대략 10mA/cm_2보다 큰 누설 전류를 보인다면, 셀(504)은 내장 바이패스 다이오드(532)를 포함한다.

[0075] 도 6은 일 실시예에 따른 기판 형상 광전지 소자를 제작하는 공정(600)의 순서도이다. 602에서, 기판을 제공한다. 예컨대 기판(102)(도 1에 도시) 등의 기판을 제공할 수 있다. 604에서, 템플릿 층을 기판에 피착한다. 예컨대 템플릿 층(116)(도 1에 도시)을 기판(102)에 피착할 수 있다. 이와 달리, 공정(600)의 흐름은 아무런

템플릿 층도 광전지 소자에 포함되지 않도록 경로(606)를 따라 604를 우회할 수 있다. 608에서, 하부 전극을 템플릿 층 또는 기판에 피착한다. 예컨대 하부 전극(114)(도 1에 도시)을 템플릿 층(116) 또는 기판(102)에 피착할 수 있다.

[0076] 610에서, 하부 전극의 일부를 제거하여 소자 내의 각각의 셀의 하부 전극을 서로 분리한다. 전술한 바와 같이, 레이저 빔 등의 에너지의 시준된 빔을 이용하여 하부 전극의 일부를 제거할 수 있다. 612에서, 하부 접합 스택을 피착한다. 예컨대 하부 층 스택(108)(도 1에 도시) 등의 실리콘 층들의 하부 N-I-P 스택을 하부 전극(114)(도 1에 도시)에 피착할 수 있다. 614에서, 상부 접합 스택이 제공된다. 예컨대 상부 층 스택(106)(도 1에 도시) 등의 실리콘 층들의 상부 N-I-P 스택을 하부 층 스택(108) 상에 피착할 수 있다. 하부 및 상부 층 스택들은 전술한 다층 스택(516)(도 5에 도시)과 유사한 소자의 다층 스택을 형성한다.

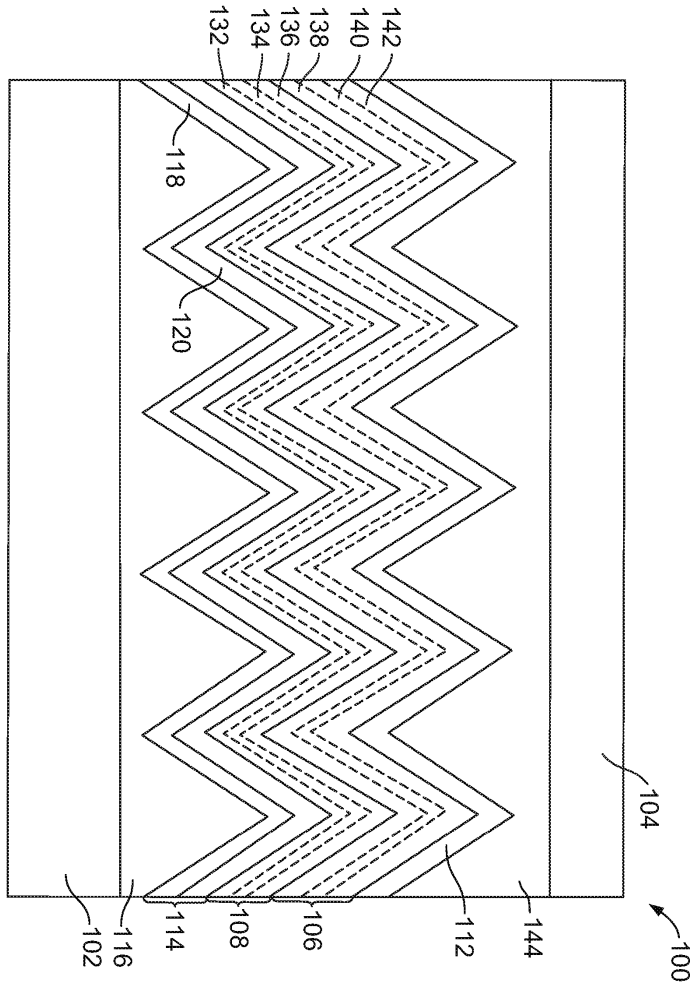
[0077] 616에서, 소자 내의 인접 셀 사이의 다층 스택의 일부를 제거한다. 예컨대, 전술한 바와 같이, 상부 및 하부 층 스택(106, 108)(도 1에 도시)의 일부를 인접한 셀들(504)(도 5에 도시) 사이에서 제거할 수 있다. 일 실시예에서, 다층 스택을 제거하는 것은 소자 내의 인접한 셀들 사이의 중간 반사층의 일부를 제거하는 것도 역시 포함한다. 618에서, 상부 전극을 상부 층 스택 위에 피착한다. 예컨대 상부 전극(112)(도 1에 도시)을 상부 층 스택(106) 위에 피착할 수 있다. 620에서, 상부 전극의 일부를 제거한다. 예컨대 상부 전극(112)의 일부를 제거하여 소자(500)(도 5에 도시) 내의 인접한 셀들(504)의 상부 전극들(112)을 서로 분리한다. 전술한 바와 같이, 상부 전극(112)의 일부를 제거하면, 소자의 셀 내에 내장 바이패스 다이오드가 형성될 수 있다.

[0078] 622에서, 전도성 리드를 소자 내의 가장 바깥 셀에 전기적으로 접합한다. 예컨대 리드(506, 508)(도 5에 도시)를 소자(500)(도 5에 도시) 내의 가장 바깥 셀(504)(도 5에 도시)과 전기적으로 결합할 수 있다. 624에서, 점착층을 상부 전극 위에 피착한다. 예컨대 점착층(144)(도 1에 도시)을 상부 전극(112)(도 1에 도시) 위에 피착할 수 있다. 626에서, 커버 층을 점착층에 부착한다. 예컨대 커버 층(104)(도 1에 도시)을 점착층(144)에 의해 셀(100)(도 1에 도시)의 하부의 층들과 구성요소들에 접합할 수 있다. 628에서, 접속 배선함을 소자에 장착한다. 예컨대 전위 및/또는 전류를 소자(500)로부터 하나 이상의 커넥터에 전달하도록 구성된 접속 배선함을 소자(500)에 장착하고 전기적으로 결합할 수 있다.

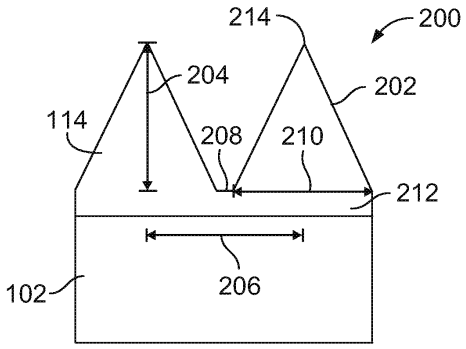
[0079] 전술한 기재 내용은 설명하기 위한 것이며 한정하도록 의도된 것은 아님을 알아야 한다. 예컨대 전술한 실시예(및/또는 그 양태)는 서로 결합하여 사용될 수 있다. 또한, 본원에 개시된 주제의 교시 내용의 범위에서 벗어나지 않으면서 특정한 상태나 재료를 교시 내용에 맞춰 개조한 다수의 수정물을 구성할 수 있다. 본원에 기재된 치수, 재료의 종류, 다양한 구성요소의 방향 및 다양한 구성요소의 수와 위치는 특정한 실시예의 파라미터를 정의하도록 의도된 것으로서, 한정이 아닌 예시적인 실시예일 뿐이다. 위 기재 내용을 살펴본 해당 분야의 통상의 지식을 가진 자(당업자)라면 다수의 다른 실시예와 수정례가 특허청구범위의 사상과 범위 안에 있음을 명확히 알 수 있을 것이다. 따라서 본 명세서에 개시된 주제의 범위는 첨부된 특허청구범위와 이 특허청구범위가 미치는 모든 범위의 균등물과 함께 참조하여 결정되어야 한다. 첨부된 특허청구범위에서, "포함" 및 "그 점에서"라는 용어는 각기 "구비" 및 "~하는 바의"라는 용어와 균등한 쉬운 용어로서 사용된다. 더욱이, 후속하는 특허청구범위에서, "제1," "제2," "제3" 등의 용어는 식별을 위해 사용되는 것일 뿐이며 그 대상에 수적인 요건을 부여하기 위해 의도된 것은 아니다.

도면

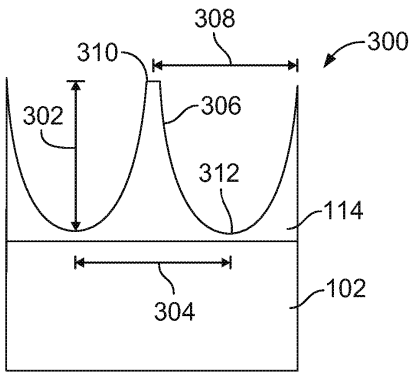
도면1


132
134
136
138
140
142
118
120
104
102
116
114
108
106
112
144
100

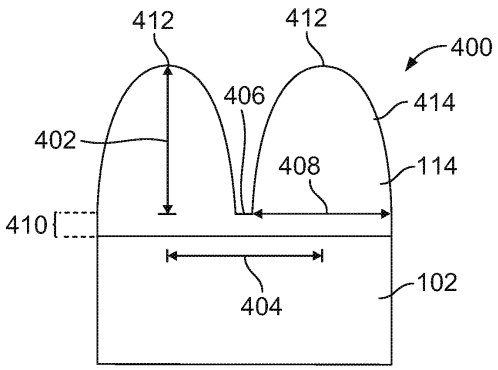
도면2


214
200
204
202
114
208
210
212
206
102

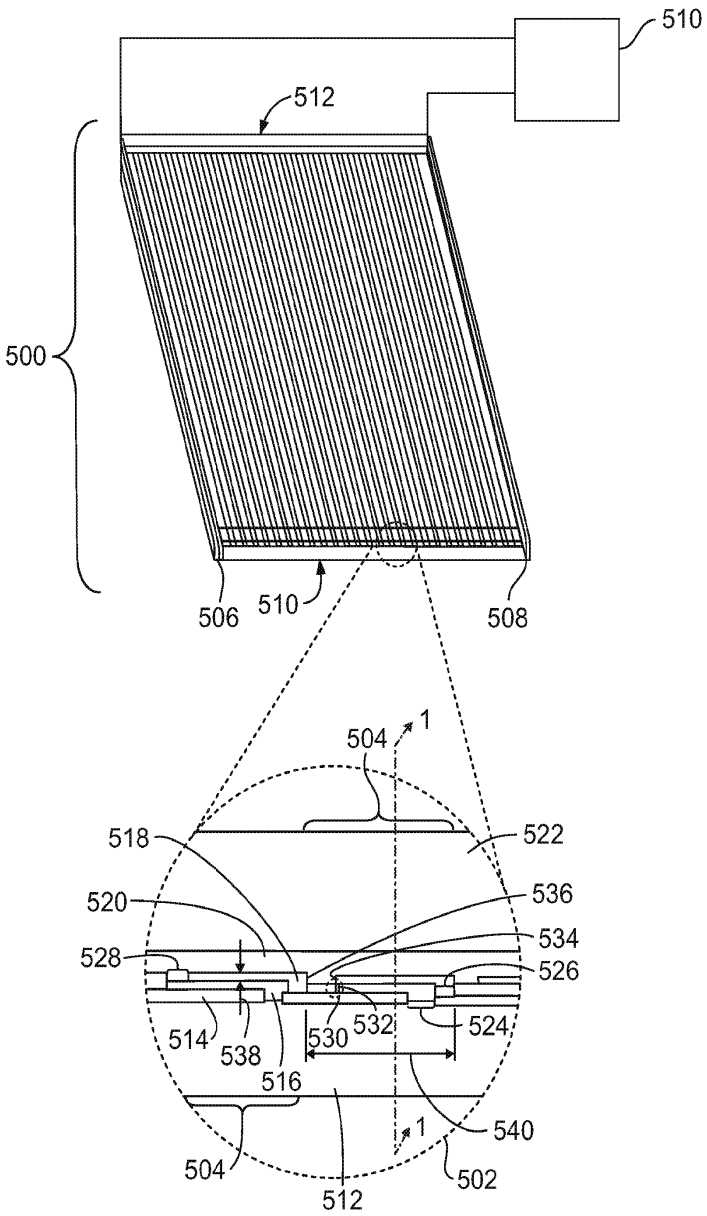
도면3


308
310
300
302
306
312
114
304
102

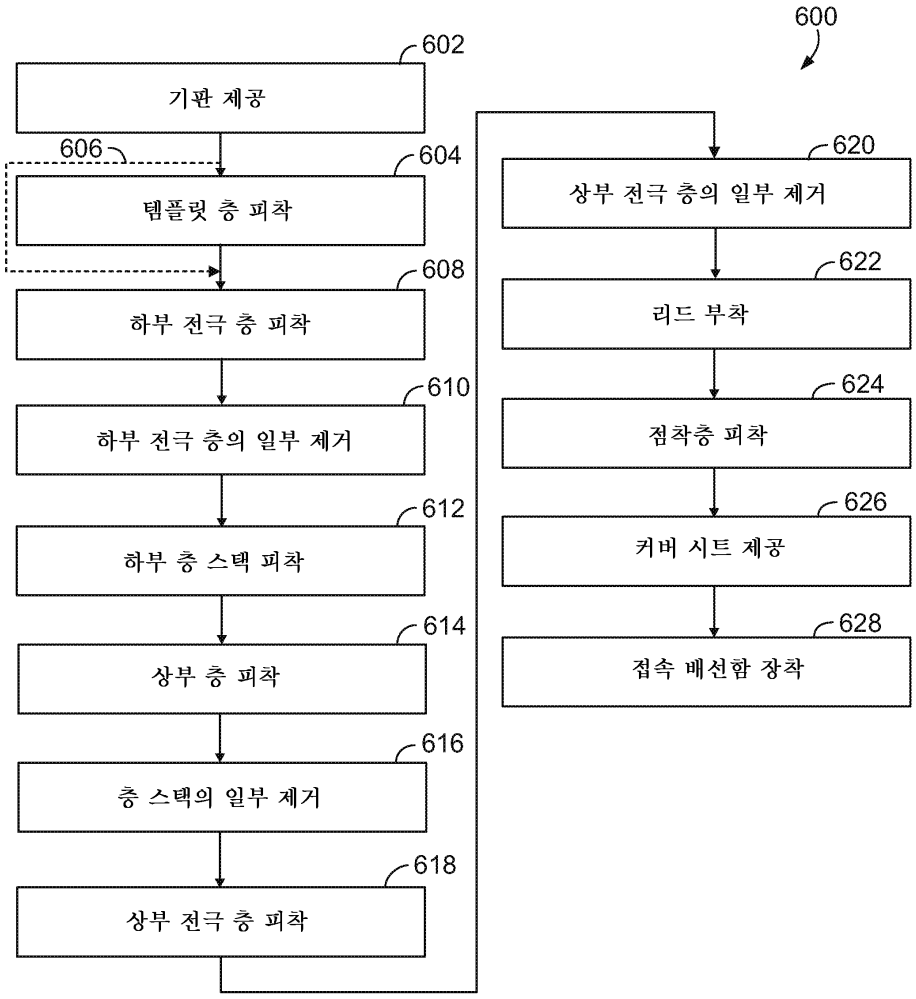
도면4


412
412
400
406
414
402
408
114
410
404
102

도면5


510
512
500
506
510
508
504
1
518
522
520
536
534
528
526
514
538
530
532
524
516
540
1
504
512
502

도면6


600
602
기판 제공
606
604
템플릿 층 피착
608
하부 전극 층 피착
610
하부 전극 층의 일부 제거
612
하부 층 스택 피착
614
상부 층 피착
616
층 스택의 일부 제거
618
상부 전극 층 피착
620
상부 전극 층의 일부 제거
622
리드 부착
624
점착층 피착
626
커버 시트 제공
628
접속 배선함 장착