公告本

申請日期	86 年 5 月 22 日
案號	86106909
類別	G06F 9/30

A4
C4

424197

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	資訊處理電路、微電腦及電子機器
	英文	
二、發明 創作 人	姓名	(1) 久保田哲 (2) 工藤真 (3) 宮山芳幸
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 (2) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 (3) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	姓名（名稱）	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都新宿區西新宿二丁目四番一號
	代表人姓名	(1) 安川英昭

裝 訂 線

經濟部中央標準局員工消費合作社印製

424197

申請日期	86 年 5 月 22 日
案號	86106909
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 佐藤比佐夫
	國籍	⑷ 日本
	住、居所	⑷ 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

424197

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1996 年 5 月 22 日	8-127541	☑有主張優先權
日本	1997 年 5 月 8 日	9-135923	☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

【發明之領域】

本發明係爲關於資訊處理電路、內藏前述資訊處理電路之微電腦、及使用該微電腦而被構成之電子機器。

【關連技術】

過去，在可以處理３２位元的資料之ＲＩＳＣ方式微電腦，使用３２位元寬幅的固定長指令。其理由，係爲使用固定長指令，則與使用可變長指令的情況作比較，可以縮短指令解碼所要的時間，另外是可以縮小微電腦的電路規模之故。

不過，針對３２位元的微電腦，特別是不是必要３２位元的指令較多。因此以３２位元記述全部的指令，則在指令產生冗長的部分之指令增多，劣化記憶體的使用效率。

在該處，本專利的發明者，爲了不致使控制電路複雜且使其提昇記憶體的使用效率，所以針對處理比所可以處理資料的位元幅寬還短的位元幅寬的固定長指令之微電腦，進行檢討。

但是，例如將３２位元固定長的指令單是形成１６位元的固定長，則會產生以下的問題點。

即是在ＲＩＳＣ方式的微電腦，爲了重視處理及指令組合的汎用性，所以進行使用堆疊指標之處理時，使用任何的汎用暫存器作爲堆疊指標，使用以汎用暫存器作爲操作對象的指令而進行前述處理。因此，在記述此樣處理時

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 2 ）

的前述指令，必須指定作爲堆疊指標所使用的汎用暫存器。

例如，以汎用寄存器爲操作對象之指令記述將在堆疊指標加上所給的移位值之記憶體位址所特定的資料傳送至所供的暫存器之處理時，在其命令的目標碼，必須有特定前述移位值、前述所供的暫存器之資訊；及特定作爲堆疊指標所使用的暫存器之資訊。

此樣，以汎用暫存器作爲操作對象之指令記述使用堆疊指標之處理時，由於此目標碼所指定的資訊較多，因而以１６位元的固定長，記述指令的內容形成困難。此處命令長例如爲３２位元，則由於指令當中特別是對指令不須要３２位元的指令較多，所以對指令產生冗長的部分之指令增多，導致記憶體的使用效率惡化。

另外，由於指令較長則收容該指令的記憶體也必須有備分，所以從記憶體的使用效率之觀點，係爲不限於固定長的命令，就能縮短命令長較爲理想。

另外，例如如Ｃ語言關連到堆疊指標而使其執行以確保自動變數的記憶領域之語言所記述的程式時，由於使用堆疊指標的指令較多，所以期望是有效地記述使用堆疊指標的指令，且使其執行。

該處，進行使用堆疊指標的處理時，期望是能以盡量短的指令長記述且執行其指令內容之結構。

另外，最近特別是ＲＩＳＣ方式的ＣＰＵ，爲了提高性能而在內部使其持有較多的汎用暫存器。由於在內部持

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（3）

有較多的暫存器因而不存取在記憶體而在ＣＰＵ內部高速下可以較多的處理之故。此樣多數持有內部暫存器，則插入處理或子常式呼叫之時的暫存器退避與復舊之處理之際，應退避暫存器數增多。

以下，在堆疊系指令當中，將進出至子常式時所常用的暫存器之避讓待命回復指令，以例說明過去例。

通常微電腦的指令組合係爲持有爲了將ＣＰＵ的暫存器避讓待命於堆疊同時復舊之指令。具有持有爲此的專用指令，或是持有暫存器間接位址處理指令。

關於前述避讓待命且復舊的指令之技術，在於Ｉｎｔｅｌ社（公司名）的８０３８６，「８０３８６程式處理」（John H. Crawford Patric P. Gelsigner著，岩谷宏譯），具有如下的記載。

即是具有ｐｕｓｈ、ｐｕｓｈａ、ｐｕｓｈａｄ，作爲將暫存器寫入至堆疊，從堆疊具有ｐｏｐ、ｐｏｐａ、ｐｏｐａｄ，係爲將資料返回到暫存器。

以ｐｕｓｈ指令將暫存器寫入至堆疊時，如ｐｕｓｈ　ＥＡＸ，指令暫存器作爲操作對象。此乃是３２位元暫存器ＥＡＸ的情況。將暫存器ＥＡＸ、ＥＣＸ、ＥＤＸ、ＥＢＸ全部寫在堆疊時，如下，返復ｐｕｓｈ指令。

```
push  EAX
push  ECX
```

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 4 ）

push EDX

push EBX

此樣，以push、pop指令依順操作暫存器則目標碼的大小增大；程式的執行步驟也增多；因此，程式的執行時間或處理動作更減緩。

該處，在將80386所具有的8個汎用暫存器全部寫入至堆疊，使用pusha或是pushad指令。pusha以8個的暫存器的分別下位16位元暫存器作爲對象；pushad以32位元作爲對象。以pusha、pushad返復8次push指令則可以省略。

針對pop、popa、popad指令也是同樣。

返復push指令之缺點係爲增長程式碼，爲了取得每1指令且執行所以執行變慢。此點係爲以前述pusha、pushad，在將前述8個的暫存器全部寫入在堆疊時被大大地改善。但是，如4個的情況或6個的情況等，在寫入未滿8個的暫存器時，此點則未被改善。

即是如80386，以pusha、pushad、popa、popad指令操作全部的暫存器，則就是沒有必要退避・復舊暫存器的全部，也必須使用此周期的較長且較慢的指令。此樣的情況，指令以一個指令就完成，但會產生增長此指令的執行周期之問題。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

另外，在以ｃａｌｌ指令或返回指令等分歧至子常式，同時返回至被稱爲路徑時，必須處理作爲回返處位址所必要的程式計數器的避讓待命或復舊。針對過去的ＲＩＳＣ方式的ＣＰＵ係爲以軟體實現這些的處理。即是由於實行記述該處理的組合指令（目標碼），因而進行處理前述程式計數器的避讓待命或復舊。因此，ｃａｌｌ指令或返回指令，係爲導致增加目標碼，另外爲了取得且執行每１指令而導致鈍化執行速度。

【發明目的】

本發明的目的係爲提供具有能以較短的命令長有效的記述且執行使用堆疊指標之處理的結構之資訊處理電路、微電腦、電子機器。

另外，本發明的其他目的係爲提供有效地記述暫存器退避或暫存器復舊之處理；插入處理及子常式呼叫・返回的處理速度較快旳資訊處理電路、微電腦、電子機器。

爲了達成前述目的，本發明的特徵係爲含有：具有用於堆疊指標專用的堆疊指標專用暫存器、及將該堆疊指標專用暫存器作爲靜態的操作對象之目標碼；根據該堆疊指標專用暫存器的處理，解讀所被記述的堆疊指標專用指令群之目標碼，而根據該目標碼輸出控制訊號之解讀手段；與根據前述控制訊號及前述堆疊指標專用暫存器的內容，執行前述堆疊指標專用指令群。

此處，目標碼係爲一般以翻譯程式翻譯成機械指令之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 6 ）

得到的程式碼，但是在於本發明，對於是否以翻譯程式則無關係，在含有以機械指令所記述的程式碼之概念下使用。

本發明的資訊處理電路，具有堆疊指標專用的堆疊指標專用暫存器；進行解讀、執行以該堆疊指標專用暫存器爲操作對象之堆疊指標專用指令群而被構成。

前述堆疊指標專用指令群，由於具有爲了使用堆疊指標專用暫存器之專用的操作對象，因而在目標碼的操作對象不必要爲了特定堆疊指標之資訊。換言之，前述堆疊指標專用指令群係爲將堆疊指標專用暫存器作爲靜態的操作對象。因此，將汎用暫存器的1個分配在堆疊指標，而與用以汎用暫存器作爲操作對象的指令進行操作堆疊指標的情況作比較，能以較短的指令長記述使用堆疊指標的處理。

因此依據本發明，可以提供能以較短的指令長記述且執行使用堆疊指標的處理之資訊處理電路。另外，可以提供記憶指令的記憶體之較佳使用效率之資訊處理電路。

本發明的特徵爲：前述堆疊指標專用指令群，含有在目標碼具有傳送暫存器特定資訊之下載指令；前述解讀手段，解讀前述下載指令；前述執行手段，執行前述下載指令時，根據以前述堆疊指標專用暫存器所被特定的記憶體位址及以前述傳送暫存器特定資訊所被特定的暫存器位址，進行從記憶體上所供的第一區域至所供的第1暫存器之資料的傳送及從前述所供的第1暫存器至前述所供的第一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 7 ）

區域之資料的傳送之至少一方。

此處，被含在前述堆疊指標專用指令群之前述下載指令，係爲在記憶體與暫存器間進行資料的傳送之命令；且爲含有從記憶體至暫存器的傳送及從暫存器至記憶體的傳送之至少一方的概念。然而，也是不過問資料的內容含有位址資料的概念。記憶體位址，係爲爲了特定傳送的記憶體上的區域之位址。

前述下載指令，由於具有以堆疊指標專用暫存器爲操作對象之專用的操作碼，所以在目標碼的操作對象不須要爲了特定堆疊指標之資訊。因此，在具有關連到堆疊指標的記憶體位址之記憶體上的區域與暫存器間使其進行資料的傳送處理時，能以較短的指令長作記述。

本發明的特徵爲：前述下載指令，在爲了特定前述記憶體上的前述第1區域的位址之移位，將有關的資訊之移位資訊包含在目標碼；前述執行手段，以前述堆疊指標專用暫存器的內容與前述移位資訊而特定前述記憶體位址。

此處，移位資訊，係爲直接以即時值指定移位值即可；指定收容移位值之暫存器等的位址的情況而間接地指定的情況亦可。執行含有移位資訊之前述下載指令時，在傳送時所必要的前述記憶體位址，係爲根據堆疊指標專用暫存器的內容及前述移位資訊且被特定。

因此，在具有根據堆疊指標及前述移位資訊且被特定的記憶體位址之記憶體上的區域與暫存器間使其進行資料的傳送處理時，能以較短的指令長記述。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

另外，依據本發明，例如在於堆疊指標通常指字元境界的構造之資訊處理電路，也由於指定適當的移位資訊，因而能指定堆疊上的任意區域。因此，因應於資料大小而可以有效率地收容在堆疊，且可以達到提昇堆疊的使用效率。

本發明的特徵：前述移位資訊，含有以即時值所給予的即時值移位資訊與關於記憶體上所供的資料大小之資料大小資訊；前述執行手段，根據前述即時值移位資訊與前述資料大小資訊，將前述即時值移位資訊左邏輯位移而產生移位值，以加算前述堆疊指標專用暫存器的內容與前述移位值之值特定前述記憶體位址。

此處，即時值移位資訊，係爲直接以即時值指定移位值。另外資料大小資訊，係爲應傳送記憶體上資料的大小。通常資料大小，係爲以8位元的位元組資料，或16位元的半字元資料、32位元的字元資料等的2^n（n爲3以上）所表示。記憶體上的位址係爲以位元組單位提供：半字元資料係爲以半字元境界，字元資料係爲以字元境界。因此，半字元資料的記憶位址之下位1位元形成爲0；字元資料的記憶位址之下位2位元形成爲00。堆疊指標的位址，由於指定字元境界，所以生成半字元資料的記憶位址時的移位值之下位1位元形成爲0；生成字元資料的記憶位址時的移位值之下位2位元形成爲00。

另外，左邏輯位移，係爲向左偏移資料的位元列，因位移而在朝資料的右側出現的空置位元加入0之位移。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

依據本發明，由於根據資料大小，進行前述移即時值資訊的左邏輯位移，所以能省略以資料大小而決定的下位位元，記述即時值移位資訊。因此，可以有效地指定即時依位資訊；位元組以外的資料大小時，比原樣所指定的情況，能指定爲更大的移位值。

另外，因使用該指令而寫入至資料的記憶體，在讀出時選擇因應於該資料大小的適當境界位置。

本發明的特徵：前述堆疊指標專用指令群，在目標碼具有移動資訊且含有爲了移動堆疊指標之堆疊指標移動指令；前述解讀手段，解讀前述堆疊指標移動指令；前述執行手段，執行前述堆疊指標移動指令時，根據前述移動資訊，變更前述堆疊指標專用暫存器的內容。

前述堆疊指標移動指令，由於具有爲了以堆疊指標專用暫存器爲操作對象之專用的操作對象，所以在目標碼的操作對象不必要爲了特定堆疊指標之資訊。所以欲使其移動堆疊時，能以較短的指令長記述。因此，可以削減進行被收容在堆疊的資料之處理或關連到堆疊指標而被記憶的資料之處理時指令的記述量。

依據本發明，由於能容量地進行堆疊的移動，所以在於特別相異的常式分別確保所相異的堆疊區域後進行處理時爲有效。即是在每常式進行使其移動堆疊指標的處理，包括廣範圍的區域之位址指定成爲可能。

本發明的特徵，前述移動資訊，含有以即時值所給予的即時值移動資訊；前述指令執行手段，進行加算前述即

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

時值移動資訊與前述堆疊指標專用暫存器的內容之處理及從前述堆疊指標專用暫存器的內容減算前述即時值移動資訊之處理的至少一方之處理。

依據本發明，只有此即時值指定堆疊指標之值的部分，能以較短的指令長記述使其移動至上方或是下方之處理。

本發明的特徵：含有連續而附註順序的複數個暫存器，前述堆疊指標指令群，含有在目標碼具有複數個暫存器特定資訊之連續壓入指令及連續推出指令的至少一方；前述解讀手段，解讀前述壓入指令及連續推出指令的至少一方；前述指令執行手段，執行前述連續壓入指令及前述連續推出指令的至少一方時，根據以前述堆疊指標專用暫存器所被特定的記憶位址及以前述複數個暫存器特定資訊所被特定的記憶位址進行從前述複數個暫存器連續到被設置在記憶體的堆疊而複數次壓入之處理及從前述堆疊連續到前述複數個暫存器而複數次推出之處理的至少一方。

壓入係爲重疊資料而收容於被設在記憶體的堆疊；推入係爲從前述堆疊取出資料。此處，壓入處理及推出處理，係爲含有前述收容及取出的處理，及隨著該處理之堆疊指標的更新處理。通常的資訊處理電路具有從1個的暫存器至堆疊爲了收容資料或位址之PUSH指令、將堆疊的內容取出到暫存器之POP指令。該PUSH指令或POP指令，係爲進暫存器與堆疊的資料交換、或隨著該交換的堆疊指標更新。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

因此，在以複數個暫存器與堆疊進行資料等的交換時，必須複數次執行這些指令。

但是，依據本發明，執行前述連續壓入指令或前述推出指令，則連續PUSH指令而複數次執行時或連續POP指令而複數次執行時得有相同效果。即是能以1指令執行複數個暫存器與堆疊之間的資料交換及隨著該交換的堆疊指標更新。所以進行傳送複數個暫存器與堆疊之間的資料時，由於返復PUSH指令或是POP指令因而可以防止增大目標碼大小。另外避免增長程式執行步驟，不致消耗無用的周期，可以達到提昇插入處理及子常式呼叫・返回的處理處速度。

本發明的特徵：含有以0～n－1的暫存器編碼所被特定的n個汎用暫存器；前述連續壓入指令及連續推出指令的至少一方的目標碼，作爲前述複數個暫存器特定資訊，含有指定前述暫存器編碼的任何1個之最終暫存器編碼；前述執行手段，根據以前述堆疊指標專用暫存器的內容所被特定的記憶位址且進行從以暫存器0至前述最終暫存器編號所被特定的暫存器爲止的複數個暫存器，連續到被設在記憶體的堆疊而複數次壓入之處理及從前述堆疊連續到前述複數個暫存器而複數次推出之處理的至少一方。

通常汎用暫存器爲複數個時，具有爲了特定暫存器之位址。在本發明以0～n－1的所連續的暫存器編號而特定前述暫存器。

依據本發明，由於在前述最終暫存器編號指定任意的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 12）

暫存器編號，因而在從暫存器0至前述最終暫存器編號爲止所連續的複數個暫存器與記憶體之間進行壓入資料之處理及推出資料之處理的至少一方。因此，在於執行具有從暫存器編號0的暫存器依順使用暫存器的構造之程式，可以有效地進行暫存器的避讓待命或復舊。

本發明的特徵：前述執行手段，含有根據以前述堆疊指標專用暫存器所被特定的記憶體位址，將前述複數個暫存器的任何一個所供的暫存器之內容，寫入至被設在記憶體的堆疊之寫入手段，及計數前述寫入手段所形成寫入至前述堆疊次數之寫入次數計數手段、及比較以前述計數手段所計數的前述寫入次數與前述複數個暫存器特定資訊之值之比較手段；前述寫入手段，含有以加算器加算第1輸入與第2輸入且生成爲了特定寫入處的寫入記憶體位址之寫入記憶體位址產生手段、及前述加算器的第1輸入，在連續專用指令的開始執行時，控制使其形成堆疊指標專用暫存器的內容，除此之後控制使其形成爲以寫入位址生成手段所生成的寫入位址之第1輸入控制手段，及在前述加算器的第二輸入，輸出從前述堆疊寫入1字元時的移位值之第二輸入控制手段，及根據前述寫入記憶體位址，將從前述複數個暫存器特定資訊減除前述寫入次數之值所被特定之暫存器的內容，寫入至前述堆疊之手段；根據前述比較手段的比較結果，控制從複數個暫存器寫入至前述堆疊及寫入終了。

另外，本發明的特徵：前述指令執行手段，含有根據

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

以前述堆疊指標專用暫存器所被特定的記憶體位址，讀出被設在記憶體之堆疊的內容，收容在前述複數個暫存器的任何1個所供的暫存器之讀出手段，及計數從前述讀出手段所形成的前述堆疊之讀出次數之讀出次數計數手段，及比較以前述計數手段所計數的前述讀出次數與前述複數個暫存器特定資訊之值之比較手段；前述讀出手段，含有以加算器加算第一輸入與第二輸入且生成爲了特定寫入處的寫入記憶體位址之寫入記憶體位址產生手段，及前述加算器的第1輸入，在連續專用指令的開始執行時控制使其形成爲堆疊指標專用暫存器的內容，除此以後控制使其形成爲以讀出位址生成手段所生成的讀出位址之第一輸入控制手段，及在前述加算器的第二輸入，輸出從前述堆疊寫入1字元時的移位值之第二輸入控制手段，及根據前述讀出記憶體位址讀出前述堆疊的內容，根據前述寫入次數收容所被特定的暫存器之讀出手段；根據前述比較手段的比較結果，控制前述堆疊的內容之讀出及讀出終了。

經此樣，以計數手段與簡單的序列器控制就能實現對連續值附註順序而被特定的複數個暫存器的堆疊之避讓待命，或是對從堆疊連續之值所被特定的複數個暫存器之復舊。因此，由於以較小的閘數之資訊處理電路就能實現，所以是適合於單晶片的微電腦等。

本發明的特徵：含有程式計數器專用的程式計數器暫存器；前述堆疊專用指令群，含有分歧至子常式的指令及從前述子常式的返回指令之分歧指令；前述解讀手段，解

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

讀前述分歧指令；前述指令執行手段，執行前述分歧指令時，含有根據以前述堆疊指標專用暫存器所被特定的記憶體位址且進行對被設在記憶體之堆疊所供的第二區域之前述程式計數暫存器的內容之避讓待命及對前述第二區域的內容之程式計數暫存器之復歸的至少一方之手段，及根據前述避讓待命及前述回復更新前述堆疊指標專用暫存器的內容之手段。

此處，子常式係爲含有插入處理及例外處理及除錯處理常式等。因此分歧至子常式之指令，係爲含有呼叫子常式等的指令，爲了分歧至插入處理及例外處理及除錯處理常式等之軟體插入指令，軟體除錯插入指令等。另外，在從子常式的返回指令，含有從插入處理及例外處理及除錯處理常式等的返回指令。

分歧至通常子常式時或從前述子常式返回時必須程式計數器的避讓待命或回復。

在本發明，執行分歧至前述子常式的指令及執行從子常式返回的指令時也同時進行前述程式計數器的避讓待命及回復。即是本發明的資訊處理電路，具有以分歧至子常式的指令及從前述子常式的返回指令的任何一指令可以避讓待命及回復程式計數器之電路構成。所以不須分歧至子常式或隨著從子常式的返回所必要之前朮程式計數器之避讓及回復的指令，可以削減指令數。另外不致消耗無用的周期，可以達到提昇分歧至子常式呼叫・返回等其他常式時的處理速度。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

另外，在發生軟體插入指令時，例如也須要保持CPU等的資訊處理電路的現在狀態之處理狀態暫存器的避讓待命及回復。因此軟體插入命令等的情況在該指令的執行時也使其同時進行處理狀態暫存器的避讓及回復較爲理想。

本發明係爲含有連續而附註順序的複數個暫存器，及分配在任何1個的汎用暫存器的堆疊指標之資訊處理電路；其特徵爲：解讀在目標碼具有複數個暫存器特定資訊之連續壓入指令及連續推出指令的至少一方之指令的目標碼，而根據該目標碼輸出控制訊號之手段、及執行前述連續壓入指令及前述連續推出指令的至少一方時，根據以前述控制訊號及前述堆疊指標專用暫存器的內容所被特定的記憶體位址及前述複數個暫存器特定資訊，進行從前述複數個暫存器連續到被設在堆疊而複數次壓入之處理及從前述堆疊連續到前述複數個暫存器而複數次推出之處理的至少一方之手段。

本發明係爲關於使用汎用暫存器作爲堆疊指標時的前述連續壓入指令及前述連續推出指令。

依據本發明，執行前述連續壓入指令或前述連續推出指令，則得到與連續PUSH指令而複數次執行的情況或連續POP指令而複數次執行的情況相同效果。即是能以1指令執行複數個暫存器與堆疊之間的資料交換及隨著該交換的堆疊指標更新。所以進行複數個暫存器與堆疊之間的資料傳送時，由於返復PUSH指令或是POP指令因

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（16）

而能防止增大目標碼大小。另外避免增長程式執行步驟，不致消耗無用的周期，可以達到提昇插入處理及子常式呼叫・返回的處理速度。

本發明的資訊處理電路，其特徵爲ＲＩＳＣ方式。

ＲＩＳＣ方式的資訊處理電路，其目的係爲被設計爲將硬體小型化而達到高速。所以具有較多汎用暫存器；將指令組合集中在汎用性較高的暫存器而達到指令數的削減。

因此，在ＲＩＳＣ方式的資訊處理電路，將堆疊指標分配在汎用暫存器，而使用堆疊指標時使用汎用暫存器的指令組合進行處理。但是在此樣的方法指令長增大，記憶體的使用效率不良。

依據本發明，在於ＲＩＳＣ方式的資訊處理電路，可以削減指令長，可以提高記憶體的使用效率。

本發明的資訊處理電路，其特徵爲：解讀固定長的指令，根據該指令進行執行處理。

使用固定長指令與使用可變長指令作比較，可以縮短指令解碼所要的時間，且可以縮小資訊處理電路的電路規模。採用固定長指令時，爲了防止在指令形成冗長部分且有效的使用記憶體，所在各指令必要的位元數減少不均衡，越是儘可能減短則較爲理想。

依據本發明，增長一般指令長且可以縮短使用堆疊指標之指令的指令長。因此就是採用固定長指令時也能防止在指令形成冗長部分，且可以有效的使用記憶體。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

本發明的微電腦其特徵爲：含有前述過本發明的資訊處理電路及進行記憶手段與外部的輸入輸出的手段。

依據本發明，處理速度快速記憶體的使用效率優良，可以提供微電腦。

本發明的微電腦其特徵爲：執行具有關連到前述堆疊指標而確保自動變數的記憶領域之構造的語言程式。

作爲具有關連到堆疊指標而確保自動變數的記憶領域之構造的語言，例如具有C語言。本發明的微電腦進行此樣的語言程式之處理時，可以有效地使其提昇處理速度及記憶體的使用效率。

本發明的電子機器其特徵爲：含有前述過本發明的微電腦。

依據本發明，由於內藏處理速度快速記憶體的使用效率較佳的資訊處理電路，因而可以提供價廉且高功能的電子機器。

【圖面之簡單說明】

第1圖係爲爲了概略說明本實施例的CPU電路構成之圖。

第2圖係爲表示本實施例的CPU所持有的暫存器組合。

第3圖係爲說明堆疊指標的一般性動作之圖。

第4圖係爲說明堆疊指標專用指令的使用例與被設在記憶體之堆疊的使用狀態及堆疊指標的狀態之圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

第５圖係爲說明將記憶體上的自動變數傳送到暫存器的處理之圖。

第６Ａ圖、第６Ｂ圖係爲表示ＳＰ相對載入指令及汎用載入指令的位元領域之圖。

第７圖係爲說明字元資料讀出之ＳＰ相對載入指令的動作之流程圖。

第８圖係爲說明字元資料寫入之ＳＰ相對載入指令的動作之流程圖。

第９Ａ圖～第９Ｆ圖係爲說明經過複數個常式而執行程式時的常式所形成記憶體上的堆疊使用狀態及堆疊指標的狀態之圖。

第１０Ａ圖、第１０Ｂ圖係爲表示堆疊指標移動指令及汎用運算指令的位元領域之圖。

第１１圖係爲說明加算堆疊指標移動指令的動作之流程圖。

第１２圖係爲說明減算堆疊指標移動指令的動作之流程圖。

第１３圖係爲說明控制ｃａｌｌ指令與ｒｅｔ指令所形成的程式執行之圖。

第１４圖係爲表示ＰＣ相對子常式呼叫指令的位元領域之圖。

第１５圖係爲說明ＰＣ相對子常式呼叫指令的動作之流程圖。

第１６圖係爲說明ｒｅｔ指令的動作之流程圖

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（19）

第１７Ａ圖、第１７Ｂ圖係爲模式地表示ｐｕｓｈ指令執行時的作動之圖。

第１８Ａ圖、第１８Ｂ圖係爲模式地表示ＰＯＰ指令執行時的作動之圖。

第１９圖係爲表示ｐｕｓｈｎ、ｐｏｐｎ指令的位元圖。

第２０圖係爲說明爲了執行連續壓入指令（ｐｕｓｈｎ）、連續推出指令（ｐｏｐｎ）的硬體構成之方塊圖。

第２１圖係爲說明ｐｕｓｈｎ指令的動作之流程圖。

第２２圖係爲說明ｐｏｐｎ指令的動作之流程圖。

第２３圖係爲本實施形態的微電腦之硬體方塊圖。

【發明之實施形態】

以下，根據圖面說明本實施例。

（實施例１）

（１）本實施例的ＣＰＵ之構成

本實施例的ＣＰＵ係爲因是管線與下載・儲存型的結構，而以１周期執行幾乎全部的指令。全部的指令係爲以１６位元的固定長而被記述；本實施例的ＣＰＵ所處理的指令實現極小的目標碼大小。

特別是本實施例的ＣＰＵ，爲了有效地記述且執行使用堆疊指標之處理所以具有堆疊指標專用的暫存器；解讀

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

且可以執行具有以該堆疊指標專用暫存器爲靜態的操作對向的目標碼之堆疊指標專用指令群的指令組合而被構成。

第１圖係爲概略說明本實施例的ＣＰＵ電路構成之圖。

本ＣＰＵ１０，係爲含有汎用暫存器１１、收容程式計數器的ＰＣ１２、處理狀態暫存器（ＰＳＲ）１３、含有堆疊指標專用的暫存器之ＳＰ１４之暫存器組合，及指令解碼器２０，即時值生成器２２，位址加算器，ＡＬＵ４０，ＰＣ增量器４４，及各種內部匯流排７２、７４、７６、７８及各種內部訊號線８２、８４、８６、８８等。

前述指令解碼器２０，係爲解讀所輸入的目標碼；爲了執行該指令而進行必要的處理，輸出必要的控制訊號。然而，該指令解碼器２０係爲解讀前述堆疊指標專用指令的目標碼而作爲根據該指令輸出控制訊號之前述解讀手段之功能。

即時值生成器２２，係爲根據被含在目標碼的即時值，在執行時生成所使用的３２位元即時值資料，並且在各指令執行產生必要的０，±１，±２，±４的常數資料。ＰＣ增量器４４，係爲根據指令的執行周期進行更新被收容在ＰＣ１２的程式計數器。位址加算器３０，係爲進加算被收容在各種暫存器的資訊或以即時值生成器２２所生成的即時值資料且從記憶體讀出資料時生成必要的位址資料。ＡＬＵ４０係爲進行數值運算或邏輯運算。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

另外，該CPU在內部含有各種匯流排或信號線。PA_BUS72或PB_BUS74具有傳送ALU40的輸入訊號之功能等。WW_BUS76具有取出ALU40的運算結果而傳送至汎用暫存器之功能等。XA_BUS78具有傳送從汎用暫存器11或SP14所取出的位址資料之功能等。IA訊號線82，係爲從CPU內部的各部至外部的I_ADRR_BUS92傳送位址資料。DA訊號線84，係爲從CPU內部的各部至外部的D_ADRR_BUS96傳送位址資料。DIN訊號線86，從CPU外部的D_DATA_BUS98至CPU內部的各部傳送資料。DOUT訊號線88，係爲從CPU內部的各部至外部的D_DATA_BUS98傳送資料。IA輸入切換83係爲進行切換被輸出至IA訊號線的各種訊號（PA_BUS72、WW_BUS76、PC12、PC+2）。DOUT輸入切換89係爲進行切換被輸出至DOUT訊號線88的各種訊號（PA_BUS72、WW_BUS76、PC12、PC+2）。

另外，CPU10的前述各部係爲根據前述指令解碼器20所輸出的控制訊號，進行指令的執行，根據前述控制訊號及前述堆疊指標專用暫存器的內容，執行堆疊指標專用指令群之前述執行手段的功能。

本CPU10，係爲介由16位元的指令資料匯流排（I_DATA_BUS）94，爲了指令資料存取之指

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

令位址匯流排（I_ADDR_BUS）92，及32位元的資料匯流排（D_DATA_BUS）98，及爲了資料存取之資料位址匯流排（D_ADDR_BUS）96，及爲了控制訊號之控制匯流排（未圖示），而與外部進行訊號的交換。

（2）本實施例的CPU所具有暫存器組合的說明

其次，針對具有本實施例的CPU之暫存器組合的概要，說明必要的部分。

在第2圖表示本實施例的CPU所持有的暫存器組合。本實施例的CPU，係爲具有含有16個汎用暫存器11、PC12、PSR13、SP14、未圖示的ALR（算術運算低暫存器）15、未圖示的AHR（算術運算高暫存器）16之暫存器組合。

前述汎用暫存器11係爲機能性的等價32位元暫存器，被取名爲R0～R15。該汎用暫存器11係爲在資料運算時及位址計算時被使用。

另外PC12，係爲32位元長的增量計數器，保持現在執中指令的位址之程式計數器。在本文中，當指爲暫存器名時稱爲PC；當指爲被收容在PC之值時稱爲程式計數器。

該PC12，無法以下載指令而直接存取。call指令、int指令或插入，產生例外，則程式計數器從P12讀出且被退避至堆疊。此樣執行分歧指令則消去且位址被設定在PC。以各條件分歧指令所分歧時也是同樣

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

。然後，以ｒｅｔ指令或ｒｅｔｉ指令，而返回處指令位址從堆疊讀出，且被回復至ＰＣ１２。

ＰＳＲ（處理資料暫存器）１３，係爲分配旗標之３２位元暫存器，保持ＣＰＵ的現在狀態。ｉｎｔ指令、插入；產生例外等，在分歧至各別的處理路徑時，該時的ＰＣＲ狀態被退避至堆疊。相反地執行ｒｅｔｉ指令，所被退避之值被回復至ＰＳＲ。

ＳＰ１４，係爲３２位元的堆疊指標專用的暫存器，收容指示堆疊的先頭位址之堆疊指標。在本文中，指爲暫存器各稱爲ＳＰ，指爲被收容在ＳＰ之值時稱爲堆疊指標。但是堆疊指標由於通常指爲字元的境界，所以前述堆疊指標的下位２位元通常爲０。

該堆疊指標，係爲執行被含在本實施例所預備的堆疊指標專用指令群的各種指令，或隨著中斷的產生被更新。作爲進行更新堆疊指標之堆疊指標專用指令，具有分歧至ｃａｌｌ指令或ｒｅｔ指令等其他的常式之指令，堆疊指標移動指令、ｐｕｓｈｎ指令、ｐｏｐｎ指令等。例如執行ｃａｌｌ指令，則首先堆疊指標只字元大小（４）被減量（－４），ＰＣ１２退避至堆疊。另外，執行ｒｅｔ指令，則相反地由堆疊返回處位址被下載至ＰＣ，堆疊指標係爲字元大小分被增量（＋４）。執行ｉｎｔ指令、或是插入、產生例外等時，ＰＣ或ＰＳＲ之值以如下的順序退避至堆疊。

１／ＳＰ＝ＳＰ－４

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

2／將ＰＣ退避至以堆疊指標所指定堆疊的先頭位址。

3／ＳＰ＝ＳＰ－4

4／將ＰＳＲ退避至以堆疊指標所指定堆疊的先頭位置。

執行ｒｅｔｉ指令，則進行與上述相反的處理，ＣＰＵ回復到以前的狀態。此樣執行ｃａｌｌ指令或ｒｅｔ指令或ｉｎｔ指令，則根據該執行更新堆疊指標。針對各指令的詳情於後述。

另外，在於本實施例，中斷稱爲組合在指令執行非同步地所產生的插入與執行指令所產生的例外。產生中斷則ＣＰＵ將程式計數器（ＰＣ）及處理狀態暫存器（ＰＳＲ）退避至堆疊後以中斷表讀出向量表，分歧至對應於該中斷的處理常式。隨著中斷的產生，ＰＳＲ中的ＩＥ位元（插入可能）被清除，除此以上的遮罩插入的產生被禁止。再而將遮罩可能的外部插入使其可能，使用對於ＰＳＲ的載入指令，在ＰＳＲ的ＩＥ位元寫入１而設定。

從中斷處理回復到原來的常式，使用ｒｅｔｉ指令。執行ｒｅｔｉ指令，則ＣＰＵ從堆疊依ＰＳＲ、ＰＣ的順序讀出，將ＰＳＲ回復到原來值的同時，分歧至返回位址。然而，例如會有除錯例外、位址不成列例外、溢流例外、零除算例外等。

ＡＬＲ（算術運算低暫存器）１５及ＡＨＲ（算術運算高暫存器）１６則省略說明。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（ 25）

ＣＰＵ所持有的特殊暫存器ＰＳＲ／３、ＳＰ１４、ＡＬＲ１５、ＡＨＲ１６，可以使用下載指令而在與汎用暫存器之間進行資料傳送。各暫存器，持有特殊暫存器編號，使用此編號而被存取。

［特列暫存器名］	［特殊暫存器編號］	［組合語言記述方法］
處理資料暫存器	0	%ＰＳＲ
ＳＰ	1	%ＳＰ
算術運算低暫存器	2	%ＡＬＲ
算術運算高暫存器	3	%ＡＨＲ

（３）針對堆疊及堆疊指標之說明

堆疊係爲在被設在記憶體的一時記憶領域，從所連續的領域下方資料及櫃狀地積疊而被記憶。堆疊指標表示堆疊記憶體的最上方也就是表示最後被記憶之資料的位址。

用第３圖說明堆疊指標的一般性動作。

第３圖圖號１００係爲表示被設在記憶體的堆疊領域。斜線部１０２作爲最後被收容的資料，則被收容在ＳＰ１４的堆疊指標，表示該資料的記憶體位址１０００。然而斜線部分１０２的下方領域１０４係爲既已收容資料的領域；斜線部分１０２的上方領域１０６係爲表示此後收容資料的領域。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

堆疊指標由於通常指定字元的境界，所以在堆疊寫入資訊時將ＳＰ１４所收容的堆疊指標上移４位，而在該堆疊指標所指定處所收容資訊。另外取出被收容在堆疊的資訊時，係爲取出現在表示ＳＰ１４之位址的資訊，而將被收容在ＳＰ１４的堆疊指標下移４位。此樣，堆疊指標係爲表示通常最後被收容在堆疊之資訊的收容位址。

（４）針對堆疊專用指令群之說明

在通常ＲＩＳＣ方式的ＣＰＵ使用汎用暫存器作爲堆疊指標，但在本實施例具有堆疊指標專用的暫存器之ＳＰ１４；形成爲前述堆疊指標專用指令群的操作對象。

前述堆疊指標專用指令群，係爲將堆疊指標專用的暫存器之ＳＰ１４作爲靜態的操作對象；持有ＳＰ１４而進行操作之複數個指令的總稱。該堆疊指標專用指令群，含有ＳＰ相對載入指令（ｌｄ等）、堆疊指標移動指令（ａｄｄ、ｄｕｂ）、分歧至子常式的指令（ｃａｌｌ等）及分歧至返回指令（ｒｅｔ等）等的其他常式的指令、連續壓入指令（ｐｕｓｈｎ）、連續推出指令（ｐｏｐｎ）。

在此些指令所共通，由於是堆疊指標，所以不須要在目標碼特定堆疊指標之資訊。因此能以較短旳指令長而有效的記述使用堆疊指標的處理之效果也是共通。

另外，使用這些的指令則可以有效的進行處理被記憶在設於記憶體的堆疊之資訊。另外可以有效地進行插入處

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（27）

理及子常式呼叫・返回之處理。

此處，用第４圖說明呼叫子常式時前述堆疊指標專用指令的使用例與被設在記憶體之堆疊的使用狀態及堆疊指標的狀態。第４圖的主程式５００與子常式５２０，係爲以Ｃ編譯所作成的目標碼所記述的程式。圖號５４０係爲表示記憶體上之堆疊的狀態。圖號５０２係爲表示進行使用汎用暫存器Ｒ０～Ｒ３的處理。圖號５０６係爲表示子常式呼叫指令。以主程式執行子常式呼叫指令之子常式呼叫指令前，即是執行圖號５０４所示之前的指令後堆疊指標（ＳＰ）係爲指記憶體上的堆疊５４０上①的位址。執行前述子常式呼叫指令，則執行的控制包括子常式５２０。此時在本實施例，執行分歧至前述堆疊指標專用指令的子常式之指令（ｃａｌｌ指令）。執行該指令，則堆疊指標（ＳＰ）之值自動地只－４被增量（參照第４圖②的ＳＰ），在指該堆疊指標②ＳＰ之堆疊上的區域５４４，收容對主程式的返回位址。

然且，在子常式５２０側，在執行的最初，進行將被收容在主程式所使用過的汎用暫存器Ｒ０～Ｒ３之值，傳送至堆疊之處理。圖號５２４係爲表示進行將被收容在汎用暫存器Ｒ０～Ｒ３之值避讓待命在堆疊之處理的堆疊指標專用指令之連續壓入指令（ｐｕｓｈｎ）。執行該指令則被收容在汎用暫存器Ｒ０～Ｒ３之值連續地被傳送至堆疊；如第４圖的圖號５５０所示，被收容在堆疊５４０。完成此處理的執行（５２４③），則堆疊指標（ＳＰ）係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

爲指圖號５４６。

其次，在子常式５２０，進行確保在子常式所使用的自動變數領域。圖號５２６所示的ａｄｄ指令，係爲堆疊指標專用指令之堆疊指標移動指令；朝上方使其移動堆疊指標確保以子常屹５２０所使用的堆疊領域。執行該指令則堆疊指標（ＳＰ）只Ｘ位元組移動至上方的位置５４８，確保使用（④ＳＰ）、（注２）所示的子常式之自動變數的領域。

圖號５２８表示在子常式５２０進行使用自動變數與汎用暫存器Ｒ０～Ｒ３之處理。此時堆疊指標的位置係爲指⑤ＳＰ；自動變數的下載，係爲持有堆疊指標專用指令之ＳＰ專用下載指令而進行。

圖號５２９係爲表示將被收容在記憶體上的自動變數Ｓ１傳送至汎用暫存器Ｒ１之前述ＳＰ下載指令。前述自動變數Ｓ１被收容在具有從堆疊指標（⑤ＳＰ）只Ｙ位元組移位值的處所。如前述過在子常式的５２８之處理當時堆疊指標因未移動，所以自動變數的記憶體位址係爲以堆疊指標＋移位值而被特定，可以使用前述ＳＰ專用下載指令而有效地進行與汎用暫存器的交換。

另外，在從子常式５２０回復到主程式５００之前，將避讓待命在堆疊的汎用暫存器Ｒ０～Ｒ３之值使其回復到汎用暫存器Ｒ０～Ｒ３，堆疊指標必須是指收容對主常式的返回位址之區域５４４。因此，首先將以圖號５２６的堆疊指標移動指令使其移動的堆疊指標返回到原來的位

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（29）

置。圖號５３０所示的Ｓｕｂ指令，係爲堆疊指標專用指令之堆疊指標移動指令，且將堆疊指標使其移動至下方。執行該指令，則堆疊指標移動至圖號５４６（參照⑥ＳＰ）。其次進行將被收容在堆疊的資訊５５０復舊到汎用暫存器Ｒ０～Ｒ３之處理。圖號５３２係爲表示進行將堆疊的資訊傳送到汎用暫存器Ｒ０～Ｒ３之處理的堆疊指標專用指令之連續推出指令（ｐｏｐｎ）。執行該指令則被收容在堆疊之值５５０連續地被傳送到汎用暫存器Ｒ０～Ｒ３；如第４圖的圖號５５０所示，被收容至堆疊５４０。終了此處理的執行（５３２⑦），則堆疊指標係爲指圖號５４４（參照⑦ＳＰ）。

圖號５３４係爲表示返回指令。執行前述返回指令，則執行的控制係爲包括主程式５００。此時在本實施例，執行前述堆疊指標專用指令之返回指令（ｒｅｔ指令）。執行該指令，則分歧到表示對被收容在指⑦ＳＰ的堆疊區域之主程式的返回位址之指令，即是返回到主程式５００的下一個指令５０７。然後堆疊之值自動地增量＋４且移動至使用主程式５００之堆疊的先頭區域（參照第４圖的⑧ＳＰ）。

以下，針對前述各堆疊指標專用指令分別說明指令及針對執行該指令的電路構成與執行時的作動等詳細地說明。

（５）堆疊指標相對載入指令

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（30）

如前述過C編譯係爲作成將自動指數的領域關連到堆疊指標而記憶的目標碼。具體上，C編譯形成爲從堆疊指標移位在X之處只Y位元組確保自動變數的領域之構成。

第5圖係爲說明將記憶體上的自動變數傳送至暫存器之處理之圖。自動變數a爲字元資料；自動變數b、c爲半字元資料；自動變數d～g爲位元組資料。被收容在SP的堆疊係爲表示收容堆疊上的自動變數之領域600的先頭領域位址1000。確保將前述堆疊指標作爲記憶體位址之堆疊上的區域，作爲收容自動變數a的區域；分別確保將堆疊指標＋2、堆疊指標＋4作爲記憶體位址之堆疊上的區域，作爲收容自動變數b、c的區域；分別確保將堆疊指標＋5、堆疊指標＋6、堆疊指標＋7、堆疊指標＋8作爲記憶體位址之堆疊上的區域，作爲收容自動變數d－g之區域。然後執行所供的處理時，在堆疊指標＋移位值的記憶體位址所被特定的自動變數與汎用暫存器間必須資料的傳送處理。

在本實施例的CPU，由於以較短旳目標碼記述此樣的傳送處理且有效的執行，所以預備如下所示的指令組合，作爲堆疊專用指令的1個之SP相載入指令。

ld・b　%Rd、〔%SP＋imm6〕……（1）

ld・ub　%Rd、〔%SP＋imm6〕……（2）

ld・h　%Rd、〔%SP＋imm7〕……（3）

ld・uh　%Rd、〔%SP＋imm7〕……（4）

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（31）

1d・w　%Rd、〔%SP＋imm8〕　……（5）

1d・b　〔%SP＋imm6〕、%RS　……（6）

1d・h　〔%SP＋imm7〕、%RS　……（7）

1d・w　〔%SP＋imm8〕、%RS　……（8）

（1）～（8）係爲以組合語言記述指令碼。（1）係爲從堆疊符號擴張位元組資料後傳送至暫存器之指令；92）係爲從堆疊零擴張位元組資料後傳送至暫存器之指令；（3）係爲從堆疊符號擴張半字元資料係傳送至暫存器之指令；（4）係爲從堆疊零擴張半字元資料後傳送至暫存器之指令；（5）係爲從堆疊將字元資料傳送至暫存器之指令；（6）係爲從暫存器將位元組資料傳送至堆疊之指令；（7）係爲從暫存器將半字元資料傳送至堆疊之指令；（8）係爲從暫存器將字元資料傳送至堆疊之指令。

〔%SP＋imm6〕、〔%SP＋imm7〕、〔%SP＋imm8〕，分別表示即時值移位資訊；根據該即值移位資訊，加算在執行時所生成的移位值與被收容在SP14的堆疊指標之值後生成記憶體位址。〔%SP＋imm7〕係爲記憶體上的資料之資料大小爲半字元之時的即時值移位資訊；〔%SP＋imm8〕係爲記憶體上的資料之資料大小爲字元之時的即時值移位資訊。這些都是，後述如第6A圖所示，在目標碼上，以6位元的即時值移位資訊614而被記述。但是在指令執行時，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（32）

imm7的情況（即是資料大小爲半字元的情況），即時值移位資訊614，1位元在邏輯位移後加算在堆疊指標生成移位值。另外，imm8的情況（即是資料大小爲字元的情況），即時值移位資訊614，2位元左邏輯位移後加算在堆疊指標產生移位值。

此處，堆疊稱爲被設在記憶體的一時記憶領域；在前述記憶體位址，例如可以指定第5圖所示堆疊上之自動變數（a～g）的位置。

第6A圖係爲前述（1）～（8）的SP相對載入指令之位元領域610。如第6A圖所示，SP相對載入指令，含有表示操作功能爲傳送記憶體與暫存器間的資料之操作碼612（6位元）、以即時值所指定的即時值移位資訊（6位元）614、成爲傳送對象之汎用暫存器的暫存器編號616（4位元）；具有16位元的目標碼。前述操作碼612含有表示以SP14爲操作對象的載入指令之共通碼及因應於前述資料大小、符號擴張、零擴張……等而加諸的相異碼。因此，由於已知將以操作碼而被收容在SP14的堆疊指標作爲操作對象，因而在目標碼的操作對象不必要關於堆疊指標的資訊。即時值移位資訊614係爲生成從成爲傳送對象的資料之堆疊指標的移位值之資訊。此資訊係爲如前述不論資料大小以6位元而被指定。在成爲傳送對象之暫存器的位址616，前述（1）～（5）的情況附註有收容從堆疊讀出的資料之暫存器的暫存器編號；前述（6）～（8）的情況附註有收容被寫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

入至堆疊的資料之暫存器的暫存器編號。

第６Ｂ圖係爲表示作爲堆疊指標而將在使用汎用暫存器時所使用的汎用暫存器作爲操作對象之載入指令（以下，稱爲汎用載入指令）的目標碼之位元領域６２０之例。

如第６Ｂ圖所示汎用下載指令，含有表示操作功能爲傳送記憶體與汎用暫存器間的資料之操作碼６２２（６位元）、以即時值所指定的即時值移位資訊６２４（６位元）、特定作爲堆疊指標所使用的汎用暫存器之第一暫存器編號６２６（４位元）、特定成爲傳送對象的汎用暫存器之第二暫存器編號６２８（４位元）；具有２０位元的目標碼。在汎用微電腦因指令長爲８位元單位所以形成爲２４位元或是３２位元指令。

第６Ａ圖、第６Ｂ圖係爲表示在都進行處理將移位值加算在堆疊指標而被特定的記憶體位址與暫存器之間的資料傳送時所使用的指令之目標碼，但如同圖所示，ＳＰ相對下載指令能以比汎用下載指令還短的目標碼作記述。

以下，將作爲從堆疊將資料傳送至暫存器的指令（５）之指令（因從堆疊將字元資料讀出至暫存器之指令，所以以下稱爲字元資料讀出的ＳＰ相對下載指令）、作爲從暫存器將資料傳送至堆疊的指令（８）之指令（因從暫存器將字元資料載入至堆疊之指令，所以以下稱爲字元資料寫入的ＳＰ相對下載指令）爲例，說明執行這些指令的構成及執行時的動作。

首先用第１圖說明爲了執行這些的指令所必要的硬體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

構成。這些指令由外部的記憶體（ＲＯＭ）５２介由Ｉ＿ＤＡＴＡ＿ＢＵＳ９４而被傳送，被輸入至ＣＰＵ１０的指令解碼器２０。以該指令解碼器２０解讀指令，輸出執行指令所必要的各種訊號（未圖示）。另外前述即時值生成器２２，係爲因應於資料大小而進行前述即時值移位資訊６１４的左邏輯位移，且因應於所須進行符號擴張及零擴張且生成在執行所使用的移位值，輸出至ＰＢ＿ＢＵＳ７４。ＳＰ１４收容堆疊指標，此值可以輸出至被連接在位址加算器３０的輸入之ＸＡ＿ＢＵＳ７８。位址加算器３０的另一方的輸入，被連接至即時值生成器２２的輸出之ＰＢ＿ＢＵＳ７４。位址加算器３０的輸出（ＡＤＤＲ），介由ＤＡ訊號線８４被連接至外部的Ｄ＿ＡＤＤＲ＿ＢＵＳ９６。

匯流排控制組件（ＢＣＵ）６０，係爲根據從ＣＰＵ所輸出的各種要求訊號（被輸出至外部匯流排的訊號等），控制與含有堆疊區域的記憶體（ＲＡＭ、ＲＯＭ）５０、５２之資料的輸入輸出，輸出ＲＥＡＤ、ＷＲＩＴＥ控制訊號。

首先，說明字元資料讀出之ＳＰ相對下載指令的執行時之動作。

執行字元資料讀出之ＳＰ相對下載指令，則加算被收容在ＳＰ１４的堆疊指標之值、及根據前述即時值移位資訊６１４即時值生成器所生成的移位值，生成記憶體讀出用的記憶體位址。然後根據該記憶體位址，讀出記憶體上

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（35）

的資訊，被傳送至以目標碼的前述暫存器編號６１６所被特定的汎用暫存器。

第７圖係爲說明字元資料讀出之ＳＰ相對下載指令的動作之流程圖。

前述指令的執行最初，被收容在ＳＰ１４的堆疊指標被輸出至ＸＡ＿ＢＵＳ７８（步驟２１０）。另外，即時值生成器從即時值移位資訊生成的移位值ｉｍｍ被輸出至ＰＢ＿ＢＵＳ７４（步驟２１２）。位址加算器３０，加算前述ＸＡ＿７８上之值與前述ＰＢ＿ＢＵＳ７４上之值，將爲結果（ＡＤＤＲ）的記憶體之讀出位址，介由ＤＡ訊號線８４輸出至Ｄ＿ＡＤＤＲ＿ＢＵＳ９６（步驟２１４、步驟２１６）。然後從ＣＰＵ至ＢＣＵ６０的資料讀出要求訊號形成爲主動，執行外部記憶體的讀出周期（步驟２１８）。即是前述ＢＣＵ６０根據該要求訊號，將前述讀出位址作爲記憶體位址而從記憶體讀出資料，被控制爲使其輸出至Ｄ＿ＤＡＴＡ＿ＢＵＳ９８。Ｄ＿ＤＡＴＡ＿ＢＵＳ９８上的資料介由ＤＩＮ訊號線８６被輸出至ＷＷ＿ＢＵＳ７６（步驟２２０）。然後ＷＷ＿ＢＵＳ７６上之值被收容在具有在成爲指令碼的傳送對象之暫存器（Ｒｓ／Ｒｄ）的位址（４位元）６１６所被指定的暫存器編號之暫存器（％Ｒｄ）（步驟２２２）。

其次，說明字元資料寫入之ＳＰ相對下載指令的執行時之動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

執行字元資料寫入之ＳＰ相對下載指令，則根據被收容在ＳＰ１４的堆疊指標之值與前述即時值移位資訊６１４，加算生即時值生成器２２之移位值，生成記憶體寫入用的記憶體位址。然後被收容在以目標碼的前述暫存器編號６１６所被特定的汎用暫存器之資訊，被傳送至根據該記憶體位址所被特定的記憶體上的區域。

第８圖係爲說明字元資料寫入之ＳＰ相對下載指令之動作的流程圖。

在前述指令的執行最初，被收容在ＳＰ１４的堆疊指標被輸出至ＸＡ＿ＢＵＳ７８（步驟２３０）。另外，即時值產生器２２從即時值移位資訊生成的移位值ｉｍｍ被輸出至ＰＢ＿ＢＵＳ７４（步驟２３２）。位址加算器３０，加算前述ＸＡ＿ＢＵＳ７８上之值及前述ＰＢ＿ＢＵＳ７４上之值，將對爲結果（ＡＤＤＲ）的記憶體之寫入位址，介由ＤＡ信號線８４輸出至Ｄ＿ＡＤＤＲ＿ＢＵＳ９６（步驟２３４、步驟２３６）。另外，被收容在具有在成爲指令碼的傳送對象之暫存器（Ｒｓ／Ｒｄ）的位址（４位元）６１６所被指定的暫存器編號之暫存器（％Ｒｄ）的資料被輸出至ＰＡ＿ＢＵＳ７２（步驟２３８）。ＰＡ＿ＢＵＳ７２上的資料介由ＤＯＵＴ訊號線８８被輸出至Ｄ＿ＤＡＴＡ＿ＢＵＳ９８（步驟２４０）。然後從ＣＰＵ至ＢＣＵ６０的資料寫入要求訊號形成爲主動，執行外部記憶體的讀出周期（步驟２４２）。即是前述ＢＣＵ６，根據前述要求訊號，將前

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（37）

述寫入位址作爲記憶體位址，而控制將以

D＿DATA＿BUS98所傳送而來的資料寫入至記憶體50之動作。

（6）堆疊指標移動指令

第9A圖～第9F圖係爲說明包括複數個常式而執行程式時的各常式所形成記憶體上堆疊的使用狀態及堆疊指標的狀態之圖。

第9D圖表示第9圖所示的MAIN常式210所供的處理a的執行時之記憶體上堆疊領域的狀態及堆疊指標（被收容在SP14之值）的狀態。圖號222係爲表示在MAIN常式210所使用的堆疊領域；堆疊指標係爲示圖號222的先頭位址232。

第9B圖的SUB1常式212，係爲從前述MAIN常式210所叫出而被執行的子常式。第9E圖表示在該SUB1常式212所供的處理b213的執行時之記憶體上堆疊領域的狀態及堆疊指標（被收容在SP之值）的狀態。圖號224係爲表示在SUB1常式212所使用的堆疊領域；堆疊指標係爲表示圖號224的先頭位址234。

第9C圖的SUB2常式214，係爲從前述SUB1常式210所叫出後被執行的子常式。第9F圖表示在該SUB2常式214所供的處理c215的執行時之記憶體上堆疊領域的狀態及堆疊指標（被收容在SP

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

之值）的狀態。圖號２２６係爲表示在ＳＵＢ２常式２１４所使用的堆疊領域；堆疊指標係爲表示圖號２２６的先頭位址２３６。

此樣，包括複數個子常式而進行執行時，爲了移動在各常式所使用的堆疊領域，所以隨著此移動將堆疊指標之值，移動至在各常式所使用之堆疊領域的先頭。

在本實施例的ＣＰＵ，由於以較短的目標碼所記述且有效地執行此樣的堆疊指標的移動處理，因而預備以下所示的指令組合，作爲堆疊指標專用指令之堆疊指標移動指令。

ａｄｄ　％ＳＰ、ｉｍｍ１２　……（９）

ＳＵＢ　％ＳＰ、ｉｍｍ１２　……（１０）

（９）、（１０）係爲以組合語言記述指令碼。（９）係爲對於被收容在ＳＰ１４的堆疊指標之即時值加算指令；（１０）係爲對於被收容在ＳＰ１４的堆疊指標之即時值減算指令。ｉｍｍ１２係爲朝２位元左方向位移被含在指令的目標碼之１０位元的即時值後，被零擴張而形成爲３２位元資料；被用在與被收容在ＳＰ１４的堆疊指標之運算。

第１０Ａ圖係爲前述（９）、（１０）的堆疊指標移動指令的位元領域６３０。如第１０Ａ圖所示堆疊指標移動指標移動指令，含有表示操作功能對被收容在ＳＰ１４

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

的堆疊指標之移動資訊的加算及減算之操作碼６３２（６位元）、以即時值所被指定之即時值移動資訊６３４（１０位元），具有１６位元的目標碼。前述操作碼６３２含有表示作爲操作對象的堆疊指標移動指令之共通的碼與因應於加算及減算……等而被給予的相異碼。因此，由於已知以操作碼而將被收容在ＳＰ１４的堆疊指標作對操作對象，因而在目標碼的操作對象不須要關於堆疊指標的資訊。即時值移動資訊６３４係爲在堆疊指標生成進行加算或是減算的移位值之資訊。

第１０Ｂ圖係爲表示作爲堆疊指標而在使用汎用暫存器時所使用的加算及減算指令（以下，稱爲汎用運算指令）之目標碼的位元領域６４之例。

如第１０Ｂ圖所示汎用運算指令，含有表示操作功能對汎用暫存器之值的即時值運算資訊的加算及減算之操作碼６４２（６位元）、在即時值所指定的即時值運算資訊６４４（１０位元）、特定成爲操作對象的汎用暫存器之暫存器編號６４６（４位元）；具有２０位元的目標碼。在汎用微電腦，指令長因８位元單位所以形成爲２４位元或是３２位元指令。

第１０Ａ圖、第１０Ｂ圖係爲都在堆疊指標進行加算及減算即時值之處理時所使用的指令之目標碼，但如同圖所示，堆疊指標移動指令能以比汎用運算指令還短的目標碼作記述。

以下，說明執行對於（９）的ＳＰ之即時值加算指令

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（40）

（以下，稱爲加算堆疊指標移動指令）、及對於（１０）的ＳＰ之即時值減算指令（以下，稱爲減算堆疊指標移動指令）之構成及執行時的動作。

首先，用第１圖說明爲了執行這些指令所必要的硬體構成。這些指令係爲由外部的記憶體（ＲＯＭ）５２介由Ｉ＿ＤＡＴＡ＿ＢＵＳ９４而被傳送，被輸入至ＣＰＵ１０的指令解碼器２０。以該指令解碼器２０指令被解碼且輸出執行指令所必要的各種訊號（未圖示）。另外，前述即時值產生器２２，係爲２位元左邏輯位移前述即時值移動資訊６３４的１０位元，且零擴張而被輸出至ＰＡ＿ＢＵＳ７２。ＳＰ１４係爲收容堆疊指標，此值被輸出至ＸＡ＿ＢＵＳ７８。ＸＡ＿ＢＵＳ７８被連接至成爲ＡＬＵ４０的輸出之ＰＢ＿ＢＵＳ７４。ＡＬＵ４０的另一方之輸入，被連接至即時值生成器２２的輸出之ＰＡ＿ＢＵＳ７２。ＡＬＵ４０的輸出，被連接至ＷＷ＿ＢＵＳ７６。ＷＷ＿ＢＵＳ７６被連接至ＳＰ的輸入。

首先，說明加算堆疊指標移動指令之執行時的動作。

執行加算堆疊指標移動指令，則加算被收容在ＳＰ１４的堆疊指標之值、及根據前述即時值移動資訊６３４即時值生成器２２所形成的移動即時值而生成新的堆疊指標，該值被收容在ＳＰ１４。

第１１圖係爲說明加算堆疊指標移動指令的動作之流程圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（41）

在前述指令的執行最初，被收容在ＳＰ１４的堆疊指標被輸出至ＸＡ＿ＢＵＳ７８（步驟２５０）。然後前述ＸＡ＿ＢＵＳ７８上的資料被輸出至ＰＢ＿ＢＵＳ７４（步驟２５２）。另外，即時生成器２２根據即時值移動資訊所生成的移動即時值ｉｍｍ被輸出至ＰＡ＿ＢＵＳ７２（步驟２５４）。ＡＬＵ４０係爲加算ＰＢ＿ＢＵＳ７４上之值及前述ＰＡ＿ＢＵＳ７２上之值，將結果輸出至ＷＷ＿ＢＵＳ７６（步驟２５６）。然後ＷＷ＿ＢＵＳ７６上之值被輸入至ＳＰ１４（步驟２５８）。

其次，說明減算堆疊指標移動指令的執行時之動作。

執行減算堆疊指標移動指令，則從被收容在ＳＰ１４的堆疊指標之值，減算根據前述即時值移動資訊６３４即時值生成器２２所生成的移動即時值而生成新的堆疊指標，該值被收容在ＳＰ１４。

第１２圖係爲說明減算堆疊指標移動指令的動作之流程圖。

在前述指令的執行最初，被收容在ＳＰ１４的堆疊指標被輸出至ＸＡ＿ＢＵＳ７８（步驟２６０）。另外，即時值生成器２２根據即時值移動資訊所生成的移動即時值ｉｍｍ被輸出至ＰＡ＿ＢＵＳ７２（步驟２６４）。ＡＬＵ４０係爲從前述ＰＢ＿ＢＵＳ７４上之值減算前述ＰＡ＿ＢＵＳ７２上之值，將結果輸出至ＷＷ＿ＢＵＳ７６（步驟２６６）。然後ＷＷ＿ＢＵＳ７６上之值被輸入至ＳＰ１４（步驟２６８）。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（42）

（７）分歧指令

第１３圖係爲說明ｃａｌｌ指令與ｒｅｔ指令所形成執行的控制之圖。如第１３圖所示，在於ＭＡＩＮ常式３００，執行爲了分歧至子常式ＳＵＢ３１０的ｃａｌｌ指令（３０２），則控制跨過到子常式ＳＵＢ３１０。在子常式的最後，被寫有ｒｅｔ指令（３１２）；執行此指令，則返回到ＭＡＩＮ常式３００之前述ｃａｌｌ指令（３０２）的下一個指令（３０４）。因此，形成爲依第１３圖所示情況①②③④的順序執行程式。此樣完成在子常式ＳＵＢ３１０的執行則回到ＭＡＩＮ常式３００，由於從前述ｃａｌｌ指令（３０２）的下一個指令（３０４）執行，所以分歧至子常式ＳＵＢ３１０時，必須記憶著返回處的位址。因此，分歧至ｃａｌｌ指令等的子常式之分歧指令執行時，如在第４圖所說明過，進行避讓待命在返回處位址之處理；在從ｒｅｔ指令等的子常式返回之分歧指令的執行時，進行從前述堆疊將返回處位址回到程式計數器之處理（以下，稱爲程式計數器的避讓待命及復舊之處理）。

在過去ＲＩＳＣ方式的ＣＰＵ，由於軟體性地實現前述程式計數器的避讓待命及復舊之處理，所以在執行ｃａｌｌ指令等的分歧指令時，爲了執行這些處理也必須有目標碼（組合語言指令）。例如在執行ｃａｌｌ指令時，將堆疊指標只字元大小（４）減量（－４）後，必須有

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（43）

根據程式計數器之值將ｃａｌｌ指令的下一個指令的位址收容在堆疊之目標碼（組合語言指令）。

但是本實施例的ＣＰＵ，執行前述ｃａｌｌ指令或ｒｅｔ指令，則具有也一起進行處理前述程式計數器的避讓待命及復舊之硬體構成。因此，與前述ｃａｌｌ指令或ｒｅｔ指令不同地，不須要記錄前述程式計數器的避讓待命及復舊之處理的目標碼（組合語言指令）。

在本實施例的ＣＰＵ，由於是以一指令執行此樣的前程式計數器的避讓待命及復舊之處理，所以預備如下所示的指令組合作爲堆疊指標專用指令的一個之分歧指令。

```
call   sign9        ……（11）
call   %Rb          ……（12）
ret                 ……（13）
reti                ……（14）
retd                ……（15）
int    imm2         ……（16）
brk                 ……（17）
```

（11）～（17）係爲以組合語言記述指令碼。（11）係爲ＰＣ相對子常式呼叫指令，將程式計數器ＰＣ作爲基本位址，根據被操作對象指令的位移資訊ｓｉｇｎ９相對地指定分歧處位址而分歧之呼叫指令。（12）係爲暫存器間接子常式呼叫指令，分歧至被收容在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（44）

以操作對象所被指定的暫存器之分歧處位址的呼叫指令。（１３）係爲從子常式的返回指令。（１４）係爲從插入或是例處處理常式的返回指令。（１５）係爲從除錯處理常式的返回指令。（１６）係爲軟體插入指令。（１７）係爲軟體、除錯插入指令。

第１４圖係爲前述（１１）的ＰＣ相對子常式呼叫指令之位元區域６５０。如第１４圖所示ＰＣ相對子常式呼叫指令，含有操作功能表示將程式計數器作爲基本位址，相對地指定分歧處位址後分歧至子常式之呼叫指令的操作碼６５２（８位元）、以即時值所指定的位移資訊ｓｉｎｇ９（８位元）６５４；具有１６位元的目標碼。前述８位元的即時值，在執行時朝１位元在邊邏輯位移後被符號擴張。

本實施例的ＣＰＵ，在執行ｃａｌｌ指令，也可以執行只有第１４圖所示的目標碼避讓待命至程式計數器的堆疊。

以下，將作爲分歧至子常式的指令（１１）之ＰＣ相對子常式呼叫指令，作爲分歧至子常式的指令（１３）之返回指令爲例，說明爲了執行這些指令的構成及執行時的動作。

首先，用第１圖說明爲了執行這些指令所必要的硬體構成。這些指令係爲由外部的記憶體（ＲＯＭ）５２介由Ｉ＿ＤＡＴＡ＿ＢＵＳ９４而被傳送，被輸入至ＣＰＵ１０的指令解碼器２０。以該指令解碼器２０解讀指令且

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（45）

輸出執行指令所必要的各種訊號（未圖示）。另外前述即時值生成器２２，係爲將前述位移資訊６５４朝１位元左邊邏輯位移後符號擴張而生成３２位元的即時值位移imm，輸出至ＰＢ＿ＢＵＳ７４。ＳＰ１４係爲收容堆疊；此值可以輸出至被連在位址加算器３０的輸出ＸＡ＿ＢＵＳ７８。位址加算器３０的另一方之輸入，被連接至即時值產生器２２的輸出之ＰＢ＿ＢＵＳ７４。位址加算器３０的輸出（ＡＤＤＲ），介由ＩＡ訊號線８２被連接至外部的Ｉ＿ＡＤＤＲ＿ＢＵＳ９２。

另外，Ｉ＿ＡＤＤＲ＿ＢＵＳ９２及Ｉ＿ＤＡＴＡ＿ＢＵＳ９４係爲被連接至收容指令的目標碼之ＲＯＭ５２；匯流排控制組件（ＢＣＵ）６０，係爲根據從ＣＰＵ所輸出的各種要求訊號（被輸出至外部匯流排的訊號等），輸出從記憶體（ＲＯＭ）５２讀出前述指令的目標碼之ＲＥＡＤ控制訊號。

首先，說明ＰＣ相對子程式呼叫指令的執行時之動作。

執行ＰＣ相對子常式呼叫指令，則如以第４圖說明過，被收容在ＰＣ１２的程式計數器之值被避讓待命在堆疊；被收容在ＳＰ１４的堆疊指標之值只字元大小（４）被減量。然後在ＰＣ１２設定加算程式計數器及前述３２位元的即時值移位而得到之分歧處位址。

第１５圖係爲說明ＰＣ相對子常式呼叫指令的動作之流程圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（46）

在前述指令的執行最初，被收容在SP14的堆疊指標被輸出至XA_BUS78（步驟270）。此輸出形成爲位址加算器一方之輸入；即時值產生器22所生成的常數資料（－4）形成爲位址加算器30他方的輸入。然後以位址加算器30加算前述XA_BUS78上的堆疊指標之值及－4後生成對收容返回位址的堆疊之寫入位址，被輸出至WW_BUS76。另外，前述寫入位址係爲介由DA訊號線84被輸出至D_ADDR_BUS96。（步驟272）。另外，在PC增量器44被收容在PC12的程式計數器之值爲2而生成返回位址，介由DOUT訊號線88被輸出至D_DATA_BUS98（步驟274）。然後從CPU至BCU60的資料寫出要求訊號形成爲主動，執行外部記憶體寫入周期（步驟276）。即是前述BCU60係爲根據該要求訊號，將前述寫入位址作爲記憶體位址而在被設在記憶體的堆疊收容前述返回位址。

然且，WW_BUS76上之值被輸出至SP14（步驟278）。即是堆疊指標之值被更新爲－4後之值。

其次，被收容在PC12的程式計數器被輸出至XA_BUS78（步驟20）。另外前述即時值生成器22，係爲將被含在指令的目標碼之前述位移資訊654朝1位元在邊邏輯位移後符號擴張而生成32位元的即時值位移imm，輸出至PB_BUS74。前述位址加算器30係爲加算XA_BUS78上的程式計數器及

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（47）

ＰＢ＿ＢＵＳ７４上的即時值位移ｉｍｍ且生成分歧位址（ＡＤＤＲ），介由ＩＡ訊號線８２，輸出至Ｉ＿ＡＤＤＲ＿ＢＵＳ９２（步驟２８２）。然後從ＣＰＵ至ＢＣＵ６０的指令讀出要求訊號形成爲主動，執行外部記憶體（ＲＯＭ）５２的讀出周期，讀出分歧處的指令之目標碼（步驟２８４）。

其次，說明ｒｅｔ指令的執行時之動作。

執行ｒｅｔ指令，則如以第４圖說明過，被避讓待命在堆疊的程式計數器之值被回復到ＰＣ１２，被收容在ＳＰ１４的堆疊指標之值只字元大小（４）被增量。

第１６圖係爲說明ｒｅｔ指令的動作之流程圖。

在前述指令的執行最初，被收容在ＳＰ１４的堆疊指標被輸入至ＸＡ＿ＢＵＳ７８（步驟２９０）。然後ＸＡ＿ＢＵＳ７８上的堆疊指標係爲被輸出至Ｄ＿ＡＤＤＲ＿ＢＵＳ９６（步驟２９２）。然後從ＣＰＵ至ＢＣＵ６０的資料讀出要求訊號形成爲主動，執行外部記憶體的讀出周期。即是前述ＢＣＵ６０係爲根據該要求訊號，將前述堆疊指標作爲記憶體位址而從被設在記憶體的堆疊讀出前述返回位址。從記憶體（ＲＡＭ）５０讀出的前述返回處位址係爲從Ｄ＿ＤＡＴＡ＿ＢＵＳ９４介由ＤＩＮ訊號線８６被載入至ＣＰＵ內部，進而從ＤＩＮ訊號線介由ＩＡ訊號線８２被輸出至Ｉ＿ＡＤＤＲ＿ＢＵＳ９２（步驟２９４）。然後從ＣＰＵ至ＢＣＵ６０的指令讀出要求訊號形成爲主動，執

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（48）

行外部記憶體（ＲＯＭ）５２的讀出周期，讀出返回處位址的指令之目標碼（步驟２９６）。

然且，ＸＡ＿ＢＵＳ７８上的堆疊指標之值，形成爲前述位址加算器一方的輸入。另外，即時值生成器２２所生成的常數資料（＋４）形成爲位址加算器３０他方的輸入。然後以位址加算器３０加算前述ＸＡ＿ＢＵＳ７８上的堆疊指標之值及＋４，而生成確保返回處的常式之堆疊領域的先頭區域之位址，被輸出至ＷＷ＿ＢＵＳ７６（步驟２９８）。然後ＷＷ＿ＢＵＳ７６上的前述位址（確保返回處的常式之堆疊領域的先頭區域之位址）被輸出至ＳＰ１４（步驟３００）。

（８）連續壓入指令（ｐｕｓｈｎ）、連續推出指令（ｐｏｐｎ）之說明

如前述，最近特別是ＲＩＳＣ方式的ＣＰＵ，被構成爲爲了提高性能而在內部持有多數個汎用暫存器，不存取在記憶體在ＣＰＵ內部高速地進行多數的處理。在本實施例也是在內部持有１６個汎用暫存器，達到處理的高速化。但是，此樣持有多數個內部暫存器，則插入處理或子常式呼叫時的暫存器退避及復舊的處理之際，應退避暫存器個數增多。

進行此樣的暫存器之退避或復舊時，過去是使用將在位址部所指定的內容收容在堆疊之ｐｕｓｈ指令，或將堆疊的內容取出至暫存器之ｐｏｐ指令。此處說明一般性

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（49）

ｐｕｓｈ指令及ｐｏｐ指令時的作動。

第１７Ａ圖、第１７Ｂ圖係爲模式性的表示ｐｕｓｈ指令執行時的作動之圖；第１８Ａ、１８圖係爲模式性的表示ｐｏｐ指令執行時的作動之圖。用第１７Ａ圖、第１７Ｂ及第１８Ａ圖、第１８Ｂ圖，說明在複數個汎用暫存器與堆疊間進行轉送資料時的作動。

第１７Ａ圖係爲表示執行將汎用暫存器Ｒ１的內容寫出至堆疊的指令之〝ｐｕｓｈ　Ｒ１〞時的作動。在該指令執行時，ＳＰ１４的內容被更新爲從現在的值減去４之值（如第１７Ａ圖所示，１０００被更新爲９９６）。然後在表示所被更新的ＳＰ１４之堆疊指標的記憶體位址之９９６寫入汎用暫存器Ｒ１的內容ａ。

第１７Ｂ圖係爲表示執行將汎用暫存器Ｒ２的內容寫出至堆疊的指令之〝ｐｕｓｈ　Ｒ２〞時的作動。在該指令執行時，ＳＰ１４的內容被更新爲從現在的值減去４之值（如第１７Ｂ圖所示，９９６被更新爲９９２）。然後在表示所被更新的ＳＰ１４之堆疊指標的記憶體位址之９９２寫入汎用暫存器Ｒ２的內容ｂ。

第１８Ａ圖係爲表示執行將堆疊的內容取出至汎用暫存器Ｒ２的指令之〝ＰＯＰ　Ｒ２〞時的作動。在該指令執行時，取出被收容在表示ＳＰ１４的堆疊指標之記憶體位置９９２的內容ｂ而被收容在汎用暫存器Ｒ２。然後ＳＰ１４的內容被更新爲在現在的加上４之值（如第１８Ａ圖所示，執行前爲９９２執行後被更新爲９９６）

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（50）

第１８Ｂ圖係爲表示執行將堆疊的內容取出至汎用暫存器Ｒ１的指令之〝ＰＯＰ　Ｒ１〞時的作動。在該指令執行時，取出被收容在表示ＳＰ１４的堆疊指標之記憶體位址９９６的內容ａ而被收容在汎用暫存器Ｒ１。然後ＳＰ１４的內容被更新爲在現在的值加上４之值（如第１８Ｂ圖所示，執行前９９６執行後被更新爲１０００）。

此樣，過去在複數個汎用暫存器與堆疊進行資料的傳送時，必須複數次返復ｐｕｓｈ指令或ｐｏｐ指令後執行。ｐｕｓｈ指令或ｐｏｐ指令以１次的指令只能操作１個暫存器之故。

因此對於多數個暫存器進行退避至堆疊或從堆疊的復舊處理時，由於指令數的增加，因而導致增大目標碼的大小。另外，程式的執行步驟也增多，造成程式的執行時間或處理動作的延遲。

該處，在本實施例的ＣＰＵ，預備如下所示的指令組合。

ｐｕｓｈｎ　　％Ｒｓ　　……（１８）

ｐｏｐｎ　　％Ｒｄ　　……（１９）

（１８）係爲表示連續壓入指令的組合語言之記述；將從％Ｒｓ至Ｒｏ爲止的ｎ個（ｎ爲１～１６的自然數）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

之汎用暫存器的內容，連續地壓入至堆疊之指令。（１９）係爲表示連續推出指令的組合語言之記述；從堆疊將ｎ個（ｎ爲１～１６的自然數）的字元資料，連續地推出到從％Ｒｄ至Ｒｏ爲止的汎用暫存器之指令。ｐｕｓｈｎ、ｐｏｐｎ指令都是以操作碼及操作對象所形成。％Ｒｓ係爲表示在ｐｕｓｈｎ指令的操作對象將從暫存器％Ｒｓ至Ｒｏ爲止寫入至堆疊時的Ｒｓ之暫存器編號。％Ｒｄ係爲表示以ｐｏｐｎ指令的操作對象在從Ｒｏ至％Ｒｄ爲止的暫存器從堆疊持來資料時的Ｒｄ之暫存器編號。

在第１９圖表示ｐｕｓｈｎ、ｐｏｐｎ指令的位元圖。在下位的４位元之領域附註表示％Ｒｓ或是％Ｒｄ的編碼，可以指定１６個汎用暫存器中的任意暫存器。在特殊暫存器與堆疊之間傳送資料時，介由汎用暫存器而進行。

第２０圖係爲說明爲了執行連續壓入指令（ｐｕｓｈｎ）、連續推出指令（ｐｏｐｎ）的硬體構成之方塊圖。從第１圖取出爲了說明連續壓入指令（ｐｕｓｈｎ）及連續推出指令（ｐｏｐｎ）所必要的部分，而形成爲追加說明所必要的部分之構成。關於與第１圖相同的剖分附註同一的圖號。圖號１１係爲從Ｒ０至Ｒ１５的１６個汎用暫存器。汎用暫存器１１係爲進行資料匯流排（Ｄ＿ＤＡＴＡ＿ＢＵＳ）９８及資料的輸入輸出。另外選擇暫存器之暫存器選擇位址訊號５４係爲從控制電路區塊４５傳來。圖號１４係爲以ＳＰ收容堆疊指標。ＳＰ１４之值可以輸出至連接在位址匯流排（Ｄ＿ＡＤ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（52）

ＤＲ＿ＢＵＳ）９６與３２位元的位址加算器３０之輸入的內部位址匯流排（ＸＡ＿ＢＵＳ）７８。位址加算器３０的另一方的輸入，被連接至從控制電路區塊４５所輸出的移位訊號２４。位址加算器３０的輸出係爲以閂鎖區塊（Ａｄｄ＿ＬＴ）３２而被閂鎖，進而被輸出至ＸＡ＿ＢＵＳ７８或是ＷＷ＿ＢＵＳ７６。ＷＷ＿ＢＵＳ７６被連接至ＳＰ１４的輸入。在控制電路區塊４５當中具有４位元的計數器（Ｃｏｕｎｔ　Ｘ）４６，計數所傳送的暫存器個數。另外在控制電路區塊４５當中具有指令暫存器（在第２０圖未圖示）；保持ｐｕｓｈｎ、ｐｏｐｎ指令的操作對象％Ｒｓ、％Ｒｄ，同時以指令解碼器而輸出因應於各指令的控制訊號。圖號６０係爲匯流排控制組件（ＢＣＵ），控制與含有外部的堆疊區域之記憶體（ＲＡＭ）５０的資料輸入輸出，輸出ＲＥＡＤ、ＷＲＩＴＥ控制訊號。

首先，說明連續壓入指令（ｐｕｓｈｎ）的執行時之動作。執行連續壓入指令（ｐｕｓｈｎ），則如以第４圖說明過，被收容在從％Ｒｓ的暫存器編號之汎用暫存器至汎用暫存器Ｒ０爲止的汎用暫存器之內容連續地被壓入至堆疊。

第２１圖係爲說明ｐｕｓｈｎ指令的動作之流程圖。

在ｐｕｓｈｎ指令的執行最初，移位訊號２４的ｏｆｆｓｅｔ爲－４。計數器（Ｃｏｕｎｔ　Ｘ）４６被清除成零，被收容在ＳＰ１４的堆疊指標值被輸出至

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（53）

ＸＡ＿ＢＵＳ７８（步驟１００）。

其次，位址加算器３０係爲加算ＸＡ＿ＢＵＳ７８上之值及－４，將結果輸入至閂鎖區塊（Ａｄｄ＿ＬＴ）３２（步驟１０１）。

閂鎖區塊３２之值係爲被輸出至位址匯流排Ｄ＿ＡＤＤＲ＿ＢＵＳ９６。在控制器電路區塊４５，計算被保持指令暫存器的下位４位元之％Ｒｓ與計數器（Ｃｏｕｎｔ　Ｘ）４６之差，將結果輸出至暫存器選擇位址訊號５４。將以５４所選擇的暫存器搭載在資料匯流排（Ｄ＿ＤＡＴＡ＿ＢＵＳ）９８，使其作動外部記憶體（ＲＡＭ）５０的寫入（步驟１０２）。

在步驟１０３，比較計數器（Ｃｏｕｎｔ　Ｘ）４６與％Ｒｓ。相等時係爲完成寫入至暫存器的外部，將閂鎖區塊（Ａｄｄ＿ＬＴ）３２之值透過ＷＷ＿ＢＵＳ７６而寫入至ＳＰ１４後完成ｐｕｓｈｎ的執行（步驟１０４）。

不等時係爲將計數器（Ｃｏｕｎｔ　Ｘ）加上１，將閂鎖區塊（Ａｄｄ＿ＬＴ）３２之值輸出至ＸＡ＿ＢＵＳ７８，返復步驟１０１以後的處理（步驟１０５）。

其次，說明連續推出指令（ｐｏｐｎ）的執行時之動作。

執行連續推出指令（ｐｏｐｎ），則如以第４圖說明過，堆疊的內容從汎用暫存器Ｒ０連續地壓入至％Ｒｄ的暫存器編號之汎用暫存器。

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 54）

第２２圖係爲說明ｐｏｐｎ指令的動作之流程圖。

在ｐｏｐｎ指令的最初，移位訊號２４形成爲＋４。計數器（Ｃｏｕｎｔ　Ｘ）４６被清除爲零，ＳＰ１４的堆疊指標之值被輸出至ＸＡ＿ＢＵＳ７８及位址匯流排（Ｄ＿ＡＤＤＲ＿ＢＵＳ）９６（步驟１１０）。

其次，位址加算器３０係爲加算ＸＡ＿ＢＵＳ７８上之值及＋４，將結果輸入至閂鎖區塊（Ａｄｄ＿ＬＴ）３２（步驟１１１）。

其次，執行外部記憶體的讀出周期。所被讀出的資料透過資料匯流排（Ｄ＿ＤＡＴＡ＿ＢＵＳ）９８而被寫入至汎用暫存器１１。此時在控制電路區塊４５，將計數器（Ｃｏｕｎｔ　Ｘ）４６輸出至暫存器選擇位址訊號５４（步驟１１２）。

在步驟１１３，比較計數器（Ｃｏｕｎｔ　Ｘ）４６與％Ｒｓ。相等時係爲完成寫入至暫存器的外部記憶體；將閂鎖區塊（Ａｄｄ＿ＬＴ）３２之值透過ＷＷ＿ＢＵＳ７６而寫入至ＳＰ１４後完成ｐｏｐｎ的執行（步驟１１４）。

不等時係爲將計數器（Ｃｏｕｎｔ　Ｘ）加上１，將閂鎖區塊（Ａｄｄ＿ＬＴ）３２之值輸出至ＸＡ＿ＢＵＳ７８及位址匯流排（Ｄ＿ＡＤＤＲ＿ＢＵＳ）９６，返復步驟１１１以後的處理（步驟１１５）。

此樣，能〝以ｐｕｓｈｎ　％Ｒｓ〞將從％Ｒｓ至Ｒ０的暫存器寫入至堆疊；另以〝ｐｏｐｎ　％Ｒｄ〞從

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（55）

堆疊將必要個數的資料返回至從ＲＯ至％Ｒｄ爲止的暫存器。例如，由於執行〝ｐｕｓｈ　ｎ％　Ｒ３〞因而以一指令可以壓入Ｒ３至ＲＯ爲止。

此處，在暫存器的使用方法加上１個的規定，而產生更有效的效果。即是暫存器的避讓待命或復舊在插入處理或子常式呼叫時等的程式分歧至其他常式時特別是必要，但此時在其他插入常式或是子常式等所被呼叫的常式，從ＲＯ依順序使用暫存器較爲理想。因此，在從ＲＯ至Ｒｄ或是Ｒｓ未含有不須要退避的暫存器，使用ｐｕｓｈｎ指令及ｐｏｐｎ指令，可以有有效地進行暫存器的避讓待命或是回復。在本實施例，暫存器都持有相同功能，在暫存器的使用方法與指令因沒有任何的規定，所以此樣的規定在沒有任何問題下也可以滿足。

因此由於使用本實施例的ｐｕｓｈｎ指令及ｐｏｐｎ指令，因而從暫存器退避至記憶體中的堆疊，另外從堆疊至暫存器的資料之復舊以ｐｕｓｈｎ、ｐｏｐｎ的各個一指令就可以執行。所以目標碼大小或程式執行步驟成爲最少，且只以一次的指令取得與必要次數資料的傳送就使其完成，能以最少的周期進行執行周期。由於此因，插入處理常式或子常式的處理也可以達到高速化。

另則，實現此點之構成要素只是計數手段與簡單的序列控制，以較少的閘就能實現，適於單晶片的微電腦。

另外，在本實施例，針對爲了使其執行使用堆疊指標專用的暫存器ＳＰ１４時的連續壓入指令（ｐｕｓｈｎ）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（56）

、連續推出指令（ｐｏｐｎ）之構成已說明過，但作爲堆疊指標使用汎用暫存器時也能適用。

（實施例２）

第２３圖係爲本實施例的微電腦之硬體方塊圖。

該微電腦２，係爲３２位元微控制器；含有ＣＰＵ１０與ＲＯＭ５２與ＲＡＭ５０、高周波振盪電路９１０、低周波振盪電路９２０、重設電路９３０、分頻電路９４０、１６位元能程式型計時器９５０、８位元能程式型計時器９６０、時訊計時器９７０、資訊ＤＭＡ９８０、高速ＤＭＡ９９０、插入控制器８００、系列介面８１０、匯流排控制組件（ＢＣＵ）６０、Ａ／Ｄ轉換器８３０、Ｄ／Ａ轉換器８４０、輸入埠８５０、輸出埠８６０、Ｉ／Ｏ埠８７０、及連接這些的各種匯流排９２，９４，９６，９８、各接腳８９０等。

前述ＣＰＵ１０，具有堆疊指標專用暫存器之ＳＰ，進行前述過各種堆疊指標專用指令的解讀、執行。該ＣＰＵ１０，如前述過具有實施例１的構成，作爲前述解讀手段、前述執行手段之功能。

因此，本實施例的微電腦，能以較短的指令長有效地記憶且執行使用堆疊指標之處理。

另外，能有效地記憶暫存器退避或暫存器復舊之處理，且高速地進行插入處理及子常式呼叫・返回之處理。

本發明的微電腦，例如能適用於印表機等的個人電腦

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（57）

周邊機器、或攜帶型機器等各種的電子機器。因此，由於可以內藏以簡單的構成，記憶體的高使用效率且高速地進行處理之資訊處理電路，因而可以提供低價且高功能的電子機器。

然而，本發明不限於上述實施例所說明過的，種種的變形實施皆有可能。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

424197

A5
B5

四、中文發明摘要（發明之名稱：　　）

資訊處理電路、微電腦及電子機器

本發明的資訊處理電路，係爲以較短指令長而有效的記述且執行使用堆疊指標之處理及有效的記述暫存器退避或暫存器復舊之處理；使其提昇插入處理及子常式呼叫・返回之處理速度。具有前述資訊處理電路之ＣＰＵ，含有堆疊指標專用的暫存器ＳＰ，且以指令解碼器解讀將ＳＰ作爲靜態的操作對象之堆疊指標專用指令群。使用汎用暫存器、ＰＣ、ＳＰ、位址加算器、ＡＬＵ、ＰＣ增量器、內部匯流排、內部訊號線、外部匯流排而硬體性的執行前述堆疊指標專用指令群。前述堆疊指標專用指令群，含有ＳＰ相對載入指令或堆疊指標移動指令或ｃａｌｌ指令或ｒｅｔ指令或連續壓入指令或連續推出指令。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

87年8月14日 424197 [illegible]

A8
B8
C8
D8

六、申請專利範圍

附件-A

第86106909號專利申請案

中文申請專利範圍修正本

民國87年8月修正

1．一種資訊處理電路，係屬於一種RISC方式的資訊處理電路，其特徵爲含有：

用於堆疊指標專用之堆疊指標專用暫存器，及

具有將該堆疊指標專用暫存器作爲靜態的操作對象之目標碼；解讀記述根據該堆疊指標專用暫存器之處理的堆疊指標專用指令群之目標碼後，根據該目標碼輸出控制訊號之解讀手段，及

根據前述控制訊號與前述堆疊指標專用暫存器的內容，執行前述堆疊指標專用指令群之執行手段。

2．如申請專利範圍第1項之資訊處理電路，其中前述堆疊指標專用指令群，含有在目標碼具有傳送暫存器特定資訊之下載指令；

前述解讀手段，解讀前述下載指令；

前述執行手段，當執行前述下載指令時，根據以前述堆疊指標專用暫存器所被特定的記憶體位址及以前述傳送暫存器特定資訊所被特定的暫存器位址，進行從記憶體上所供的第一區域至所供的第一暫存器之資料傳送及從前述所供的第一暫存器至前述所供的第一區域之資料傳送的至少一方。

3．如申請專利範圍第2項之資訊處理電路，其中前

煩請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述下載指令，在目標碼含有關於特定前述記憶體上的前述第一區域之位址的移位之資訊的移位資訊；

前述執行手段，以前述堆疊指標專用暫存器的內容及前述移位資訊而特定前述記憶體位址。

4．如申請專利範圍第3項之資訊處理電路，其中前述移位資訊，含有以即時值所供給的即時值移位資訊及關於記憶體上所供的資料大小之資料大小資訊；

前述執行手段，根據前述即時值移位資訊及前述資料大小資訊，將前述即時值移位資訊在邏輯位移後生成移位值；以加算前述堆疊指標專用暫存器的內容與前述移位值之值而特定前述記憶體位址。

5．如申請專利範圍第1項之資訊處理電路，其中前述堆疊指標專用指令群，含有在目標碼具有移動資訊且爲了移動堆疊指標之堆疊指標移動指令；

前述解讀手段，解讀前述堆疊指標移動指令；

前述執行手段，當執行前述堆疊指標移動指令時，根據前述移動資訊，變更前述堆疊指標專用暫存器的內容。

6．如申請專利範圍第5項之資訊處理電路，其中前述移動資訊，含有以即時所供給的即時值移動資訊；

前述指令執行手段，進行加算前述即時值移動資訊與前述堆疊指標專用暫存器的內容之處理，及從前述堆疊指標專用暫存器的內容減算前述即時值移動資訊之處理的至少一方的處理。

7．如申請專利範圍第1項之資訊處理電路，其中含

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

有連續而附註順序的複數個暫存器；

前述堆疊指標專用指令群，含有在目標碼具有複數個暫存器特定資訊之連續壓入指令及連續推出指令的最少一方；

前述解讀手段，解讀前述連續壓入指令及連續推出指令的至少一方；

前述指令執行手段，當執行前述連續壓入指令及前述連續推出指令的至少一方時，根據以前述堆疊指標專用暫存器的內容所被特定的記憶體位址及前述複數個暫存器特定資訊，進行從前述複數個暫存器至被設在記憶體的堆疊連續而複數次壓力之處理及從前述堆疊連續到前述複數個暫存器而複數次推出之處理的至少一方。

8．如申請專利範圍第7項之資訊處理電路，其中含有以從0至n－1爲止的暫存器編號所被特定的n個汎用暫存器；

前述連續壓入指令及連續推出指令的至少一方之目標碼，作爲前述複數個暫存器特定資訊，含有指定前述暫存器編號的任何1個之最終暫存器編號；

前述執行手段，根據以前述堆疊指標專用暫存器的內容所被特定的記憶體位址，進行從暫存器0至以前述最終暫存器編號所被特定的暫存器爲止的複數個暫存器，至被設在記憶體的堆疊連續而複數次壓入之處理，及從前述堆疊連續到前述複數個暫存器而複數次推出之處理的至少一方。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

9．如申請專利範圍第7項之資訊處理電路，其中前述執行手段，含有根據以前述堆疊指標專用暫存器所被特定的記憶體位址，將前述複數個暫存器的任何1個所供的暫存器的內容，寫入至被設在記憶體的堆疊之寫入手段，及

計數寫入至前述寫入手段所形成的前述堆疊之次數之寫入次數計數手段，及

比較以前述計數手段所計數的前述寫入次數與前述複數個暫存器特定資訊之值之比較手段等；

前述寫入手段，含有以加算器加算第一輸入與第二輸入且生成爲了特定寫入處的寫入記憶體位址之寫入記憶體位址生成手段，及

前述加算器的第一輸入，在連續專用指令的執行開始時控制使其形成爲堆疊指標專用暫存器的內容，其後控制使其形成爲以寫入位址生成手段所生成的寫入位址之第一輸入控制，及

輸出從前述堆疊將1字元寫入至前述加算器的第二輸入時的移位值之第二輸入控制手段，及

根據前述寫入記憶體位址，將以從前述複數個暫存器特定資訊減去前述寫入次數之值所被特定的暫存器的內容，寫入至前述堆疊之手段等；

根據前述比較手段的比較結果，控制從複數個暫存器至前述堆疊的寫入及寫入終了。

10．如申請專利範圍第7項之資訊處理電路，其中

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

前述指令執行手段，含有根據以前述堆疊指標專用暫存器所被特定的記憶體位址，讀出被設在記憶體之堆疊的內容，收容在前述複數個暫存器的任何1個所供的暫存器之讀出手段，及

計數從前述讀出手段所形成的前述堆疊的讀出次數之讀出次數計數手段，及

比較以前述計數手段所計數的前述讀出次數與前述複數個暫存器特定資訊之值之比較手段等；

前述讀出手段，含有以加算器加算第一輸入與第二輸入且生成爲了特定寫入處的寫入記憶體位址之寫入記憶體位址生成手段，及

前述加算器的第一輸入，在連續專用指令的執行開始時控制使其形成爲堆疊指標專用暫存器的內容，其後控制使其形成爲以讀出位址生成手段所生成的讀出位址之第一控制手段，及

輸出從前述堆疊將1字元寫入至前述加算器的第二輸入時的移位值之第二輸入控制手段，及

根據前述讀出記憶體位址讀出前述堆疊的內容，根據前述寫入次數收容在所被特定的暫存器之讀出手段等；

根據前述比較手段的比較結果，控制前述堆疊的內容讀出及讀出終了。

11．如申請專利範圍第1項之資訊處理電路，其中含有程式計數器專用的程式計數器暫存器；

前述堆疊指標專用指令群，含有分歧至子常式的指令

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

及從前述子常式的返回指令之分歧指令；

前述解讀手段，解讀前述分歧指令；

前述指令執行手段，含有當執行前述分歧指令時，根據以前述堆疊指標專用暫存器所被特定的記憶體位址，進行朝被設在記憶體之堆疊所供的第二區域之前述程式計數器暫存器的內容之避讓待命及朝前述第二區域的內容的程式計數器暫存器之回復的最少一方之手段，及

根據前述避讓待命與前述回復，更新前述堆疊指標專用暫存器的內容之手段。

12．一種資訊處理電路，係爲含有連續而附註順序的複數個暫存器，及被分配在任何1個的汎用暫存器之堆疊標示之資訊處理電路；其特徵爲含有：

解讀在目標碼具有複數個暫存器特定資訊之連續壓入指令及連續推出指令的至少一方的指令之目標碼後，根據該目標碼輸出控制訊號之手段，及

執行前述連續壓入指令及前述連續推出指令的至少一方時，根據以前述控制訊號及前述堆疊指標專用暫存器的內容所被特定的記憶體位址及前述複數個暫存器特定資訊，進行從前述複數個暫存器至被設在記憶體的堆疊連續而複數次壓入之處理及從前述堆疊連續到前述複數個暫存器而複數次推出之處理的至少一方之手段。

13．如申請專利範圍第1、2、3、4、5、6、7、8、9、10或11項的任何項之資訊處理電路，其中解讀固定長的指令，根據該指令進行執行處理。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

14．一種微電腦，其特徵爲含有進行如申請專利範圍第1、2、3、4、5、6、7、8、9、10或11項的任何項所記載的資訊處理電路及記憶手段與外部的輸入輸出之手段。

15．如申請專利範圍第14項之微電腦，其中執行具有關連至前述堆疊指標而確保自動變數的記憶領域之構造的語言之程式。

16．一種電子機器，其特徵爲含有如申請專利範圍第14項所記載的微電腦。

（請先閱讀背面之注意事項再填寫本頁）

訂

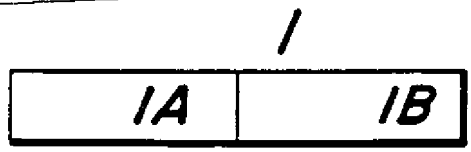
線

經濟部中央標準局員工消費合作社印製

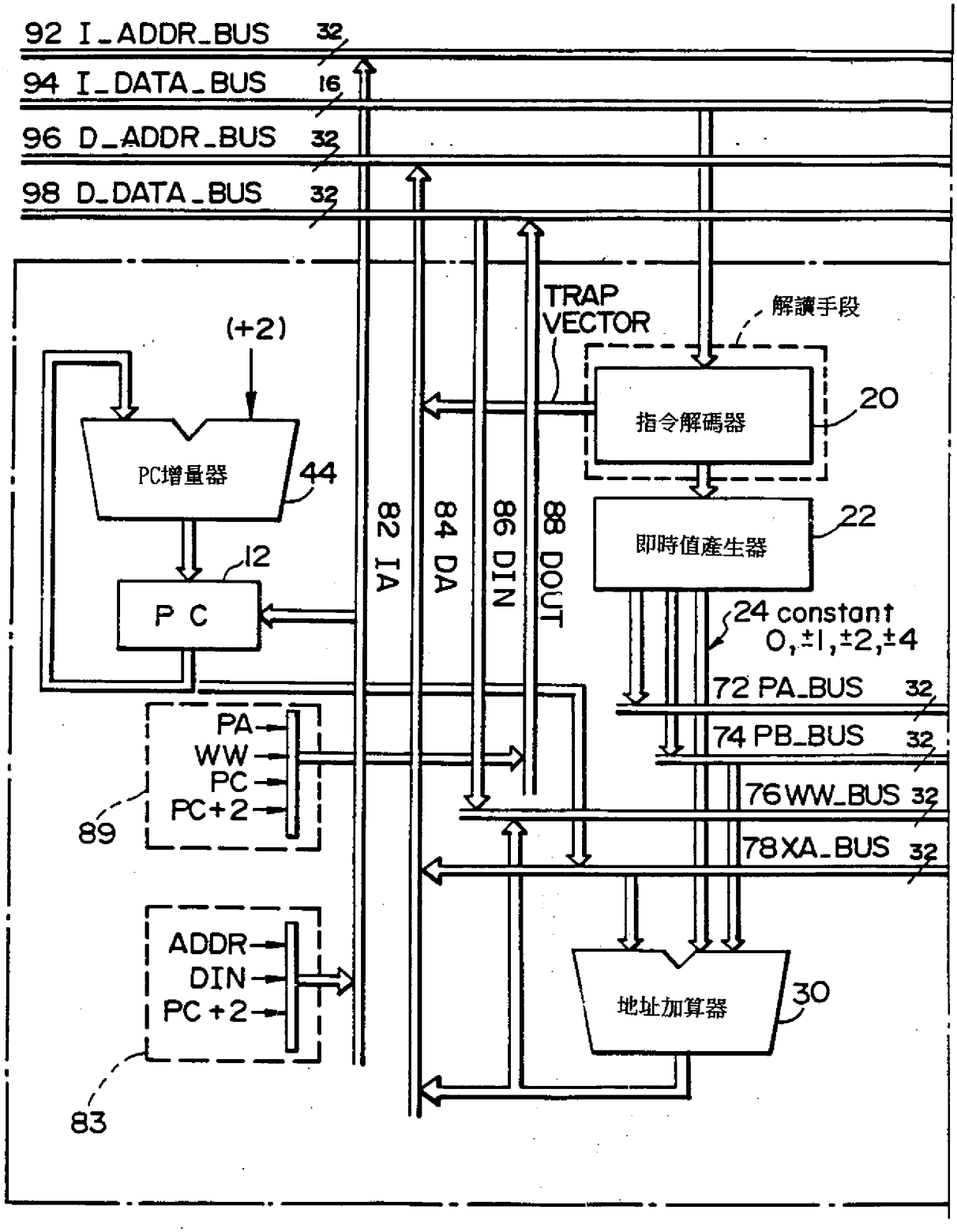
424197 86106909

修正補充 本86年8月27日

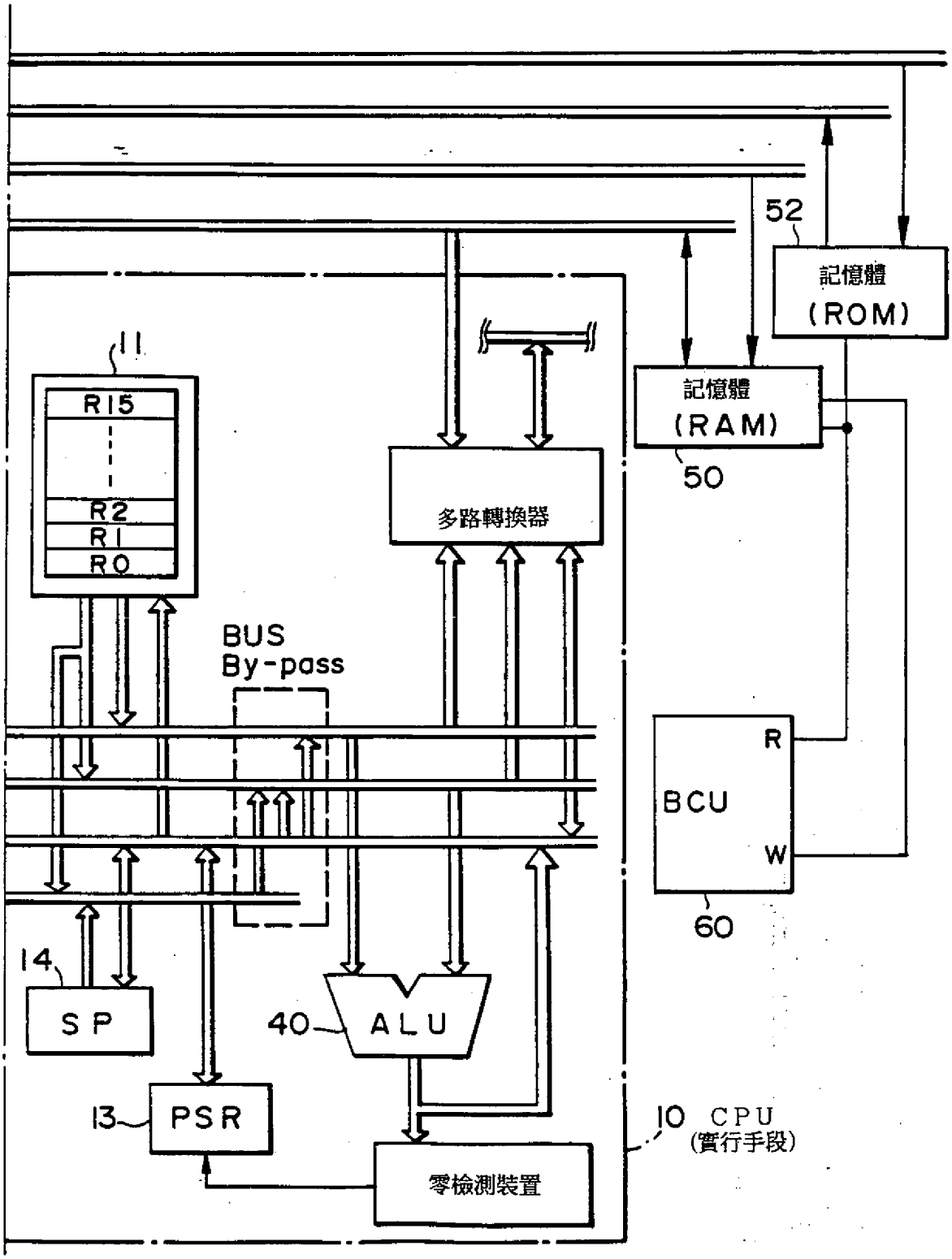
728467



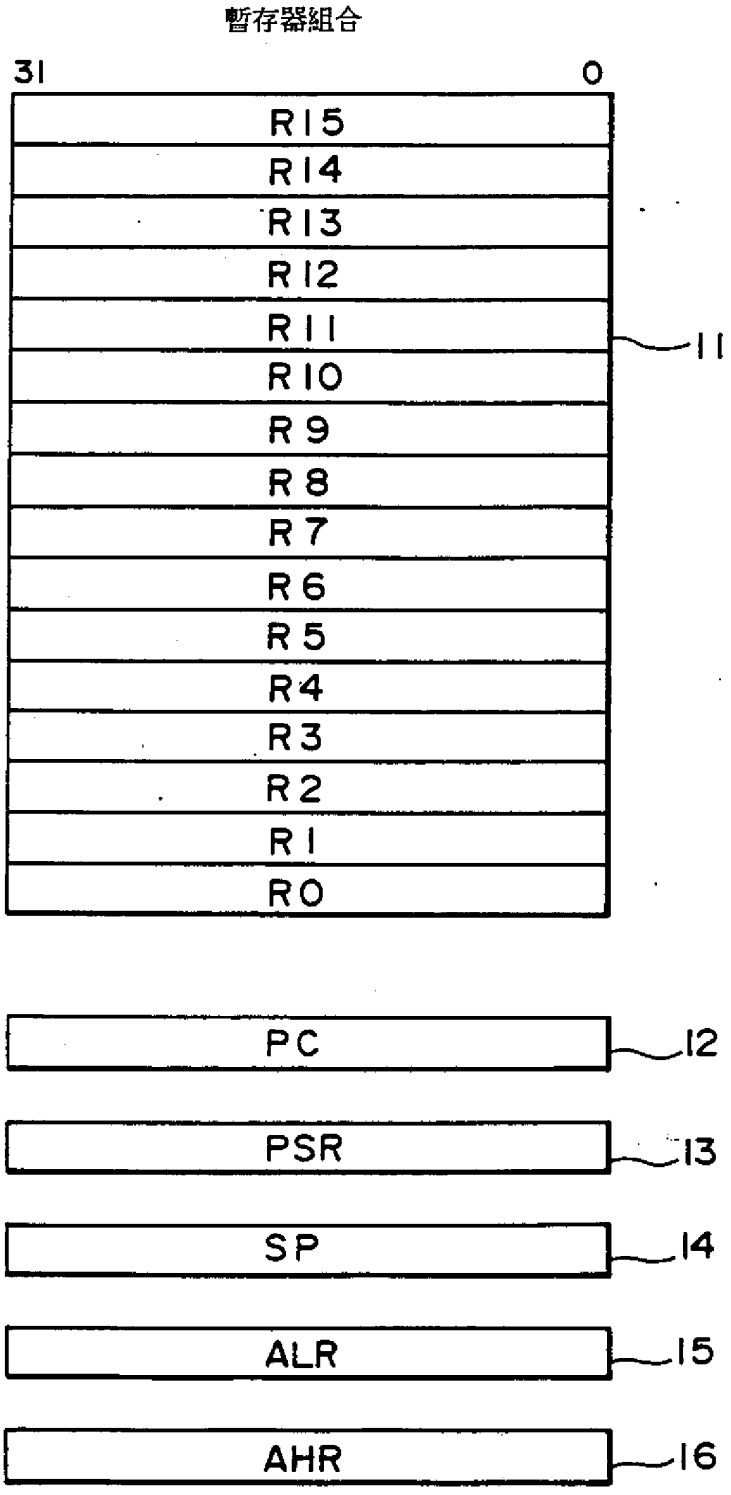
第 1A 圖



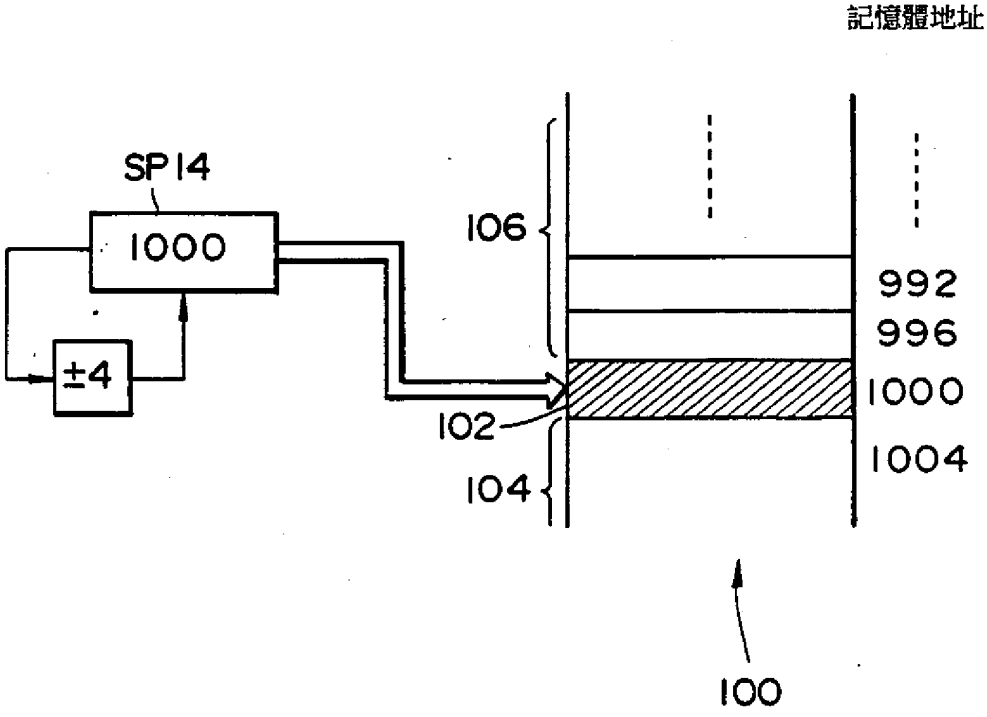
第1B圖


52
記憶體
(ROM)
記憶體
(RAM)
50
11
R15
R2
R1
R0
多路轉換器
BUS
By-pass
R
BCU
W
60
14
SP
40
ALU
13
PSR
10 CPU
(實行手段)
零檢測裝置

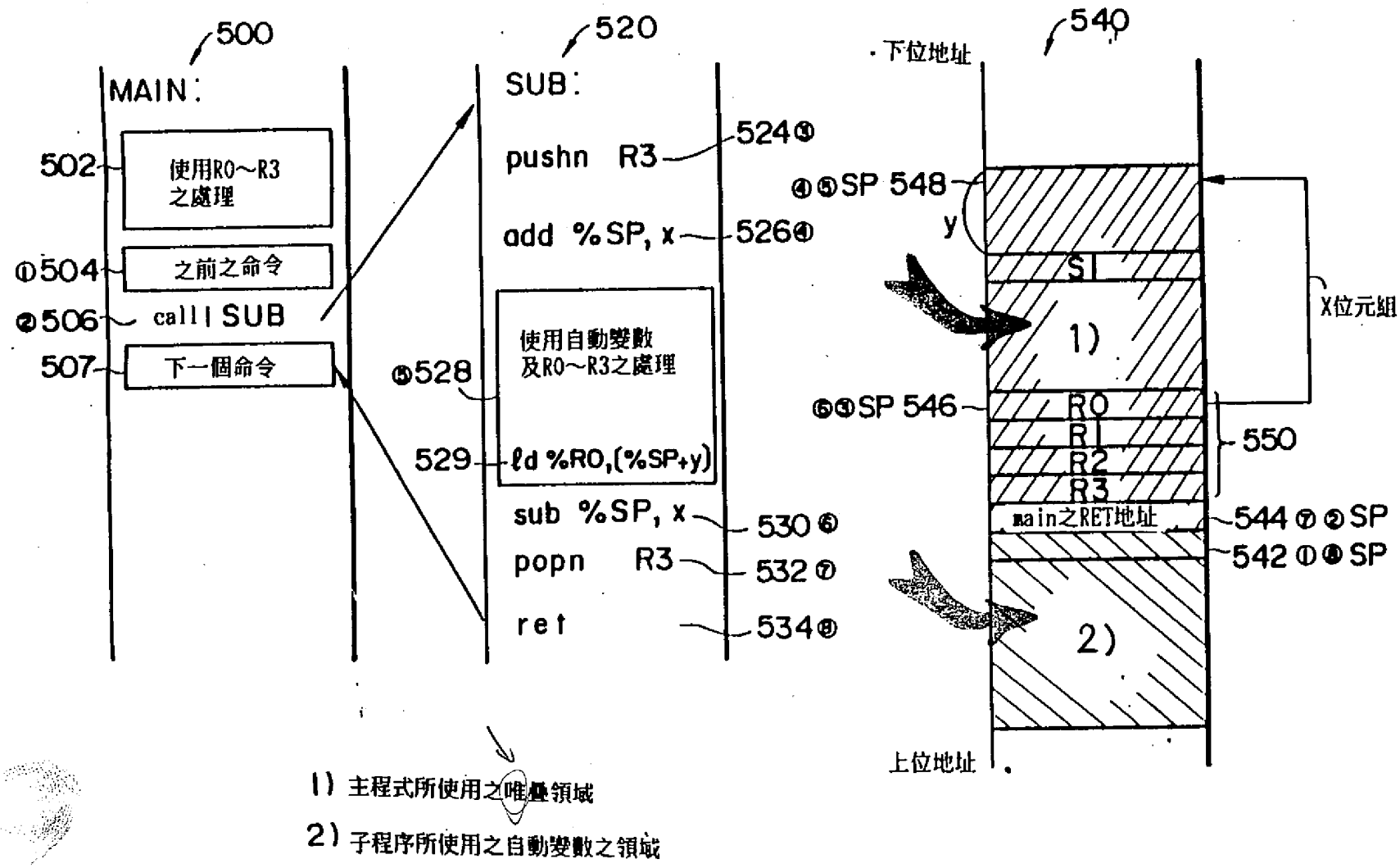
第 2 圖


暫存器組合
31
0
R15
R14
R13
R12
R11
R10
R9
R8
R7
R6
R5
R4
R3
R2
R1
R0
11
PC
12
PSR
13
SP
14
ALR
15
AHR
16

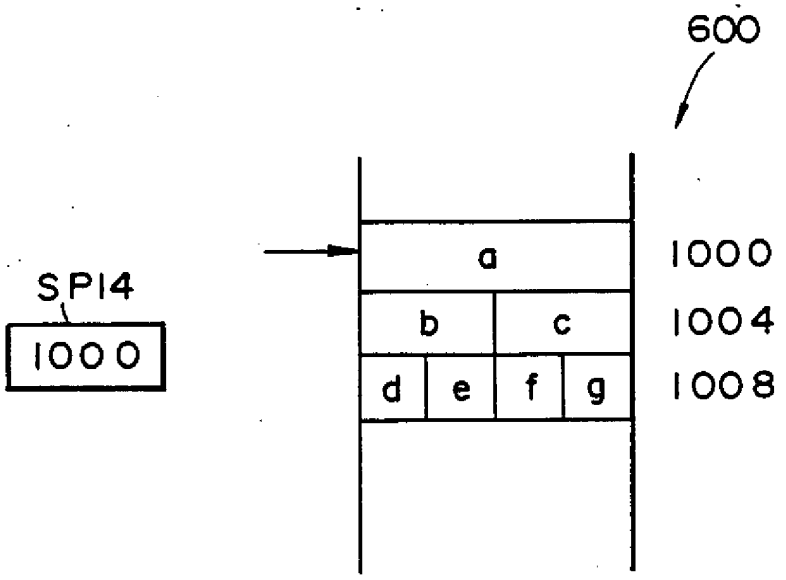
第 3 圖



第4圖

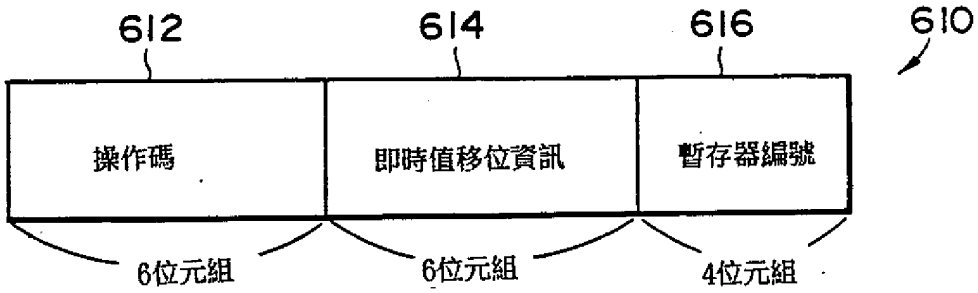

500
MAIN:
502
使用R0～R3之處理
①504
之前之命令
②506
call SUB
507
下一個命令
520
SUB:
524③
pushn R3
526④
add %SP, x
⑤528
使用自動變數及R0～R3之處理
529
ld %R0,(%SP+y)
530⑥
sub %SP, x
532⑦
popn R3
534⑧
ret
540
下位地址
④⑤SP 548
y
S1
1)
X位元組
⑥①SP 546
R0
R1
R2
R3
550
main之RET地址
544⑦②SP
542①⑧SP
2)
上位地址
1) 主程式所使用之暫存器領域
2) 子程序所使用之自動變數之領域

第 5 圖



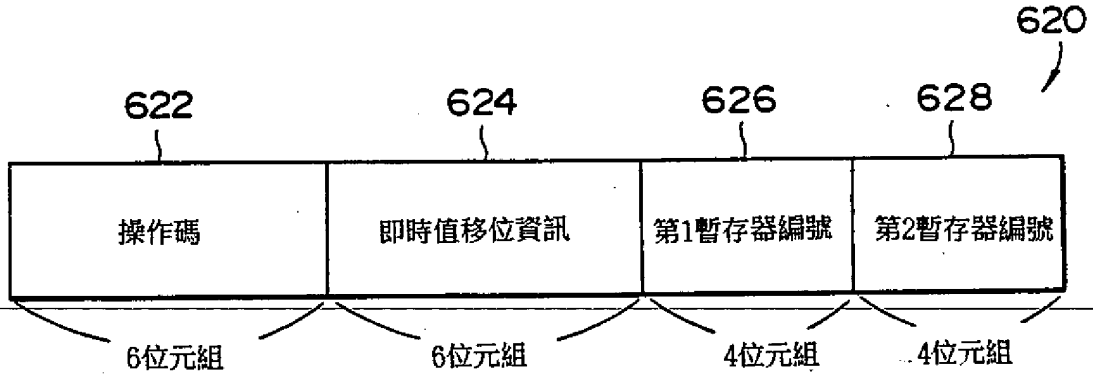
第6A圖

SP相對下載指令

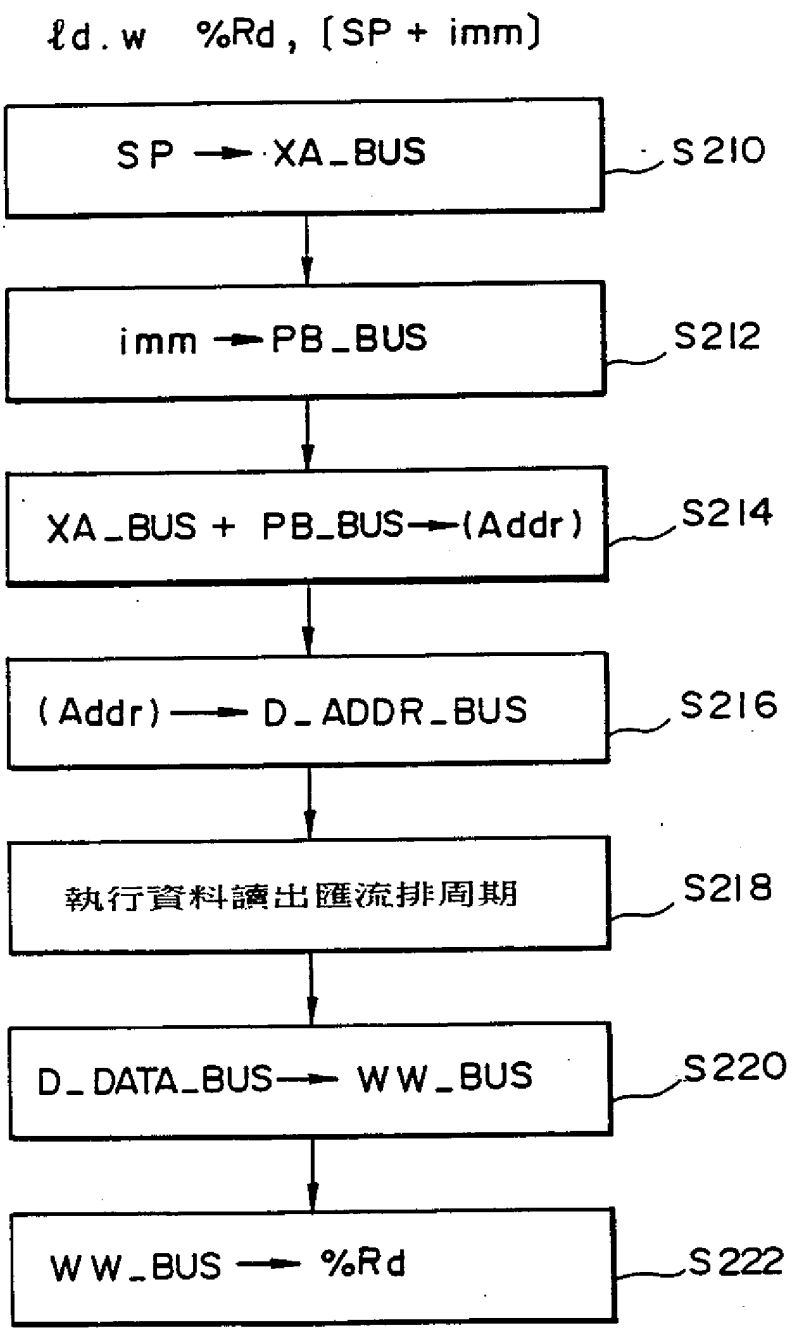


第6B圖

汎用下載指令

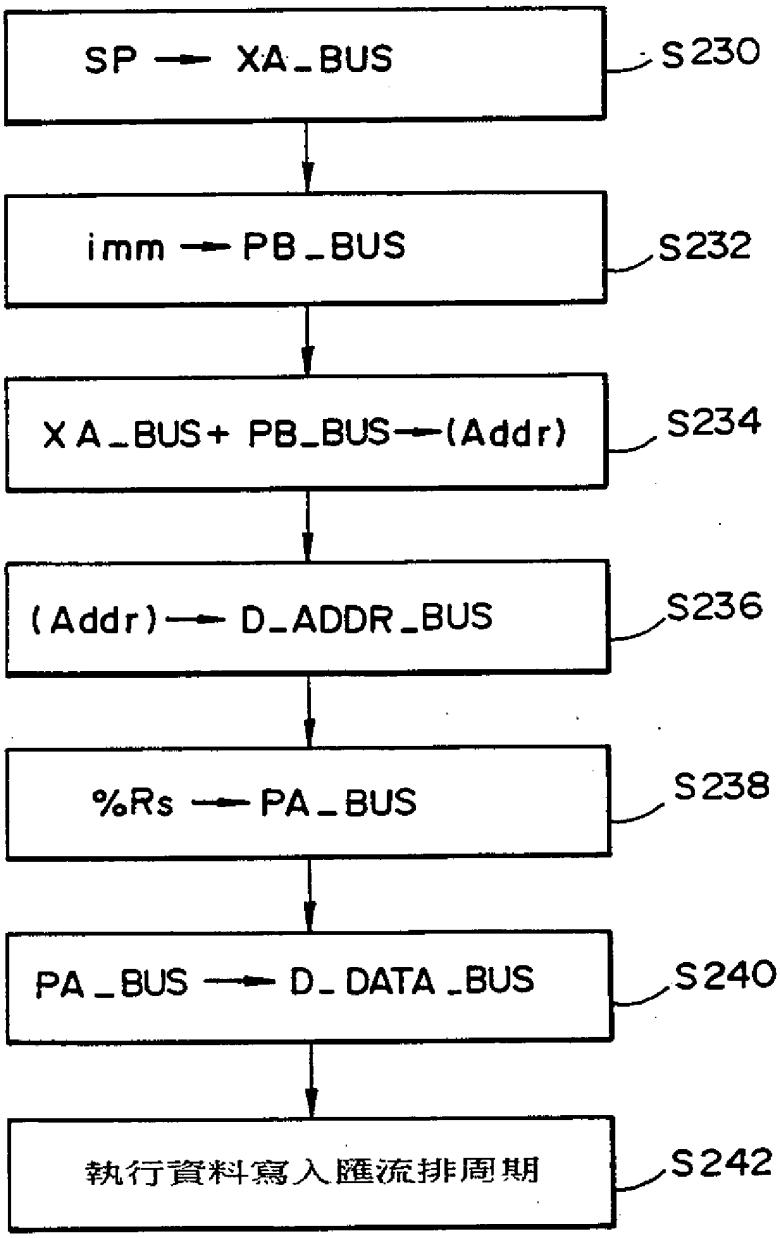


第 7 圖

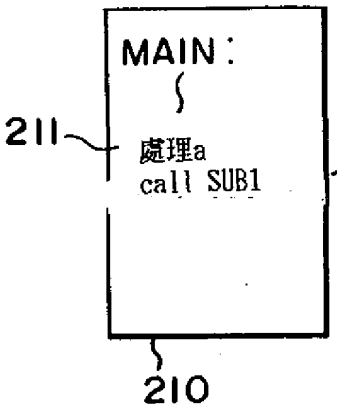

ld.w %Rd, [SP + imm]
SP → XA_BUS
S210
imm → PB_BUS
S212
XA_BUS + PB_BUS → (Addr)
S214
(Addr) → D_ADDR_BUS
S216
執行資料讀出匯流排周期
S218
D_DATA_BUS → WW_BUS
S220
WW_BUS → %Rd
S222

第 8 圖

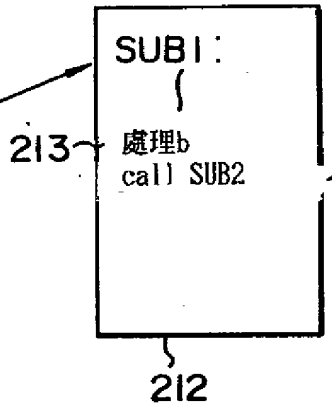
ld.w [SP + imm], %Rs



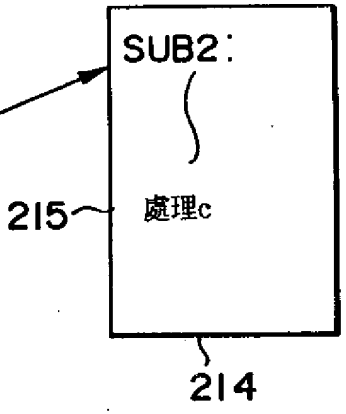
第 9A 圖



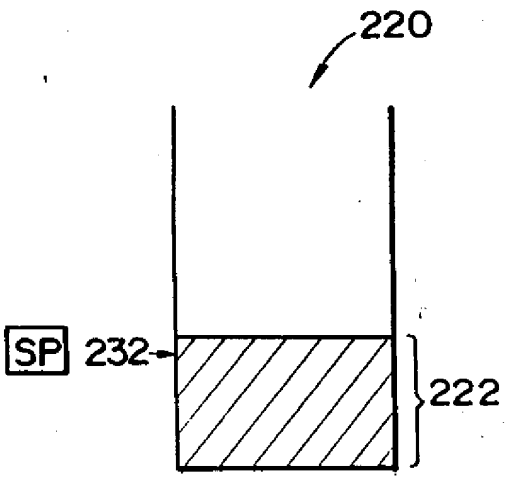
第 9B 圖



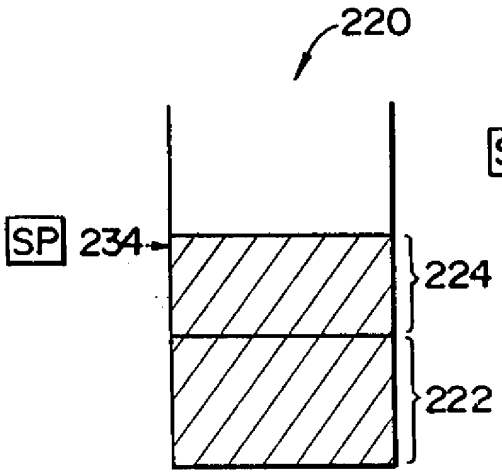
第 9C 圖



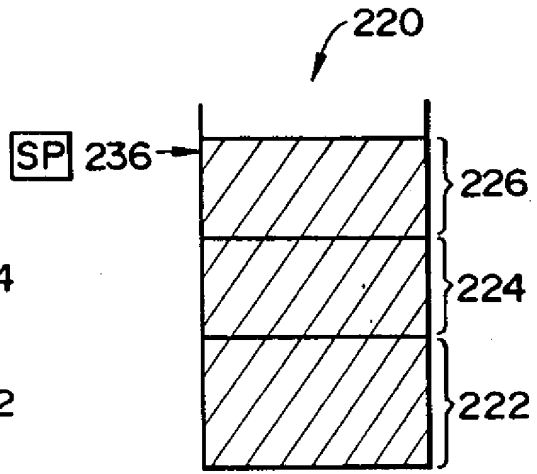
第 9D 圖



第 9E 圖

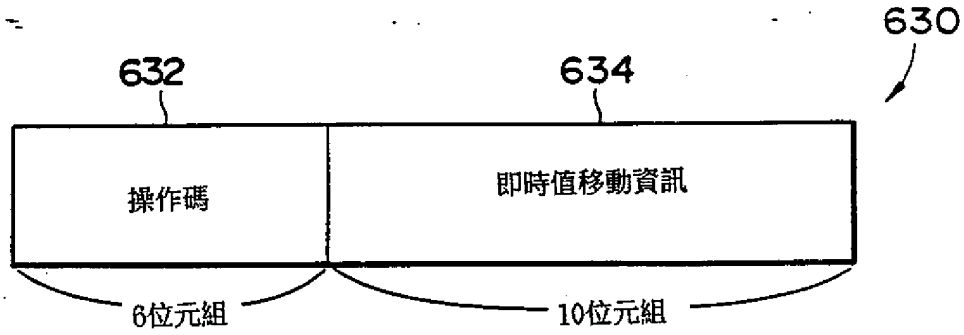


第 9F 圖



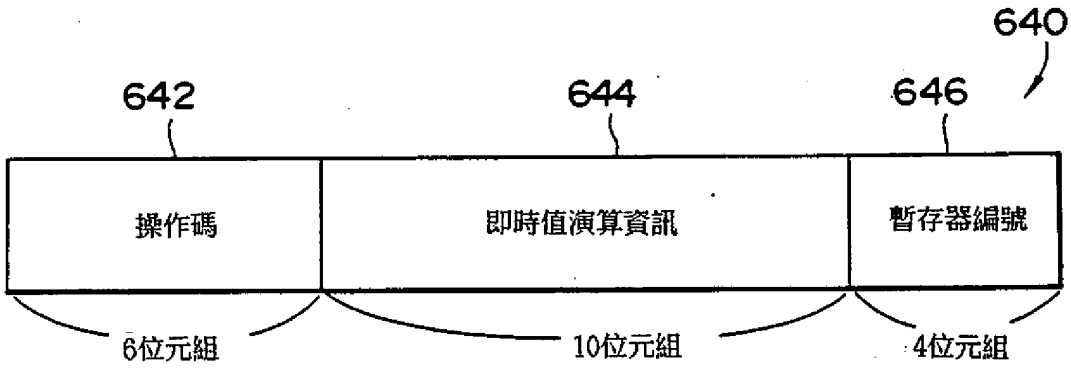
第10A圖

堆疊指標移動指令



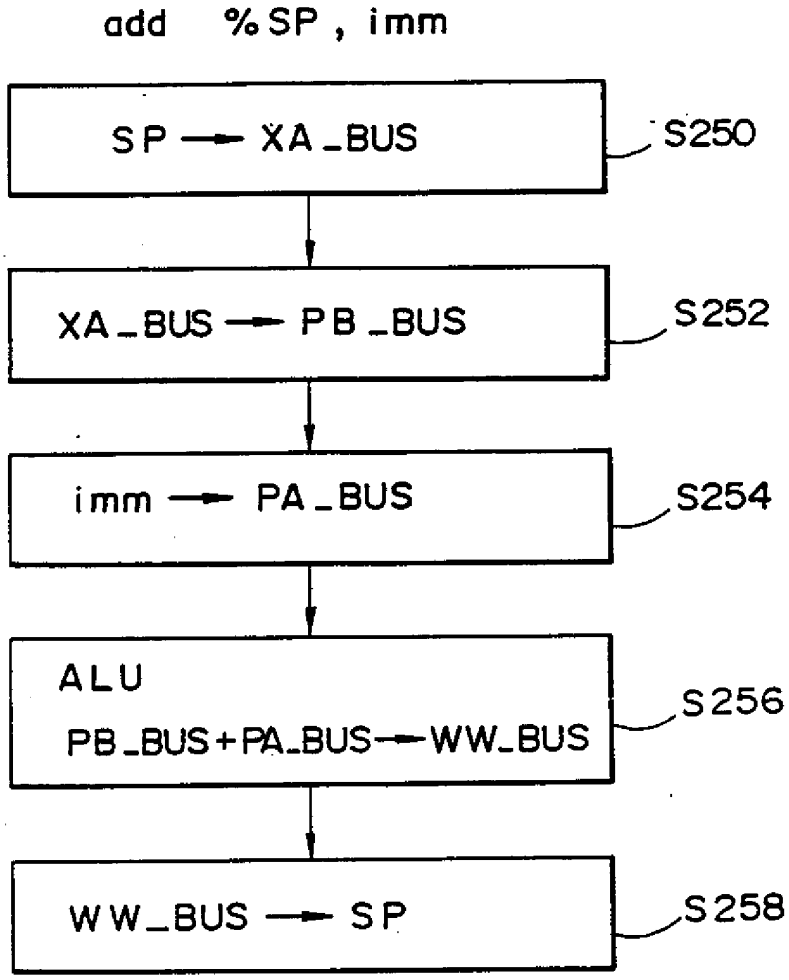
第10B圖

汎用演算命令



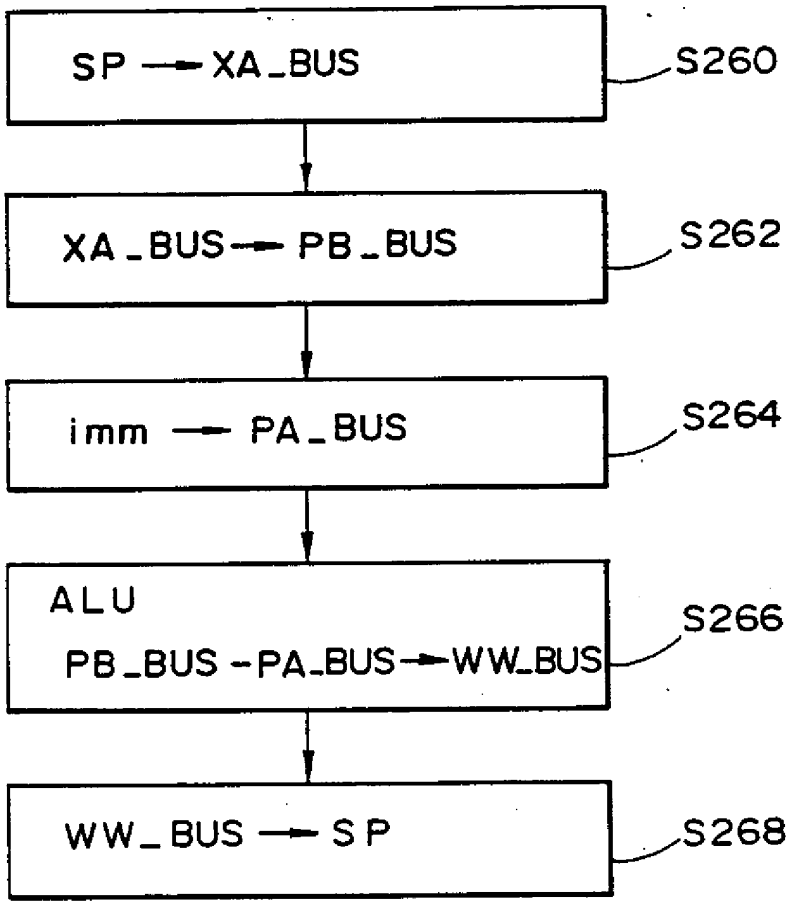
第 11 圖

對SP之加算

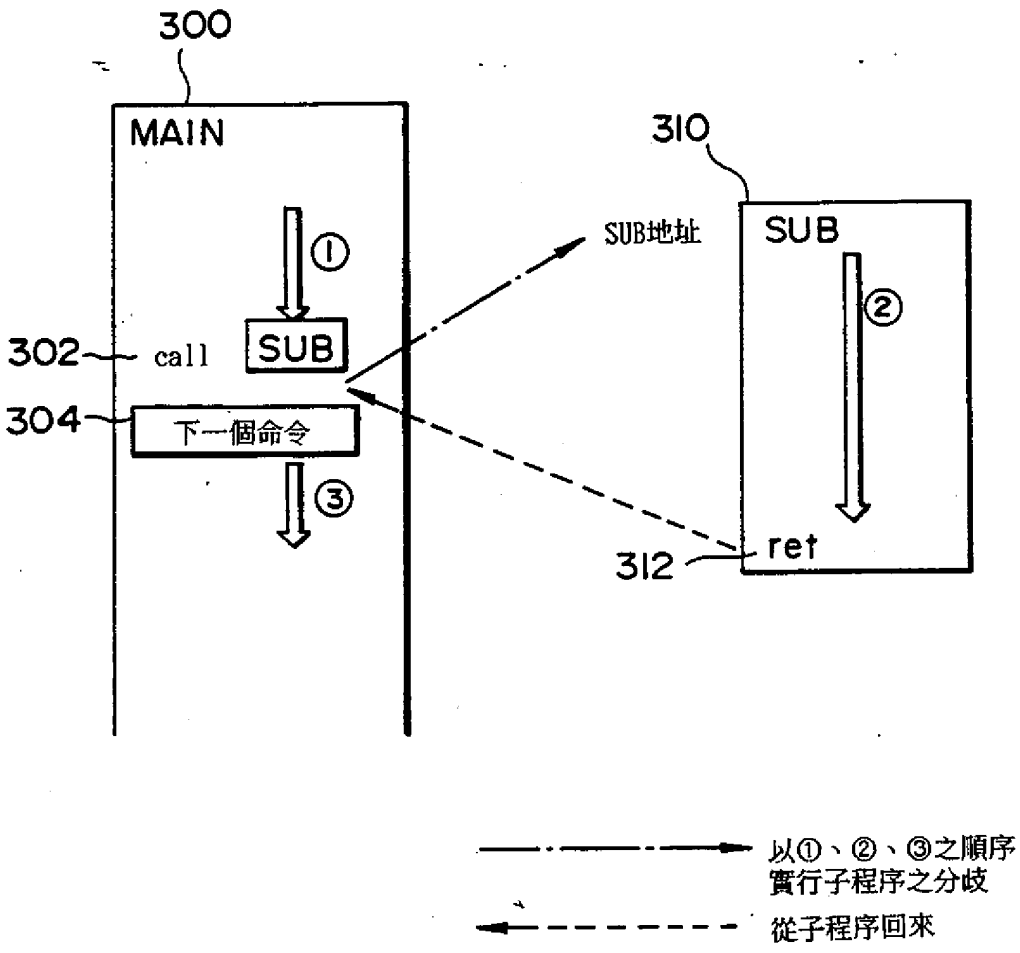

add %SP , imm
SP → XA_BUS
S250
XA_BUS → PB_BUS
S252
imm → PA_BUS
S254
ALU
PB_BUS+PA_BUS → WW_BUS
S256
WW_BUS → SP
S258

第 12 圖

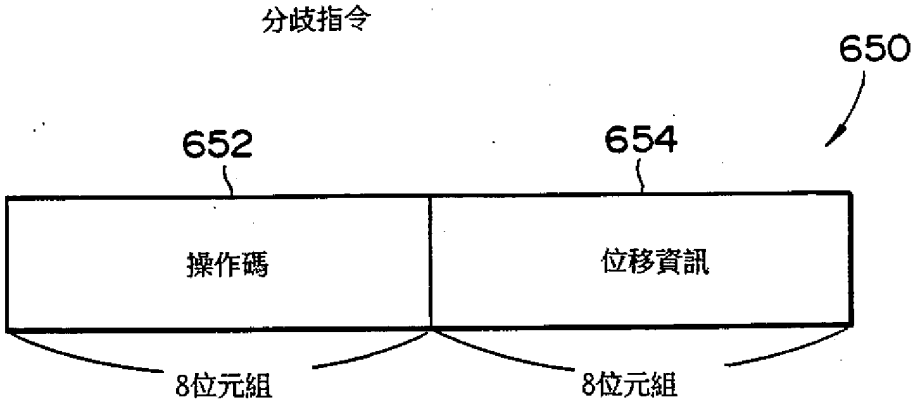
sub %sp imm



第 13 圖

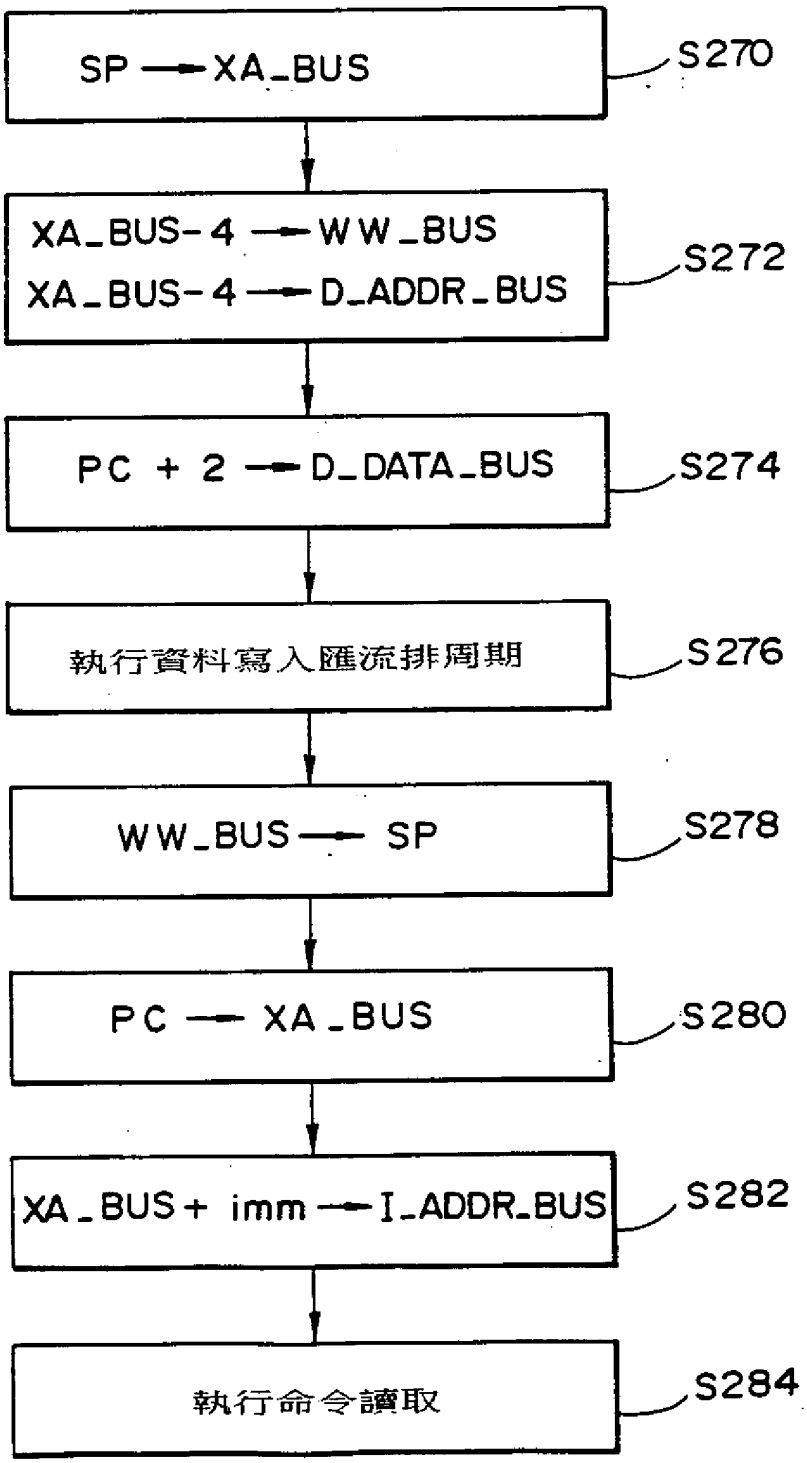

300
MAIN
310
SUB地址
SUB
①
②
302
call
SUB
304
下一個命令
③
312
ret
以①、②、③之順序
實行子程序之分歧
從子程序回來

第14圖

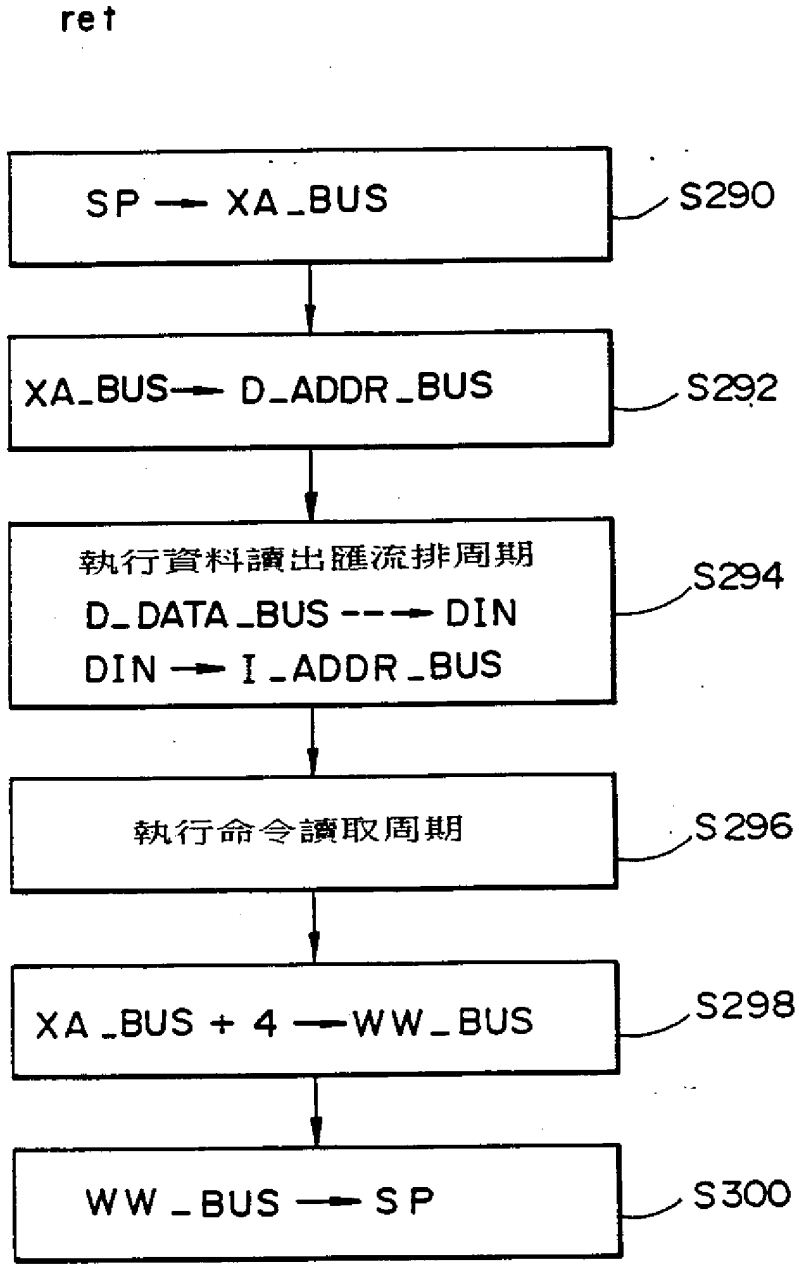


第 15 圖

call imm

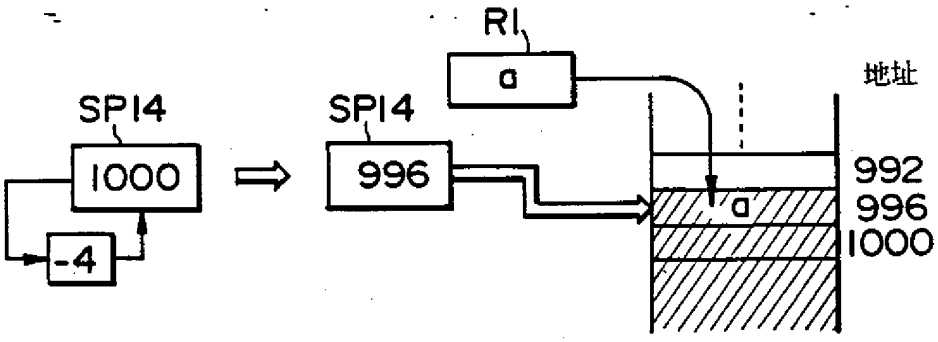


第 16 圖


ret
SP → XA_BUS
S290
XA_BUS → D_ADDR_BUS
S292
執行資料讀出匯流排周期
D_DATA_BUS --→ DIN
DIN → I_ADDR_BUS
S294
執行命令讀取周期
S296
XA_BUS + 4 → WW_BUS
S298
WW_BUS → SP
S300

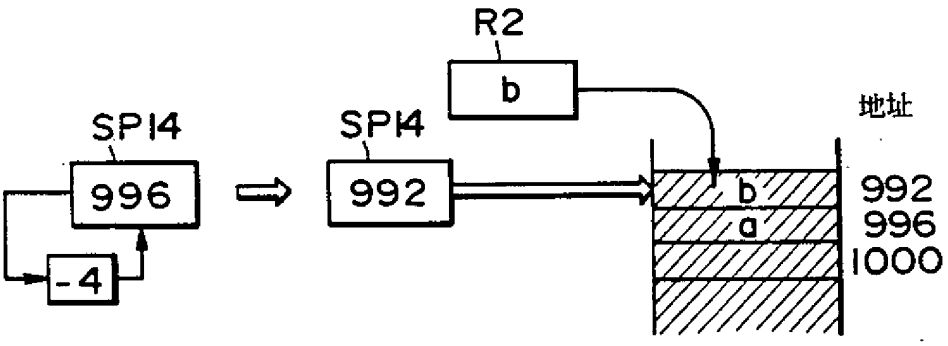
第17A圖

push R1 實行時之動作



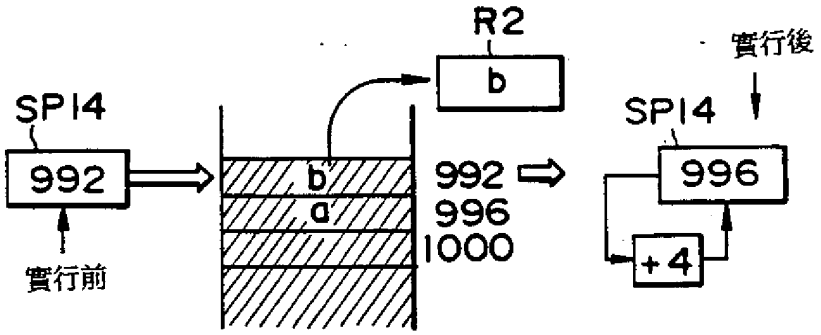
第17B圖

push R2 實行時之動作



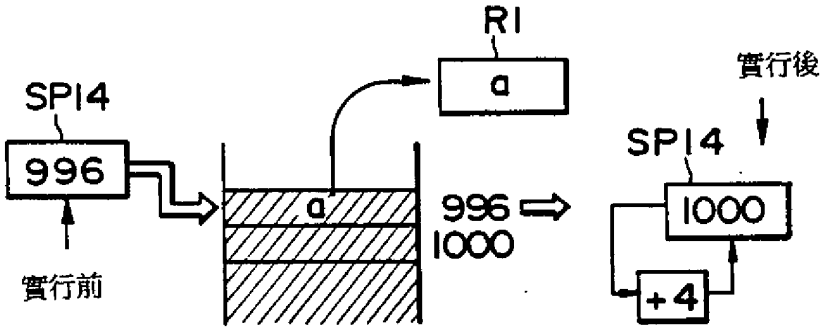
第18A圖

POP R2 實行時之動作



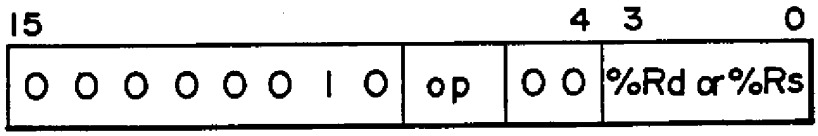
第18B圖

POP R1 實行時之動作

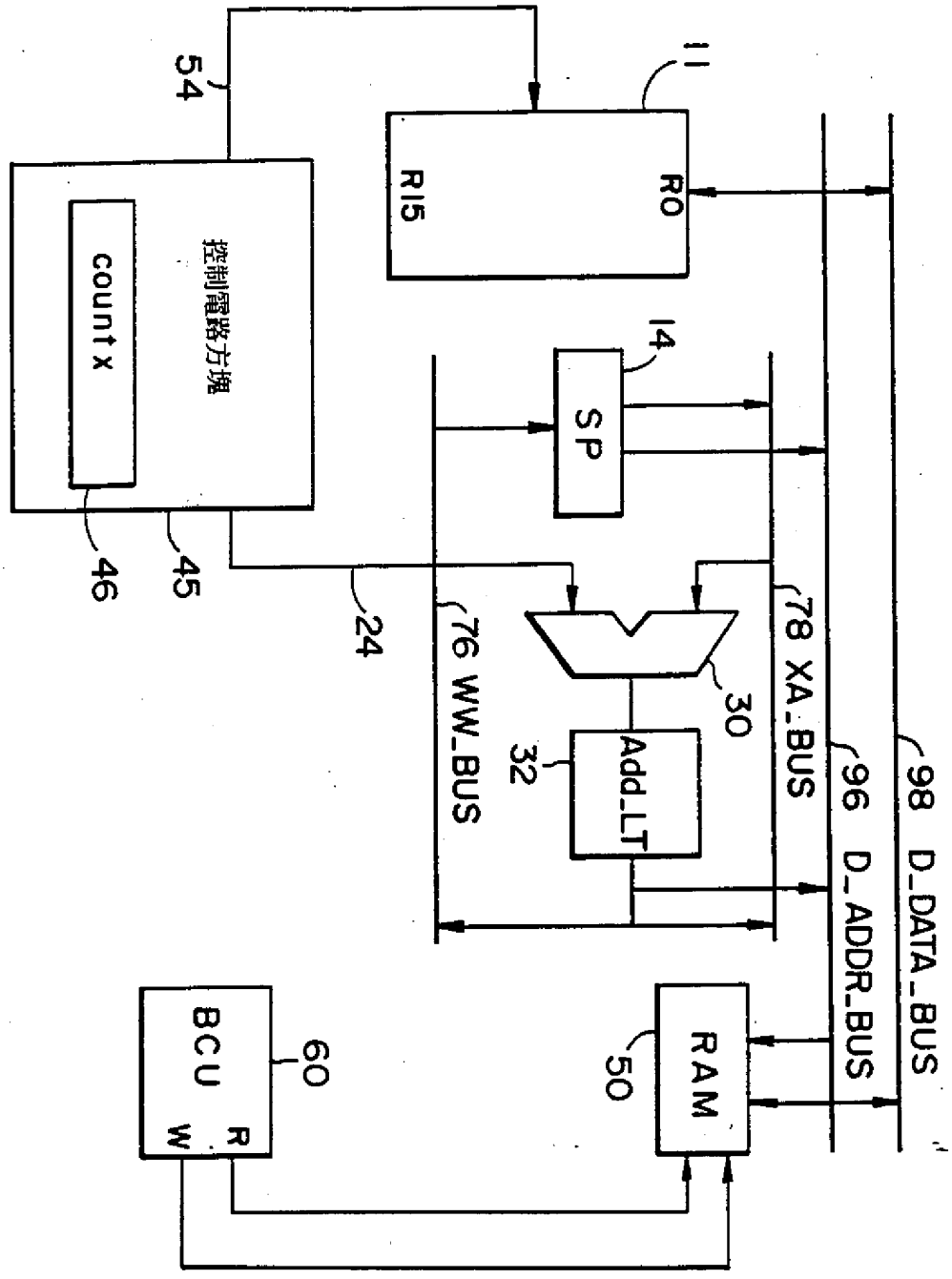


第19圖

pushn指令、popn指令之位元圖



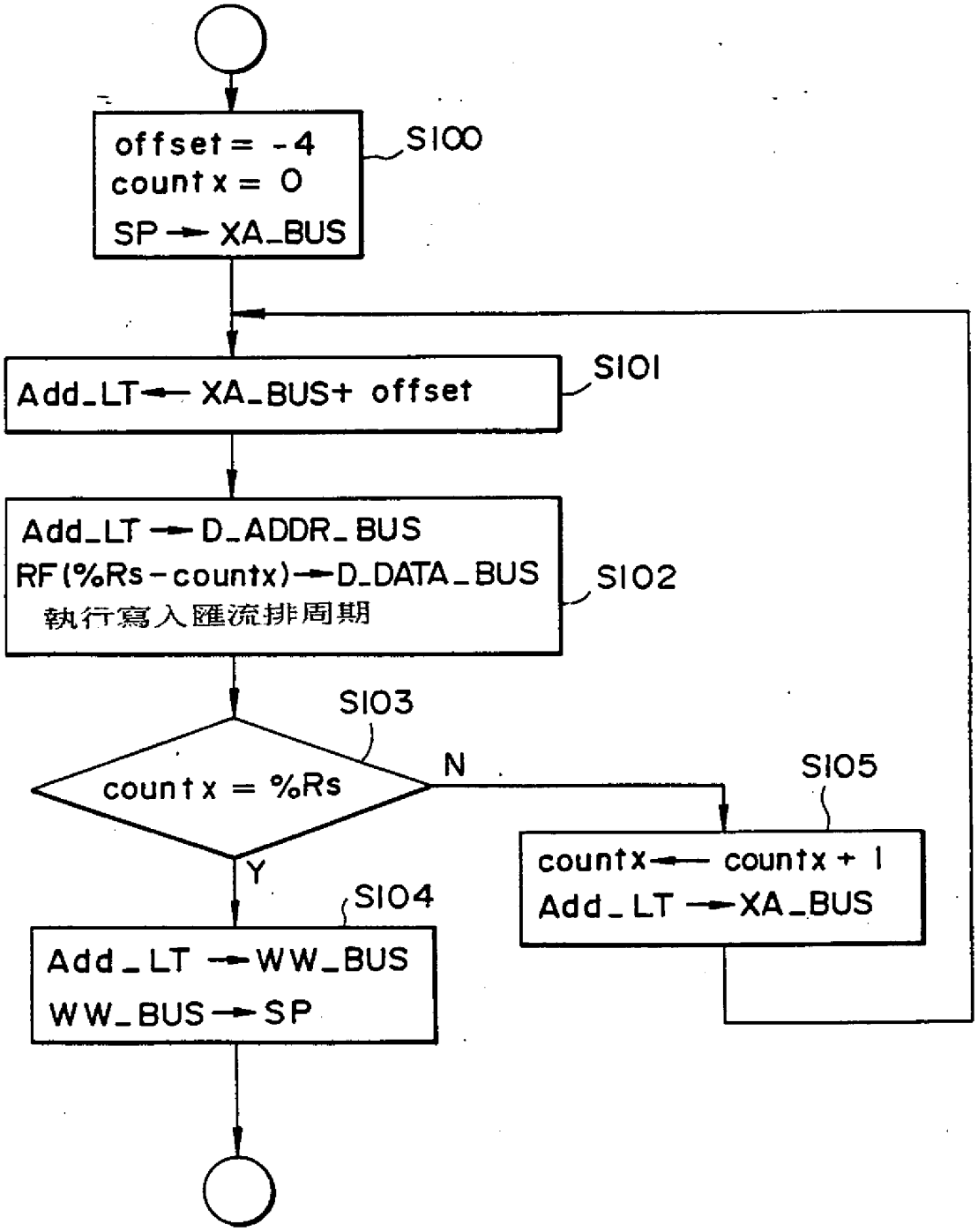
指令	op
pushn	0 0
popn	0 1


54
11
R15
R0
控制電路方塊
count x
14
SP
46
45
24
76 WW_BUS
78 XA_BUS
98 D_DATA_BUS
96 D_ADDR_BUS
30
32
Add_LT
60
BCU
R
W
50
RAM

第20圖

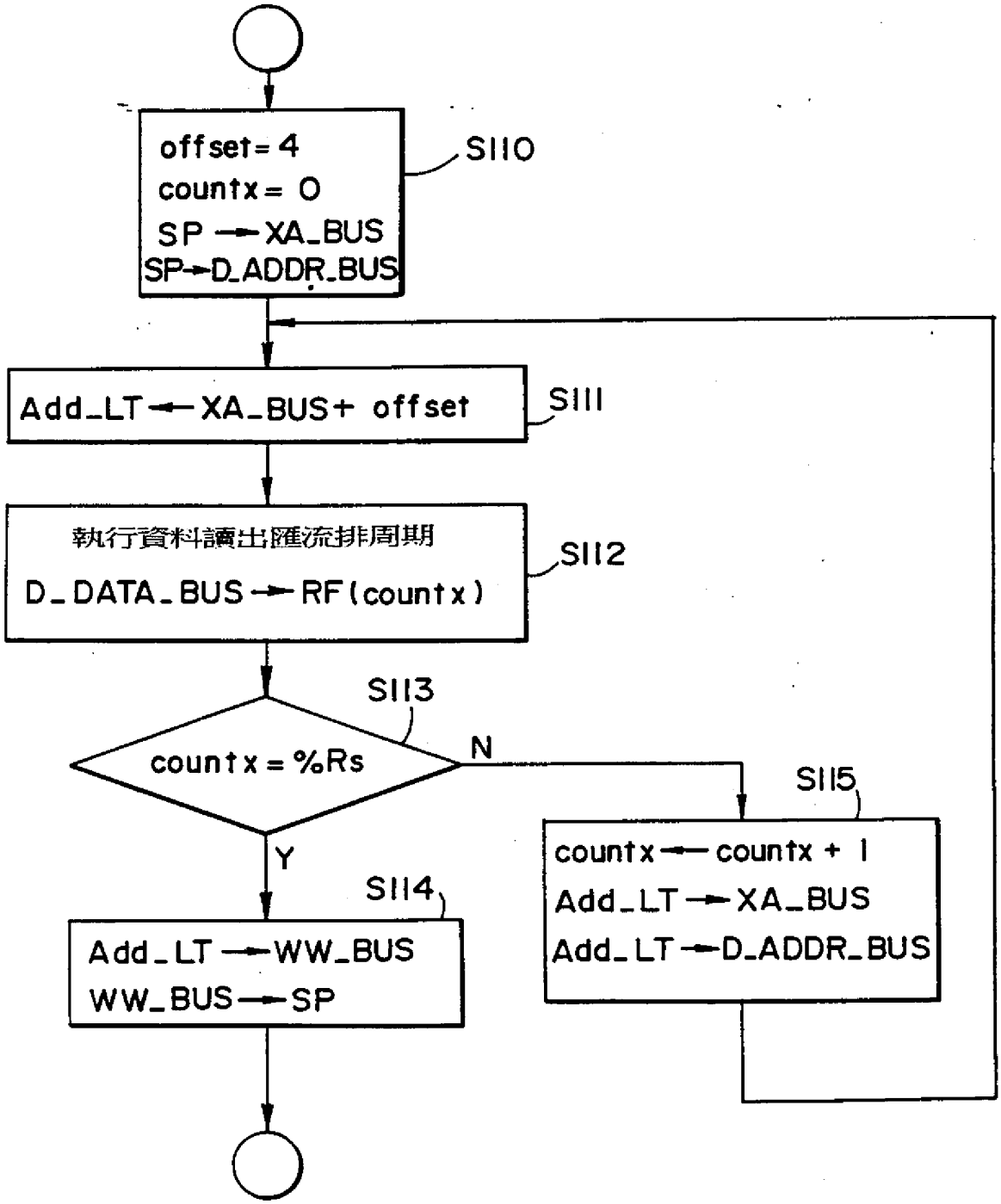
第 21 圖

pushn之動作之流程圖

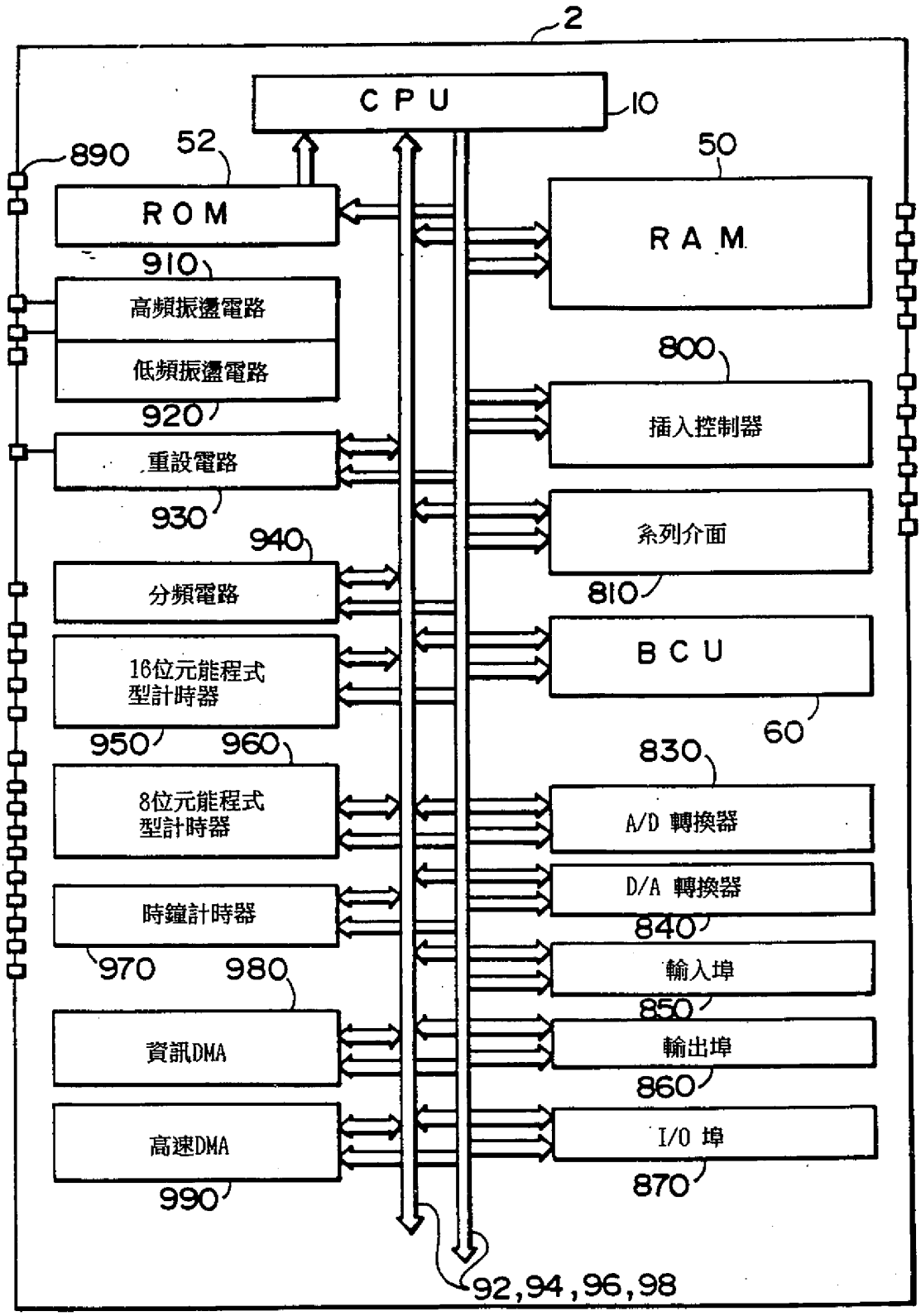


第22圖

popn之動作之流程圖



第23圖


2
CPU
10
890
52
ROM
50
RAM
910
高頻振盪電路
低頻振盪電路
800
插入控制器
920
重設電路
930
940
分頻電路
系列介面
810
16位元能程式型計時器
BCU
60
950
960
830
8位元能程式型計時器
A/D 轉換器
D/A 轉換器
時鐘計時器
840
970
980
輸入埠
850
資訊DMA
輸出埠
860
高速DMA
I/O 埠
990
870
92,94,96,98

87年8月14日 424197 [illegible]

A8
B8
C8
D8

六、申請專利範圍

附件-A

第86106909號專利申請案

中文申請專利範圍修正本

民國87年8月修正

1．一種資訊處理電路，係屬於一種RISC方式的資訊處理電路，其特徵爲含有：

用於堆疊指標專用之堆疊指標專用暫存器，及

具有將該堆疊指標專用暫存器作爲靜態的操作對象之目標碼；解讀記述根據該堆疊指標專用暫存器之處理的堆疊指標專用指令群之目標碼後，根據該目標碼輸出控制訊號之解讀手段，及

根據前述控制訊號與前述堆疊指標專用暫存器的內容，執行前述堆疊指標專用指令群之執行手段。

2．如申請專利範圍第1項之資訊處理電路，其中前述堆疊指標專用指令群，含有在目標碼具有傳送暫存器特定資訊之下載指令；

前述解讀手段，解讀前述下載指令；

前述執行手段，當執行前述下載指令時，根據以前述堆疊指標專用暫存器所被特定的記憶體位址及以前述傳送暫存器特定資訊所被特定的暫存器位址，進行從記憶體上所供的第一區域至所供的第一暫存器之資料傳送及從前述所供的第一暫存器至前述所供的第一區域之資料傳送的至少一方。

3．如申請專利範圍第2項之資訊處理電路，其中前

煩請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

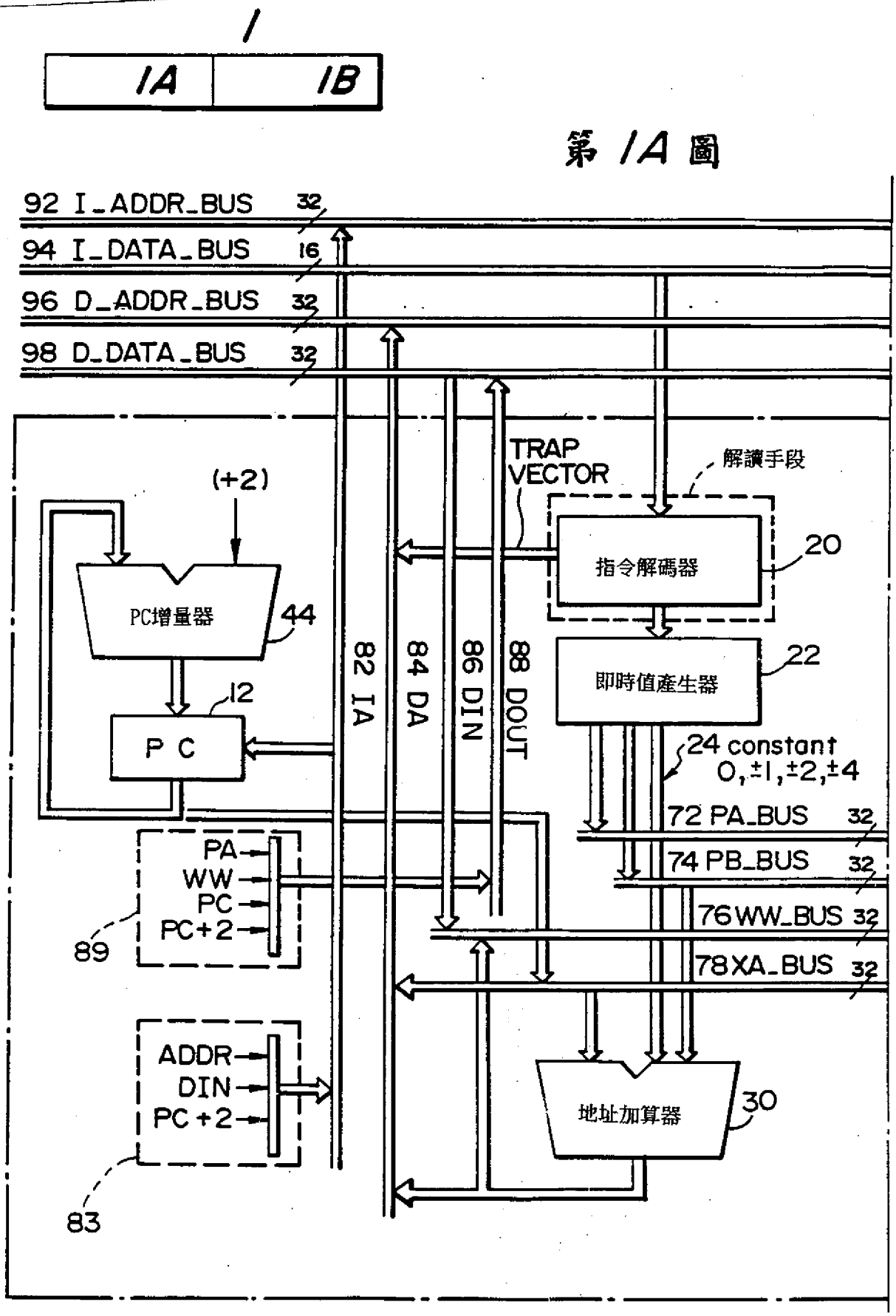
線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

424197 86106909

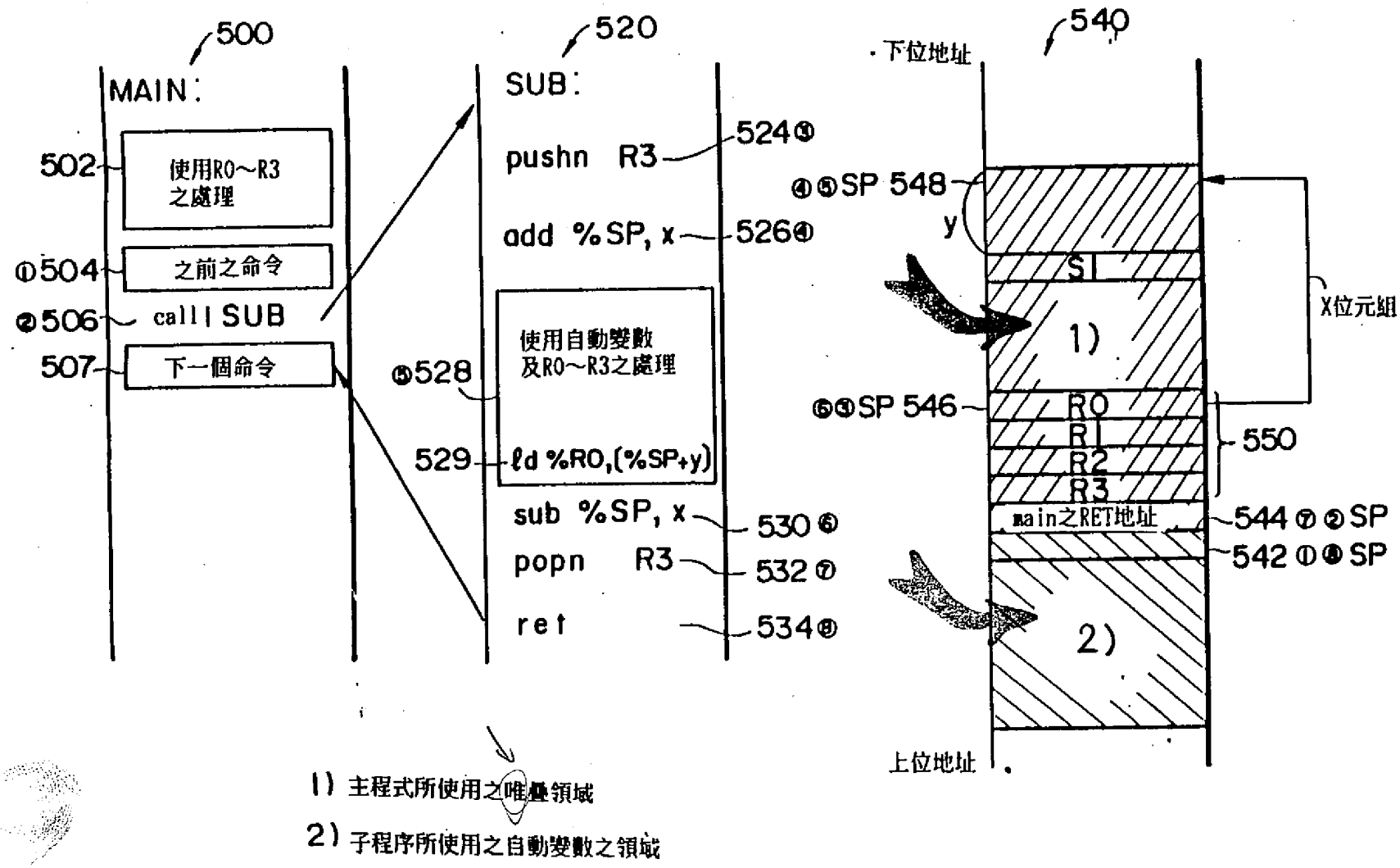
修正補充 本86年8月27日

728467



第 1A 圖

第4圖


500
MAIN:
502
使用R0～R3之處理
①504
之前之命令
②506
call SUB
507
下一個命令
520
SUB:
524③
pushn R3
526④
add %SP, x
⑤528
使用自動變數及R0～R3之處理
529
ld %R0,(%SP+y)
530⑥
sub %SP, x
532⑦
popn R3
534⑧
ret
540
下位地址
④⑤SP 548
y
S1
1)
X位元組
⑥①SP 546
R0
R1
R2
R3
550
main之RET地址
544⑦②SP
542①⑧SP
2)
上位地址
1) 主程式所使用之暫存器領域
2) 子程序所使用之自動變數之領域