

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/043300 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/12* (2006.01)
G01B 11/06 (2006.01) *H01L 29/78* (2006.01)
H01L 21/66 (2006.01)
- (21) 国際出願番号: PCT/JP2017/030407
- (22) 国際出願日: 2017年8月24日(24.08.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-169815 2016年8月31日(31.08.2016) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP). トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 天野 陽 (AMANO Akira); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 里村 隆幸 (SATOMURA Takayuki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 竹内 有一 (TAKEUCHI Yuichi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 鈴木 克己 (SUZUKI Katsumi); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 青井 佐智子 (AOI Sachiko); 〒4801192 愛知県長久手市横道4-1番地の1 株式会社豊田中央研究所内 Aichi (JP).
- (74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SAME

(54) 発明の名称: 炭化珪素半導体装置およびその製造方法

- (a)
-
- (b)
-
- (c)
-
- (d)
-
- (57) Abstract: According to the present invention, when the film thickness of a p-type base region (3) is measured, an infrared light is irradiated from a p-type base region (3) side to an n⁺-type substrate (1) on which the p-type base region (3) and n⁻-type drift layer (2) are grown. Reflection light from an interface between the p-type base region (3) and the n⁻-type drift layer (2) is not used, but inference light made by reflection light from the surface of the p-type base region (3) and reflection light from an interface between the n⁻-type drift layer (2) and the n⁺-type substrate (1) is measured. This makes it possible to measure a bi-layered film thickness T2, which is a summed thickness of the p-type base region (3) and the n⁻-type drift layer (2). Accordingly, the film thickness of the p-type base region (3) can be calculated by subtracting a mono-layered film thickness T1 of the n-type drift layer (2) from the bi-layered film thickness T2.
- (57) 要約: p型ベース領域(3)の膜厚を測定する際に、p型ベース領域(3)およびn⁻型ドリフト層(2)を成長させたn⁺型基板(1)に対してp型ベース領域(3)側から赤外光を照射する。そして、p型ベース領域(3)とn⁻型ドリフト層(2)との界面の反射光ではなく、n⁻型ドリフト層(2)とn⁺型基板(1)との界面の反射光およびp型ベース領域(3)の表面からの反射光の干渉光を測定する。このようにすれば、p型ベース領域(3)とn⁻型ドリフト層(2)との合計膜厚である二層膜厚T2を測定することが可能となる。したがって、二層膜厚T2からn⁻型ドリフト層(2)である一層膜厚T1を差し引いたT2-T1を演算することで、p型ベース領域(3)の膜厚を算出することができる。



CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：炭化珪素半導体装置およびその製造方法

関連出願への相互参照

[0001] 本出願は、2016年8月31日に出願された日本特許出願番号2016-169815号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、炭化珪素（以下、SiCという）半導体装置およびその製造方法に関するものである。

背景技術

[0003] 半導体装置の製造の際には、各部の膜厚が適正な値となるように、膜厚測定が行われている。その膜厚測定には、フーリエ変換赤外分光法（以下、略してFTIRという）が用いられている（例えば、特許文献1参照）。FTIRでは、例えば膜厚測定の対象となる薄膜に対して赤外光を照射すると共に、下地と薄膜との界面や薄膜の表面からの反射光の干渉光を測定し、干渉光をフーリエ変換することで各反射光のスペクトルを得て、薄膜の膜厚測定を行う。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2013/061417号パンフレット

発明の概要

[0005] しかしながら、FTIRではある程度決まった膜厚範囲でないと膜厚測定を行うことができないため、SiC半導体装置のように、イオン注入層やエピタキシャル層が複数存在する構成においては、各層の膜厚を的確に測定することが困難である。特に、エピタキシャル膜を下地となるSiCの上に形成する場合、下地となるSiCとエピタキシャル膜の不純物濃度の差が少ないことから、エピタキシャル膜の膜厚を測定することができなかった。また

、膜厚評価目的で付加的にエピタキシャル膜のないモニタ基板を用いる場合にも測定対象となる薄膜の目標膜厚が薄いと、センターバースト領域と重なって正確なスペクトルを得ることができず、さらに高精度な膜厚測定を行うことが困難になる。このため、所望の膜厚に制御されたS i C半導体装置を得ることができなかった。

[0006] 本開示は、的確に膜厚制御が行われたS i C半導体装置およびその製造方法を提供することを目的とする。

[0007] 本開示の1つの観点におけるS i C半導体装置の製造方法では、炭化珪素にて形成された下地層上に、5～14 μm の厚みの第1エピタキシャル膜が形成された構造を用意することと、第1エピタキシャル膜の表面側から赤外光を照射し、第1エピタキシャル膜と下地層との界面からの反射光と第1エピタキシャル膜の表面からの反射光とに基づいて、FTIRによって第1エピタキシャル膜の膜厚となる第1膜厚を測定することと、第1エピタキシャル膜の上に0.5～2.0 μm の厚みの第2エピタキシャル膜を形成することと、第2エピタキシャル膜の表面側から赤外光を照射し、第1エピタキシャル膜と下地層との界面からの反射光と第2エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって第1エピタキシャル膜と第2エピタキシャル膜の合計膜厚となる第2膜厚を測定することと、第2膜厚から第1膜厚を差し引くことで第2エピタキシャル膜の膜厚を算出することと、を含んでいる。

[0008] このように、5～14 μm の厚みの第1エピタキシャル膜の上に0.5～2.0 μm の厚みの第2エピタキシャル膜を形成する場合、高い精度で第1膜厚を測定しつつ、第2膜厚を測定できる。このため、第2膜厚から第1膜厚を差し引くことで第2エピタキシャル膜の膜厚を精度良く算出することが可能となる。したがって、的確に膜厚制御が行われたS i C半導体装置を製造することができる。

[0009] 本開示のもう1つの観点としてのS i C半導体装置の製造方法では、炭化珪素にて形成された下地層上に、5～14 μm の厚みの第1エピタキシャル

膜が形成された構造を用意することと、第1エピタキシャル膜の表面側から赤外光を照射し、第1エピタキシャル膜と下地層との界面からの反射光と第1エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって第1エピタキシャル膜の膜厚となる第1膜厚を測定することと、第1エピタキシャル膜の上に0.5～2.0 μm の厚みの第2エピタキシャル膜を成長させることと、第2エピタキシャル膜の表面側から赤外光を照射し、第1エピタキシャル膜と下地層との界面からの反射光と第2エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって第1エピタキシャル膜と第2エピタキシャル膜の合計膜厚となる第2膜厚を測定することと、第2膜厚から第1膜厚を差し引くことで第2エピタキシャル膜の膜厚を算出することと、算出された膜厚分、第2エピタキシャル膜をエッチバックして除去することと、を含んでいる。

[0010] このように、第2エピタキシャル膜をエッチバックする場合にも、第2エピタキシャル膜の膜厚を精度良く測定できることが必要である。この場合にも、5～14 μm の厚みの第1エピタキシャル膜の上に0.5～2.0 μm の厚みの第2エピタキシャル膜を形成する場合、高い精度で第1膜厚を測定しつつ、第2膜厚を測定できる。このため、第2膜厚から第1膜厚を差し引くことで第2エピタキシャル膜の膜厚を精度良く算出することが可能となる。したがって、的確に第2エピタキシャル膜の膜厚分をエッチバックでき、的確に膜厚制御が行われたSiC半導体装置を製造することができる。

図面の簡単な説明

[0011] [図1]第1実施形態にかかるMOSFETを備えたSiC半導体装置の断面図である。

[図2]図1に示すSiC半導体装置の製造工程を示した断面図である。

[図3]図2に続くSiC半導体装置の製造工程を示した断面図である。

[図4]n-型ドリフト層の膜厚測定の様子を示した断面図である。

[図5]p型ベース領域の膜厚測定の様子を示した断面図である。

[図6]平均膜厚と繰り返し精度 σ との関係を示した図である。

[図7]第3実施形態にかかるMOSFETを備えたSiC半導体装置の製造工程の一部を示した断面図である。

発明を実施するための形態

[0012] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0013] (第1実施形態)

第1実施形態について説明する。本実施形態にかかるSiC半導体装置は、図1に示すように、MOSFETが形成されたものである。MOSFETは、SiC半導体装置のうちのセル領域に形成されており、そのセル領域を囲むように外周耐圧構造が形成されることでSiC半導体装置が構成されているが、ここではMOSFETのみ図示してある。

[0014] SiC半導体装置には、SiCからなる n^+ 型基板1が半導体基板として用いられている。 n^+ 型基板1の主表面上にSiCからなる n^- 型ドリフト層2、 p 型ベース領域3および n^+ 型ソース領域4が順にエピタキシャル成長させられている。

[0015] n^+ 型基板1は、例えば n 型不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ とされ、表面が(0001)Si面とされている。 n^- 型ドリフト層2は、例えば n 型不純物濃度が $0.5 \sim 2.0 \times 10^{16} / \text{cm}^3$ とされ、厚さが $5 \sim 14 \mu\text{m}$ とされている。

[0016] また、 p 型ベース領域3は、チャネル領域が形成される部分で、 p 型不純物濃度が例えば $2.0 \times 10^{17} / \text{cm}^3$ 程度とされ、厚みが $0.5 \sim 2 \mu\text{m}$ で構成されている。 n^+ 型ソース領域4は、 n^- 型ドリフト層2よりも高不純物濃度とされ、表層部における n 型不純物濃度が例えば $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さ $0.5 \sim 2 \mu\text{m}$ 程度で構成されている。なお、 n^- 型ドリフト層2、 p 型ベース領域3および n^+ 型ソース領域4の膜厚については任意に設定してあるが、これらの合計膜厚が $5 \sim 16 \mu\text{m}$ の範囲内となるようにしている。

[0017] n^+ 型ソース領域4や p 型ベース領域3を貫通して n^- 型ドリフト層2に達するように p 型ディープ層5が形成されている。 p 型ディープ層5は、 p 型ベース領域3よりも p 型不純物濃度が高くされている。具体的には、 p 型ディープ層5は、 n^- 型ドリフト層2に複数本が等間隔に配置され、互いに交点なく離れて配置されることで、上面レイアウトがストライプ状とされている。例えば、各 p 型ディープ層5は、 p 型不純物濃度が例えば $1.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、幅 $0.7 \mu\text{m}$ 、深さが p 型ベース領域3と n^+ 型ソース領域4の合計膜厚よりも $0.4 \mu\text{m}$ 以上深くなるように構成されている。

[0018] また、 p 型ベース領域3および n^+ 型ソース領域4を貫通して n^- 型ドリフト層2に達するように、例えば幅が $0.8 \mu\text{m}$ 、深さが p 型ベース領域3と n^+ 型ソース領域4の合計膜厚よりも $0.2 \sim 0.4 \mu\text{m}$ 深くされたゲートトレンチ6が形成されている。このゲートトレンチ6の側面と接するように上述した p 型ベース領域3および n^+ 型ソース領域4が配置されている。ゲートトレンチ6は、図1の紙面左右方向を幅方向、紙面法線方向を長手方向、紙面上下方向を深さ方向とするライン状のレイアウトで形成されている。また、図1には1本しか示していないが、ゲートトレンチ6は、複数本が紙面左右方向に等間隔に配置され、それぞれ p 型ディープ層5の間に挟まれるように配置されていてストライプ状とされている。

[0019] さらに、 p 型ベース領域3のうちゲートトレンチ6の側面に位置している部分を、縦型MOSFETの作動時に n^+ 型ソース領域4と n^- 型ドリフト層2との間を繋ぐチャネル領域として、チャネル領域を含むゲートトレンチ6の内壁面にゲート絶縁膜7が形成されている。そして、ゲート絶縁膜7の表面にはドーパドPolysilにて構成されたゲート電極8が形成されており、これらゲート絶縁膜7およびゲート電極8によってゲートトレンチ6内が埋め尽くされている。

[0020] また、 n^+ 型ソース領域4および p 型ディープ層5の表面やゲート電極8の表面には、層間絶縁膜10を介して第1電極に相当するソース電極9などが

形成されている。ソース電極 9 などは、複数の金属、例えば Ni / Al 等にて構成されている。そして、複数の金属のうち少なくとも n 型 SiC、具体的には n⁺型ソース領域 4 や n 型ドープの場合のゲート電極 8 と接触する部分は n 型 SiC とオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくとも p 型 SiC、具体的には p 型ディープ層 5 と接触する部分は p 型 SiC とオーミック接触可能な金属で構成されている。なお、ソース電極 9 などは、層間絶縁膜 10 上に形成されることで電氣的に絶縁されている。そして、層間絶縁膜 10 に形成されたコンタクトホールを通じて、ソース電極 9 は n⁺型ソース領域 4 および p 型ディープ層 5 と電氣的に接触させられている。

[0021] さらに、n⁺型基板 1 の裏面側には n⁺型基板 1 と電氣的に接続された第 2 電極に相当するドレイン電極 11 が形成されている。このような構造により、n チャネルタイプの反転型のトレンチゲート構造の MOSFET が構成されている。このような MOSFET が複数セル配置されることでセル領域が構成されている。そして、このような MOSFET が形成されたセル領域を囲むように図示しないガードリングなどによる外周耐压構造が構成されることで SiC 半導体装置が構成されている。

[0022] このように構成された SiC 半導体装置では、n⁺型基板 1 の上に形成される n⁻型ドリフト層 2 については 5 ~ 14 μm と比較的厚いことから、周知の FTIR による膜厚測定を行うことが可能となる。すなわち、n⁻型ドリフト層 2 を成長させた n⁺型基板 1 に対して n⁻型ドリフト層 2 側から赤外光を照射し、n⁻型ドリフト層 2 と n⁺型基板 1 との界面および n⁻型ドリフト層 2 の表面からの反射光の干渉光を測定する。そして、その干渉光をフーリエ変換することで各反射光のスペクトルを得て、n⁻型ドリフト層 2 の膜厚測定を行うことができる。

[0023] ところが、n⁻型ドリフト層 2 の上に形成される p 型ベース領域 3 および n⁺型ソース領域 4 については、0.5 ~ 2.0 μm と非常に膜厚が薄い。このため、p 型ベース領域 3 については、下地となる n⁻型ドリフト層 2 と p 型ベ

ース領域3との界面やp型ベース領域3の表面からの反射によって膜厚を測定することができない。同様に、n⁺型ソース領域4については、下地となるp型ベース領域3とn⁺型ソース領域4との界面やn⁺型ソース領域4の表面からの反射によって膜厚を測定することができない。

[0024] しかしながら、後述する手法によってp型ベース領域3とn⁺型ソース領域4の膜厚を測定することで、これらを小さな膜厚バラツキで形成できている。このため、n⁺型ソース領域4の表面から形成されるゲートトレンチ6のp型ベース領域3の底面からの突き出し量を正確に設定でき、例えば0.2～0.4 μm の範囲内に収めることが可能となる。ゲートトレンチ6の突き出し量は、大きすぎるとn⁺型基板1からの距離が短くなって逆バイアスに対する耐圧低下に繋がることから、上記範囲内に収められることで、逆バイアスに対する信頼性を確保できる。よって、p型ベース領域3の厚みを的確に設定することで低オン抵抗が図れ、かつ、ゲートトレンチ6の突き出し量を的確に設定することで高逆バイアス信頼性を確保することも可能となる。

[0025] 次に、本実施形態にかかるnチャネルタイプの反転型のトレンチゲート構造のMOSFETを備えたSiC半導体装置の製造方法について、図2および図3に示す製造工程中の断面図を参照して説明する。

[0026] [図2(a)に示す工程]

まず、半導体基板として、n⁺型基板1を用意する。そして、このn⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2、p型ベース領域3およびn⁺型ソース領域4を順にエピタキシャル成長させる。このとき、n⁻型ドリフト層2、p型ベース領域3およびn⁺型ソース領域4を成膜する際に、それぞれの膜厚を計測する工程を行っている。

[0027] まず、n⁻型ドリフト層2を5～14 μm の膜厚で成膜したのちn⁻型ドリフト層2の膜厚（以下、一層膜厚T1という）の測定工程を行う。具体的には、図4に示すように、n⁻型ドリフト層2を成長させたn⁺型基板1に対してn⁻型ドリフト層2側から赤外光を照射し、n⁻型ドリフト層2とn⁺型基板1との界面およびn⁻型ドリフト層2の表面からの反射光の干渉光を測定する

。そして、その干渉光をフーリエ変換することで各反射光のスペクトルを得て、一層膜厚 T_1 の測定を行うことができる。このとき、 n^- 型ドリフト層2を $5 \sim 14 \mu m$ の膜厚で形成していることから、FTIRによって一層膜厚 T_1 を的確に測定することができ、所望の膜厚になっていることを的確に確認することができる。

[0028] 続いて、 n^- 型ドリフト層2の上に p 型ベース領域3を $0.5 \sim 2 \mu m$ 成膜したのち p 型ベース領域3の膜厚測定工程を行う。具体的には、図5に示すように、 p 型ベース領域3および n^- 型ドリフト層2を成長させた n^+ 型基板1に対して p 型ベース領域3側から赤外光を照射する。そして、 p 型ベース領域3と n^- 型ドリフト層2との界面の反射光ではなく、 n^- 型ドリフト層2と n^+ 型基板1との界面の反射光および p 型ベース領域3の表面からの反射光の干渉光を測定する。このようにすれば、 p 型ベース領域3と n^- 型ドリフト層2との合計膜厚（以下、二層膜厚 T_2 という）を測定することが可能となる。したがって、二層膜厚 T_2 から先ほど測定した一層膜厚 T_1 を差し引いた $T_2 - T_1$ を演算することで、 p 型ベース領域3の膜厚を算出することができる。

[0029] ここで、FTIRの膜厚測定については、繰り返し精度が求められる。繰り返し精度とは、下地上に薄膜を成膜ときに、繰り返し薄膜の膜厚測定を行ったときの測定結果のバラツキが少なくなることを意味している。繰り返し精度が高く、測定結果のバラツキが小さければ、薄膜を成膜したときの膜厚測定精度が高い。

[0030] この繰り返し精度の膜厚依存性について調べたところ、図6に示す結果が得られた。具体的には、面内における平均膜厚がおよそ $2 \mu m$ 、 $6 \mu m$ 、 $10 \mu m$ 、 $16 \mu m$ 、 $22 \mu m$ となるエピタキシャル膜を成膜した基板を用意し、FTIRにて繰り返しエピタキシャル膜の膜厚測定を行った。その結果、平均膜厚が $2 \mu m$ や $20 \mu m$ の場合には、繰り返し精度が $0.02 \mu m$ 程度となったが、 $5 \sim 16 \mu m$ の間においては繰り返し精度が 0.01 以下となった。特に、平均膜厚が $5 \sim 10 \mu m$ の間においては、繰り返し精度が 0

、 $0.05\ \mu\text{m}$ 以下という高い精度となった。

[0031] この結果より、測定対象となるエピタキシャル膜の膜厚が少なくとも $5\sim 16\ \mu\text{m}$ の範囲内であれば、高い繰り返し精度を得ることが可能と言え、エピタキシャル膜を成膜したときの膜厚測定精度を $0.01\ \mu\text{m}$ に抑えることが可能になることが判る。そして、 n^- 型ドリフト層2を $5\sim 14\ \mu\text{m}$ の膜厚に設定することで、一層膜厚 $T1$ の測定精度を最大でも $0.01\ \mu\text{m}$ に抑えることができる。

[0032] さらに、 n^- 型ドリフト層2の上に p 型ベース領域3を成膜したとき、 p 型ベース領域3が $0.5\sim 2\ \mu\text{m}$ の膜厚であることから、二層膜厚 $T2$ が $14.5\sim 16\ \mu\text{m}$ となる。このため、二層膜厚 $T2$ の膜厚測定精度についても最大でも $0.01\ \mu\text{m}$ に抑えることができる。したがって、二層膜厚 $T2$ の膜厚測定精度が最大 $0.01\ \mu\text{m}$ 、一層膜厚 $T1$ の膜厚測定精度が最大 $0.01\ \mu\text{m}$ であることから、二層膜厚 $T2$ から一層膜厚 $T1$ を差し引いて得られる p 型ベース領域3の膜厚測定精度は最大でも $0.02\ \mu\text{m}$ となる。

[0033] よって、このような手法によって p 型ベース領域3の膜厚の測定工程を行うことで、 p 型ベース領域3の膜厚を $0.02\ \mu\text{m}$ 以下の膜厚測定精度で評価することが可能となり、 p 型ベース領域3を所望の膜厚とすることが可能となる。

[0034] さらに、 n^- 型ドリフト層2の膜厚を $5\sim 10\ \mu\text{m}$ の範囲内とし、かつ、 n^- 型ドリフト層2と p 型ベース領域3の合計膜厚も $5\sim 10\ \mu\text{m}$ の範囲内となるようにすれば、一層膜厚 $T1$ と二層膜厚 $T2$ の膜厚測定精度がそれぞれ最大でも $0.005\ \mu\text{m}$ となる。したがって、この場合には、 p 型ベース領域3の膜厚を $0.01\ \mu\text{m}$ 以下の膜厚測定精度で評価することが可能となり、より高い精度で p 型ベース領域3を所望の膜厚とすることが可能となる。

[0035] この後、 p 型ベース領域3の上に n^+ 型ソース領域4を $0.5\sim 2.0\ \mu\text{m}$ 成膜する。そして、 n^+ 型ソース領域4の膜厚測定工程を行う。この場合にも、 n^+ 型ソース領域4側から赤外光を照射し、 n^+ 型ソース領域4と p 型ベース領域3との界面の反射光ではなく、 n^- 型ドリフト層2と n^+ 型基板1との

界面の反射光および n^+ 型ソース領域4の表面からの反射光の干渉光を測定する。このようにすれば、 n^+ 型ソース領域4と p 型ベース領域3および n^- 型ドリフト層2との合計膜厚（以下、三層膜厚 T_3 という）を測定することが可能となる。したがって、三層膜厚 T_3 から先ほど測定した二層膜厚 T_2 を差し引いた $T_3 - T_2$ を演算することで、 n^+ 型ソース領域4の膜厚を算出することができる。

[0036] このとき、三層膜厚 T_3 が $5 \sim 16 \mu m$ の範囲内となるように、 n^- 型ドリフト層2や p 型ベース領域3および n^+ 型ソース領域4それぞれの膜厚を設定すれば、 n^+ 型ソース領域4の膜厚を $0.02 \mu m$ 以下の膜厚測定精度で評価することが可能となる。したがって、 n^+ 型ソース領域4を所望の膜厚とすることが可能となる。

[0037] さらに、二層膜厚 T_2 を $5 \sim 10 \mu m$ の範囲内とし、かつ、三層膜厚 T_3 も $5 \sim 10 \mu m$ の範囲内となるようにすれば、二層膜厚 T_2 と三層膜厚 T_3 のバラツキがそれぞれ最大でも $0.005 \mu m$ となる。したがって、この場合には、 n^+ 型ソース領域4の膜厚を $0.01 \mu m$ 以下の膜厚測定精度で評価することが可能となり、より高い精度で n^+ 型ソース領域4を所望の膜厚とすることが可能となる。

[0038] このようにして、 n^- 型ドリフト層2、 p 型ベース領域3および n^+ 型ソース領域4を成膜することで、これらを高精度制御された膜厚で形成することが可能となる。

[0039] [図2 (b) に示す工程]

次に、 n^+ 型ソース領域4の表面に図示しないマスクを配置し、マスクのうちの p 型ディープ層5の形成予定領域を開口させる。そして、マスクを用いてRIE (Reactive Ion Etching) などの異方性エッチングを行うことにより、所定幅のトレンチ5aを形成する。

[0040] [図2 (c) に示す工程]

マスクを除去した後、 p 型層50を成膜する。このとき、埋込エピにより、トレンチ5a内に p 型層50が埋め込まれることになるが、トレンチ5a

を幅が狭いライン状で形成していることから、トレンチ 5 a 内に p 型層 5 0 を確実に埋め込むことが可能になる。

[0041] [図 2 (d) に示す工程]

ドライエッチングによって p 型層 5 0 のうち n⁺型ソース領域 4 の表面より上に形成された部分を取り除かれるようにエッチバックする。これにより、p 型ディープ層 5 が形成される。

[0042] [図 3 (a) に示す工程]

n⁺型ソース領域 4 などの上に図示しないマスクを形成したのち、マスクのうちのゲートトレンチ 6 の形成予定領域を開口させる。そして、マスクを用いて R I E などの異方性エッチングを行うことで、ゲートトレンチ 6 を形成する。

[0043] このとき、上記したように p 型ベース領域 3 や n⁺型ソース領域 4 を高精度制御された膜厚で形成できていることから、ゲートトレンチ 6 を形成したときに、p 型ベース領域 3 の低部からの突き出し量を正確に設定することが可能となる。例えば、上記したように p 型ベース領域 3 を 0.5 ~ 2 μm とし、n⁺型ソース領域 4 を 0.5 ~ 2 μm としている。このため、ゲートトレンチ 6 の深さを p 型ベース領域 3 と n⁺型ソース領域 4 の合計膜厚よりも 0.2 ~ 0.4 μm 深くするという設定としてエッチングを行えば、ゲートトレンチ 6 の p 型ベース領域 3 の底部の突き出し量を 0.2 ~ 0.4 μm に的確に調整できる。

[0044] [図 3 (b) に示す工程]

マスクを除去した後、例えば熱酸化を行うことによって、ゲート絶縁膜 7 を形成し、ゲート絶縁膜 7 によってゲートトレンチ 6 の内壁面上および n⁺型ソース領域 4 の表面上を覆う。そして、p 型不純物もしくは n 型不純物がドーパされた P o l y - S i をデポジションした後、これをエッチバックし、少なくともゲートトレンチ 6 内に P o l y - S i を残すことでゲート電極 8 を形成する。

[0045] [図 3 (c) に示す工程]

ゲート電極 8 およびゲート絶縁膜 7 の表面を覆うように、例えば酸化膜などによって構成される層間絶縁膜 10 を形成する。そして、層間絶縁膜 10 の表面上に図示しないマスクを形成したのち、マスクのうち各ゲート電極 8 の間に位置する部分、つまり p 型ディープ層 5 と対応する部分およびその近傍を開口させる。この後、マスクを用いて層間絶縁膜 10 をパターニングすることで p 型ディープ層 5 および n⁺型ソース領域 4 を露出させるコンタクトホールを形成する。

[0046] 〔図 3（d）に示す工程〕

層間絶縁膜 10 の表面上に例えば複数の金属の積層構造により構成される電極材料を形成する。そして、電極材料をパターニングすることで、ソース電極 9 を形成する。

[0047] この後の工程については図示しないが、n⁺型基板 1 の裏面側にドレイン電極 11 を形成するなどの工程を行うことで、本実施形態にかかる SiC 半導体装置が完成する。

[0048] 以上説明したように、本実施形態のようにして p 型ベース領域 3 や n⁺型ソース領域 4 を形成することで、これらを高精度制御された膜厚で形成することができる。これにより、的確に膜厚制御が行われた SiC 半導体装置とすることが可能となる。

[0049] そして、p 型ベース領域 3 の厚みを的確に設定できることにより、p 型ベース領域 3 を必要以上に厚く形成することが無くなり、低オン抵抗を図ることができる。さらに、p 型ベース領域 3 や n⁺型ソース領域 4 の膜厚を的確に設定できることで、ゲートトレンチ 6 の突き出し量を的確に設定することが可能となって、高逆バイアス信頼性を確保することが可能となる。

[0050] （第 2 実施形態）

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対して膜厚測定の対象を変更したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

[0051] 上記第 1 実施形態では、p 型ベース領域 3 や n⁺型ソース領域 4 の膜厚測定

について説明したが、ここではエッチバック時のp型ディープ層5の膜厚測定、換言すればエッチバック量の測定について、第1実施形態と同様のFTIRを用いる。

[0052] すなわち、第1実施形態で説明した図2(c)に示す工程において、トレンチ5aを形成した後、p型層50を成膜することでトレンチ5a内にp型層50を埋め込むようにしているが、このときにn⁺型ソース領域4上にもp型層50が形成されることになる。このときのn⁺型ソース領域4上におけるp型層50の膜厚測定にFTIRを用いる。このp型層50の膜厚を的確に測定することで、p型層50のエッチバック量を正確に規定することができる。

[0053] 具体的には、図2(a)に示す工程において、n⁺型基板1の主表面上にn⁻型ドリフト層2、p型ベース領域3およびn⁺型ソース領域4を順にエピタキシャル成長させたときに、三層膜厚T3を測定する。このとき、予めn⁺型基板1の主表面上にn⁻型ドリフト層2、p型ベース領域3およびn⁺型ソース領域4を順にエピタキシャル成長させたトリプルエピ基板を用意しても良い。そして、図2(b)および図2(c)に示す工程を行う。これにより、トレンチ5a内を埋め込むようにp型層50が形成され、かつ、n⁺型ソース領域4の上にもp型層50が形成される。ここで、p型層50の膜厚測定工程を行う。

[0054] まず、図2(c)中に記載したように、n⁻型ドリフト層2、p型ベース領域3、n⁺型ソース領域4およびp型層50の合計膜厚（以下、四層膜厚T4という）を測定する。そして、四層膜厚T4から三層膜厚T3を差し引いたT4-T3を演算することで、p型層50の膜厚を算出することができる。

[0055] また、このとき、三層膜厚T3が5～16 μmの範囲内となるようにしつつ、四層膜厚T4も5～16 μmの範囲となるように、n⁻型ドリフト層2、p型ベース領域3、n⁺型ソース領域4およびp型層50それぞれの膜厚を設定する。これにより、p型層50の膜厚を0.02 μm以下の膜厚測定精度で評価することが可能となる。さらに、三層膜厚T3を5～10 μmの範囲

内とし、かつ、四層膜厚 T_4 も $5 \sim 10 \mu\text{m}$ の範囲内となるようにすれば、三層膜厚 T_3 と四層膜厚 T_4 のバラツキがそれぞれ最大でも $0.005 \mu\text{m}$ となる。したがって、この場合には、 p 型層50の膜厚を $0.01 \mu\text{m}$ 以下の膜厚測定精度で評価することが可能となる。

[0056] このため、 p 型層50をエッチバックする際にはエッチング時間などのエッチング条件に基づいて高い精度で n^+ 型ソース領域4の表面から p 型層50のみをその膜厚分だけ除去することが可能となる。

[0057] さらに、エッチバック時に、エッチング表面に対して赤外光を照射し、FTIRにより n^- 型ドリフト層2と n^+ 型基板1との界面からエッチング表面までの膜厚（以下、エッチング表面膜厚 T_5 という）を測定することもできる。その場合、エッチング表面膜厚 T_5 から三層膜厚 T_3 を差し引いた $T_5 - T_3$ を演算することで、 p 型層50の残りを把握できる。したがって、エッチバック時の測定によって p 型層50の残渣が確認されるようであれば、再びエッチバックを行うということを繰り返すようにすれば、より高い精度でエッチバックを行うことが可能となり、よりの確に p 型層50のみを除去することが可能となる。

[0058] これにより、エッチバック後における n^+ 型ソース領域4の厚み変動を抑制でき、その結果、 n^+ 型ソース領域4の表面からゲートトレンチ6を形成するときに、 p 型ベース領域3の底部からのゲートトレンチ6の突き出し量を的確に設定することができる。

[0059] （第3実施形態）

第3実施形態について説明する。本実施形態は、第1実施形態に対して膜厚測定の前にイオン注入層が形成されている点が異なっているがその他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0060] 上記第1実施形態では、トレンチ5aに対して p 型層50を成膜し、エッチバックすることによって p 型ディープ層5を形成したが、 p 型ディープ層5をイオン注入によって形成することもできる。ただし、 p 型ディープ層5

をイオン注入によって形成する場合、SiCではイオン注入の飛程が短くなることから、例えばエピタキシャル膜を成膜する毎にイオン注入を行うようにするのが好ましい。

[0061] 具体的には、図7(a)に示すように、 n^- 型ドリフト層2を形成した後に、 p 型ディープ層5の形成予定領域が開口する図示しないマスクを配置してイオン注入を行うことで、 p 型ディープ層5のうちの下層部5bを形成する。その後、図7(b)に示すように、 p 型ベース領域3を形成し、さらに n^+ 型ソース領域4を形成する。このとき、第1実施形態で説明した方法によって、 p 型ベース領域3を形成した後に p 型ベース領域3の膜厚測定工程を行ったり、 n^+ 型ソース領域4を形成した後に n^+ 型ソース領域4の膜厚測定工程を行う。これにより、 p 型ベース領域3や n^+ 型ソース領域4の膜厚を的確に測定することが可能となる。

[0062] そして、図7(c)に示すように、 n^+ 型ソース領域4の上に p 型ディープ層5の形成予定領域が開口する図示しないマスクを配置してイオン注入を行うことで、 p 型ディープ層5のうちのコンタクト部5cを形成する。このとき、コンタクト部5cについては、少なくとも p 型ベース領域3に接するように形成されていれば、同じ導電型であることから、下層部5bと導通させられるため、下層部5bと接していなくても良い。

[0063] このように、 p 型ディープ層5をイオン注入によって形成することもできる。この場合、 p 型ベース領域3や n^+ 型ソース領域4の膜厚測定工程を行う際に、その下にイオン注入層が形成された状態となっている。このようなイオン注入層が形成されている構造だと膜厚測定が行えなくなる場合もあるが、上記方法によれば、イオン注入層が形成されているか否かに関係なく、的確に p 型ベース領域3の膜厚や n^+ 型ソース領域4の膜厚を測定することができる。したがって、 p 型ディープ層5の少なくとも一部をイオン注入によって形成したイオン注入層などが存在していても、的確な膜厚測定を行うことが可能となり、上記第1実施形態と同様の効果を得ることができる。

[0064] (他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0065] 例えば、上記第1実施形態では、下地層として n^+ 型基板1、第1エピタキシャル膜として n^- 型ドリフト層2、第2エピタキシャル膜として p 型ベース領域3を例に挙げた。しかしながら、これは単なる一例を挙げたに過ぎず、下地層の上に第1エピタキシャル膜と第2エピタキシャル膜とが積層される構造において、第2エピタキシャル膜の膜厚を測定する際に上記したFTIRによる膜厚測定工程を行うことができる。さらに、第3エピタキシャル膜として n^+ 型ソース領域4を例に挙げたが、これも一例を挙げたに過ぎない。このような第3エピタキシャル膜の膜厚を測定する場合も、上記したFTIRによる膜厚測定工程を行うことができる。なお、第1、第3実施形態の場合、一層膜厚 T_1 が第1膜厚、二層膜厚 T_2 が第2膜厚、三層膜厚 T_3 が第3膜厚に相当する。

[0066] また、上記第2実施形態では、下地として n^+ 型基板1、第1エピタキシャル膜として n^- 型ドリフト層2と p 型ベース領域3および n^+ 型ソース領域4の積層膜、第2エピタキシャル膜として p 型層50を例に挙げた。しかしながら、これについても単なる一例を挙げたに過ぎず、下地層の上に第1エピタキシャル膜を形成し、この上に第2エピタキシャル膜を積層する構造において、第2エピタキシャル膜の膜厚を測定する場合に上記したFTIRによる膜厚測定工程を行うことができる。なお、第2実施形態の場合、三層膜厚 T_3 が第1膜厚、四層膜厚 T_4 が第2膜厚に相当する。

[0067] また、上記第1実施形態では、 n^- 型ドリフト層2や p 型ベース領域3および n^+ 型ソース領域4の形成後にFTIRによる膜厚測定を行うようにしている。これに対して、 n^- 型ドリフト層2や p 型ベース領域3および n^+ 型ソース領域4を成膜するためのエピタキシャル成長装置内にFTIRによる膜厚

測定機構を備えるようにすれば、これらの成膜中に各膜厚を測定することも可能となる。これにより、よりの確に膜厚制御を行うことが可能となる。同様に、上記第2実施形態では、p型層50のエッチバック後にFTIRによる膜厚測定を行うようにしている。これに対して、p型層50をエッチバックするためのエッチング装置内にFTIRによる膜厚測定機構を備えるようにすれば、p型層50のエッチング中にその膜厚を測定することも可能となる。これにより、よりの確に膜厚制御を行うことが可能となる。

[0068] また、上記第1実施形態等では、SiC半導体装置に備えられる素子としてMOSFETを例に挙げて説明したが、MOSFETに限らず他の素子を形成するものであっても良い。さらに、第1導電型をn型、第2導電型をp型としたnチャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプのMOSFETとしても良い。また、上記説明では、半導体素子としてMOSFETを例に挙げて説明したが、同様の構造のIGBTに対しても本開示を適用することができる。IGBTは、上記各実施形態に対してn⁺型基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。さらに、縦型のMOSFETとしてトレンチゲート構造のものを例に挙げて説明したが、トレンチゲート構造のものに限らず、プレーナ型のものであっても良い。

請求の範囲

- [請求項1] 炭化珪素にて形成された下地層（１）上に、 $5 \sim 14 \mu\text{m}$ の厚みの第１エピタキシャル膜（２）が形成された構造を用意することと、
- 前記第１エピタキシャル膜の表面側から赤外光を照射し、前記第１エピタキシャル膜と前記下地層との界面からの反射光と前記第１エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって前記第１エピタキシャル膜の膜厚となる第１膜厚（ T_1 ）を測定することと、
- 前記第１エピタキシャル膜の上に $0.5 \sim 2.0 \mu\text{m}$ の厚みの第２エピタキシャル膜（３）を形成することと、
- 前記第２エピタキシャル膜の表面側から赤外光を照射し、前記第１エピタキシャル膜と前記下地層との界面からの反射光と前記第２エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって前記第１エピタキシャル膜と前記第２エピタキシャル膜の合計膜厚となる第２膜厚（ T_2 ）を測定することと、
- 前記第２膜厚から前記第１膜厚を差し引くことで前記第２エピタキシャル膜の膜厚を算出し、該第２エピタキシャル膜の膜厚を制御することと、を含む炭化珪素半導体装置の製造方法。
- [請求項2] 前記第１エピタキシャル膜に対してイオン注入を行うことでイオン注入層（５b）を形成することを含み、
- 前記イオン注入層を形成することの後に、前記第２エピタキシャル膜を形成することを行う請求項１に記載の炭化珪素半導体装置の製造方法。
- [請求項3] 前記第１エピタキシャル膜が形成された構造を用意することとして、前記下地層として、第１または第２導電型の基板（１）を用い、該基板の上に前記第１エピタキシャル膜として、前記基板よりも低不純物濃度とされる第１導電型のドリフト層（２）を形成することと、
- 前記第２エピタキシャル膜を形成することとして、前記ドリフト層

の上に第2導電型のベース領域(3)を形成することと、

前記ベース領域の上層部に、前記ドリフト層よりも高不純物濃度の第1導電型の炭化珪素で構成されるソース領域(4)を形成することと、

前記ソース領域の表面から前記ベース領域よりも深いゲートトレンチ(6)と、該ゲートトレンチの内壁面に形成されるゲート絶縁膜(7)と、前記ゲート絶縁膜の上に形成されるゲート電極(8)と、を有して構成されるトレンチゲート構造を形成することと、

前記ソース領域および前記ベース領域に電氣的に接続されるソース電極(9)を形成することと、

前記基板の裏面側に、ドレイン電極(11)を形成することと、を含んでいる請求項1または2に記載の炭化珪素半導体装置の製造方法。

[請求項4]

前記ソース領域を形成することは、前記ベース領域の上に前記ソース領域をエピタキシャル成長させることであり、

前記ソース領域を第3エピタキシャル膜として、

前記第3エピタキシャル膜の表面側から赤外光を照射し、前記第1エピタキシャル膜と前記下地層との界面からの反射光と前記第3エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって前記第1エピタキシャル膜と前記第2エピタキシャル膜および前記第3エピタキシャル膜の合計膜厚となる第3膜厚(T3)を測定することと、

前記第3膜厚から前記第2膜厚を差し引くことで前記第3エピタキシャル膜の膜厚を算出することと、を含む請求項3に記載の炭化珪素半導体装置の製造方法。

[請求項5]

炭化珪素にて形成された下地層(1)上に、5～14 μ mの厚みの第1エピタキシャル膜(2～4)が形成された構造を用意することと、

前記第1エピタキシャル膜の表面側から赤外光を照射し、前記第1エピタキシャル膜と前記下地層との界面からの反射光と前記第1エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって前記第1エピタキシャル膜の膜厚となる第1膜厚（ T_3 ）を測定することと、

前記第1エピタキシャル膜の上に0.5～2.0 μm の厚みの第2エピタキシャル膜（50）を成長させることと、

前記第2エピタキシャル膜の表面側から赤外光を照射し、前記第1エピタキシャル膜と前記下地層との界面からの反射光と前記第2エピタキシャル膜の表面からの反射光とに基づいて、フーリエ変換赤外分光法によって前記第1エピタキシャル膜と前記第2エピタキシャル膜の合計膜厚となる第2膜厚（ T_4 ）を測定することと、

前記第2膜厚から前記第1膜厚を差し引くことで前記第2エピタキシャル膜の膜厚を算出することと、

算出された膜厚分、前記第2エピタキシャル膜をエッチバックして除去することと、を含む炭化珪素半導体装置の製造方法。

[請求項6]

前記第2エピタキシャル膜を成長させることの前に、前記第1エピタキシャル膜に対してトレンチ（5a）を形成することを含み、前記第2エピタキシャル膜を成長させることでは前記トレンチ内に前記第2エピタキシャル膜を埋め込み、

前記第2エピタキシャル膜をエッチバックして除去することでは、算出された膜厚分、前記第2エピタキシャル膜をエッチバックして除去することで、前記トレンチ内にのみ第2エピタキシャル膜を残す請求項5に記載の炭化珪素半導体装置の製造方法。

[請求項7]

前記第1エピタキシャル膜が形成された構造を用意することとして、前記下地層として、第1または第2導電型の基板（1）を用い、該基板の上に前記第1エピタキシャル膜として、前記基板よりも低不純物濃度とされる第1導電型のドリフト層（2）と、第2導電型のベー

ス領域（３）と、前記ドリフト層よりも高不純物濃度の第１導電型の炭化珪素で構成されるソース領域（４）とを順にエピタキシャル成長させることを含み、

前記トレンチを形成することとして、前記ソース領域から前記ベース領域を貫通して前記ドリフト層に達するように前記トレンチを形成し、

前記第２エピタキシャル膜を成長させることとして、前記第２エピタキシャル膜として第２導電型層（５０）をエピタキシャル成長させたのち、前記エッチバックして除去することとして、前記トレンチ内に前記第２導電型層を残すことで第２導電型のディープ層（５）を形成することを含み、

さらに、前記ソース領域の表面から前記ベース領域よりも深いゲートトレンチ（６）と、該ゲートトレンチの内壁面に形成されるゲート絶縁膜（７）と、前記ゲート絶縁膜の上に形成されるゲート電極（８）と、を有して構成されるトレンチゲート構造を形成することと、

前記ソース領域および前記ベース領域に電氣的に接続されるソース電極（９）を形成することと、

前記基板の裏面側に、ドレイン電極（１１）を形成することと、を含んでいる請求項６に記載の炭化珪素半導体装置の製造方法。

[請求項８]

下地層を構成する第１または第２導電型の炭化珪素にて構成された基板（１）と、

前記基板の上に形成され、第１導電型の炭化珪素のエピタキシャル膜によって構成されたドリフト層（２）と、

前記ドリフト層（２）の上に形成され、第２導電型の炭化珪素のエピタキシャル膜によって構成されたベース領域（３）と、

前記ベース領域の上層部に形成され、前記ドリフト層よりも高不純物濃度の第１導電型の炭化珪素で構成されたソース領域（４）と、

前記ソース領域の表面から前記ベース領域よりも深くまで形成され

たゲートトレンチ（６）内に形成され、該ゲートトレンチの内壁面に形成されたゲート絶縁膜（７）と、前記ゲート絶縁膜の上に形成されたゲート電極（８）と、を有して構成されたトレンチゲート構造と、

前記ソース領域に電氣的に接続されるソース電極（９）と、

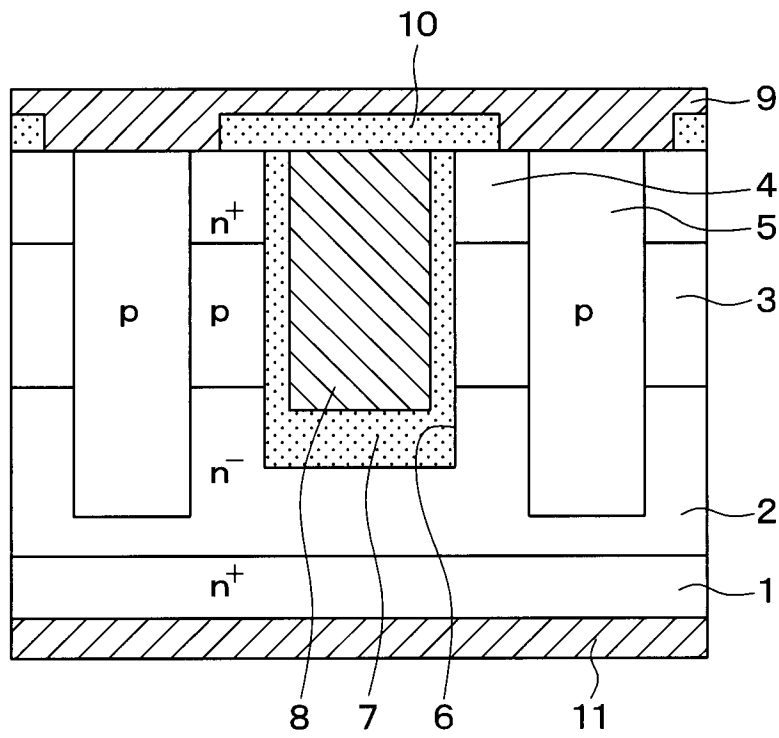
前記基板の裏面と電氣的に接続されるドレイン電極（１１）とを有する縦型ＭＯＳＦＥＴを備え、

前記ドリフト層の膜厚が $5 \sim 14 \mu\text{m}$ とされていると共に前記ベース領域の膜厚が $0.5 \sim 2.0 \mu\text{m}$ とされ、前記ゲートトレンチの前記ベース領域の底部からの突き出し量が $0.2 \sim 0.4 \mu\text{m}$ とされている炭化珪素半導体装置。

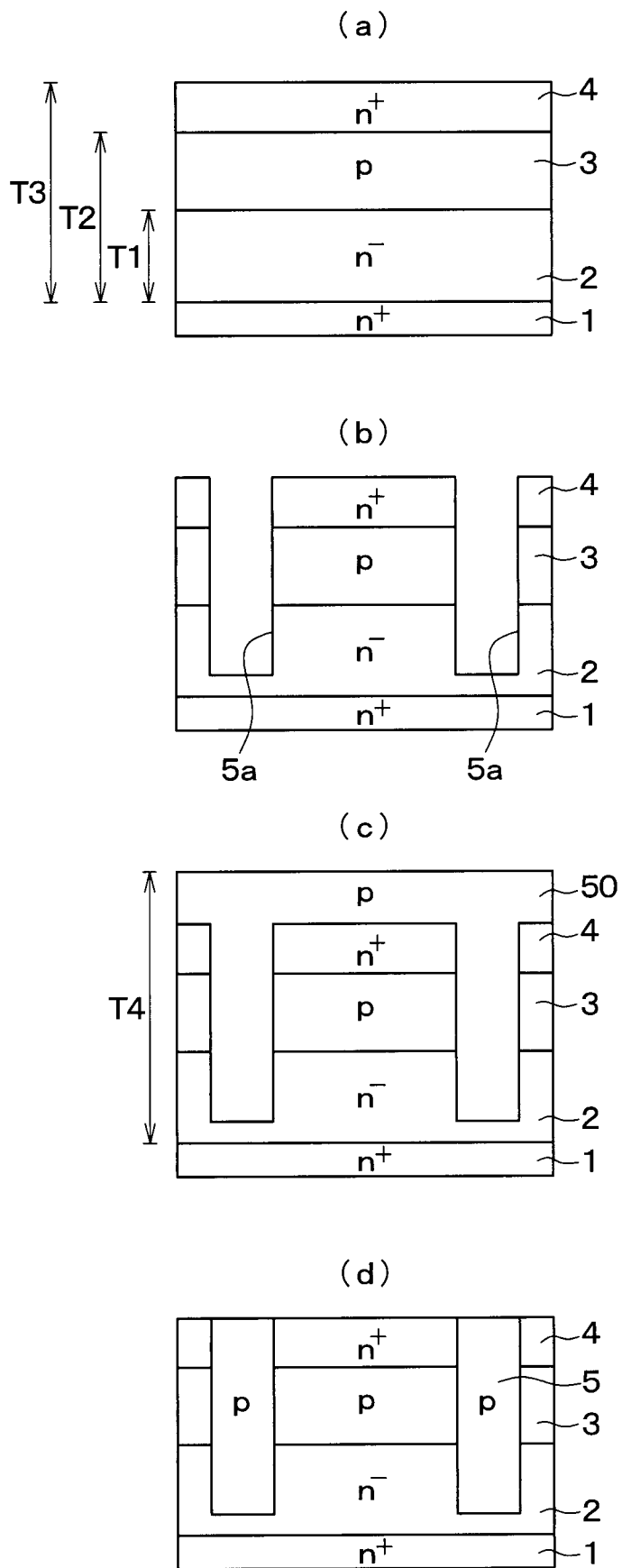
[請求項９] 前記ソース領域がエピタキシャル膜によって構成されており、前記ドリフト層と前記ベース領域および前記ソース領域の合計膜厚（Ｔ３）が $5 \sim 16 \mu\text{m}$ とされている請求項８に記載の炭化珪素半導体装置。

[請求項１０] 前記ドリフト層には、前記ゲートトレンチよりも深いトレンチ（５ａ）が形成されており、該トレンチ内に第２導電型のディープ層（５）が配置されている請求項８または９に記載の炭化珪素半導体装置。

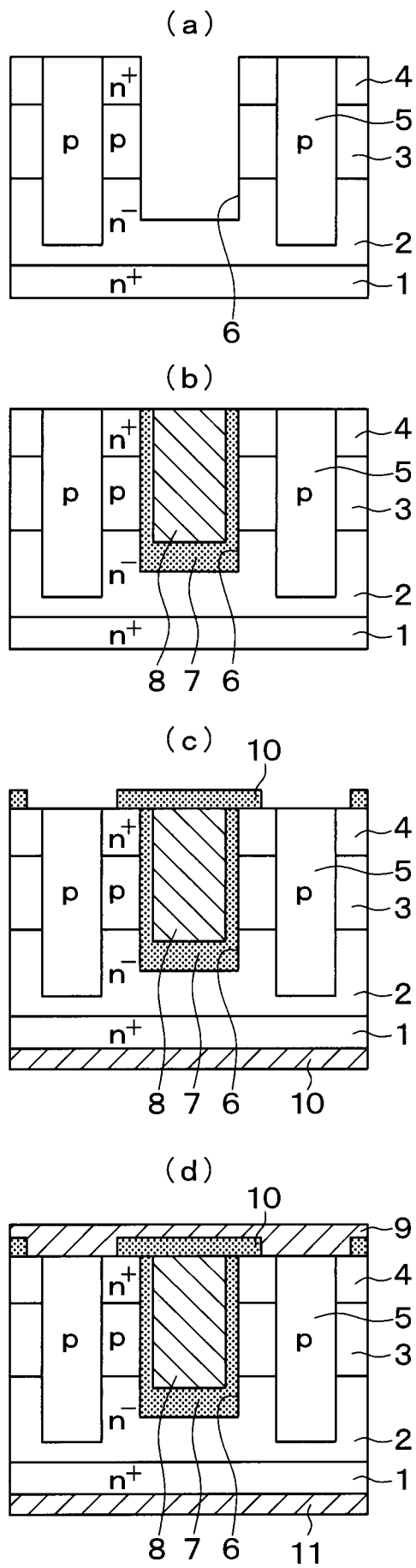
[図1]



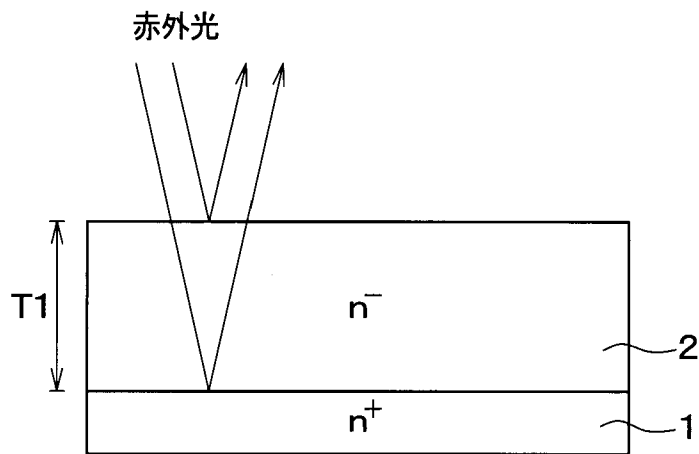
[図2]



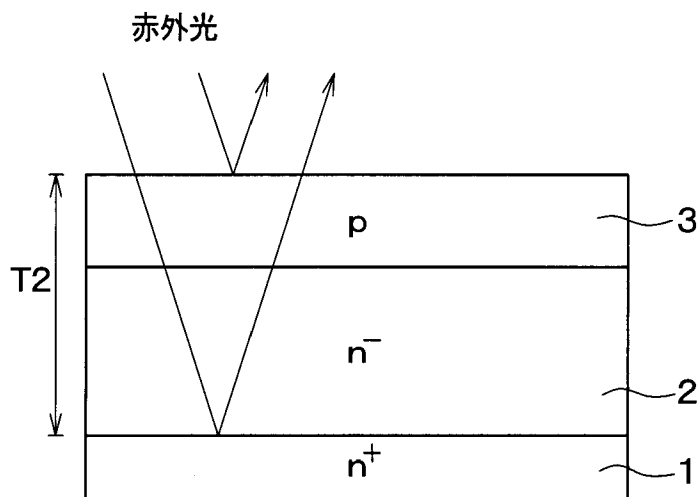
[図3]



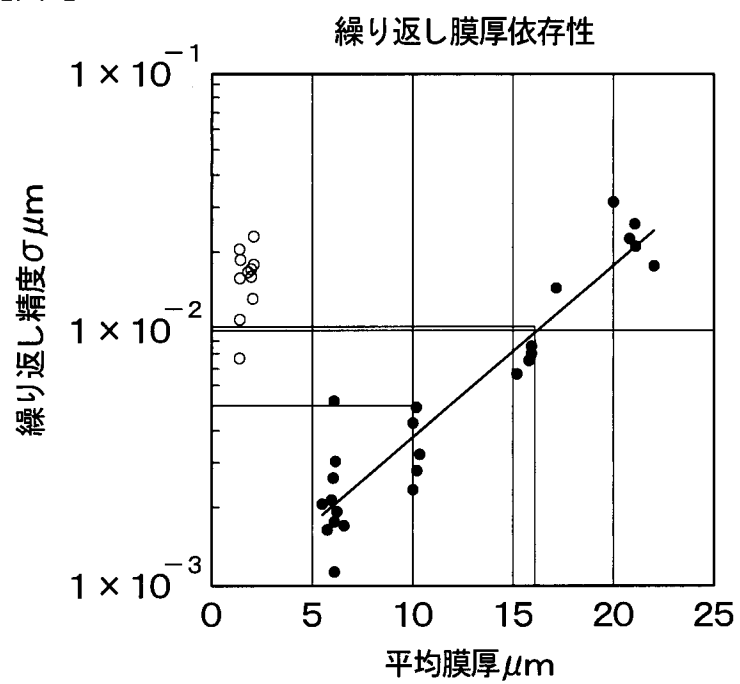
[図4]



[図5]

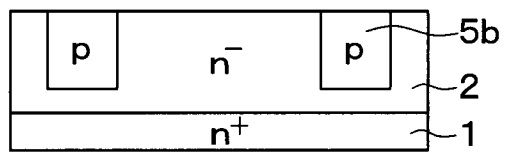


[図6]

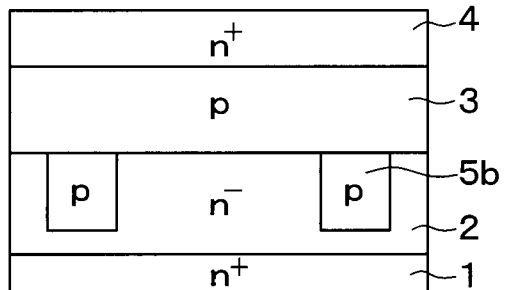


[図7]

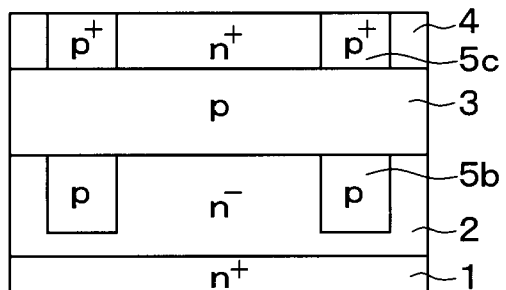
(a)



(b)



(c)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030407

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G01B11/06(2006.01)i, H01L21/66(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G01B11/06, H01L21/66, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Japanese Published Examined Utility Model Applications 1922-1996

Japanese Published Unexamined Utility Model Applications 1971-2017

Japanese Examined Utility Model Registrations 1996-2017

Japanese Registered Utility Model Specifications 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-72999 A (DENSO CORPORATION) 16 April 2015, paragraphs [0013]-[0058], fig. 1-6 & US 2016/0247910 A1, paragraphs [0024]-[0077], fig. 1-6 & WO 2015/049838 A1 & CN 105593996 A	1-4, 8-10
Y	JP10-223715 A (TOSHIBA CERAMICS CO., LTD.) 21 August 1998, paragraph [0002] & US 6025596 A, column 1, lines 14-36 & EP 0857943 A2 & CA 2228605 A1 & TW 393576 B	1-7

☒ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
--	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 November 2017	Date of mailing of the international search report 28 November 2017
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/030407

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-65724 A (SHIN-ETSU HANDOTAI CO., LTD.) 05 March 2003, paragraph [0004] (Family: none)	1-7
Y	JP 2009-302133 A (SUMCO CORPORATION) 24 December 2009, paragraphs [0008]-[0019], fig. 3-6 & US 2009/0305021 A1, paragraphs [0027]-[0052], fig. 3-6 & KR 10-2009-0128326 A	1-7
Y	JP 2014-236189 A (DENSO CORPORATION) 15 December 2014, paragraphs [0015]-[0044], fig. 1-3 & US 2016/0104794 A1, paragraphs [0024]-[0053], fig. 1-3 & WO 2014/196164 A1 & CN 105264667 A	4-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, G01B11/06(2006.01)i, H01L21/66(2006.01)i, H01L29/12(2006.01)i,
H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, G01B11/06, H01L21/66, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-72999 A (株式会社デンソー) 2015.04.16, 段落[0013]-[0058], 図 1-6 & US 2016/0247910 A1, 段落[0024]-[0077], 図 1-6 & WO 2015/049838 A1 & CN 105593996 A	1-4, 8-10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

16.11.2017

国際調査報告の発送日

28.11.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-223715 A (東芝セラミックス株式会社) 1998. 08. 21, 段落[0002] & US 6025596 A, 1 欄 14-36 行 & EP 0857943 A2 & CA 2228605 A1 & TW 393576 B	1-7
Y	JP 2003-65724 A (信越半導体株式会社) 2003. 03. 05, 段落[0004] (ファミリーなし)	1-7
Y	JP 2009-302133 A (株式会社 S U M C O) 2009. 12. 24, 段落[0008]-[0019], 図 3-6 & US 2009/0305021 A1, 段落[0027]-[0052], 図 3-6 & KR 10-2009-0128326 A	1-7
Y	JP 2014-236189 A (株式会社デンソー) 2014. 12. 15, 段落[0015]-[0044], 図 1-3 & US 2016/0104794 A1, 段落[0024]-[0053], 図 1-3 & WO 2014/196164 A1 & CN 105264667 A	4-10