(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014 년 12 월 24 일 (24.12.2014)

WIPO | PCT

(10) 국제공개번호
WO 2014/204209 A1

(51) 국제특허분류:
H01L 29/778 (2006.01) *H01L 21/335* (2006.01)

(21) 국제출원번호: PCT/KR2014/005371

(22) 국제출원일: 2014 년 6 월 18 일 (18.06.2014)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2013-0069677 2013 년 6 월 18 일 (18.06.2013) KR

(71) 출원인: **서울반도체 주식회사 (SEOUL SEMICONDUCTOR CO.,LTD.)** [KR/KR]; 425-851 경기도 안산시 단원구 산단로 163 번길 65-16, 1 블럭 36 호, Gyeonggi-do (KR).

(72) 발명자: **정영도 (JEONG, Young Do)**; 425-851 경기도 안산시 단원구 산단로 163 번길 65-16, 1 블럭 36 호, Gyeonggi-do (KR). **곽준식 (KWAK, June Sik)**; 425-851 경기도 안산시 단원구 산단로 163 번길 65-16, 1 블럭 36 호, Gyeonggi-do (KR).

(74) 대리인: **특허법인 아주양헌 (AJU KIM CHANG&LEE)**; 137-860 서울시 서초구 사임당로 174, 강남미래타워 12-13 층, Seoul (KR).

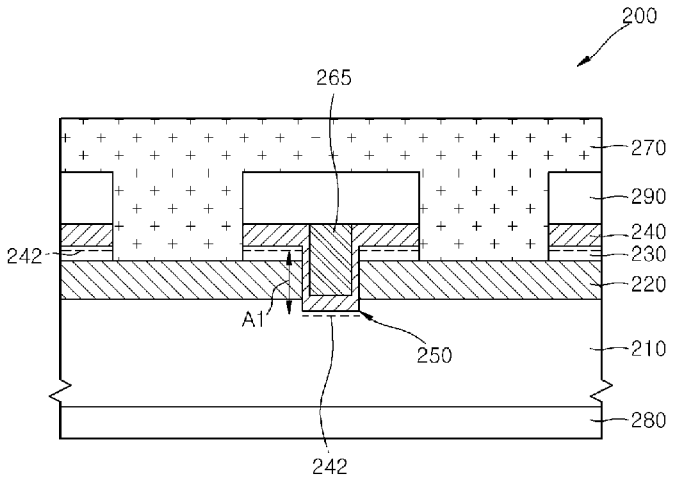
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: NITRIDE-BASED TRANSISTOR HAVING VRTICAL CHANNEL AND METHOD FOR MANUFACUTRING SAME

(54) 발명의 명칭 : 수직형 채널을 구비하는 질화물계 트랜지스터 및 이의 제조 방법



(57) Abstract: A nitride-based transistor, according to one embodiment, comprises: a first-nitride-based first semiconductor layer doped as a first type; a first-nitride-based second semiconductor layer doped as a second type and disposed on the first semiconductor layer; a first-nitride-based third semiconductor layer doped as the first type and disposed on the second semiconductor layer; a second-nitride-based fourth semiconductor layer disposed along the inner wall of a trench formed so as to pass through at least the second and third semiconductor layers and disposed on the third semiconductor layer outside the trench; and a gate electrode formed on the fourth semiconductor layer. Compared with the first-nitride-based first to third semiconductor layers, the second-nitride-based fourth semiconductor layer includes a nitride having a different energy band gap.

(57) 요약서:

[다음 쪽 계속]

WO 2014/204209 A1

일 실시예에 따르는 질화물계 트랜지스터는 제 1 형으로 도핑된 제 1 질화물계 제 1 반도체층, 상기 제 1 반도체층 상에 배치되는 제 2 형으로 도핑된 제 1 질화물계 제 2 반도체층, 상기 제 2 반도체층 상에 배치되는 제 1 형으로 도핑된 제 1 질화물계 제 3 반도체층, 적어도 상기 제 2 반도체층 및 상기 제 3 반도체층을 관통하도록 형성되는 트렌치의 내벽을 따라 배치되고 상기 트렌치 외부의 상기 제 3 반도체층 상에 배치되는 제 2 질화물계 제 4 반도체층, 및 상기 제 4 반도체층 상에 형성되는 게이트 전극을 포함한다. 상기 제 2 질화물계 제 4 반도체층은 상기 제 1 질화물계 제 1 반도체층 내지 제 3 반도체층과 대비하여 다른 에너지 밴드갭을 가지는 질화물을 포함한다.

명세서

발명의 명칭: 수직형 채널을 구비하는 질화물계 트랜지스터 및 이의 제조 방법

기술분야

[1] 본 개시(disclosure)는 대체로(generally) 질화물계 트랜지스터에 관한 것으로, 보다 상세하게는, 수직형 채널을 구비하는 질화물계 트랜지스터 및 이의 제조 방법에 관한 것이다.

배경기술

[2] 정보통신기술의 발달로 인해, 고속 스위칭 환경이나 고전압 환경에서 동작하는 고내압 트랜지스터의 요청이 증가하고 있다. 이에, 최근에 등장한 질화갈륨계 트랜지스터는 종래의 실리콘 트랜지스터에 비해 고속 스위칭 동작이 가능하여 초고속 신호 처리에 적합할 뿐만 아니라 소재 자체의 고내압 특성에 의해 고전압 환경에 적합한 장점이 있어 업계의 주목을 받고 있다. 특히, HEMT(High Electron Mobility Transistor)의 경우, 이종 물질간 계면에서 발생하는 2DEG(2차원 전자가스, two-dimensional electron gas)를 이용함으로써, 전자의 이동도(mobility)를 높일 수 있어 고속 신호 전송에 적합한 장점이 있다.

[3] 도 1은 종래의 질화물계 트랜지스터의 일 예를 개략적으로 도시하는 단면도이다. 도면을 참조하면, 질화물계 트랜지스터(100)는 언도프(undoped) GaN 반도체층(110), AlGaN 반도체층(120), 소스 전극(130), 드레인 전극(140) 및 게이트 전극(150)을 구비할 수 있다. 상기 2DEG층(125)은 언도프 GaN 반도체층(110) 및 AlGaN 반도체층(120)의 경계면 부근에 형성된다. 이때, 게이트 전극(150)은 채널(125)을 통해 이동하는 전류 흐름을 제어할 수 있다.

[4] 그런데, 종래의 질화물계 반도체소자(100)에서는, 소자 동작 시에 게이트 전극(150)의 단부(Edge)에 전계(Electric Field)가 집중됨으로써 발생하는 항복 현상이 보고되고 있다. 이때, 항복 전압은 게이트(Gate)와 드레인(Drain) 사이의 거리(Lgd)에 비례하여 결정되며, 따라서, 항복 전압을 높이기 위해서는 게이트와 드레인 사이의 거리(Lgd)를 일정 거리 이상을 유지할 필요가 있다. 이로 인해, 칩 사이즈(Chip Size)를 감소시키는데 어려움이 있을 수 있다.

[5] 최근에는, 상술한 어려움을 극복하고 또한 칩 사이즈를 감소시키기 위해, 소스 전극과 드레인 전극을 기판의 맞은편에 각각 배치하는 질화물계 트랜지스터가 제안되고 있다. 일 예로서, 미국공개특허 2012-0319127에서는, 상술한 질화물계 트랜지스터의 일종으로서, 전류구멍수직전자트랜지스터(current aperture vertical electron transistor, 이하, CAVET)가 개시되고 있다. 상기 CAVET에서는 소스 전극과 드레인 전극 사이에 전류 장벽층으로서 P형 GaN층을 배치시키s고, 상기 P형 GaN층 사이의 구멍(Aperture)를 통해 전류가 흐르도록 구성하고 있다.

발명의 상세한 설명

기술적 과제

[6] 본 개시의 실시예는 높은 전류 용량, 낮은 동작 저항 및 높은 동작 신뢰성을 구비하는 수직형 채널을 구비하는 질화물계 트랜지스터를 제공한다.

[7] 본 개시의 실시예는 상기 수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법을 제공한다.

과제 해결 수단

[8] 일 측면에 따르는 수직형 채널을 구비하는 질화물계 트랜지스터가 개시된다. 상기 질화물계 트랜지스터는 제1 형으로 도핑된 제1 질화물계 제1 반도체층, 상기 제1 반도체층 상에 배치되는 제2 형으로 도핑된 제1 질화물계 제2 반도체층, 상기 제2 반도체층 상에 배치되는 제1 형으로 도핑된 제1 질화물계 제3 반도체층, 적어도 상기 제2 반도체층 및 상기 제3 반도체층을 관통하도록 형성되는 트렌치의 내벽을 따라 배치되고 상기 트렌치 외부의 상기 제3 반도체층 상에 배치되는 제2 질화물계 제4 반도체층, 및 상기 제4 반도체층 상에 형성되는 게이트 전극을 포함한다. 상기 제2 질화물계 제4 반도체층은 상기 제1 질화물계 제1 반도체층 내지 제3 반도체층과 대비하여 다른 에너지 밴드갭을 가지는 질화물을 포함한다.

[9] 다른 측면에 따르는 수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법이 제공된다. 상기 질화물계 트랜지스터의 제조 방법에 있어서, 먼저, 기판 상에 제1 형으로 도핑된 제1 질화물계 제1 반도체층, 제2 형으로 도핑된 제1 질화물계 제2 반도체층 및 제1 형으로 도핑된 제1 질화물계 제3 반도체층을 순차적으로 형성한다. 적어도 상기 제2 반도체층 및 상기 제3 반도체층을 관통하는 트렌치를 형성한다. 상기 트렌치 내벽의 상기 제1 반도체층 내지 상기 제3 반도체층 및 상기 트렌치 외부의 상기 제3 반도체층 상에 제2 질화물계 제4 반도체층을 형성한다. 상기 트렌치 내부에 게이트 전극을 형성한다.

발명의 효과

[10] 일 실시 예에 따르면, 질화물계 트랜지스터에서, 질화물계 반도체층간의 이종 접합을 통해 형성되는 2DEG층 내의 고농도의 전하를 신호 전달에 이용할 수 있다. 게이트 전압이 인가되지 않는 상태에서는 수직형 채널을 따라 2DEG층의 형성을 억제함으로써, 턴오프 상태를 신뢰성 있게 유지할 수 있도록 할 수 있다. 그리고, 상기 질화물계 트랜지스터의 턴온 상태에서는 수직형 채널을 통해 상기 고농도의 전하가 전도되도록 할 수 있다. 이로서, 높은 전류 용량과 낮은 동작 저항을 가지며, 아울러 칩 사이즈를 감소시킬 수 있는 수직형 채널을 구비하는 질화물계 트랜지스터를 제공할 수 있다.

도면의 간단한 설명

[11] 도 1은 종래의 질화물계 트랜지스터의 일 예를 개략적으로 도시하는 단면도이다.

[12] 도 2는 본 개시의 일 실시 예에 따르는 질화물계 트랜지스터를 개략적으로

나타내는 단면도이다.

[13] 도 3은 본 개시의 다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다.

[14] 도 4는 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다.

[15] 도 5는 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다.

[16] 도 6은 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다.

[17] 도 7은 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다.

[18] 도 8 내지 도 13은 본 개시의 일 실시 예에 따르는 질화물계 트랜지스터의 제조 방법을 개략적으로 나타내는 단면도이다.

[19] 도 14는 본 개시의 다른 실시 예에 따르는 질화물계 트랜지스터의 제조 방법을 나타내는 도면이다.

발명의 실시를 위한 형태

[20] 이하, 첨부한 도면들을 참조하여, 본 개시의 실시 예들을 보다 상세하게 설명하고자 한다. 그러나 본 개시에 개시된 기술은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면에서 각 장치의 구성요소를 명확하게 표현하기 위하여 상기 구성요소의 폭이나 두께 등의 크기를 다소 확대하여 나타내었다.

[21] 본 명세서에서 일 요소가 다른 요소 '위' 또는 '아래'에 위치하는 것으로 언급되는 경우, 이는 상기 일 요소가 다른 요소 '위' 또는 '아래'에 바로 위치하거나 또는 그들 요소들 사이에 추가적인 요소가 개재될 수 있다는 의미를 모두 포함한다. 본 명세서에서, '상부' 또는 '하부' 라는 용어는 관찰자의 시점에서 설정된 상대적인 개념으로, 관찰자의 시점이 달라지면, '상부' 가 '하부'를 의미할 수도 있고, '하부'가 '상부'를 의미할 수도 있다.

[22] 복수의 도면들 상에서 동일 부호는 실질적으로 서로 동일한 요소를 지칭한다. 또, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, '포함하다' 또는 '가지다' 등의 용어는 기술되는 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[23] 본 명세서에서, 수직형 채널이라는 의미는, 소스 전극으로부터 드레인 전극으로의 전하의 전도가 상하 방향으로 이루어지는 채널을 구비한다는 것을 의미할 수 있다. 따라서, 수직형 채널은 채널층이 기판 면과 같은 기준면에

대하여 수직으로 형성되는 경우뿐만 아니라, 상기 채널층이 상기 기준면에 대하여 소정의 각도로 경사진 경우를 모두 포함하는 의미로 사용될 수 있다.

[24] 본 명세서에서, 소스 전극 및 드레인 전극은 전류의 방향을 고려하여, 편의상 구분하여 명명한 것으로서, 인가되는 전압 극성의 변화에 의해 전류 방향이 변화하는 경우, 소스 전극은 드레인 전극을, 드레인 전극은 소스 전극을 의미할 수도 있다.

[25] 본 명세서에서, 제1 층과 제2 층 사이의 계면 영역이라 함은, 제1 층과 제2 층의 접합 계면뿐만 아니라, 계면과 인접하는 제1 층 또는 제2 층의 소정의 내부 영역을 포괄하는 것으로 해석될 수 있다.

[26] 도 2는 본 개시의 일 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다. 도 2를 참조하면, 질화물계 트랜지스터(200)은 제1 반도체층(210), 제2 반도체층(220), 제3 반도체층(230) 및 제4 반도체층(240)을 구비할 수 있다. 이때, 제4 반도체층(240)은 적어도 제2 반도체층(220) 및 제3 반도체층(230)을 관통하도록 형성되는 트렌치(250)의 내벽을 따라 배치되고, 또한, 제4 반도체층(240)은 트렌치(250) 외부의 제3 반도체층(230) 상에 배치된다. 질화물계 트랜지스터(200)는 제4 반도체층(240) 상에 형성되는 게이트 전극(265)을 구비한다. 또한, 질화물계 트랜지스터(200)은 제3 반도체층(230) 또는 제4 반도체층(240)과 전기적으로 연결되는 소스 전극(270)과 제1 반도체층(210)과 전기적으로 연결되는 드레인 전극(280)을 포함할 수 있다.

[27] 도면을 참조하면, 제1 반도체층(210)은 제1 형으로 도핑된 제1 질화물계 반도체층일 수 있다. 상기 제1 형은 일 예로서, n형 또는 p형 일 수 있다. 일 예로서, n형으로 도핑되는 경우, 도펀트는 실리콘(Si)이 적용될 수 있으며, p형으로 도핑되는 경우, 도펀트는 붕소(B), 비소(As), 인(P), 마그세슘(Mg) 등이 적용될 수 있다. 제1 반도체층(210)은 일 예로서, GaN또는 InN 등과 같은 2성분계, AlGaN 또는 InGaN 등과 같은 3성분계, AlInGaN과 같은 4성분계 질화물 반도체를 포함할 수 있다. 제1 반도체층(210)은 일 예로서, 에피 성장된 GaN층일 수 있다.

[28] 제2 반도체층(220)은 제2 형으로 도핑된 제1 질화물계 반도체층일 수 있다. 상기 제2 형은 일 예로서, n형 또는 p형일 수 있으나, 상기 제1 형과는 서로 다른 도핑 형태를 의미한다. 즉, 제1 형이 n형 경우 제2 형은 p형이고, 제1 형이 p형 인 경우 제2 형은 n형 일 수 있다. 제2 반도체층(220)은 일 예로서, GaN또는 InN 등과 같은 2성분계, AlGaN 또는 InGaN 등과 같은 3성분계, AlInGaN과 같은 4성분계 질화물 반도체를 포함할 수 있다.

[29] 제3 반도체층(230)은 상기 제1 형으로 도핑된 상기 제1 질화물계 반도체층일 수 있다. 제3 반도체층(230)은 일 예로서, GaN또는 InN 등과 같은 2성분계, AlGaN 또는 InGaN 등과 같은 3성분계, AlInGaN과 같은 4성분계 질화물 반도체를 포함할 수 있다. 제3 반도체층(230)은 제1 반도체층(210)과 실질적으로 동일한 질화물 반도체를 포함할 수 있다.

[30] 제4 반도체층(240)은 상기 제1 질화물계 반도체층과 다른 제2 질화물계 반도체층일 수 있다. 제4 반도체층(240)은 제1 반도체층(210) 내지 제3 반도체층(230) 내의 질화물이 가지는 에너지 밴드갭과 다른 에너지 밴드갭을 가지는 질화물을 포함할 수 있다. 상기 서로 다른 에너지 밴드갭을 갖는 질화물계 반도체층이 이종 접합될 때, 계면 영역에서는 2DEG층이 형성될 수 있다.

[31] 이하에서는, 일 실시 예로서, 제1 반도체층(210)이 n형 GaN층, 제2 반도체층(220)이 p형 GaN층, 제3 반도체층(230)이 n형 GaN층이고, 제4 반도체층(240)은 AlGaN층인 경우에 대하여 설명하도록 한다. GaN 층은 AlGaN층 보다 에너지 밴드갭이 작기 때문에, 이종 접합시 2DEG층은 접합 계면으로부터 GaN층 내부 영역에 형성될 수 있다. 다만, 이하에서 설명하는 실시예는 본 개시의 사상을 보다 명확하게 설명하기 위해 예시된 것으로서, 제1 반도체층(210), 제2 반도체층(220), 제3 반도체층(230) 및 제4 반도체층(240)으로서 이하의 실시 예와는 다른 다양한 질화물계 반도체층이 적용될 수도 있다. 마찬가지로, 이하의 실시 예와는 다르게, 제1 반도체층(210) 내지 제3 반도체층(230)의 질화물 반도체가 제4 반도체층(240)의 질화물 반도체보다 에너지 밴드갭이 클 수도 있다.

[32] 도면을 참조하면, 트렌치(250)의 바닥면에 배치되는 제4 반도체층(240)의 일부분은 제1 반도체층(210)과 접할 수 있다. 이때, 제1 반도체층(210)과 제4 반도체층(240)의 계면 인근의 제1 반도체층(210)의 내부 영역에 2DEG층(242)이 형성될 수 있다.

[33] 트렌치(250)의 측벽에 배치되는 제4 반도체층(240)의 일부분은 제2 반도체(220) 및 제3 반도체층(230)과 접할 수 있다. 또한, 도시된 바와 같이, 트렌치(250)가 제1 반도체층(210)의 내부로 연장된 경우, 제4 반도체층(240)의 일부분은 트렌치(250)의 측벽에 추가로 배치될 수 있다. 이때, 제4 반도체층(240)의 일부분은 제1 반도체층(210)과 트렌치(250)의 측벽 방향에서 접할 수 있다.

[34] 트렌치(250)의 측벽에 형성되는 제4 반도체층(240)의 부분은 트렌치(250)의 바닥면에 형성되는 제4 반도체층(240)의 부분 및 트렌치(250) 외부의 제3 반도체층(230) 상에 형성되는 제4 반도체층(240)의 부분보다 얇게 형성될 수 있다. 이 때, 트렌치(250)의 측벽의 제4 반도체층(240) 및 제1 반도체층(210) 내지 제3 반도체층(230) 사이의 계면 영역에는 2DEG 불연속 영역(A1)이 형성될 수 있다. 반드시 특정한 이론에 한정되어 설명되는 것은 아니지만, 제4 반도체층(240)의 두께가 충분히 얇은 경우, 접하는 제1 반도체층(210) 내지 제3 반도체층(230)과의 계면에서 압전분극 효과가 감소되어 2DEG층이 형성되지 않을 수 있다. 또는, 일반적으로, AlGaN층이 분극효과가 높은 GaN층의 c면 방향으로부터 성장되는 경우, 이에 수직하는 방향인 a면 또는 m면 방향은 분극효과가 낮거나 없을 수 있다. 이에 따라 트렌치(250) 측벽의 제4 반도체층(240)과 제1 반도체층(210) 내지 제3 반도체층(230)의 계면 영역에서는

2DEG층이 형성되지 않을 수 있다.

[35] 이와는 별도로, 트렌치(250) 외부의 제4 반도체층(240) 및 제3 반도체층(230)의 계면 영역에서는 2DEG층(242)이 형성될 수 있다.

[36] 게이트 전극(265)은 적어도 트렌치(250) 내부의 제4 반도체층(240) 상에 형성될 수 있으며, 도시된 바와 같이, 트렌치(250) 내부를 메우도록 형성될 수 있다. 도시되지는 않았지만, 다른 몇몇 실시 예들에 있어서, 게이트 전극(265)은 트렌치(250) 내부를 메우고, 트렌치(250) 외부의 제4 반도체층(240) 상에 추가적으로 패턴 형태로 존재할 수도 있다.

[37] 게이트 전극(265)은 제4 반도체층(240)과 쇼트키(schottky) 접합을 이루는 물질을 포함할 수 있다. 일 예로서, 게이트 전극(265)은 붕소(B), 비소(As), 인(P), 마그네슘(Mg) 또는 이들의 조합을 포함하는 도펀트가 도핑된 p형 GaN 반도체를 포함할 수 있다. 다른 예로서, 게이트 전극(265)은 니켈(Ni), 금(Au)등의 금속을 포함할 수 있다. 도시되지는 않았지만, 몇몇 다른 실시 예들에 따르면, 게이트 전극(265)과 제4 반도체층(240) 사이에는 절연막이 추가로 배치될 수 있다. 상기 절연막은 게이트 전극(265)과의 관계에서 게이트 유전층으로서 기능할 수 있다. 상기 절연막이 개재되는 경우, 게이트 전극(265)은 상기 쇼트키 접합과 무관하게 다양한 전도체를 포함할 수 있다.

[38] 게이트 전극(265)은 질화물 트랜지스터(200)의 턴온 시에, 제4 반도체층(240)과 접하는 제2 반도체층(220) 내에 수직형 채널을 형성할 수 있다. 상기 채널은 상기 2DEG 불연속 영역(A1)을 극복하여, 제3 반도체층(230)과 제1 반도체층(210) 사이에서, 전하 전도가 이루어지게 할 수 있다. 즉, 본 개시의 실시 예에서는 게이트 전극(265)에 문턱 전압 이상의 전압이 인가될 때, 제2 반도체층(220) 내에 형성되는 상기 채널을 통하여, 턴온 동작이 이루어질 수 있다.

[39] 소스 전극(270)은 패시베이션층(290)에 의해 게이트 전극(265)과 절연되며 제3 반도체층(230) 또는 제4 반도체층(240)과 접하도록 배치될 수 있다. 도시된 구조에서, 소스 전극(270)은 제3 반도체층(230) 및 제4 반도체층(240)의 측면과 접하도록 패터닝되어 제2 반도체층(220) 상에 배치될 수 있다. 이 때, 소스 전극(270)은 제3 반도체층(230) 내부에 형성된 2DEG층(242)과 접하도록 배치될 수 있다. 도시되지는 않았지만, 다른 실시 예에서, 소스 전극(270)은 제4 반도체층(240)의 측면만을 접하도록 패터닝되어 제3 반도체층(230) 상에 배치될 수도 있다.

[40] 소스 전극(270)은 제3 반도체층(230) 또는 제4 반도체층(240)과 오믹 접합(ohmic contact)할 수 있는 물질을 포함할 수 있다. 소스 전극(270)은 일 예로서, 타이타늄(Ti), 알루이늄(Al), 팔라듐(Pd), 텅스텐(W) 또는 이들의 조합을 포함할 수 있다.

[41] 드레인 전극(280)은 제1 반도체층(210) 하부에 배치됨으로써, 소스 전극(265)과 상하 방향으로 맞은 편에 배치될 수 있다. 드레인 전극(280)은 제1 반도체층(210)과 오믹 접합할 수 있는 물질을 포함할 수 있다. 드레인

전극(280)은 일 예로서, 타이타늄(Ti), 알루이늄(Al), 팔라듐(Pd), 텅스텐(W) 또는 이들의 조합을 포함할 수 있다.

[42] 상술한 본 개시의 일 실시 예에 따르면, 게이트 전극(265)에 전압을 인가하지 않는 상태에서, 트렌치(250) 하부면의 제4 반도체층(240)과 제1 반도체층(210) 사이의 계면 영역, 트렌치(250) 외부의 제4 반도체층(240)과 제3 반도체층(230) 사이의 계면 영역에 2DEG층(242)이 형성된다. 반면에, 트렌치(250) 측벽의 제4 반도체층(240)과 제1 반도체층(210) 내지 제3 반도체층(230) 사이의 계면 영역에는 2DEG 불연속 영역(A1)이 형성됨으로써, 턴오프 상태를 유지할 수 있다. 게이트 전극(265)에 문턱 전압 이상의 전압이 인가되면, 2DEG 불연속 영역(A1)을 커버하도록 제2 반도체층(220) 내에 수직형 채널이 형성되어, 전하가 상기 채널을 통해 전도될 수 있다. 이와 같이, 질화물계 트랜지스터 구조에서, 질화물계 반도체층간의 이종 접합을 통해 형성되는 2DEG층(242) 내의 고농도의 전하를 신호 전달에 이용하되, 게이트 전압(265)이 인가되지 않는 상태에서는 턴오프 상태를 신뢰성 있게 유지하도록 할 수 있다. 그리고, 턴온 상태에서는 상기 수직형 채널을 통해 상기 고농도의 전하가 전도되도록 할 수 있다. 이로서, 높은 전류 용량과 낮은 동작 저항을 가지며, 아울러 칩 사이즈를 감소시킬 수 있는 질화물계 트랜지스터를 제공할 수 있다.

[43] 도 3은 본 개시의 다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다. 도 3을 참조하면, 질화물계 트랜지스터(300)는 트렌치(255)의 측면이 경사를 갖는 것을 제외하고는 도 2와 관련하여 상술한 질화물계 트랜지스터(200)와 실질적으로 동일하다. 도 3에 도시된 바와 같이, 트렌치(255)를 경사지게 형성함으로써, 도 2의 질화물계 트랜지스터(200)와 대비하여 2DEG 불연속 영역을 추가적으로 제어할 수 있다. 반드시 특정한 이론에 한정하여 설명되는 것은 아니지만, 트렌치(255)가 경사진 형태를 가지는 경우, 경사면을 따라 형성되는 제4 반도체층(240)과 제1 반도체층(210) 내지 제3 반도체층(230) 사이의 계면 영역에서의 자발 분극과 압전 분극의 효과는 수직 형태의 트렌치(250)인 경우와 대비하여 상대적으로 강하게 작용할 수 있다. 따라서, 제4 반도체층(240)의 두께가 상대적으로 얇은 영역을 제외한 일부 경사 영역에서 2DEG층이 추가로 형성될 수 있다.

[44] 도 4는 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다. 도 4를 참조하면, 질화물계 트랜지스터(400)는 제4 반도체층(240)과 패시베이션층(290) 사이에 배치되는 알루미늄(Al)을 포함하는 질화막(410)을 더 포함하는 것을 제외하고는 도 2 및 도 3과 관련되어 상술한 질화물계 트랜지스터(200, 300)과 실질적으로 동일하다. 상기 알루미늄을 포함하는 질화막(410)은 제4 반도체층(240)의 격자 상수와 다른 격자 상수를 가지는 구조의 박막층일 수 있다. 일 예로서, 질화막(410)은 일 예로서, AlN층, InAlGaN층 또는 상기 제4 반도체층(240)보다 Al의 농도가 높은 AlGaN층을 포함할 수 있다. 반드시 특정한 이론에 한정되어 설명되는 것은 아니지만, 상기

AlN층, InAlGaN층, 또는 상기 제4 반도체층(240)보다 Al의 농도가 높은 AlGaN층이 제4 반도체층(240) 상에 배치될 때, 제4 반도체층(240)인 AlGaN층과 제3 반도체층(230)인 GaN층의 계면에서의 변형률(strain)이 증가될 수 있다. 이에 따라, 계면에서의 압전 분극의 효과를 증가시켜, 제4 반도체층(240)과 제3 반도체층(230) 사이의 계면 영역에서 2DEG 층의 밀도를 증가시킬 수 있다.

[45] 도 5는 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다. 도 5를 참조하면, 질화물계 트랜지스터(500)는 제4 반도체층(240) 내부에 알루미늄을 포함하는 질화막(510)을 더 포함하는 것을 제외하고는 도 2 내지 도 4와 관련되어 상술한 질화물계 트랜지스터(200, 300, 400)와 실질적으로 동일하다. 상기 알루미늄을 포함하는 질화막(510)은 제4 반도체층(290)의 격자 상수와 다른 격자 상수를 가지는 구조의 박막층일 수 있다. 일 예로서, 질화막(510)은 일 예로서, AlN층, InAlGaN층 또는 상기 제4 반도체층(240)보다 Al의 농도가 높은 AlGaN층을 포함할 수 있다. 도 4의 질화물계 트랜지스터(400)에서와 같이, 제4 반도체층(290) 내부의 질화막(510)은 제4 반도체층(240)과 제3 반도체층(230)의 계면에서의 변형률(strain)을 증가시켜, 2DEG층의 밀도를 증가시킬 수 있다. 질화막(510)은 제4 반도체층(290) 내부에 적어도 한 층 이상 개재될 수 있다.

[46] 도 6은 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다. 도 6을 참조하면, 질화물계 트랜지스터(600)는 드레인 전극(282)이 제1 반도체층(210) 하부에 배치되지 않고, 패터닝된 제1 반도체층(210)상에 배치되는 것을 제외하고는 도 2 내지 도 5와 관련하여 상술한 질화물계 트랜지스터(200, 300, 400, 500)와 실질적으로 동일하다. 도 6의 질화물계 트랜지스터(600)는 세미(semi)-수직형 형태의 트랜지스터 구조일 수 있다.

[47] 도 7은 본 개시의 또다른 실시 예에 따르는 질화물계 트랜지스터를 개략적으로 나타내는 단면도이다. 도 7을 참조하면, 질화물계 트랜지스터(700)는 소스 전극(770)이 제4 반도체층(240) 상에 패턴 형태로 배치되는 것을 제외하고는 도 2 내지 도 6과 관련하여 상술한 질화물계 트랜지스터(200, 300, 400, 500, 600)과 실질적으로 동일하다. 질화물계 트랜지스터(200, 300, 400, 500, 600)과 대비할 때, 소스 전극(770)은 제3 절연층(230)과 직접 접하지 않도록 배치될 수 있다.

[48] 도 8 내지 도 13은 본 개시의 일 실시 예에 따르는 질화물계 트랜지스터의 제조 방법을 개략적으로 나타내는 단면도이다. 도 8을 참조하면, 기판(201) 상에 제1 형으로 도핑된 제1 질화물계 제1 반도체층(210), 제2 형으로 도핑된 제1 질화물계 제2 반도체층(220) 및 제1 형으로 도핑된 제1 질화물계 제3 반도체층(230)을 순차적으로 형성한다. 기판(201)은 일 예로서, 사파이어 기판, GaN 기판, SiC 기판, Si 기판 등과 같은 성장 기판일 수 있으나, 반드시 이에 한정되지는 않고, 질화물계 반도체층을 성장시킬 수 있는 요건을 만족시키는 한 다른 기판도 가능하다.

[49] 제1 질화물계 제1 반도체층(210), 제1 질화물계 제2 반도체층(220) 및 제1 질화물계 제3 반도체층(230)은 일 예로서, 언도프 GaN 또는 InN 등과 같은 2성분계, AlGaN 또는 InGaN 등과 같은 3성분계, AlInGaN과 같은 4성분계 질화물 반도체를 포함할 수 있다. 또한, 제1 질화물계 제1 반도체층(210), 제1 질화물계 제2 반도체층(220) 및 제1 질화물계 제3 반도체층(230)은 일 예로서, n형 또는 p형으로 도핑된 질화물계 반도체 물질을 포함할 수 있다. 상기 제1 형은 일 예로서, n형 또는 p형 일 수 있다. 일 예로서, n형으로 도핑되는 경우, 도펀트는 실리콘(Si)이 적용될 수 있으며, p형으로 도핑되는 경우, 도펀트는 붕소(B), 비소(As), 인(P), 마그세슘(Mg) 등이 적용될 수 있다. 상기 제2 형은 일 예로서, n형 또는 p형일 수 있으나, 상기 제1 형과는 서로 다른 도핑 형태를 의미한다. 즉, 제1 형이 n형 경우 제2 형은 p형이고, 제1 형이 p형 인 경우 제2 형은 n형 일 수 있다. 제1 질화물계 제1 반도체층(210), 제1 질화물계 제2 반도체층(220) 및 제1 질화물계 제3 반도체층(230)을 형성하는 방법은 일 예로서, 금속유기화학기상증착법(Metal Organic Chemical Vapor Deposition), 분자빔에피탁시(Molecular Beam Epitaxy), 수소화기상증착에피탁시(Hydride Vapor Phase Epitaxy) 등과 같은 방법을 적용할 수 있다. 일 실시 예에 있어서, 제1 반도체층(210)은 n형 GaN층, 제2 반도체층(220)은 p형 GaN층, 제3 반도체층(230)은 n형 GaN층일 수 있다.

[50] 도시되지는 않았지만, 몇몇 다른 실시예에 있어서, 제1 질화물계 제1 반도체층(210)을 형성하기 전에, 기판(201) 상에 일 예로서, AlN과 같은 질화물계 버퍼층을 형성할 수 있다. 상기 버퍼층은 제1 질화물계 제1 반도체층(210)을 성장하도록 하는 핵층의 역할을 할 수 있고, 기판(201)과 제1 질화물계 제1 반도체층(210) 간의 격자상수 불일치를 완화시키는 역할을 수행할 수 있다.

[51] 도 9를 참조하면, 적어도 제2 반도체층(220) 및 제3 반도체층(230)을 관통하는 트렌치(250)를 형성한다. 도시된 바와 같이, 트렌치(250)의 바닥면은 제1 반도체층(210)을 노출시킬 수 있다. 트렌치(250)의 측벽부는 트렌치(250)의 바닥면과 수직을 이루도록 형성될 수 있다. 또는 도 3의 실시예와 같이, 트렌치(250)의 측벽부는 트렌치(250)의 바닥면과 소정의 각도로 경사를 이룰 수도 있다. 트렌치(250)를 형성하는 방법은 일 예로서, 건식 식각, 습식 식각 또는 이들의 결합을 적용할 수 있다.

[52] 도 10을 참조하면, 트렌치(250) 내부의 제1 반도체층(210) 내지 제3 반도체층(230) 및 트렌치(250) 외부의 제3 반도체층(230) 상에 제2 질화물계 제4 반도체층(240)을 형성한다. 제4 반도체층(240)은 상기 제1 질화물계 제1 반도체층 내지 제3 반도체층(210, 220, 230)과 다른 제2 질화물계 반도체층일 수 있다. 제4 반도체층(240)은 제1 반도체층(210) 내지 제3 반도체층(230) 내의 질화물이 가지는 에너지 밴드갭과 다른 에너지 밴드갭을 가지는 질화물을 포함할 수 있다. 일 실시 예에 있어서, 제1 반도체층(210)이 n형 GaN층, 제2 반도체층(220)이 p형 GaN층, 제3 반도체층(230)이 n형 GaN층일 때, 제4

반도체층(240)은 AlGaN층일 수 있다.

[53] 트렌치(250)의 바닥면에 배치되는 제4 반도체층(240)과 제1 반도체층(210)의 계면 영역에는 2DEG층(242)이 형성될 수 있다. 또한, 트렌치(250) 외부의 제4 반도체층(240) 및 제3 반도체층(230)의 계면 영역에서는 2DEG층(242)이 형성될 수 있다. 트렌치(250)의 측벽에 형성되는 제4 반도체층(240)의 부분과 접하는 제1 반도체층(210) 내지 제3 반도체층(230)의 계면 영역에는 2DEG층이 단절된 2DEG 불연속 영역(A1)이 형성될 수 있다.

[54] 제2 질화물계 제4 반도체층(240)을 형성하는 방법은 제1 반도체층(210) 내지 제3 반도체층(230)로부터 제4 반도체층(240)을 재성장(regrowth)시키는 방법을 적용할 수 있다. 제4 반도체층(240)을 재성장시키는 방법은 일 예로서, 금속유기화학기상증착법(Metal Organic Chemical Vapor Deposition), 분자빔에피탁시(Molecular Beam Epitaxy), 수소화기상증착에피탁시(Hydride Vapor Phase Epitaxy) 등과 같은 방법을 적용할 수 있다. 이때, 온도와 같은 공정 조건을 제어함으로써, 트렌치(250)의 측벽부에 형성되는 제4 반도체층(240)의 부분을, 트렌치(250)의 바닥면 및 트렌치(250) 외부의 제3 반도체층(230) 상에 형성되는 제4 반도체층(240)의 부분보다 얇게 형성할 수 있다.

[55] 도 10을 다시 참조하면, 제4 반도체층(240)이 형성된 트렌치(250) 내부를 채우고, 트렌치(250) 외부의 제4 반도체층(240)을 커버하도록 게이트 도전층(260)을 형성한다. 게이트 도전층(260)은 제4 반도체층(240)과 쇼트키(schottky) 접합을 이루는 물질로 형성될 수 있다. 일 예로서, 게이트 도전층(260)은 붕소(B), 비소(As), 인(P), 마그네슘(Mg) 또는 이들의 조합을 포함하는 도펀트가 도핑된 P-형 GaN 반도체로부터 형성될 수 있다. 다른 예로서, 게이트 도전층(260)은 니켈(Ni), 금(Au)등의 금속으로부터 형성될 수 있다. 게이트 도전층(260)을 형성하는 공정은 일 예로서, 유기금속화학기상증착법, 스퍼터링법 등과 같은 방법을 적용할 수 있다.

[56] 도시되지는 않았지만, 몇몇 다른 실시 예들에 있어서, 게이트 도전층(260)을 형성하기 전에, 제4 반도체층(240) 상에 절연막을 형성할 수 있다. 상기 절연막은 일 예로서, 산화막, 질화막 또는 산질화막일 수 있다. 상기 절연막은 후술하는 게이트 전극과의 관계에서 게이트 유전층으로서 기능할 수 있다.

[57] 도 11을 참조하면, 게이트 도전층(260)을 평탄화하여 트렌치(260) 외부의 제4 반도체층(240)을 노출시킴으로써, 트렌치(250) 내부에 게이트 전극(265)을 형성한다. 상기 평탄화 공정은 일 예로서, 에치백 또는 화학적물리적연마법 등을 적용할 수 있다.

[58] 도 12를 참조하면, 게이트 전극(265) 및 제4 반도체층(240) 상에 패시베이션층(290)을 형성한다. 패시베이션층(290)은 일예로서, 산화막, 질화막 또는 산질화막을 포함할 수 있다. 패시베이션층(290)은 일 예로서, 증착법, 코팅법 등의 공지의 방법에 의해 형성될 수 있다.

[59] 도 13을 참조하면, 패시베이션층(290), 제4 반도체층(240) 및 제3

반도체층(230)을 선택적으로 패터닝하여, 제4 반도체층(240) 및 제3 반도체층(230)의 측면을 노출시킨다. 이어서, 측면이 노출된 제4 반도체층(240) 및 제3 반도체층(230)을 적어도 커버하는 전도층을 제2 반도체층(220) 상에 형성한다. 이로서, 소스 전극(270)을 형성할 수 있다. 소스 전극(270)은 제3 반도체층(230) 또는 제4 반도체층(240)과 오믹 접합(ohmic contact)할 수 있는 물질을 포함할 수 있다. 소스 전극(270)은 일 예로서, 타이타늄(Ti), 알루이늄(Al), 팔라듐(Pd), 텅스텐(W) 또는 이들의 조합을 포함할 수 있다. 소스 전극(270)을 형성하는 공정은 일 예로서, 유기금속화학기상증착법, 스퍼터링법 등과 같은 방법을 적용할 수 있다.

[60] 도시된 것과 다른 몇몇 다른 실시예에 따르면, 패시베이션층(290) 및 제4 반도체층(240) 만을 선택적으로 패터닝하여, 제4 반도체층(240)의 측면을 노출시킬 수 있다. 이어, 측면이 노출된 제4 반도체층(240)을 커버하는 소스 전극(270)을 제3 반도체층(230) 상에 형성할 수도 있다.

[61] 이어서, 기판(201)을 제1 반도체층(210)과 분리하여 제거할 수 있다. 상기 분리공정은 일 예로서, 레이저-리프트 공정을 적용할 수 있다, 제1 반도체층(210) 상에 드레인 전극(280)을 형성한다. 드레인 전극(280)은 제1 반도체층(210) 하부에 배치됨으로써, 소스 전극(270)과 상하 방향으로 맞은 편에 배치될 수 있다. 드레인 전극(280)은 제1 반도체층(210)과 오믹 접합할 수 있는 물질을 포함할 수 있다. 드레인 전극(280)은 일 예로서, 타이타늄(Ti), 알루이늄(Al), 팔라듐(Pd), 텅스텐(W) 또는 이들의 조합을 포함할 수 있다. 드레인 전극(280)을 형성하는 공정은 일 예로서, 유기금속화학기상증착법, 스퍼터링법 등과 같은 방법을 적용할 수 있다. 상술한 공정을 통하여 수직형 채널을 구비하는 질화물계 트랜지스터를 제조할 수 있다.

[62] 도 14는 본 개시의 다른 실시 예에 따르는 질화물계 트랜지스터의 제조 방법을 나타내는 도면이다. 먼저, 도 8 내지 도 10과 관련되어 상술된 공정을 진행한다. 즉, 제4 반도체층(240)이 형성된 트렌치(250) 내부를 채우고, 트렌치(250) 외부의 제4 반도체층(240)을 커버하도록 게이트 도전층(260)을 형성한다. 이어서, 제4 반도체층(240) 상에서, 게이트 도전층(260)을 패터닝함으로써, 트렌치(250) 내부를 채우며 제4 반도체층(240) 상에 배치되는 게이트 전극(265)을 형성할 수 있다. 이후에, 도 12 및 도 13과 관련된 공정을 진행하여 수직형 채널을 구비하는 질화물계 트랜지스터를 제조할 수 있다.

[63] 몇몇 다른 실시 예들에 있어서는, 도 8 내지 도 10와 관련되어 제4 반도체층(240)을 형성한 후, 게이트 도전층(260)을 형성하기 전에, 제4 반도체층(240) 상에 알루미늄을 포함하는 질화막을 형성할 수 있다. 상기 알루미늄을 포함하는 질화막은 제4 반도체층(240)의 격자 상수와 다른 격자 상수를 가지는 구조의 박막층일 수 있다. 일 예로서, 상기 질화막은 일 예로서, AlN층, InAlGaN층 또는 고농도로 도핑된 AlGaN층을 포함할 수 있다. 상기 질화막은 제4 반도체층(240)과 제3 반도체층(230) 사이 계면에서의 압전 분극의

효과를 증가시켜, 계면 영역에서의 2DEG 층의 밀도를 증가시킬 수 있다. 이후에, 상술한 도 11 내지 도 13에 대응되는 공정을 진행하여, 도 4에 도시된 수직형 채널을 구비하는 질화물계 트랜지스터를 제조할 수 있다.

[64] 몇몇 다른 실시 예들에 있어서는, 상기 알루미늄을 포함하는 질화막은 제4 반도체층(240)의 내부에 개재되도록 형성될 수도 있다. 이로서, 도 5에 도시되는 수직형 채널을 구비하는 질화물계 트랜지스터를 제조할 수 있다.

[65] 몇몇 다른 실시 예들에 있어서는, 도 8 내지 도 13과 관련되어 소스 전극(270)을 구비하는 적층 구조물을 형성한 후에, 상기 적층 구조물을 패터닝하여 제1 반도체층(210)을 노출시킨다. 그리고, 드레인 전극(280)을 노출된 제1 반도체층(210)에 형성할 수 있다. 이로서, 도 6에 도시되는 수직형 채널을 구비하는 질화물계 트랜지스터를 제조할 수 있다.

[66] 몇몇 다른 실시 예들에 있어서는, 도 8 내지 도 11과 관련되어 게이트 전극(265)을 형성한 후에, 패시베이션층(290)을 형성하지 않고, 소스 전극을 제4 반도체층(240) 상에서 패터닝하여 형성할 수 있다. 이후에, 패시베이션층(290)이 상기 소스 전극 사이에 형성할 수 있다. 이로서, 도 7에 도시되는 수직형 채널을 구비하는 질화물계 트랜지스터를 제조할 수 있다.

[67] 이상에서는 도면 및 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 출원의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 출원에 개시된 실시예들을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

청구범위

[청구항 1] 제1 형으로 도핑된 제1 질화물계 제1 반도체층;
상기 제1 반도체층 상에 배치되는 제2 형으로 도핑된 제1 질화물계 제2 반도체층;
상기 제2 반도체층 상에 배치되는 제1 형으로 도핑된 제1 질화물계 제3 반도체층;
적어도 상기 제2 반도체층 및 상기 제3 반도체층을 관통하도록 형성되는 트렌치의 내벽을 따라 배치되고, 상기 트렌치 외부의 상기 제3 반도체층 상에 배치되는 제2 질화물계 제4 반도체층; 및
상기 제4 반도체층 상에 형성되는 게이트 전극을 포함하되,
상기 제2 질화물계 제4 반도체층은 상기 제1 질화물계 제1 반도체층 내지 제3 반도체층과 대비하여 다른 에너지 밴드갭을 가지는 질화물을 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 2] 제1 항에 있어서,
상기 트렌치의 바닥면에 배치되는 제4 반도체층과 상기 제1 반도체층의 계면영역에 이종 접합에 의한 2DEG가 형성되는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 3] 제1 항에 있어서,
상기 제3 반도체층과 상기 제4 반도체층 사이의 계면 영역에 이종 접합에 의한 2DEG가 형성되는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 4] 제1 항에 있어서,
상기 제1 반도체층과 전기적으로 연결되는 드레인 전극 및 상기 제3 반도체층 또는 상기 제4 반도체층과 전기적으로 연결되는 소스 전극을 더 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 5] 제1 항에 있어서,
상기 트렌치의 측벽부는 상기 트렌치의 바닥면과 수직을 이루는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 6] 제1 항에 있어서,
상기 트렌치의 측벽부는 상기 트렌치의 바닥면과 소정의 각도로 경사를 이루는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 7] 제1 항에 있어서,
상기 트렌치의 측벽부에 형성되는 상기 제4 반도체층의 부분은 상기 트렌치의 바닥면에 형성되는 상기 제4 반도체층의 부분 및

상기 트렌치 외부의 상기 제3 반도체층 상에 형성되는 상기 제4 반도체층의 부분보다 두께가 얇은
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 8] 제1 항에 있어서,
상기 게이트 전극은, 턴온 시에, 상기 트렌치의 측벽의 상기 제4 반도체층과 상기 제2 반도체층의 계면 영역에 채널층을 형성하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 9] 제1 항에 있어서,
상기 게이트 전극은
상기 트렌치의 내부를 채우도록 배치되는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 10] 제1 항에 있어서,
상기 게이트 전극은
상기 제4 반도체층과 쇼트키 접합을 이루는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 11] 제1 항에 있어서,
상기 게이트 전극과 상기 제4 반도체층 사이에 배치되는 절연막을 더 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 12] 제1 항에 있어서,
상기 제4 반도체층 상에 배치되고, 상기 제4 반도체층의 격자 상수와 다른 격자 상수를 가지는 구조의 질화막을 더 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 13] 제1 항에 있어서,
상기 제4 반도체층 내부에 개재되고, 상기 제4 반도체층의 격자 상수와 다른 격자 상수를 가지는 구조의 질화막을 더 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 14] 제1 항에 있어서,
상기 제1 반도체층은 n형으로 도핑된 GaN층이고,
상기 제2 반도체층은 p형으로 도핑된 GaN층이고,
상기 제3 반도체층은 n형으로 도핑된 GaN층이고,
상기 제4 반도체층은 AlGaN층인
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 15] 제14 항에 있어서,
상기 제4 반도체층 상에 배치되며, AlN층, InAlGaN층 및 상기 제4 반도체층보다 Al의 농도가 높은 AlGaN층으로 이루어진 그룹에서 선택된 적어도 하나를 더 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 16] 제14 항에 있어서,
상기 제4 반도체층 내부에 개재되고, AlN층, InAlGaN층 및 상기 제4 반도체층보다 Al의 농도가 높은 AlGaN층으로 이루어진 그룹에서 선택된 적어도 하나를 더 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터.

[청구항 17] 기판 상에 제1 형으로 도핑된 제1 질화물계 제1 반도체층, 제2 형으로 도핑된 제1 질화물계 제2 반도체층 및 제1 형으로 도핑된 제1 질화물계 제3 반도체층을 순차적으로 형성하는 단계;
적어도 상기 제2 반도체층 및 상기 제3 반도체층을 관통하는 트렌치를 형성하는 단계;
상기 트렌치 내벽의 상기 제1 반도체층 내지 상기 제3 반도체층 및 상기 트렌치 외부의 상기 제3 반도체층 상에 제2 질화물계 제4 반도체층을 형성하는 단계; 및
상기 트렌치 내부에 게이트 전극을 형성하는 단계를 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 18] 제17 항에 있어서,
상기 제4 반도체층을 형성하는 단계는
상기 제1 반도체층 내지 제3 반도체층로부터 상기 제4 반도체층을 재성장(regrowth)시키는 단계를 포함하는
수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 19] 제18 항에 있어서,
상기 트렌치의 측벽부에 형성되는 상기 제4 반도체층의 부분은
상기 트렌치의 바닥면에 형성되는 상기 제4 반도체층의 부분 및 상기 트렌치 외부의 상기 제3 반도체층 상에 형성되는 상기 제4 반도체층의 부분보다 두께가 얇은
수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 20] 제17 항에 있어서,
상기 트렌치의 측벽부는 상기 트렌치의 바닥면과 수직을 이루도록 형성하는
수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 21] 제17 항에 있어서,
상기 트렌치의 측벽부는 상기 트렌치의 바닥면과 소정의 각도로 경사를 이루는
수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 22] 제17 항에 있어서,
상기 게이트 전극을 형성하는 단계는
상기 제4 반도체층이 형성된 상기 트렌치를 채우고, 상기 트렌치 외부의 상기 제4 반도체층 상에 게이트 도전층을 형성하는 단계;

및

상기 트렌치 외부의 상기 제4 반도체층을 노출되도록 상기 게이트 도전층을 평탄화하는 단계를 포함하는

수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 23] 제22 항에 있어서,

상기 게이트 도전층을 형성하기 전에, 상기 제4 반도체층 상에 절연막을 형성하는 단계를 더 포함하는

수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 24] 제17 항에 있어서,

적어도 상기 제4 반도체층과 접하는 소스 전극을 형성하는 단계를 더 포함하는

수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 25] 제24 항에 있어서,

상기 소스 전극을 형성하는 단계는

상기 게이트 전극 상에 패시베이션층을 형성하는 단계;

상기 패시베이션층, 상기 제4 반도체층 및 상기 제3 반도체층을 선택적으로 패터닝하여, 적어도 상기 제4 반도체층 및 상기 제3 반도체층의 측면을 노출시키는 단계; 및

상기 적어도 노출된 제4 반도체층 및 제3 반도체층의 측면을 적어도 커버하는 전도층을 상기 제2 반도체층 상에 형성하는 단계를 포함하는

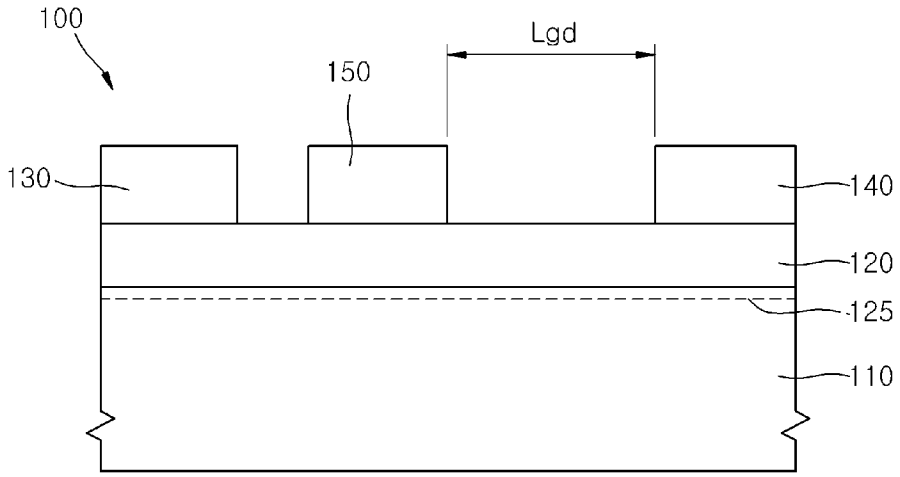
수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

[청구항 26] 제17 항에 있어서,

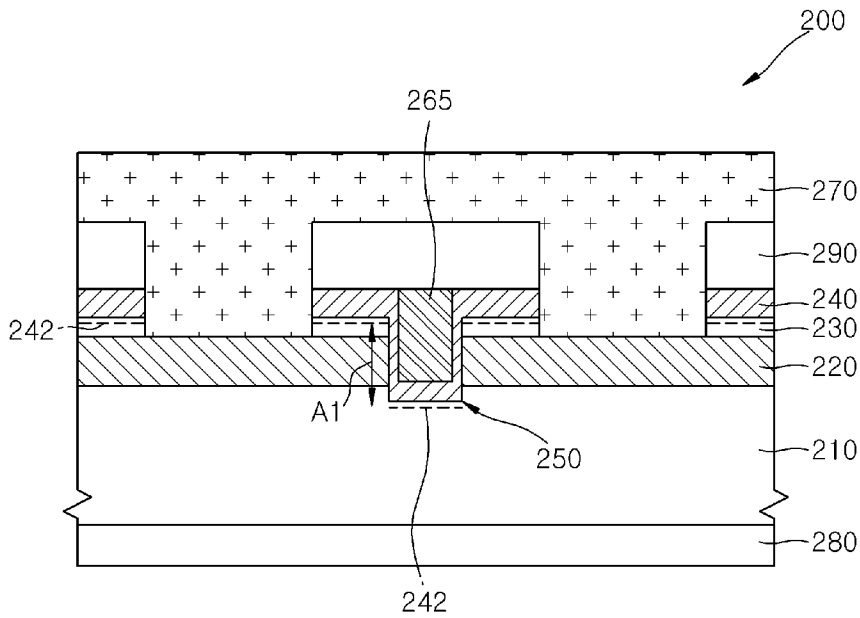
상기 제1 반도체층과 접하는 드레인 전극을 형성하는 단계를 더 포함하는

수직형 채널을 구비하는 질화물계 트랜지스터의 제조 방법.

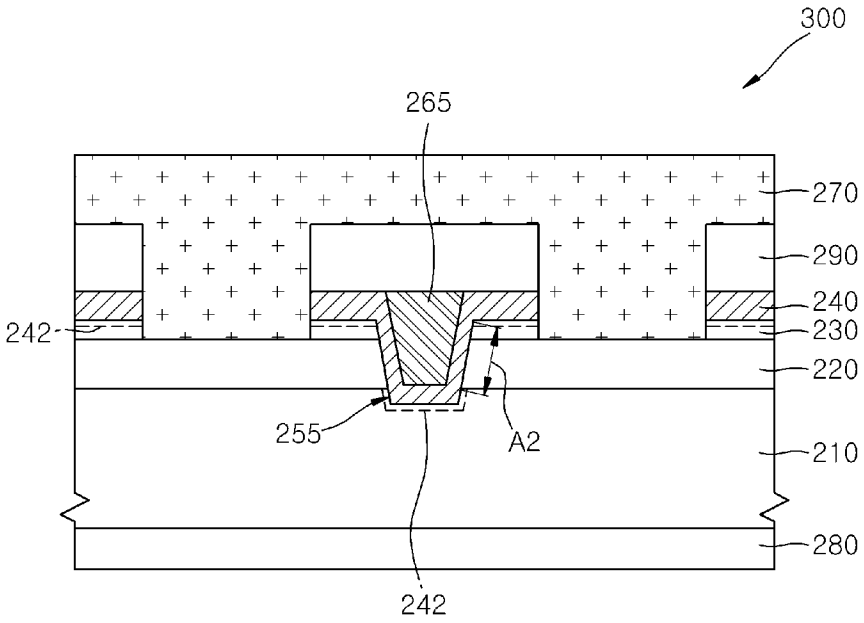
[Fig. 1]


100
Lgd
150
130
140
120
125
110

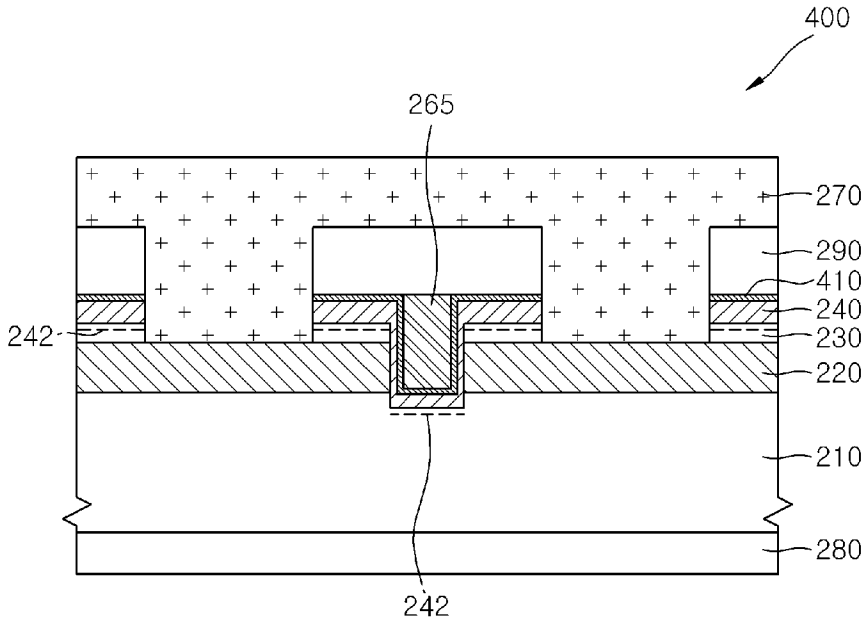
[Fig. 2]


200
265
270
290
240
242
230
220
A1
250
210
280
242

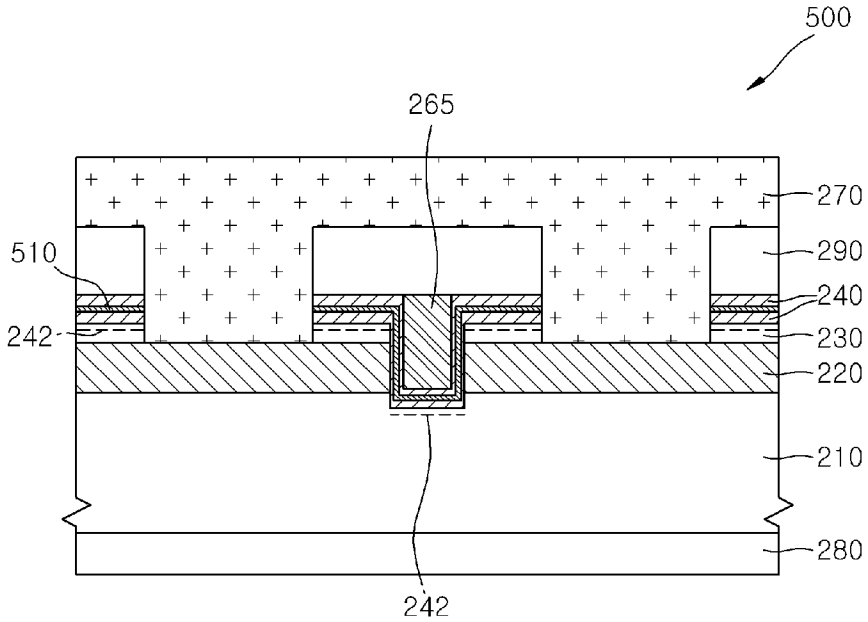
[Fig. 3]


300
265
270
290
240
242
230
220
255
A2
210
280
242

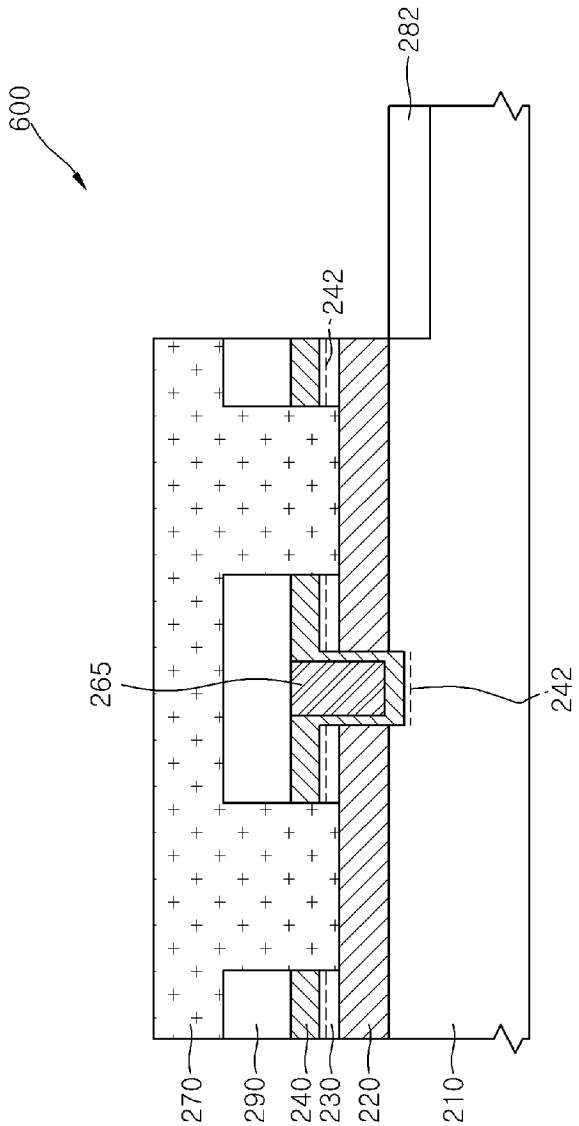
[Fig. 4]


400
265
270
290
410
240
242
230
220
210
280
242

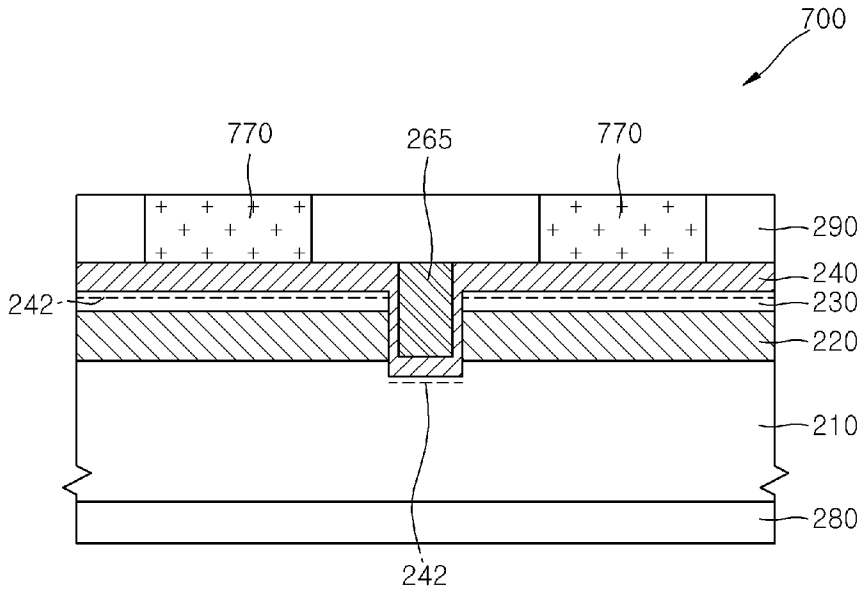
[Fig. 5]


500
265
270
510
290
240
242
230
220
210
280
242

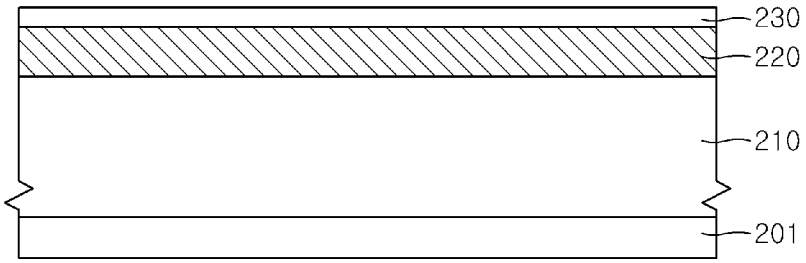
[Fig. 6]


600
282
242
265
242
270
290
240
230
220
210

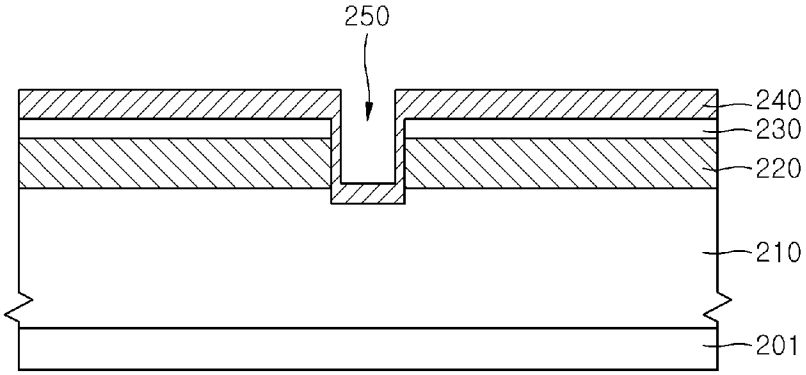
[Fig. 7]



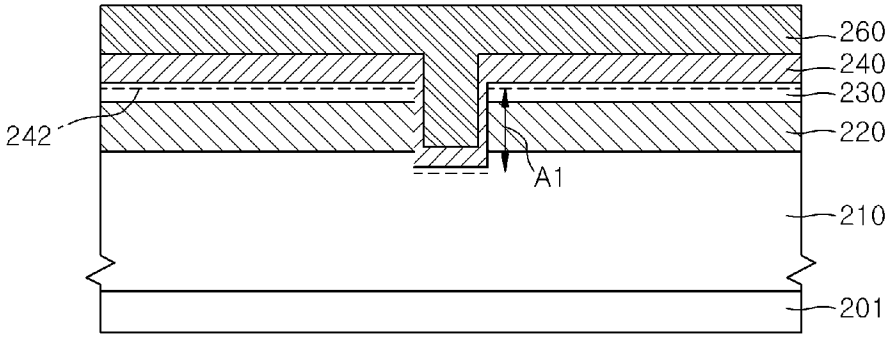
[Fig. 8]



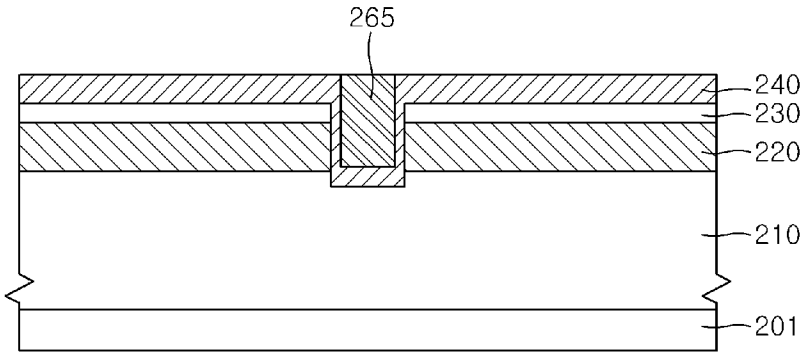
[Fig. 9]



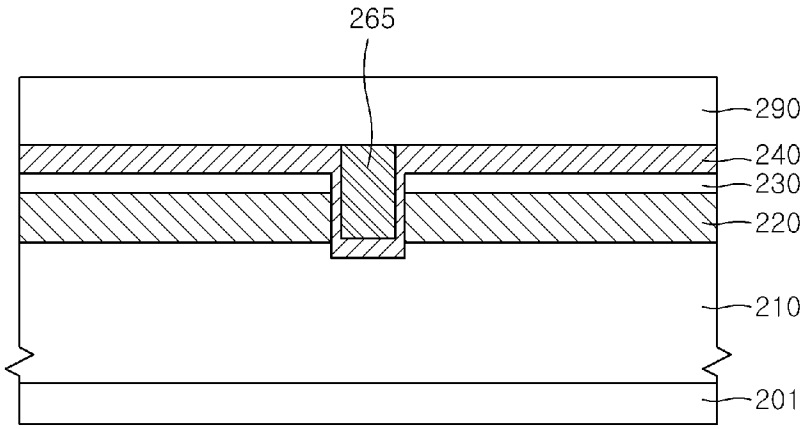
[Fig. 10]



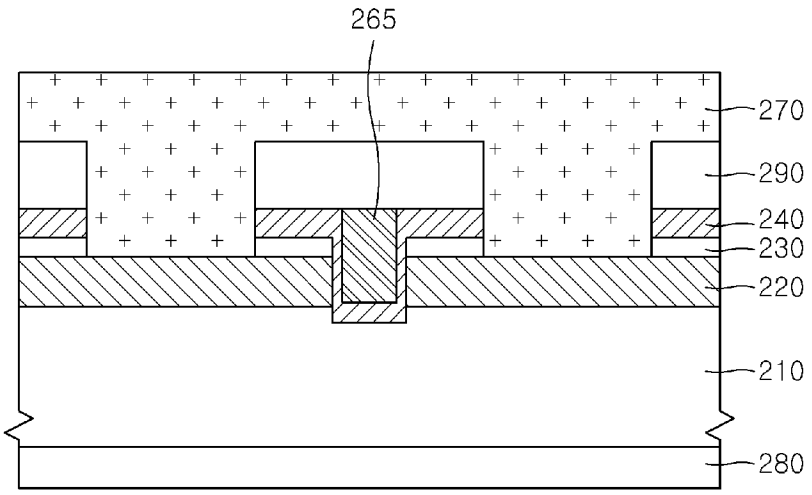
[Fig. 11]



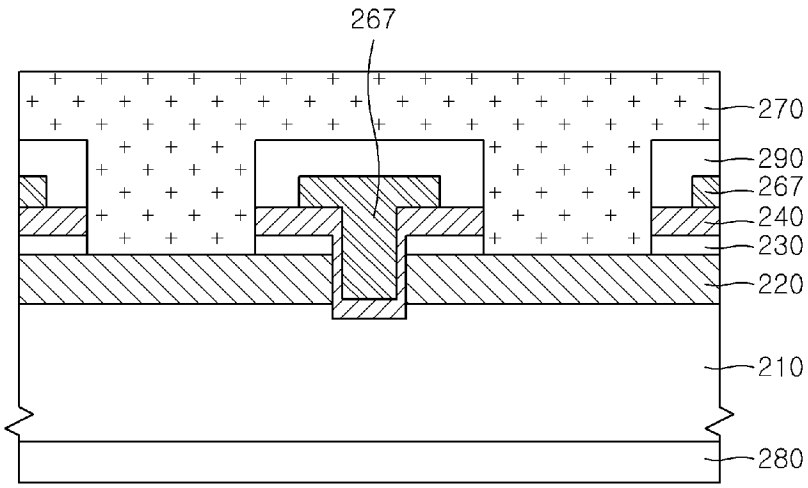
[Fig. 12]



[Fig. 13]


265
270
290
240
230
220
210
280

[Fig. 14]


267
270
290
267
240
230
220
210
280

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2014/005371

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778(2006.01)i, H01L 21/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/778; H01L 21/336; H01L 21/338; H01L 21/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: transistor, doping, nitride, trench, inner wall, vertical panel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102629624 A (XIDIAN UNIVERSITY) 08 August 2012 See abstract, paragraphs [0045]-[0082] and figures 1, 2.	1-26
A	JP 2013-077630 A (FUJITSU LTD.) 25 April 2013 See abstract, paragraphs [0015]-[0025] and figures 1-8.	1-26
A	CN 102683406 A (XIDIAN UNIVERSITY) 19 September 2012 See abstract, paragraphs [0046]-[0086] and figures 1, 2.	1-26
A	US 2009-0072240 A1 (SUH, Chang Soo et al.) 19 March 2009 See abstract, paragraphs [0039]-[0051] and figures 5A-11C.	1-26
A	KR 10-2009-0132533 A (FAIRCHILD SEMICONDUCTOR CORPORATION) 30 December 2009 See abstract, paragraphs [0090], [0091] and figures 5, 6.	1-26

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 SEPTEMBER 2014 (26.09.2014)	**26 SEPTEMBER 2014 (26.09.2014)**

Name and mailing address of the ISA/KR
Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea
Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2014/005371

Patent document cited in search report	Publication date	Patent family member	Publication date
CN 102629624 A	08/08/2012	CN 102629624 B	20/08/2014
JP 2013-077630 A	25/04/2013	CN 103035704 A	10/04/2013
		KR 10-1357526 B1	03/02/2014
		KR 10-2013-0035197 A	08/04/2013
		TW 201324767 A	16/06/2013
		US 2013-0083570 A1	04/04/2013
CN 102683406 A	19/09/2012	CN 102683406 B	20/08/2014
US 2009-0072240 A1	19/03/2009	TW 200924068 A	01/06/2009
		US 2010-0255646 A1	07/10/2010
		US 7795642 B2	14/09/2010
		US 7939391 B2	10/05/2011
		WO 2009-036181 A2	19/03/2009
		WO 2009-036181 A3	07/05/2009
KR 10-2009-0132533 A	30/12/2009	CN 101621031 A	06/01/2010
		CN 101621031 B	05/02/2014
		CN 103762179 A	30/04/2014
		TW 201005876 A	01/02/2010
		US 2009-0315083 A1	24/12/2009
		US 2010-0320534 A1	23/12/2010
		US 7807576 B2	05/10/2010
		US 8669623 B2	11/03/2014

국 제 조 사 보 고 서

국제출원번호
PCT/KR2014/005371

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/778(2006.01)i, H01L 21/335(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/778; H01L 21/336; H01L 21/338; H01L 21/335

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 트랜지스터, 도핑, 질화물계, 트렌치, 내벽, 수직형 패널

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	CN 102629624 A (XIDIAN UNIVERSITY) 2012.08.08 요약, 문단번호 [0045]-[0082] 및 도면 1,2 참조.	1-26
A	JP 2013-077630 A (FUJITSU LTD.) 2013.04.25 요약, 문단번호 [0015]-[0025] 및 도면 1-8 참조.	1-26
A	CN 102683406 A (XIDIAN UNIVERSITY) 2012.09.19 요약, 문단번호 [0046]-[0086] 및 도면 1,2 참조.	1-26
A	US 2009-0072240 A1 (CHANG SOO SUH 외 1명) 2009.03.19 요약, 문단번호 [0039]-[0051] 및 도면 5A-11C 참조.	1-26
A	KR 10-2009-0132533 A (페어차일드 세미컨덕터 코포레이션) 2009.12.30 요약, 문단번호 [0090],[0091] 및 도면 5,6 참조.	1-26

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2014년 09월 26일 (26.09.2014)	2014년 09월 26일 (26.09.2014)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
김태훈
전화번호 +82-42-481-8407

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2014/005371

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
CN 102629624 A	2012/08/08	CN 102629624 B	2014/08/20
JP 2013-077630 A	2013/04/25	CN 103035704 A	2013/04/10
		KR 10-1357526 B1	2014/02/03
		KR 10-2013-0035197 A	2013/04/08
		TW 201324767 A	2013/06/16
		US 2013-0083570 A1	2013/04/04
CN 102683406 A	2012/09/19	CN 102683406 B	2014/08/20
US 2009-0072240 A1	2009/03/19	TW 200924068 A	2009/06/01
		US 2010-0255646 A1	2010/10/07
		US 7795642 B2	2010/09/14
		US 7939391 B2	2011/05/10
		WO 2009-036181 A2	2009/03/19
		WO 2009-036181 A3	2009/05/07
KR 10-2009-0132533 A	2009/12/30	CN 101621031 A	2010/01/06
		CN 101621031 B	2014/02/05
		CN 103762179 A	2014/04/30
		TW 201005876 A	2010/02/01
		US 2009-0315083 A1	2009/12/24
		US 2010-0320534 A1	2010/12/23
		US 7807576 B2	2010/10/05
		US 8669623 B2	2014/03/11