

[51] Int. Cl.



[12] 发 明 专 利 说 明 书

专利号 ZL 200580036954.7

H01L 29/78 (2006.01)

H01L 29/12 (2006.01)

H01L 29/06 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2009 年 9 月 2 日

[11] 授权公告号 CN 100536165C

[22] 申请日 2005.9.30

[21] 申请号 200580036954.7

[30] 优先权

[32] 2004. 11. 18 [33] JP [31] 334920/2004

[86] 国际申请 PCT/JP2005/018104 2005.9.30

[87] 国际公布 WO2006/054394 日 2006.5.26

「85」 进入国家阶段日期 2007.4.27

[73] 专利权人 独立行政法人产业技术综合研究所
地址 日本东京

[72] 发明人 八尾勉 原田信介 岗本光央
福田宪司

[56] 参考文献

JP2004 - 281875A 2004.10.7

JP2004 - 71750A 2004.3.4

CN1478302A 2004.2.25

审查员 刘天飞

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王以平

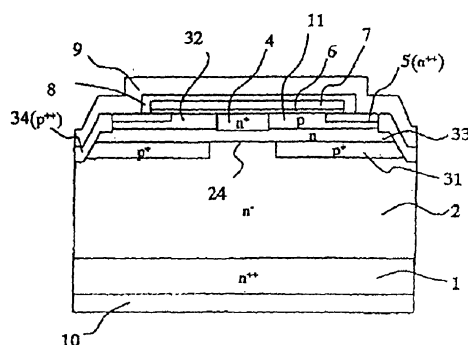
权利要求书 3 页 说明书 13 页 附图 6 页

[54] 发明名称

碳化硅 MOS 场效应晶体管及其制造方法

[57] 摘要

在低浓度 p 型淀积膜内具备沟道区域和通过离子注入返型成 n 型的基极区域的 SiC 纵型 MOS-FET, 在截止时会引起栅极氧化膜的绝缘破坏, 从而妨碍了高耐压化。 本发明通过以下的方式来解决。 即, 在低浓度 p 型淀积膜和高浓度栅极层之间设置低浓度 n 型淀积膜, 并且, 在低浓度 p 型淀积膜内有选择地形成通过离子注入返型成 n 型的基极区域, 由此增大高浓度栅极层和沟道区域以及栅极氧化膜之间的淀积膜的厚度。



1. 一种半导体器件，其特征在于：

在第 1 导电型碳化硅衬底（1）上形成有由第 1 导电型碳化硅构成的第 1 淀积膜（2）；

在其上形成有由第 1 导电型碳化硅构成的第 2 淀积膜（33）；

进而，在其上形成有由第 2 导电型碳化硅构成的第 3 淀积膜（32），在该第 3 淀积膜内有选择地形成有第 1 导电型的基极区域（4）和第 2 导电型的栅极区域（11）；

至少在该第 2 导电型的栅极区域的表面上隔着栅极绝缘膜（6）设有栅极（7）；

在所述第 2 导电型的栅极区域（11）内有选择地形成有第 1 导电型的高浓度源极区域（5）；

漏极（10）与所述第 1 导电型碳化硅衬底（1）的背面低电阻连接；

在所述第 1 淀积膜（2）和所述第 2 淀积膜（33）之间设有第 2 导电型的高浓度栅极层（31）；

源极（9）与所述高浓度源极区域（5）和所述高浓度栅极层（31）的表面低电阻连接；

该第 2 导电型的高浓度栅极层具有部分欠缺部（24），所述第 2 淀积膜（33）与所述第 1 淀积膜（2）在该部分欠缺部（24）直接相接，进而，在该部分欠缺部（24）的投影区域，所述第 3 淀积膜（32）内的所述第 1 导电型的基极区域（4）与所述第 2 淀积膜（33）直接相接。

2. 如权利要求 1 所述的半导体器件，其特征在于，将所述第 2 导电型层的高浓度的栅极层（31）形成在所述第 1 淀积膜（2）内。

3. 如权利要求 1 所述的半导体器件，其特征在于，所述第 2 导电型层的高浓度栅极层（31）为由形成在第 1 淀积膜（2）上的高浓度的第 2 导电型碳化硅构成的第 4 淀积膜。

4. 如权利要求 1 所述的半导体器件，其特征在于，在所述第 3

淀积膜(32)内的所述部分欠缺部(24)的投影区域中,在所述第1导电型的基极区域(4)及其周边部分上,具备与所述第1导电型的高浓度源极区域(5)的杂质浓度相同、深度相同,且通过同时进行的离子注入而有选择地形成的第1导电型的高浓度层(41)。

5. 如权利要求1所述的半导体器件,其特征在于,在所述第2淀积膜(33)和所述源极(9)之间设有通过高浓度的第2导电型的离子注入形成的区域(34),并在其表面上与所述源极(9)低电阻接触。

6. 如权利要求1所述的半导体器件,其特征在于,在所述第2淀积膜(33)和所述源极(9)之间设有绝缘膜(51)。

7. 如权利要求1所述的半导体器件,其特征在于,所述第1导电型碳化硅衬底(1)的表面的结晶学的晶面指标是相对于{0001}大致平行的面。

8. 一种半导体器件的制造方法,用于制造权利要求1所述的半导体器件,其特征在于具有:在所述第1淀积膜(2)上部分地形成所述第2导电型的高浓度栅极层(31)的工序,在该第2导电型的高浓度栅极层(31)上、以及在所述部分欠缺部(24)露出的所述第1淀积膜(2)上形成第1导电型的所述第2淀积膜(33)的工序,进而在其上形成所述第2导电型的第3淀积膜(32)的工序,以及,进行从该第3淀积膜(32)的所述部分欠缺部的投影区域的表面到达所述第2淀积膜(33)的有选择的第1导电型杂质离子注入、以形成所述第1导电型的基极区域(4)的工序。

9. 如权利要求8所述的制造方法,其特征在于具有:通过高浓度的第2导电型杂质离子注入在所述第1淀积膜(2)表面上有选择地形成所述第2导电型的高浓度栅极层(31),并在其上形成第2淀积膜(33)的工序,进而在其上形成所述第2导电型的第3淀积膜(32)的工序,和为了在该第3淀积膜内形成所述第1导电型的基极区域(4)而有选择地进行第1导电型杂质离子注入的工序。

10. 如权利要求8所述的制造方法,其特征在于具有:在所述第1淀积膜(2)上形成所述第4淀积膜(31)的工序,形成从该第4淀

积膜表面到达所述第 1 淀积膜 (2) 的沟槽的工序, 在所述第 4 淀积膜 (31) 以及所述沟槽膜之上形成第 2 淀积膜 (33) 的工序, 进而在其上形成所述第 2 导电型的第 3 淀积膜 (32) 的工序, 和为了在该第 3 淀积膜内形成所述第 1 导电型的基极区域 (4) 而有选择地进行第 1 导电型杂质离子注入的工序。

碳化硅 MOS 场效应晶体管及其制造方法

技术领域

本发明涉及以碳化硅为原料的低通态电阻、高电压的纵型 MOSFET 的结构以及制造方法。

背景技术

单晶碳化硅 (SiC) 与单晶硅 (Si) 相比, 具有带隙宽、绝缘破坏强度大、电子的饱和漂移速度大等优良的物理性能。因而, 通过将 SiC 用作原材料, 可以制作超过了 Si 的界限的高耐压且低电阻的电力用半导体元件。另外, SiC 与 Si 同样具有通过热氧化可以形成绝缘层的特征。从这几点来看, 我们认为可以实现以单晶 SiC 为原料的高耐压且低通态电阻的纵型 MOSFET, 并进行多次的研究开发。

在将 SiC 用作原料时, 通过一般应用在 Si 上的双重扩散法制作纵型 MOSFET 是行不通的。这是因为杂质元素的扩散系数在 SiC 结晶内极小, 故由于 p 以及 n 型杂质的横向扩散长度的差而不能形成沟道区域。因此, 与 Si 的 D-MOSFET 类似的纵型 MOSFET 通过 p 以及 n 型杂质的离子注入来制作。但是, 在该方法中, 因离子注入而引起的大量的结晶缺陷残留在沟道区域内, 并使在沟道内感应的导电电子散乱, 因此电子迁移率降低。用双重离子注入法制作的 SiC 纵型 MOSFET, 其沟道迁移率为 $5\text{cm}^2/\text{Vs}$ 以下, 与 Si 的 D-MOSFET 的约 $500\text{cm}^2/\text{Vs}$ 相比非常小。其结果, 带来了通态电阻远远高于理论值的问题。

作为解决该方法的方法, 提出了不是用离子注入而是用淀积膜形成沟道区域的结构。在平成 14 年 10 月 18 日申请的特愿 2002-304596 中公开了其代表性的例子。图 7 是其单位单元的剖面图。在该结构中, 在高浓度 n 型衬底 1 上淀积了低浓度 n 型漂移层 2, 在该 n 型漂移层

2 的表面上通过离子注入形成高浓度 p 型栅极层 31, 进而在其上淀积了低浓度 p 型层 32。在该低浓度 p 型层 32 的表面部分上, 通过离子注入分别有选择地形成 n 型源极层 5, 隔着栅极氧化膜 6 形成栅极 7, 进而隔着层间绝缘膜 8 形成源极 9, 并在栅极氧化膜 6 的正下方的低浓度 p 型淀积层 32 内形成沟道区域 11。而且, 其特征在于贯通该低浓度 p 型淀积层 32 后到达 n 型漂移层 2 的 n 型基极层 4, 是通过从表面进行的 n 型杂质的离子注入而有选择地形成的 (以下, 将该 n 型基极层 4 也称为“注入返型层”)。在该结构中, 由于沟道区域 11 形成在没有进行离子注入的低浓度 p 型淀积层内, 因此可以得到导电电子的高迁移率, 从而可以制作通态电阻小的纵型 MOSFET。另外, 在电压阻断状态下, 纵沟道部分 24 因从高浓度 p 型栅极层 31 向低浓度 n 型漂移层 2 沿着横向扩展的耗尽层而被较低的电压完全地夹断, 因此具有可以防止电场向沟道区域 11 附近的栅极氧化膜等泄漏, 从而提高源·漏耐电压的特征。

但是, 在该结构中, 也存在如下所述的妨碍进一步的高耐压化和低通态电阻化的问题。其一, 在电压阻断状态下, 到纵沟道部分 24 因从高浓度 p 型栅极层 31 向低浓度 n 型漂移层 2 沿着横向扩展的耗尽层而被完全地夹断为止, 耗尽层在所述 n 型基极层 4 (注入返型层) 内也向上方扩展。在该注入返型层的杂质浓度低, 厚度薄的情况下, 在纵沟道部分完全地夹断之前, 耗尽层就到达与栅极氧化膜 6 的界面, 在存在于栅极 7 和 n 型基极层 4 之间的栅极氧化膜上施加较强的电场, 引起绝缘破坏。另外, 还存在如下的问题, 即, 在纵沟道部分夹断之后, 随着电压的增加, 该电场变强, 源·漏间的耐电压因该部分的栅极氧化膜的绝缘破坏而被限制得较低。

进而, 虽然由于沟道区域 11 形成在低浓度 p 型淀积膜 32 内, 因此沟道内的电子迁移率应该是较大的值, 但实际上基于以下的理由, 并没有大到如期待的那样。即, 低浓度 p 型淀积膜 32 直接形成在被离子注入成高浓度的 p 型栅极层 31 上, 作为该高浓度注入层上的淀积膜的单晶膜的物理性能容易被严重地损坏, 尤其是当淀积膜的厚度较薄

时，由于显著地受到基础层的影响，膜中的电子迁移率不会变大。其结果，存在通态电阻不会变得像期待的那样小的问题。

以往提出的纵型 MOSFET 的结构为，像这样将沟道区域设在低浓度 p 型淀积膜内，并通过有选择的离子注入将该淀积膜的一部分注入成 n 型以形成电子通路。以 SiC 作为原料制作的这种结构的纵型 MOSFET 的难以进一步的高耐压化和低通态电阻化。将低浓度 p 型淀积膜 32 加厚到某个程度以上，就可以避免这个问题。这是由于如果加厚该淀积膜，利用较厚的 n 基极层 4 可以降低栅极氧化膜所承受的电场，另外，沟道区域便可以形成在离高注入层更远的高品质的淀积膜内。

但是，在至今为止提出的以往的纵型 MOSFET 结构中，由于制作时的工艺方面的制约，不能将所述低浓度 p 型淀积膜形成得较厚。即，如在第 4 自然段中所叙述的那样，在以往结构的纵型 MOSFET 的制作方法中，以通过从表面贯通低浓度 p 型淀积膜 32 为止的 n 型杂质的离子注入、使其从 p 型向 n 型翻转（注入返型）的方式形成 n 型基极层 4。可是，能够通过离子注入而注入返型的膜的厚度是有限制的。虽然离子被注入的深度依存于离子的加速电压，但用通常所使用的加速电压（数 100keV ~ 1000keV），再深也是 1 μ m 左右。因此，注入返型层的厚度（即，相当于 p 型淀积膜的厚度）通常被限制在 0.5 ~ 0.7 μ m 左右，很难达到这以上的厚度。

SiC 纵型 MOSFET 与 Si-MOSFET 相比，存在沟道迁移率小、通态电阻不会降低的问题。与此相对，用低浓度的 p 型淀积膜形成沟道区域的结构纵型 MOSFET，由于沟道迁移率提高，因此可以期待在通态电阻的降低方面有效果。至今为止提出的结构，是用离子注入将低浓度 p 型淀积膜的导电型从 p 型注入返型成 n 型的结构。因此，能够注入返型的淀积膜的厚度被限制得较薄，不能做成沟道区域的结晶品质充分高、并且能在电压阻断状态下缓和电场的足够厚的淀积膜。其结果，存在不能保持较高的电压阻断能力的问题，和通态电阻不能如期待的那样降低的问题。

发明内容

鉴于这些问题，本发明的目的在于实现低通态电阻并且高耐压的SiC 纵型 MOSFET，提供具有由低浓度 p 型淀积膜形成的沟道区域的SiC 纵型 MOSFET 的新的结构。

本发明的其他的目的在于提供具有由低浓度 p 型淀积层形成的沟道区域的高耐压 SiC 纵型 MOSFET 的制造方法。

本发明的其他的目的在于提供能够合格率较高地制作具有由低浓度 p 型淀积层形成的沟道区域的高耐压 SiC 纵型 MOSFET 的结构以及制作方法。

为了解决所述问题的本发明，作为使具有形成在低浓度 p 型淀积层内的低浓度的沟道区域的 SiC 纵型 MOSFET 高耐压化、低通态电阻化的方法，制成如下的结构，即，在该低浓度 p 型淀积层和 n 型漂移层之间设置高浓度 p 型层和低浓度 n 型淀积层，使该低浓度 n 型淀积层与该高浓度 p 型层直接相接，并且在该高浓度 p 型层所具备的部分欠缺部上与所述 n 型漂移层直接相接。

其特征在于由所述结构的 SiC 纵型 MOSFET 的层叠了所述低浓度 p 型淀积层和所述低浓度的 n 型淀积层的两层淀积膜分别形成。

制作这种 SiC 纵型 MOSFET 的方法，具备如下工序：在 n 型漂移层上部分地形成高浓度 p 型层的工序，在高浓度 p 型层上，和在所述部分欠缺部露出的 n 型漂移层上形成低浓度 n 型淀积膜，接着在其上形成低浓度 p 型淀积膜的工序，进而，在该部分欠缺部在厚度方向上的投影位置附近和其周边的区域，进行贯通所述低浓度 p 型淀积膜后到达所述低浓度 n 型淀积膜的有选择的稍高浓度的 n 型杂质离子注入，并将所述低浓度 p 型淀积膜的部分翻转（注入返型）成 n 型后形成 n 型基极区域的工序。这样，必须通过离子注入贯通后注入返型成 n 型的区域可以只是所述的低浓度 p 型淀积膜。因而，在设置在该低浓度 p 型淀积膜和所述高浓度 p 型层以及所述部分欠缺部的 n 型漂移层之间的低浓度 n 型淀积膜的厚度，没有工艺上的厚度限制，可以将

其设为足够的厚度。其结果，可以消除在所述纵沟道部分完全地夹断之前，耗尽层到达栅极氧化膜6的界面，在存在于栅极7和n型基极区域4之间的栅极氧化膜上施加强电场，并引起绝缘破坏的问题（[0005]记载的问题），和当淀积膜的厚度较薄时，明显地受到基础层的影响，从而膜中的电阻迁移率不能大的问题（第6自然段记载的问题）。

发明的效果

根据以上所述的本发明，具有如下的效果。

在权利要求第1、2所述的发明中，由于具有形成在低浓度p型淀积层内的低浓度的沟道区域，并且在栅极氧化膜和高浓度栅极层之间设置有较厚的淀积膜，因此便可以实现低通态电阻且高耐压的SiC纵型MOSFET。只要适当地选择所设置的n型淀积层(33)的杂质浓度和厚度，就可以实现1500V以上的高耐压纵型MOSFET。

在权利要求3以及6所述的发明中，由于可以用较高的精度形成第2导电型的高浓度栅极层，因此单元的微细化变得容易，并可以使SiC纵型MOSFET高耐压化以及低损失化。

在权利要求4以及6所述的发明中，由于都是在淀积膜之上层叠淀积膜的结构和制造方法，因此可以提高沟道区域的结晶品质，并可以降低该SiC纵型MOSFET的通态电阻。

在权利要求5所述的发明中，可以很容易地制作高耐压且低通态电阻的SiC纵型MOSFET。

在权利要求8所述的发明中，由于可以改善导通时流动的电流的均一性，同时通过一种自对准作用的效果可以将单元尺寸微细化到约15 μm 左右，因此便可以大幅度地降低纵型MOSFET的通态电阻。

在权利要求9以及10所述的发明中，可以实现通过除去截止状态的电流的漏泄沟道的方式可以降低漏泄电流的高耐压的SiC纵型MOSFET。

在权利要求11所述的发明中，可以实现导通时的电阻较小、并

且耐电压较高的 SiC 纵型 MOSFET。

附图说明

图 1 是本发明第 1 实施方式的 SiC 纵型 MOSFET 的单位单元的剖面图。

图 2a (a) ~ (f) 是本发明第 1 实施方式的 SiC 纵型 MOSFET 的制造工序的单元剖面图。

图 2b (g) ~ (k) 是本发明第 1 实施方式的 SiC 纵型 MOSFET 的制造工序的单元剖面图。

图 3 是本发明第 2 实施方式的 SiC 纵型 MOSFET 的单位单元的剖面图。

图 4 是本发明第 3 实施方式的 SiC 纵型 MOSFET 的单位单元的剖面图。

图 5 (d) ~ (f) 是本发明第 3 实施方式的 SiC 纵型 MOSFET 的制造工序的一部分的剖面图。

图 6 是本发明第 4 实施方式的 SiC 纵型 MOSFET 的单位单元的剖面图。

图 7 是展示以往例的 SiC 纵型 MOSFET 的单位单元的剖面图。

标号说明

1	高浓度 n 型衬底	2	低浓度 n 型漂移层
3	p 阱层	3a	p 型杂质离子注入
4	n 型基极区域	4a	n 型杂质离子注入
5	n 型源极层	5a	n 型杂质离子注入
6	栅极绝缘膜	6a	p 型杂质离子注入
7	栅极	8	层间绝缘膜
9	源极	10	漏极
11	沟道区域	13	离子注入掩模
14	离子注入掩模	16	离子注入掩模
24	p 型层的部分欠缺部	31	高浓度 p 型层

32	低浓度 p 型层	33	低浓度 n 型层
34	高浓度 p 型层	40	离子注入掩模的窗口
41	高浓度 n 型层	50	槽
51	绝缘膜		

具体实施方式

一面展示具体的实施方式，一面详细地说明以下的本发明。

[实施方式 1]

图 1 是本发明第 1 实施方式的 SiC 纵型 MOSFET 的单位单元的剖面图。在该结构中，在掺杂了 $5 \times 10^{18} \text{cm}^{-3}$ 的氮的厚度约 $300 \mu\text{m}$ 的 n 型 SiC 衬底 1 上，淀积有掺杂了 $5 \times 10^{15} \text{cm}^{-3}$ 的氮的厚度为 $15 \mu\text{m}$ 的 n 型漂移层 2。从其表面到深度 $0.5 \mu\text{m}$ ，形成有掺杂了 $2 \times 10^{18} \text{cm}^{-3}$ 的铝的 p 型层 31，在该 p 型层 31 上设置宽度约 $2.0 \mu\text{m}$ 的部分欠缺部 24。在该 p 型层 31 的表面以及该部分欠缺部 24 的 n 型漂移层 2 的表面上，淀积有掺杂了 $1 \times 10^{16} \text{cm}^{-3}$ 的氮的厚度为 $1.0 \mu\text{m}$ 的 n 型层 33，并在其表面上淀积有掺杂了 $5 \times 10^{15} \text{cm}^{-3}$ 的铝的厚度为 $0.5 \mu\text{m}$ 的 p 型层 32。在该 p 型层 32 的表面部分上，有选择地形成有掺杂了约 $1 \times 10^{20} \text{cm}^{-3}$ 的磷的 n 型源极层 5。另外，在所述部分欠缺部 24 在厚度方向上的投影位置附近的 p 型层 32 的部分，通过离子注入，将掺杂了 $1 \times 10^{16} \text{cm}^{-3}$ 以上的氮的深度约 $0.7 \mu\text{m}$ 的 n 型基极区域 4 形成到贯通 p 型层 32 后到达 n 型层 33 的深度为止。在该 n 型基极区域 4 和所述 n 型源极层 5 的中间部分的 p 型层 32 的表面层上形成沟道区域 11。在沟道区域 11 上、n 型基极区域 4 以及 n 型源极层 5 的表面上的一部分上，隔着栅极绝缘膜 6 设置有栅极 7，在栅极 7 上隔着层间绝缘膜 8 形成与 n 型源极层 5 的表面低电阻连接的源极 9。另外，该源极 9 在与所述 n 型层之间构成 PN 结，并且与跨越所述 p 型层 32 和所述 p 型层 31 而形成的、以 $1 \times 10^{19} \text{cm}^{-3}$ 左右的高浓度掺杂了铝的 p⁺ 层 34 的表面也进行低电阻连接。在高浓度 n 型衬底 1 的背面上，以低电阻连接的方式形成有漏极 10。再者，也有消除形成在 n 型基极区域 4 的表面的栅极

氧化膜 6 以及栅极 7 的情况。

该 SiC 纵型 MOSFET 的动作基本上与一般的 Si 纵型 MOSFET 是同样的。即，在导通状态下，当在栅极 7 上施加阈值电压以上的栅极电压时，在 p 型层 32 的表面上感应电子，形成沟道区域 11。由此，n 型源极层 5 和 n 型漂移层 2，由通过沟道区域 11、n 型基极区域 4 以及 n 型层 33、部分欠缺部 24 的电子的通电路相连，电流从漏极 10 流向源极 9。在该结构中，沟道区域 11 形成在 $5 \times 10^{15} \text{cm}^{-3}$ 的低浓度的 p 型淀积膜内，并且在和高浓度的 p 型层 31 之间，隔着淀积成 $1.0 \mu\text{m}$ 的厚度的 n 型层 33 以及淀积成 $0.5 \mu\text{m}$ 的厚度的 p 型层 32，形成在从 p 型层 31 离开 1μ 以上的表面层上。因此，即便该 p 型层 31 是通过高浓度的离子注入的方式形成，从而含有较多的结晶缺陷的层，较厚地淀积在其上的部分的膜的结晶品质也足够高，能够得到数 $10 \text{cm}^2/\text{Vs}$ 的较高的沟道迁移率，并能够降低通态电阻。

另外，在截止状态下，虽然源·漏电极间的施加电压被高浓度的 p 型层 31 和 n 型漂移层 2 之间所构成的 PN 结阻断，但直到 p 型层 31 的部分欠缺部 24 被从两侧的该 PN 结延伸的耗尽层完全地夹断为止，用由 n 型基极区域 4、p 型层 32、n 型源极层 5、栅极氧化膜 6 以及栅极 7 构成的横向的 MOSFET 阻断电压。由于 p 型层 31 的部分欠缺部 24 的宽度为 $2 \mu\text{m}$ ，n 型漂移层 2 的掺杂浓度 $5 \times 10^{15} \text{cm}^{-3}$ ，因此夹断电压为 $30 \sim 50 \text{V}$ ，横向的 MOSFET 部分可以耐得住该较低的电压。即便在部分欠缺部 24 上的夹断结束之后，在施加了更高的电压时，横向的 MOSFET 的栅极氧化膜因漏泄电场而引起绝缘破坏的以往的问题，通过利用存在于部分欠缺部 24 和 n 型基极区域 4 之间的 n 型层 33 缓和电场的方式可以消除，在本实施方式中，可以得到 1500V 的阻断电压。再者，该 n 型层 33 的杂质浓度和厚度，不限于本实施方式的值，根据设计的 SiC 纵型 MOSFET 的阻断电压可以随便调整。

图 2a 的 (a) 至 (f) 以及图 2b 的 (g) 至 (k)，是展示本发明第 1 实施方式的 SiC 纵型 MOSFET 的制造工序的图。分别展示了单位单元的剖面图。首先，在高浓度 n 型衬底 1 上将掺杂了 $5 \times 10^{15} \text{cm}^{-3}$

的氮的低浓度 n 型漂移层 2 淀积到 $15\mu\text{m}$ 的厚度 (a)。接着, 为了形成高浓度 p 型层 31, 进行使用了掩模 15 的 p 型杂质离子注入 3a (b)。掩模 15, 通过将利用减压 CVD 法淀积在表面上的厚度 $1\mu\text{m}$ 的 SiO_2 膜进行光刻的方式图案加工而形成。p 型杂质离子注入 3a 是将衬底温度设为 500°C 、加速能量设为 $40\text{keV} \sim 250\text{keV}$ 、注入量设为 $2 \times 10^{18}\text{cm}^{-3}$ 后注入铝离子。在除去掩模之后, 在表面上将掺杂了 $1 \times 10^{16}\text{cm}^{-3}$ 的磷的低浓度 n 型层 33 淀积到 $1.0\mu\text{m}$ 的厚度, 接着将掺杂了 $5 \times 10^{15}\text{cm}^{-3}$ 的铝的低浓度 p 型层 32 淀积到 $0.5\mu\text{m}$ 的厚度 (c)。之后, 为了形成 n 型源极区域 5, 进行使用了掩模 13 的 n 型杂质离子注入 4a (d)。n 型杂质离子注入 4a 是将衬底温度设为 500°C 、加速能量设为 $40\text{keV} \sim 250\text{keV}$ 、注入量设为 $2 \times 10^{20}\text{cm}^{-3}$ 后注入磷离子。在除去掩模 13 之后, 为了形成 n 型基极区域 4, 进行使用了掩模 14 的 n 型杂质离子注入 5a (e)。n 型杂质离子注入 5a 是在室温下, 将加速能量设为 $40\text{keV} \sim 250\text{keV}$ 、注入量设为 $1 \times 10^{16}\text{cm}^{-3}$ 后注入氮离子。在除去掩模 14 之后, 在氮环境中用 1500°C 进行 30 分钟的激活退火 (f)。由此, 形成 p 型层 32、 n^+ 基极层 4 以及 n 型源极层 5。接着, 在用干选择蚀刻形成从 n 型源极层 5 到 p 型层 31 的槽 50 之后 (g), 进行使用了掩模 16 的 p 型杂质离子注入。p 型杂质离子注入 6a 是将衬底温度设为 500°C 、加速能量设为 $40\text{keV} \sim 250\text{keV}$ 、注入量设为 $2 \times 10^{18}\text{cm}^{-3}$ 后注入铝离子。由此, 将掺杂了铝的 p^+ 层 34 形成为 $1 \times 10^{19}\text{cm}^{-3}$ 左右的高浓度 (h)。接着, 进行 1200°C 、140 分钟的热氧化, 从而形成厚度 40nm 的栅极绝缘膜 6, 并将通过减压 CVD 法淀积在其上的 $0.3\mu\text{m}$ 的多晶硅利用光刻法进行图案加工而形成栅极 7 (i)。进而, 通过减压 CVD 法在表面上淀积 $0.5\mu\text{m}$ 的层间绝缘膜 8, 并在该层间绝缘膜 8 上开设窗口 (j), 形成 n 型源极层 5 和高浓度的 p^+ 层 34 所共用的源极 9, 从而完成器件。

[实施方式 2]

图 3 是本发明第 2 实施方式的 SiC 纵型 MOSFET 的单位单元的剖面图。在该结构中, 在掺杂了 $5 \times 10^{18}\text{cm}^{-3}$ 的氮的厚度约 $300\mu\text{m}$ 的

衬底 1 上,淀积有掺杂了 $5 \times 10^{15} \text{cm}^{-3}$ 的氮的厚度 $15 \mu\text{m}$ 的 n 型漂移层 2。在其表面上淀积掺杂了 $2 \times 10^{18} \text{cm}^{-3}$ 的铝的厚度 $0.5 \mu\text{m}$ 的 p 型层 31,并在该 p 型层 31 上设置宽度约 $2.0 \mu\text{m}$ 的部分欠缺部 24。在该 p 型层 31 的表面以及该部分欠缺部 24 的 n 型漂移层 2 的表面上,淀积掺杂了 $1 \times 10^{16} \text{cm}^{-3}$ 的氮的厚度 $1.0 \mu\text{m}$ 的 n 型层 33,进而在其表面上淀积有掺杂了 $5 \times 10^{15} \text{cm}^{-3}$ 的铝的厚度 $0.5 \mu\text{m}$ 的 p 型层 32。在 p 型层 32 的表面部分上有选择地形成有掺杂了约 $1 \times 10^{20} \text{cm}^{-3}$ 的磷的 n 型源极层 5。另外,在所述部分欠缺部 24 在厚度方向上的投影位置附近的 p 型层 32 的部分,通过离子注入,将掺杂了 $1 \times 10^{16} \text{cm}^{-3}$ 以上的氮的深度约 $0.7 \mu\text{m}$ 的 n 型基极区域 4 形成到贯通 p 型层 32 后到达 n 型层 33 的深度为止。在该 n 型基极区域 4 和所述 n 型源极层 5 的中间部分的 p 型层 32 的表面层上形成沟道区域 11。在沟道区域 11 上、n 型基极区域 4 以及 n 型源极层 5 的表面上的一部分上,隔着栅极绝缘膜 6 设置有栅极 7,在栅极 7 上隔着层间绝缘膜 8 形成与 n 型源极层 5 的表面低电阻连接的源极 9。另外,该源极 9 与所述 n 型层之间构成 PN 结,并且与跨越所述 p 型层和所述 p 型层而形成的、以 $1 \times 10^{19} \text{cm}^{-3}$ 左右的高浓度掺杂了铝的 p⁺ 层 34 的表面也进行低电阻连接。在高浓度 n 型衬底 1 的背面上,以低电阻连接的方式形成有漏极 10。再者,也有消除形成在 n 型基极区域 4 的表面的栅极氧化膜 6 以及栅极 7 的情况。

该 SiC 纵型 MOSFET 和图 1 的实施方式 1 的不同点在于, p 型层 31 不是通过离子注入形成在 n 型漂移层 2 之中的,而是作为淀积膜形成在 n 型漂移层 2 的表面上、并通过用蚀刻除去该 p 型层 31 的一部分的方式设置了部分欠缺部 24。由于 p 型层 31 不是通过离子注入、而是通过外延生长等的淀积膜形成的,因此淀积在其上的 n 型层 33 和 p 型层 32 的结晶膜的品质不会被严重地损坏,因此与实施方式 2 相比,具有容易得到较高的电子迁移率的优点。

[实施方式 3]

图 4 是本发明第 3 实施方式的 SiC 纵型 MOSFET 的剖面图。图中与所述图 1 相同标号的部位指的是相同的部分,如果除去追加了 n

型基极区域4的两侧的高浓度的n型层41这一点,基本结构与实施方式1的图1是相同的。该高浓度的n型层41,与n型源极层5同时形成,从而杂质浓度和离表面的深度等相同,并且是与所述部分欠缺部24大致相等的长度。通过具备这一层,可以使单位单元中的2个沟道区域11的长度相等,并且,可以使它们的相对的位置成为规定的关系,因此在单元的微细化和防止电流集中上比较有效。该作用效果通过以下说明的制作方法可以更好地理解。

图5的(d)至(f)是展示本发明第3实施方式的SiC纵型MOSFET的制造工序的一部分的图。是在用图2a的(a)至(f)以及图2b的(g)至(k)展示的本发明第1实施方式的SiC纵型MOSFET的制造工序之中,代替图2a的(d)至(f)的工序而设置本图的(d)至(f)的工序的图,其他的工序是相同的。即,在工序(d)中,在用于通过n型杂质离子注入4a形成n型源极区域5的掩模13上,在所述p型层31的部分欠缺部24的垂直投影位置附近,开设与该部分欠缺部24大致相等的宽度的窗口40,然后进行离子注入(d)。n型杂质离子注入4a在衬底温度500℃、加速能量40keV~250keV、注入量 $2 \times 10^{20} \text{cm}^{-3}$ 的条件下注入磷离子。在除去掩模13之后,为了形成n型基极区域4,进行使用了掩模14的n型杂质离子注入5a(e)。n型杂质离子注入5a是在室温下,将加速能量设为40keV~250keV、注入量设为 $1 \times 10^{16} \text{cm}^{-3}$ 后注入氮离子。在除去掩模14之后,在氩环境中用1500℃进行30分钟的激活退火(f)。如图(f)所示,在将低浓度p型淀积膜32的一部分翻转(注入返型)成n型而形成的n型基极区域4的两侧,以稍微伸出的形状形成高浓度的n型层41。由于利用相同的离子注入形成,因此杂质浓度和离表面的深度等与n型源极层5相同。虽然省略了图的说明,但在以后的制作工序(相当于图2b的(g)至(k)的工序)中,都具有该n型层41。

由于所述n型层41和n型源极层5使用相同的光掩模,并用同时进行的离子注入形成,因此可以使形成在两层之间的单位单元中的2个沟道区域11的长度(相当于所谓的栅极长)相等,并且,可使它

们的相对的位置关系与预先设计的一样。因而，可以改善导通时流动的电流的均一性，同时通过一种自对准作用的效果，可以将单元微细化，因此可以降低纵型 MOSFET 的通态电阻。

[实施方式 4]

图 6 是本发明第 4 实施方式的 SiC 纵型 MOSFET 的剖面图。图中与所述图 1 相同标号的部分指的是同一个部分。单元的基本的结构与图 1 的实施方式 1 是相同的。与实施方式 1 的不同点在于，代替与图 1 的 n 型层 33 之间构成 PN 结、并且跨越 p 型层 32 和 p 型层 31 形成的、以 $1 \times 10^{19} \text{cm}^{-3}$ 左右的高浓度掺杂了铝的 p⁺ 层 34，在 n 型层 33 和源极 9 之间设有绝缘膜 51。由此，防止了 n 型层和源极的短路，并消除了电压阻断状态下的电流的漏泄沟道。该结构也可以应用于所述实施方式 2 和实施方式 3 的单元结构。

在本发明的实施方式 1 至实施方式 4 展示的纵型 MOSFET 的单位单元的结构中，虽然源极 9 在与栅极 7 之间隔着层间绝缘膜 8 跨越单元表面的结构，但本发明不限于此，源极只要是分别与源极层 5、p 型层 32 以及 p 型层 31 的表面露出部分低电阻接触即可。另外，在所有的实施方式中，虽然展示了栅极氧化膜 6 和栅极 7 覆盖通过离子注入从 p 型注入返型成 n 型而形成的 n 型基极区域 4 的整个表面的结构，但即便是将该部分的栅极氧化膜和栅极的一部分或全部除去的结构，或者是栅极氧化膜的厚度比沟道区域 11 的表面部分厚的结构，也无损于本发明的作用效果。再进而，本发明也可以应用于在成为该沟道区域 11 的 p 型层 32 的表面上薄薄地离子注入 n 型杂质来提高沟道导电的、所谓的嵌入式沟道结构的 MOSFET。

在所述本发明的实施方式所展示的 SiC 纵型 MOSFET 中，虽然对于 SiC 结晶衬底 1 的晶面的方位没有进行规定，但可以采用通常广泛采用的 {0001} 面（被称为硅面）衬底、{1120} 面衬底、或者 {0001} 面（被称为碳面）衬底、以及具有与在这些面上带有些微的倾角的面平行的表面的衬底的任意一种，但是如果采用 {0001} 面（碳面）衬底以及与该面上带有些微的倾角的面平行的表面衬底，具有电压阻断结

附近的破坏电场强度较高,并且沟道区域内的电子迁移率较高的性质,在得到高电压、低通态电阻的纵型 MOSFET 的方面更优秀。

以上,根据图示例进行了说明,但该发明不限于所述的例子,也包括在权利要求的范围所记载的范围内本领域技术人员可以很容易地更改的其他的构成。

图 2a

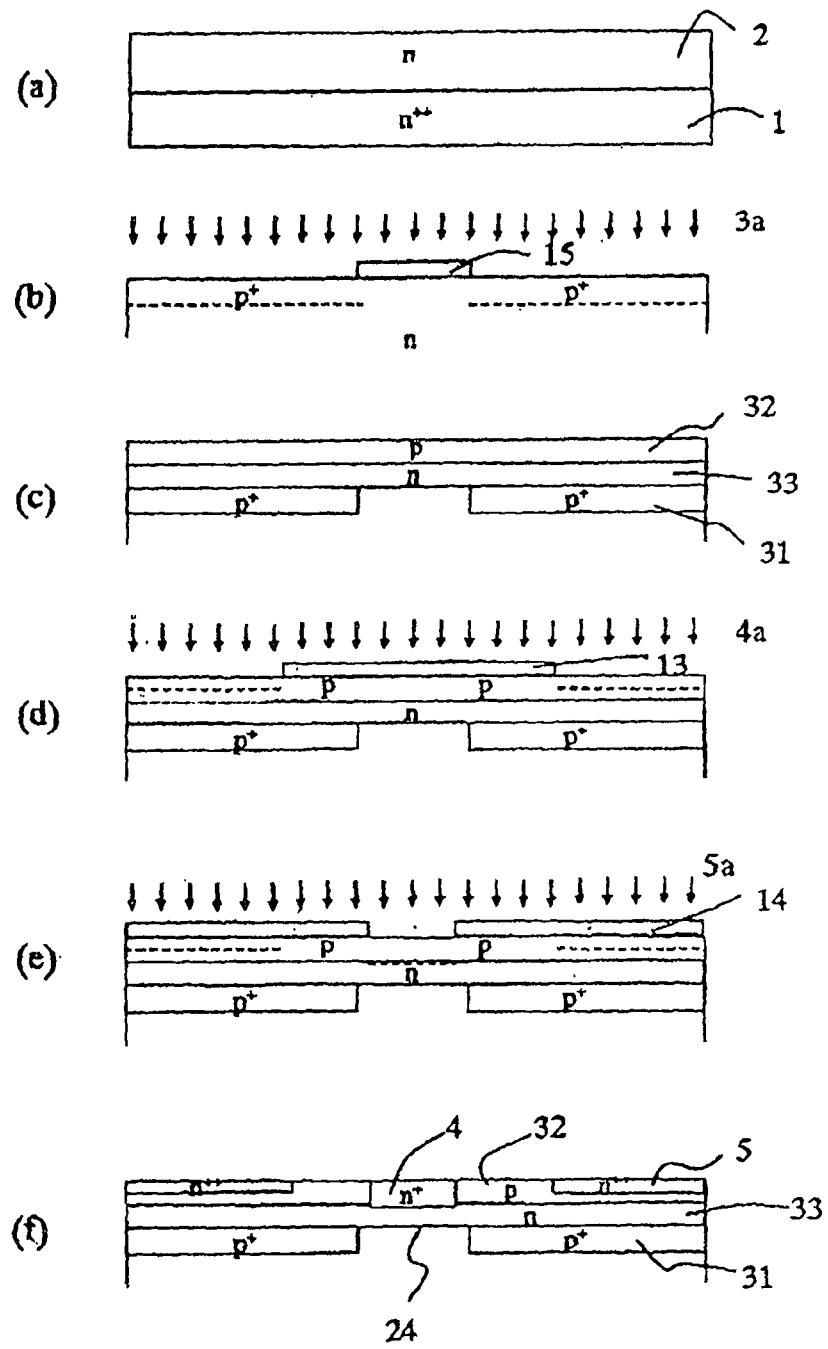


图2b

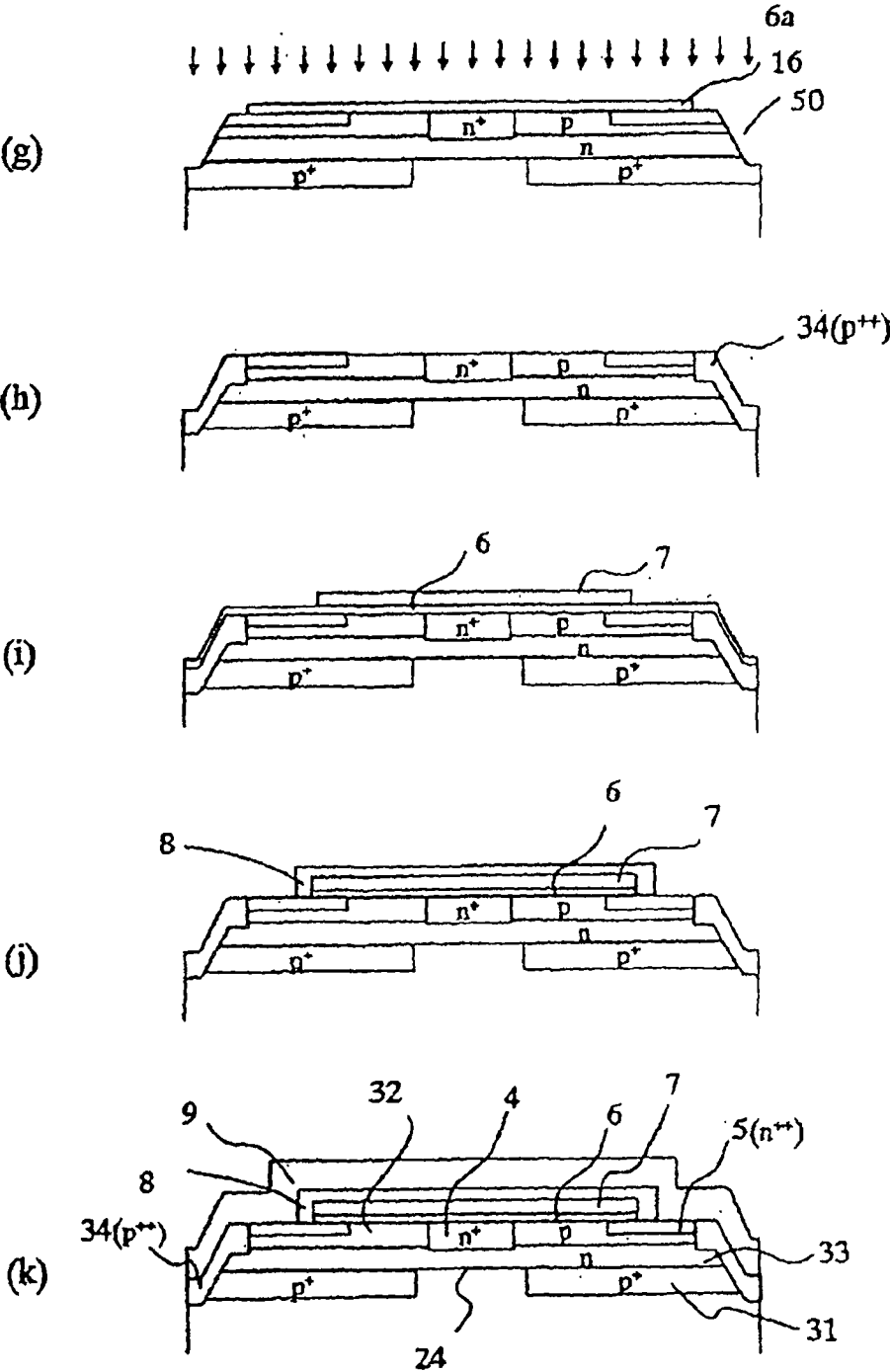


图 3

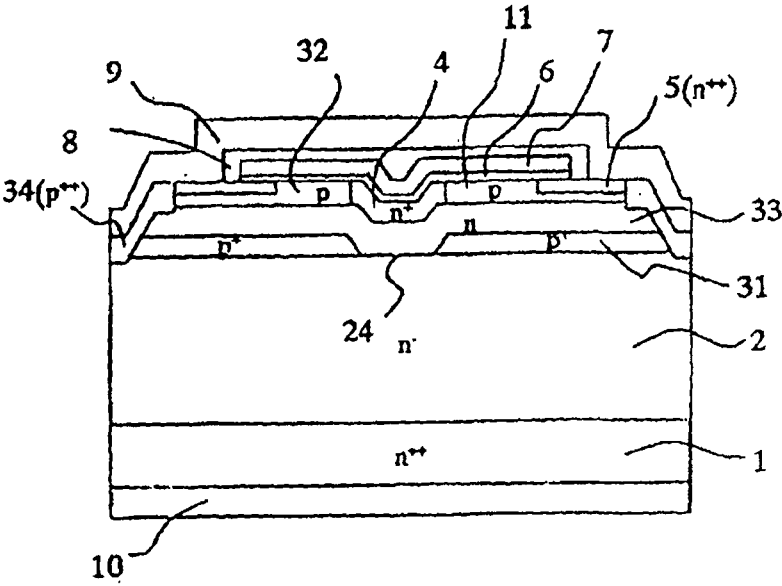


图 4

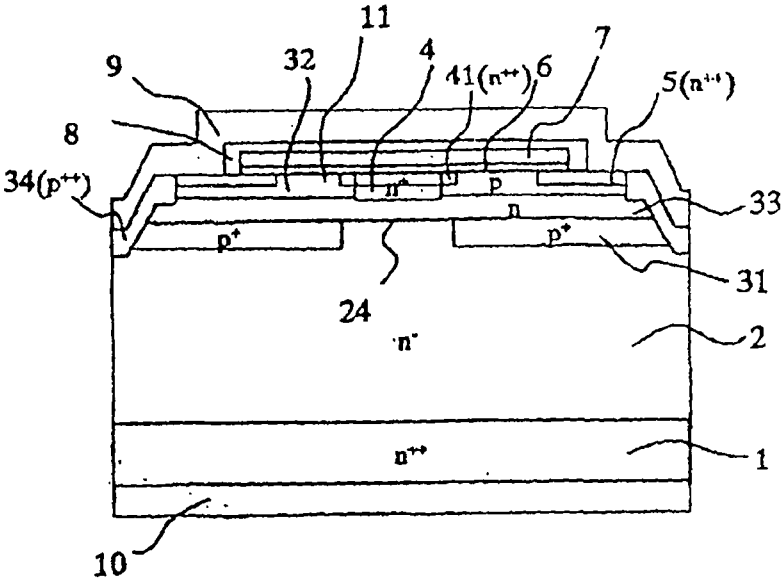


图5

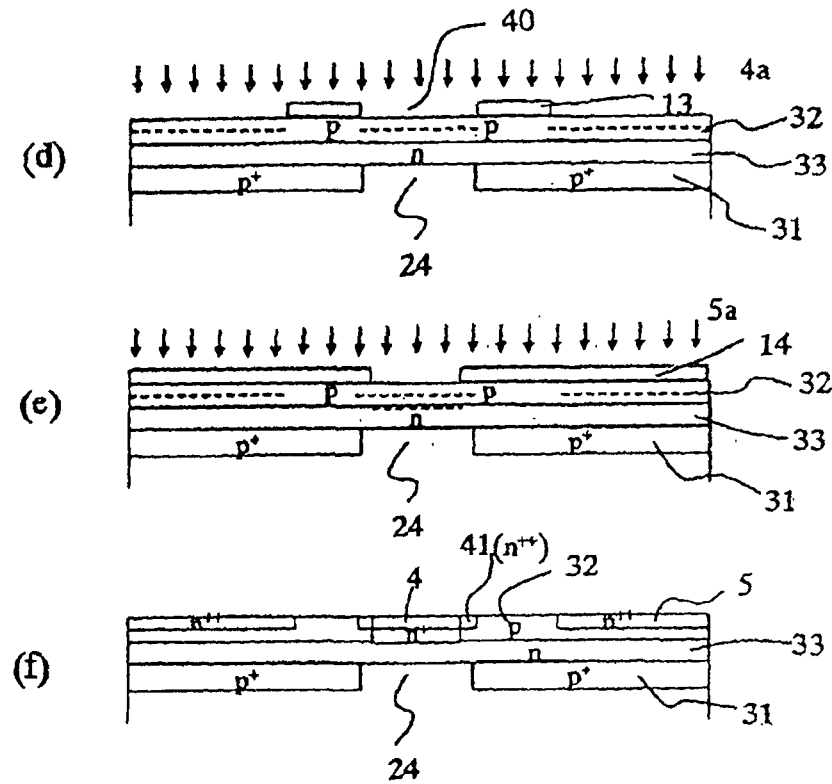


图6

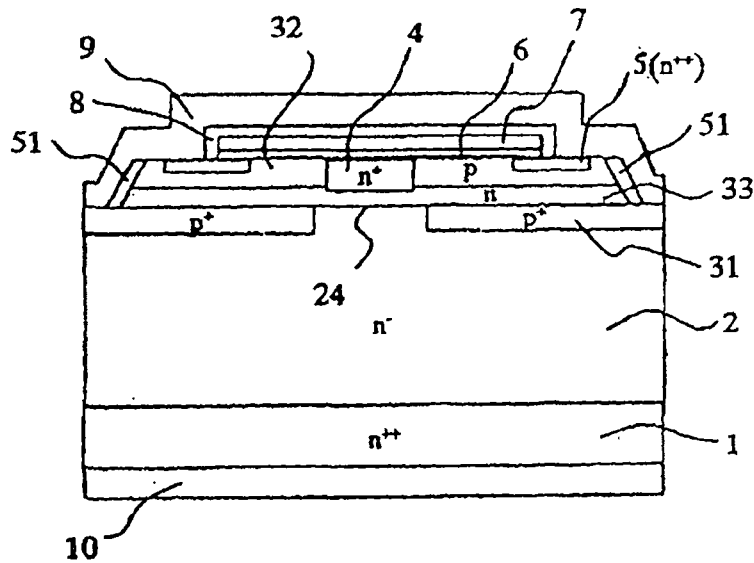


图7

