

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5636203号
(P5636203)

(45) 発行日 平成26年12月3日(2014.12.3)

(24) 登録日 平成26年10月24日(2014.10.24)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 8 E
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 3 A
HO 1 L 21/20 (2006.01)	HO 1 L 29/06	3 0 1 V
HO 1 L 21/205 (2006.01)	HO 1 L 21/20	

請求項の数 9 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2010-71059 (P2010-71059)	(73) 特許権者	302006854 株式会社SUMCO
(22) 出願日	平成22年3月25日(2010.3.25)		東京都港区芝浦一丁目2番1号
(65) 公開番号	特開2010-251737 (P2010-251737A)	(73) 特許権者	000004260 株式会社デンソー
(43) 公開日	平成22年11月4日(2010.11.4)		愛知県刈谷市昭和町1丁目1番地
審査請求日	平成25年3月25日(2013.3.25)	(74) 代理人	100106002 弁理士 正林 真之
(31) 優先権主張番号	特願2009-76472 (P2009-76472)	(74) 代理人	100120891 弁理士 林 一好
(32) 優先日	平成21年3月26日(2009.3.26)	(72) 発明者	野上 彰二 東京都港区芝浦一丁目2番1号 株式会社SUMCO内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体基板、半導体装置及び半導体基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板に、前記第1導電型のドーパントガスを導入して第1エピタキシャル層を形成する第1エピタキシャル層形成工程と、

前記第1エピタキシャル層にトレンチを形成するトレンチ形成工程と、

前記第1エピタキシャル層及び前記トレンチ内に、所定の第1温度の雰囲気中において、前記第1導電型とは異なる第2導電型のドーパントガスを所定の第1のドーパントガス流量で導入して第2エピタキシャル層を形成する第2エピタキシャル層形成工程と、

前記第2エピタキシャル層に、前記第1温度よりも温度が低い第2温度の雰囲気中において、前記第2導電型のドーパントガスを前記第1のドーパントガス流量よりも多い第2のドーパントガス流量で導入して前記トレンチ内を埋めるように第3エピタキシャル層を形成する第3エピタキシャル層形成工程と、

前記第2エピタキシャル層及び前記第3エピタキシャル層に、前記第2温度よりも温度の高い第3温度の雰囲気中において、前記第2導電型のドーパントガスを前記第2のドーパントガス流量よりも少ない第3のドーパントガス流量で導入して第4エピタキシャル層を形成する第4エピタキシャル層形成工程と、

を備えることを特徴とする半導体基板の製造方法。

【請求項2】

前記第3エピタキシャル層形成工程に代えて、前記第2エピタキシャル層に、前記第1温度よりも温度が高い第2温度の雰囲気中において、前記第2導電型のドーパントガスを

前記第 1 のドーパントガス流量よりも少ない第 2 のドーパントガス流量で導入して前記トレンチ内を埋めるように第 3 エピタキシャル層を形成する工程を備えることを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 3】

前記第 2 エピタキシャル層、前記第 3 エピタキシャル層及び前記第 4 エピタキシャル層のドーパント量は、前記第 2 導電型のドーパントガスの流量を変動させることにより、変化することを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項 4】

前記第 2 エピタキシャル層、前記第 3 エピタキシャル層及び前記第 4 エピタキシャル層のドーパント量は、前記第 2 導電型のドーパントガスの濃度が異なる複数のガスポンペを用いることにより、変化することを特徴とする請求項 1 又は 3 に記載の半導体基板の製造方法。

10

【請求項 5】

前記第 2 エピタキシャル層、前記第 3 エピタキシャル層及び前記第 4 エピタキシャル層のうちの一又は複数は、前記雰囲気中において、原料ガス及びハロゲン化物ガスを同時に供給して形成されることを特徴とする請求項 1、3 又は 4 に記載の半導体基板の製造方法。

【請求項 6】

前記第 2 エピタキシャル層、前記第 3 エピタキシャル層及び前記第 4 エピタキシャル層のドーパント量は、実質的に同一であることを特徴とする請求項 1 に記載の半導体基板の製造方法。

20

【請求項 7】

前記第 3 エピタキシャル層形成工程では、前記第 2 エピタキシャル層形成工程及び前記第 4 エピタキシャル層形成工程に対して、前記雰囲気中におけるハロゲン化物ガスの流量が多いことを特徴とする請求項 1 又は 3 から 6 に記載の半導体基板の製造方法。

【請求項 8】

請求項 1 から 7 に記載の半導体基板の製造方法により製造された半導体基板。

【請求項 9】

請求項 8 に記載の半導体基板を用いた半導体装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体基板、半導体装置及び半導体基板の製造方法に関する。

【背景技術】

【0002】

従来、パワーエレクトロニクス分野において、パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) は、高速スイッチング機能を有するスイッチング素子として用いられている。パワー MOSFET の構造の一例としては、スーパージャンクション構造が挙げられる。

【0003】

40

スーパージャンクション構造とは、ソースとドレインとを接続する導電層において、n 型層と p 型層とを交互に形成した構造である。スーパージャンクション構造では、空乏層が n 型層と p 型層との界面に形成される。このため、ソースとドレインとの間の電界は、ソースからドレインに向かう方向だけでなく、n 型層から p 型層へ向かう方向にも形成されるため、ソースとドレインとの間の電界が導電層の特定の部分に集中しない。したがって、スーパージャンクション構造は、高い耐電圧性能を得ることができる。

【0004】

このようなスーパージャンクション構造を形成する際に用いられる半導体基板の製造方法として、エピタキシャル層にトレンチを形成し、形成したトレンチ内に複数のエピタキシャル層を形成する方法が提案されている (例えば、特許文献 1 及び 2 参照)。

50

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-294711号公報

【特許文献2】特開2005-317905号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1及び2に記載された方法では、エピタキシャル層を形成する際の温度が変化するため、形成されたエピタキシャル層それぞれのドーパント濃度が変化してしまい、所望の電気的特性（例えば、抵抗率）を得ることができない場合があった。

10

【0007】

本発明は、所望の電気的特性を得やすい半導体基板、半導体装置及び半導体基板の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

(1)本発明の半導体基板の製造方法は、第1導電型の半導体基板に、前記第1導電型のドーパントガスを導入して第1エピタキシャル層を形成する第1エピタキシャル層形成工程と、前記第1エピタキシャル層にトレンチを形成するトレンチ形成工程と、前記第1エピタキシャル層及び前記トレンチ内に、前記第1導電型とは異なる第2導電型のエピタキシャル層を、異なる成長速度を含む複数の成長条件を用いて、前記トレンチ内を埋めるように形成し、前記複数の成長条件のそれぞれにおいて前記エピタキシャル層に取り込まれる前記第2導電型のドーパント濃度を一定にするエピタキシャル層形成工程と備える。

20

【0009】

(2)前記複数の成長条件は、前記エピタキシャル層の成長温度を含み、前記成長速度は、前記エピタキシャル層の成長温度を変動させることにより、変化することが好ましい。

【0010】

(3)前記複数の成長条件は、前記エピタキシャル層及び前記トレンチ内に導入される前記第2導電型のドーパントガスの流量を含み、前記成長速度は、原料ガスの流量の変動させることにより、変化することが好ましい。

30

【0011】

(4)本発明の半導体基板の製造方法は、第1導電型の半導体基板に、前記第1導電型のドーパントガスを導入して第1エピタキシャル層を形成する第1エピタキシャル層形成工程と、前記第1エピタキシャル層にトレンチを形成するトレンチ形成工程と、前記第1エピタキシャル層及び前記トレンチ内に、所定の第1温度の雰囲気中において、前記第1導電型とは異なる第2導電型のドーパントガスを所定の第1のドーパントガス流量で導入して第2エピタキシャル層を形成する第2エピタキシャル層形成工程と、前記第2エピタキシャル層に、前記第1温度よりも温度が低い第2温度の雰囲気中において、前記第2導電型のドーパントガスを前記第1のドーパントガス流量よりも多い第2のドーパントガス流量で導入して前記トレンチ内を埋めるように第3エピタキシャル層を形成する第3エピタキシャル層形成工程と、前記第2エピタキシャル層及び前記第3エピタキシャル層に、前記第2温度よりも温度の高い第3温度の雰囲気中において、前記第2導電型のドーパントガスを前記第2のドーパントガス流量よりも少ない第3のドーパントガス流量で導入して第4エピタキシャル層を形成する第4エピタキシャル層形成工程とを備える。

40

【0012】

(5)本発明の半導体基板の製造方法は、第1導電型の半導体基板に、前記第1導電型のドーパントガスを導入して第1エピタキシャル層を形成する第1エピタキシャル層形成工程と、前記第1エピタキシャル層にトレンチを形成するトレンチ形成工程と、前記第1エピタキシャル層及び前記トレンチ内に、所定の第1温度の雰囲気中において、前記第1

50

示す部分断面図である。

【図3B】図2に示す半導体基板の製造方法において、半導体基板1の断面の変化を順次示す部分断面図である。

【図3C】図2に示す半導体基板の製造方法において、半導体基板1の断面の変化を順次示す部分断面図である。

【図3D】図2に示す半導体基板の製造方法において、半導体基板1の断面の変化を順次示す部分断面図である。

【図3E】図2に示す半導体基板の製造方法において、半導体基板1の断面の変化を順次示す部分断面図である。

【図4】本発明の半導体装置の一実施形態を模式的に示す部分断面図である。

10

【図5】本発明の半導体装置の他の実施形態を模式的に示す部分断面図である。

【発明を実施するための形態】

【0023】

本発明の半導体基板について図面を参照しながら説明する。図1は、本発明の半導体基板の一実施形態を模式的に示す部分断面図である。

【0024】

図1に示すように、本実施形態の半導体基板1は、シリコン基板10の上に第1エピタキシャル層11が形成され、第1エピタキシャル層11にトレンチ12が複数形成されている。そして、トレンチ12内に第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15が順次形成されている。また、第4エピタキシャル層15は、第1エピタキシャル層11の上にも形成されている。

20

【0025】

シリコン基板10は、単結晶シリコンに高濃度のn型のドーパントが導入されているn⁺型のシリコン基板である。

第1エピタキシャル層11は、シリコン基板10の上に形成されている。第1エピタキシャル層11は、シリコン基板10より低い濃度のn型のドーパントが導入されているn型シリコンのエピタキシャル層である。

【0026】

トレンチ12は、第1エピタキシャル層11に複数形成されている。トレンチ12の底面は、シリコン基板10の主表面である。また、トレンチ12は、略四角柱形状である。また、トレンチ12の側面は、第1エピタキシャル層11の内側面である。

30

第2エピタキシャル層13は、第1エピタキシャル層11の主表面及びトレンチ12内に形成されている。また、第2エピタキシャル層13は、p型のドーパントが導入されているp型シリコンのエピタキシャル層である。

【0027】

第3エピタキシャル層14は、第2エピタキシャル層13の上に形成されている。また、第2エピタキシャル層13は、p型のドーパントが導入されているp型シリコンのエピタキシャル層である。トレンチ12の一部を残したほぼ全体は、第2エピタキシャル層13及び第3エピタキシャル層14によって埋められている。

【0028】

40

第4エピタキシャル層15は、第1エピタキシャル層11の主表面に形成された第2エピタキシャル層13の主表面及び第3エピタキシャル層14の主表面、並びにトレンチ12の埋められていない残りの一部に形成されている。また、第4エピタキシャル層15は、p型のドーパントが導入されているp型シリコンのエピタキシャル層である。

【0029】

ここで、第1エピタキシャル層11は、P(リン)、As(ヒ素)、Sb(アンチモン)等のドーパントが導入されたn型のエピタキシャル層からなる。また、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15は、B(ホウ素)、Ga(ガリウム)、In(インジウム)等のドーパントが導入されたp型のエピタキシャル層からなる。

50

【0030】

第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の導電型は、第1エピタキシャル層11とは異なる導電型である。「異なる導電型」とは、n型に対するp型、又はp型に対するn型を意味する。したがって、例えば、第1エピタキシャル層11がn型であれば、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15はp型である。

【0031】

このように半導体基板1は、シリコン基板10の上にn型の第1エピタキシャル層11と、p型の第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15とが交互に形成されたスーパージャンクション構造を有する。

10

【0032】

ここで、第1エピタキシャル層11の幅を H_1 (μm)、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の幅を H_2 (μm)、第1エピタキシャル層11のキャリア濃度を C_1 (cm^{-3})、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15のキャリア濃度を C_2 (cm^{-3})とすると、第1エピタキシャル層11の幅 H_1 、又は第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の幅 H_2 のいずれか一方又は双方が、 $C_1 \times H_1 = C_2 \times H_2$ の関係を満たすように形成される。そのため、第1エピタキシャル層11に含まれるドーパント量と第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15に含まれるドーパント量とが略同一になる。したがって、n型の第1エピタキシャル層11と、p型の第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15とによるpn接合から空乏層が生じてドリフト領域が完全に空乏化され、耐電圧性能を維持することができる。

20

【0033】

次に、本実施形態の半導体基板の製造方法について、図2及び図3を参照しながら説明する。図2は、本発明の半導体基板の製造方法の一実施形態を示すフローチャートである。図3A～図3Eは、図2に示す半導体基板の製造方法において、半導体基板1の変化を順次示す部分断面図である。

【0034】

図2に示すように、本実施形態の半導体基板の製造方法は、第1エピタキシャル層形成工程S1と、トレンチ形成工程S2と、第2エピタキシャル層形成工程S3と、第3エピタキシャル層形成工程S4と、第4エピタキシャル層形成工程S5と、を備える。以下、各工程(S1～S5)について、図3を適宜参照しながら説明する。

30

【0035】

(S1)第1エピタキシャル層形成工程

図3Aに示すように、n⁺型のシリコン基板10の上に、原料ガスを供給しながら、n型のドーパントガスを導入して、これらの原料ガス及びドーパントガスを含む雰囲気中で、第1エピタキシャル層11を形成する。

【0036】

ここで、原料ガス(シリコンソースガス)としては、 SiH_4 (モノシラン)、ジシラン(Si_2H_6)、 SiH_2Cl_2 (ジクロロシラン)、 SiHCl_3 (トリクロロシラン)、 SiCl_4 (四塩化シリコン)等が例示される。

40

【0037】

ドーパントガスとしては、n型のエピタキシャル層の形成する場合には、n型のドーパントであるリン(P)を含有するホスフィン(PH_3)、アルシン(AsH_3)が例示される。一方、p型エピタキシャル層を形成する場合には、p型のドーパントであるホウ素(B)を含有するジボラン(B_2H_6)、三塩化ホウ素(BCl_3)が例示される。なお、原料ガス及びドーパントガスについては、後述の第2エピタキシャル層形成工程S3、第3エピタキシャル層形成工程S4及び第4エピタキシャル層形成工程S5においても同様である。

50

【0038】

また、第1エピタキシャル層11、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15を形成する手段としては、特に限定されないが、例えば、化学気相成長法(CVD)、物理気相成長法(PVD)、分子線エピタキシー法(MBE)等を用いることが好ましい。

【0039】

(S2) トレンチ形成工程

図3Bに示すように、第1エピタキシャル層形成工程S1により形成された第1エピタキシャル層11の上の所定位置にフォトリソグラフィを用いて、レジストパターンを形成する。そして、第1エピタキシャル層11における、レジストパターンの形成されていない領域を、例えば、反応性イオンエッチングによりエッチングして、トレンチ12を形成する。そして、レジストパターンを除去することで、図3Bに示すトレンチ12が得られる。

10

【0040】

(S3) 第2エピタキシャル層形成工程

図3Cに示すように、トレンチ形成工程S2を経た後、第1エピタキシャル層11及びトレンチ12内に、原料ガスと、ハロゲン化物ガスとを供給しながら、p型のドーパントガスを導入して、これらの原料ガス、ハロゲン化物ガス及びドーパントガスを含む雰囲気中で、第2エピタキシャル層13を形成する。原料ガス、ハロゲン化物ガス及びドーパントガスを含む雰囲気中の温度は、約950~1000(所定の第1温度)であることが好ましく、ドーパントガスの流量(所定の第1のドーパントガス流量)は、100~300sccm(Standard Cubic Centimeter per Minute)であることが好ましい。さらに、第2エピタキシャル層13のドーパント量(第1のドーパント量)は、 $1 \times 10^{15} \sim 1 \times 10^{17} (\text{cm}^{-3})$ であることが好ましい。

20

【0041】

本実施形態において、ドーパント量とは、ドーパントガスがエピタキシャル層内に取り込まれる前には、ドーパントガスの流量及びドーパントガスの濃度によって規定される値であり、ドーパントガスがエピタキシャル層に取り込まれた後には、エピタキシャル層の結晶格子中のドーパント原子の密度によって規定される値である。

30

【0042】

ハロゲン化物ガスとしては、例えば、HCl(塩化水素)、Cl₂(塩素)、F₂(フッ素)、ClF₃(三フッ化塩素)、HF(フッ化水素)、HBr(臭化水素)等が例示される。なお、ハロゲン化物ガスについては、後述の第3エピタキシャル層形成工程S4及び第4エピタキシャル層形成工程S5においても同様である。

【0043】

そして、原料ガスと、ハロゲン化物ガスとを供給した場合、ハロゲン化物ガスは、トレンチ12内のエッチングガスとして機能する。ハロゲン化物ガスによるトレンチ12の底面部のエッチング速度は、トレンチ12の開口部のエッチング速度よりも遅いため、エピタキシャル層の形成速度は、トレンチ12の開口部よりも底面部のほうが速くなる。したがって、トレンチ12内に形成される第2エピタキシャル層13にボイドが発生することを抑制できる。

40

【0044】

(S4) 第3エピタキシャル層形成工程

図3Dに示すように、第2エピタキシャル層形成工程S3を経た後、第2エピタキシャル層13の上に、原料ガスと、ハロゲン化物ガスとを供給しながら、p型のドーパントガスを導入して、これらの原料ガス、ハロゲン化物ガス及びドーパントガスを含む雰囲気中で、第3エピタキシャル層14を、トレンチ12内を埋めるように形成する。このとき、第3エピタキシャル層14は、第2エピタキシャル層13上におけるトレンチ12以外の部分にも形成される。原料ガス、ハロゲン化物ガス及びドーパントガスを含む雰囲気中の

50

温度は、第2エピタキシャル層形成工程S3における雰囲気中の温度よりも温度が低い約900～950（第2温度）である。また、p型のドーパントガスの流量（第2のドーパントガス流量）は、第2エピタキシャル層形成工程S3におけるp型のドーパントガスの流量よりも流量が多い110～360 s c c mである。さらに、第3エピタキシャル層14のドーパント量（第2のドーパント量）は、 $1 \times 10^{15} \sim 1 \times 10^{17}$ (c m⁻³)であることが好ましい。

【0045】

なお、第2エピタキシャル層形成工程S3における雰囲気中の温度と、第3エピタキシャル層形成工程S4における雰囲気中の温度との差は、10以上であることが好ましく、50以上であることがより好ましい。

10

また、第2エピタキシャル層形成工程S3におけるp型のドーパントガスの流量と、第3エピタキシャル層形成工程S4におけるp型のドーパントガスの流量との差は、5 s c c m以上であることが好ましく、30 s c c m以上であることがより好ましい。

【0046】

第3エピタキシャル層形成工程S4を経ることで、トレンチ12は、一部を残したほぼ全体が、第2エピタキシャル層13及び第3エピタキシャル層14により埋められる。ここで、第3エピタキシャル層形成工程S4における雰囲気中の温度は、第2エピタキシャル層形成工程S3における雰囲気中の温度よりも温度が低い。そのため、第3エピタキシャル層14にボイドや結晶欠陥が発生することを抑制できる。

【0047】

20

(S5)第4エピタキシャル層形成工程

図3Eに示すように、第3エピタキシャル層形成工程S4を経た後、第2エピタキシャル層13及び第3エピタキシャル層14の上に、原料ガスと、ハロゲン化物ガスとを供給しながら、p型のドーパントガスを導入して、これらの原料ガス、ハロゲン化物ガス及びドーパントガスを含む雰囲気中で、第4エピタキシャル層15を形成する。原料ガス、ハロゲン化物ガス及びドーパントガスを含む雰囲気中の温度は、第2エピタキシャル層形成工程S3における雰囲気中の温度よりも温度が高い約950～1000（第3温度）である。また、p型のドーパントガスの流量（第3のドーパントガス流量）は、第3エピタキシャル層形成工程S4におけるp型のドーパントガスの流量よりも流量が少ない100～300 s c c mである。さらに、第4エピタキシャル層15のドーパント量（第3のドーパント量）は、 $1 \times 10^{15} \sim 1 \times 10^{17}$ (c m⁻³)であることが好ましい。

30

【0048】

なお、第4エピタキシャル層形成工程S5における雰囲気中の温度と、第3エピタキシャル層形成工程S4における雰囲気中の温度との差は、10以上であることが好ましく、50以上であることがより好ましい。

また、第4エピタキシャル層形成工程S5におけるp型のドーパントガスの流量と、第3エピタキシャル層形成工程S4におけるp型のドーパントガスの流量との差は、5 s c c m以上であることが好ましく、30 s c c m以上であることがより好ましい。

【0049】

また、上述した実施形態では、シリコン基板10及び第1エピタキシャル層11の導電型は、n型であり、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の導電型は、p型であったが、本発明はこれに制限されない。例えば、シリコン基板10及び第1エピタキシャル層11の導電型が、p型であり、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の導電型は、n型であってもよい。

40

【0050】

この場合には、第3エピタキシャル層形成工程S4におけるn型のドーパントガスの流量は、第2エピタキシャル層形成工程S3におけるn型のドーパントガスの流量よりも少なくなる。また、第4エピタキシャル層形成工程S5におけるn型のドーパントガスの流量は、第3エピタキシャル層形成工程S4におけるn型のドーパントガスの流量よりも多

50

くなる。

【 0 0 5 1 】

上述したように、本実施形態の半導体基板の製造方法は、第1エピタキシャル層11及びトレンチ12内に、p型の第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15を、異なる成長速度を含む複数の成長条件を用いて、トレンチ12内を埋めるように形成する。この場合に、本実施形態の半導体基板の製造方法は、複数の成長条件のそれぞれにおいて、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15に取り込まれるp型のドーパント濃度を一定にする。

【 0 0 5 2 】

ここで、複数の成長条件は、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の成長速度を含む。上述した成長速度は、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の成長速度を変動させることにより、変化する。

10

【 0 0 5 3 】

また、複数の成長条件は、トレンチ12内、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15に導入されるp型のドーパントガスの流量を含んでいてもよい。この場合、成長速度は、原料ガス(シリコンソースガス)の流量の変動させることにより、変化する。

【 0 0 5 4 】

具体的には、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5の雰囲気中の温度(約950~1000)は、第3エピタキシャル層形成工程S4の温度(約900~950)よりも高い温度である。そのため、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5では、第2エピタキシャル層13及び第4エピタキシャル層15を形成する速度が速くなるため、スループットを向上させることができる。

20

【 0 0 5 5 】

また、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5の雰囲気中の温度(約950~1000)は、第3エピタキシャル層形成工程S4の雰囲気中の温度(約900~950)よりも高い温度であるため、第3エピタキシャル層14のドーパント濃度は、第2エピタキシャル層13及び第4エピタキシャル層15のドーパント濃度よりも低くなる傾向がある。よって、ドーパント濃度の変動を抑制するために、第3エピタキシャル層形成工程S4におけるドーパントガスの流量は、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5におけるドーパントガスの流量よりも多くなっている。

30

【 0 0 5 6 】

また、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15のうちの一又は複数は、雰囲気中において、原料ガス及びハロゲン化物ガスを同時に供給して形成されることが好ましい。具体的には、例えば第2エピタキシャル層13及び第3エピタキシャル層14は、第2エピタキシャル層形成工程S3及び第3エピタキシャル層形成工程S4の雰囲気中において、原料ガス及びハロゲン化物ガスを同時に供給して形成される。

40

【 0 0 5 7 】

また、第3エピタキシャル層形成工程S4では、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5に対して、雰囲気中におけるハロゲン化物ガスの流量が多いことがより好ましい。

【 0 0 5 8 】

そして、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15のドーパント濃度又はドーパント量は、実質的に同一であることが好ましい。なお、ドーパント濃度が実質的に同一であるとは、ドーパント濃度の差が±5%以内であることをいう。

50

【 0 0 5 9 】

本実施形態の半導体基板の製造方法によれば、例えば以下の効果が奏される。

本実施形態の半導体基板の製造方法は、第1エピタキシャル層11を形成する第1エピタキシャル層形成工程S1と、第1エピタキシャル層にトレンチを形成するトレンチ形成工程S2と、第1エピタキシャル層11及びトレンチ12内に、第2エピタキシャル層13を形成する第2エピタキシャル層形成工程S3と、第2エピタキシャル層13に、第3エピタキシャル層14を形成する第3エピタキシャル層形成工程S4と、第2エピタキシャル層及び第3エピタキシャル層に、第4エピタキシャル層を形成する第4エピタキシャル層形成工程S5と、を備える。

【 0 0 6 0 】

そして、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5の雰囲気中の温度は、第3エピタキシャル層形成工程S4の雰囲気中の温度よりも高い温度であり、第3エピタキシャル層形成工程S4におけるドーパントガスの流量は、第2エピタキシャル層形成工程S3及び第4エピタキシャル層形成工程S5におけるドーパントガスの流量よりも多くなっている。

【 0 0 6 1 】

これにより、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15それぞれのドーパント濃度を実質的に同一にすることができるため、例えば、半導体基板1の抵抗率測定を行った場合、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15それぞれの抵抗率が実質的に同一となる。つまり、本実施形態の半導体基板の製造方法によれば、所望の電気的特性を得ることができる。したがって、例えば、本実施形態の第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15を有する半導体基板1を用いて製造されたパワーMOSFET(図4又は図5参照)は、耐電圧性能やオン抵抗等の所望の電気的特性を得ることができる。

【 0 0 6 2 】

なお、半導体基板の製造方法は、原料ガス及び/又はハロゲン化ガスの流量を変化させた場合であっても、上述した効果と同様の効果を奏することができる。

【 0 0 6 3 】

また、上述した実施形態では、第2エピタキシャル層形成工程S3、第3エピタキシャル層形成工程S4及び第4エピタキシャル層形成工程S5において、成長温度を3段階で変更したが、本発明はこれに制限されない。

例えば、本発明の半導体基板の製造方法は、トレンチ12内におけるエピタキシャル層の成長温度を2段階で変更してもよい。成長温度を2段階で変更する場合には、例えば、エピタキシャル層の成長温度を約950~1000 から約900~950 に変更したり、約900~950 から約950~1000 に変更したりすることができる。

【 0 0 6 4 】

すなわち、本発明の半導体基板の製造方法は、第1エピタキシャル層形成工程S1と、トレンチ形成工程S2と、第2エピタキシャル層形成工程S3と、第3エピタキシャル層形成工程S4と、を備えていてもよい。

【 0 0 6 5 】

この場合、第2エピタキシャル層形成工程S3では、p型の第2エピタキシャル層13は、n型の第1エピタキシャル層11及びトレンチ12内に、約950~1000 の雰囲気中において、p型のドーパントガスを第1のドーパントガス流量で導入して、形成される。

【 0 0 6 6 】

また、第3エピタキシャル層形成工程S4では、p型の第3エピタキシャル層14は、第2エピタキシャル層13に、約900~950 の雰囲気中において、p型のドーパントガスを、第1のドーパントガス流量よりも多い第2のドーパント量で導入してトレンチ12内を埋めるように、形成される。

10

20

30

40

50

【 0 0 6 7 】

若しくは、第1エピタキシャル層11がp型であり、第2エピタキシャル層13及び第3エピタキシャル層14がn型である場合には、第2エピタキシャル層形成工程S3では、第2エピタキシャル層13は、約950～1000の雰囲気中において、第1エピタキシャル層11及びトレンチ12内に、n型のドーパントガスを第1のドーパントガス流量で導入して、形成される。

また、第3エピタキシャル層形成工程S4では、n型の第3エピタキシャル層14は、約900～950の雰囲気中において、第2エピタキシャル層13に、n型のドーパントガスを、第1のドーパントガス流量よりも少ない第2のドーパント量で導入してトレンチ12内を埋めるように、形成される。

10

【 0 0 6 8 】

このように、第2エピタキシャル層形成工程S3では、第2エピタキシャル層13は、約950～1000の雰囲気中において、形成される。第3エピタキシャル層形成工程S4では、第3エピタキシャル層14は、第2エピタキシャル層13よりも成長温度が低い約900～950の雰囲気中において、形成される。この場合、第4エピタキシャル層15は、形成されず、第2エピタキシャル層13及び第3エピタキシャル層14は、トレンチ12内に埋めるように形成される。

【 0 0 6 9 】

さらに、第2エピタキシャル層形成工程S3では、第2エピタキシャル層13は、第1エピタキシャル層11及びトレンチ12内に、約900～950の雰囲気中において、p型のドーパントガスを第1のドーパントガス流量で導入して、形成されてもよい。

20

【 0 0 7 0 】

また、第3エピタキシャル層形成工程S4では、第3エピタキシャル層14は、第2エピタキシャル層13に、約950～1000の雰囲気中において、p型のドーパントガスを、第1のドーパントガス流量よりも多い第2のドーパントガス流量で導入してトレンチ12内を埋めるように、形成されてもよい。この場合にも、第4エピタキシャル層15は、形成されず、第2エピタキシャル層13及び第3エピタキシャル層14は、トレンチ12内に埋めるように形成される。

【 0 0 7 1 】

第1エピタキシャル層11がp型であり、第2エピタキシャル層13及び第3エピタキシャル層14がn型である場合には、第2エピタキシャル層形成工程S3では、第2エピタキシャル層13は、約900～950の雰囲気中において、第1エピタキシャル層11及びトレンチ12内に、n型のドーパントガスを第1のドーパントガス流量で導入して、形成されてもよい。

30

また、第3エピタキシャル層形成工程S4では、第3エピタキシャル層14は、約950～1000の雰囲気中において、第2エピタキシャル層13に、n型のドーパントガスを、第1のドーパントガス流量よりも少ない第2のドーパントガス流量で導入してトレンチ12内を埋めるように、形成されてもよい。この場合にも、第4エピタキシャル層15は、形成されず、第2エピタキシャル層13及び第3エピタキシャル層14は、トレンチ12内に埋めるように形成される。

40

【 0 0 7 2 】

ここで、上述した第2エピタキシャル層13の第1のドーパント量、第3エピタキシャル層14の第2のドーパント量及び第4エピタキシャル層15の第3のドーパント量は、p型又はn型のドーパントガスの流量を変動させることにより、変化する。さらに、第1のドーパント量、第2のドーパント量及び第3のドーパント量は、p型又はn型のドーパントガスの濃度が異なる複数のガスポンペを用いることにより、変化する。

【 0 0 7 3 】

また、上述したように、本発明の半導体基板の製造方法は、成長温度を2段階又は3段階で変更せずに、4段階以上で変更してもよく、さらに、成長温度を連続的に変化させながらトレンチ12内にエピタキシャル層を形成してもよい。

50

また、上述した実施形態に係る半導体基板の製造方法においては、成長温度のみを変化させているが、本発明はこれに制限されない。例えば、半導体基板の製造方法においては、原料ガス及び/又はハロゲン化ガスの流量を変化させてもよい。

【0074】

次に、本実施形態の半導体基板1を用いて製造された半導体装置としてのパワーMOSFET2の構造について図4及び図5を参照しながら説明する。

図4は、本発明の半導体装置の一実施形態を模式的に示す部分断面図である。図5は、本発明の半導体装置の他の実施形態を模式的に示す部分断面図である。

【0075】

図4に示すように、NチャネルのパワーMOSFET2は、シリコン基板10と、第1エピタキシャル層11と、第2エピタキシャル層13と、第3エピタキシャル層14と、第4エピタキシャル層15と、第5エピタキシャル層16と、ソース領域17と、オーミック接続領域18と、トレンチ絶縁ゲート電極19と、を備える。

【0076】

シリコン基板10は、ドレイン領域である。第1エピタキシャル層11は、上述したように、シリコン基板10上に形成されるn型のエピタキシャル層である。

【0077】

第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15は、p型のエピタキシャル層である。第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15は、第1エピタキシャル層11上及び第1エピタキシャル層11に所定間隔で形成されたトレンチ12内に、第1エピタキシャル層11と互いに隣接して交互に形成される。

【0078】

第5エピタキシャル層16は、第4エピタキシャル層15上に形成されるp型のエピタキシャル層である。第5エピタキシャル層16は、チャンネル形成層として機能する。

【0079】

第5エピタキシャル層16は、第4エピタキシャル層15上に形成されるp型のエピタキシャル層である。第5エピタキシャル層16は、チャンネル形成層として機能する。例えば、第5エピタキシャル層16は、第4エピタキシャル層の表面を平坦化研磨した後に、第4エピタキシャル層15上に形成される。

【0080】

n型のソース領域17及びp型のオーミック接続領域18は、第4エピタキシャル層15上に形成される。n型のソース領域17は、例えば、p型のエピタキシャル層に、n型のドーパントがイオン注入されることにより形成される。また、p型のオーミック接続領域18は、例えば、p型のドーパントのイオン注入で形成される。

【0081】

トレンチ絶縁ゲート電極19は、ソース領域17、第5エピタキシャル層16、第4エピタキシャル層15、第3エピタキシャル層14及び第2エピタキシャル層13の一部を貫通して形成される。例えば、トレンチ絶縁ゲート電極19を形成する工程では、ソース領域17、第5エピタキシャル層16、第4エピタキシャル層15、第3エピタキシャル層14及び第2エピタキシャル層13の一部を貫通するトレンチ20が形成される。形成されたトレンチ20の底面及び側面には、熱酸化法やCVD法等を用いて絶縁膜21が形成される。そして、トレンチ絶縁ゲート電極19は、多結晶シリコン22からなり、絶縁膜21上にトレンチ20を埋めるように形成される。

【0082】

このようにして得られたパワーMOSFET2は、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15におけるドーパント量は、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の全体に亘って一定となっている。

また、図5に示すパワーMOSFET2は、図4に示すパワーMOSFET2における

10

20

30

40

50

各構成要素の導電型を逆転させることにより得ることができる。

【0083】

以上、本発明の半導体基板及びその製造方法について説明したが、本発明は、前述した実施形態に制限されるものではない。

例えば、シリコン基板10及び第1エピタキシャル層11の導電型は、n型であり、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の導電型は、p型であったが、本発明はこれに制限されない。例えば、シリコン基板10及び第1エピタキシャル層11の導電型が、p型であり、第2エピタキシャル層13、第3エピタキシャル層14及び第4エピタキシャル層15の導電型は、n型であってもよい。

【0084】

また、前述した本実施形態では、シリコンを用いた半導体基板について説明したが、本発明はこれに制限されない。例えば、炭化シリコン(SiC)、ガリウム砒素(GaAs)、窒化ガリウム(GaN)等の化合物半導体を用いてもよい。

【実施例】

【0085】

次に、本発明について、実施例を用いてさらに詳細に説明する。なお、この実施例は、本発明の範囲を限定するものではない。

【0086】

〔実施例1〕

上述した実施形態に示されるS1～S5の各工程を行い、図1に示す半導体基板1を製造した。以下に第2エピタキシャル層、第3エピタキシャル層及び第4エピタキシャル層を形成する際の雰囲気中の温度及びドーパントの流量について示す。ドーパントは、その濃度が100ppmのジボラン(B₂H₆)ガスを用いた。

【0087】

第2エピタキシャル層を形成する際の雰囲気中の温度は、970度であり、ドーパントガスの流量は、220sccmである。また、第3エピタキシャル層を形成する際の雰囲気中の温度は、950度であり、ドーパントガスの流量は、250sccmである。また、第4エピタキシャル層を形成する際の雰囲気中の温度は、980度であり、ドーパントガスの流量は、210sccmである。

【0088】

そして、S1～S5の各工程により得られた半導体基板1は、拡がり抵抗測定装置により抵抗率の測定を行い、電気的特性を評価した。実施例1において、抵抗率の厚み方向のプロファイルのバラツキ(例えば、最大値-最小値)は、±2%以下であった。

【0089】

〔比較例1〕

実施例1に比して、第3エピタキシャル層形成工程S4における雰囲気中のドーパントガスの流量を220sccmとした。それ以外は、実施例1と同様である。

比較例1において、抵抗率の厚み方向のプロファイルのバラツキは±11%であった。

【0090】

実施例1及び比較例1の結果から、例えば以下のことがわかる。

比較例1に比して、実施例1は、抵抗率の厚み方向のプロファイルが均一である。つまり、第2エピタキシャル層、第3エピタキシャル層及び第4エピタキシャル層それぞれのドーパント濃度の変化が少なく、実質的に同一となる。したがって、実施例1は、スーパー Junction構造を有するMOSFETの製造に適した電気的特性が得られたことがわかる。

【符号の説明】

【0091】

- 1 半導体基板
- 10 シリコン基板
- 11 第1エピタキシャル層

10

20

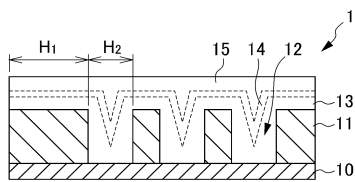
30

40

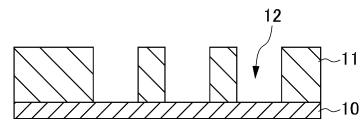
50

- 1 2 トレンチ
- 1 3 第2エピタキシャル層 (エピタキシャル層)
- 1 4 第3エピタキシャル層 (エピタキシャル層)
- 1 5 第4エピタキシャル層 (エピタキシャル層)
- S 1 第1エピタキシャル層形成工程
- S 2 トレンチ形成工程
- S 3 第2エピタキシャル層形成工程 (エピタキシャル層形成工程)
- S 4 第3エピタキシャル層形成工程 (エピタキシャル層形成工程)
- S 5 第4エピタキシャル層形成工程 (エピタキシャル層形成工程)

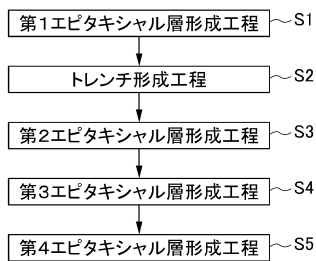
【図1】



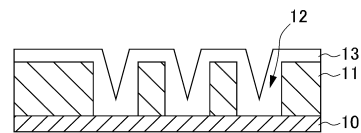
【図3B】



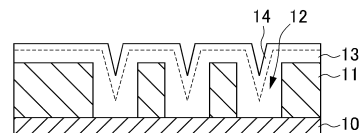
【図2】



【図3C】



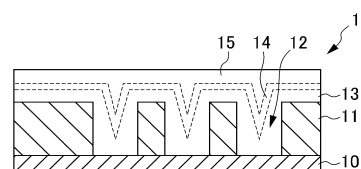
【図3D】



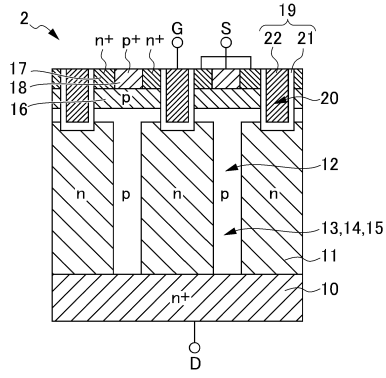
【図3A】



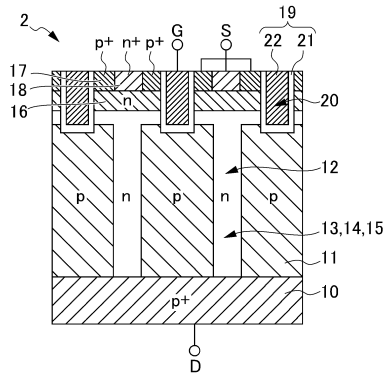
【図3E】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/205

(72)発明者 五東 仁
東京都港区芝浦一丁目2番1号 株式会社SUMCO内

(72)発明者 柴田 巧
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 山本 剛
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 空 哲次

(56)参考文献 特開2005-317905(JP,A)
特開2006-245082(JP,A)
特開2007-096137(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 2 0
H 0 1 L 2 1 / 2 0 5
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8