



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205266

(11) (B1)

(51) Int. Cl.³
G 09 G 1/06

/22/ Přihlášeno 14 08 79
/21/ /PV 5564-79/

(40) Zveřejněno 30 05 80

(45) Vydáno 15 11 82

(75)
Autor vynálezu

HRDLIČKA DRAHOMÍR ing., BRNO

(54) Zapojení obvodů pro generaci videosignálu v obrazkovém displeji

1

Vynález se týká zapojení obvodů pro generaci videosignálu v obrazkovém displeji, kdy základní obrazec pro vytváření znaku má tvar meandru.

Pro styk operátora s počítačem se nejčastěji užívá klávesnice a obrazkového displeje. Stínítko obrazovky slouží k vizuálnímu vytváření abecedně-číslicových znaků, uspořádaných nejčastěji ve tvaru bodové mozaiky s rozdílným počtem bodů ve vodorovném a svislém směru. Generování znaků na stínítku obrazovky se děje periodicky a synchronně s časovým rozkladem pohybu elektronového paprsku, který je obvykle řízen magnetickým polem, vytvářeným ve vychylovacích cívkách obrazovky. Většinou se používá geometrického uspořádání pohybu paprsku na stínítku obrazovky ve tvaru řádkového rastru, kdy elektronický paprsek je vychylován od levého okraje obrazovky k pravému okraji, pak se paprsek vrací zpět k levému okraji a generuje se nový řádek rastru, který je oproti předchozímu posunut směrem ke spodnímu okraji obrazovky. Postupným řízením paprsku se dosáhne rovnoměrného pokrytí celého stínítka obrazovky.

Při tomto způsobu vytváření řádkového rastru je nutné zobrazovat abecedně-číslicové znaky postupně. Jestliže vytváříme znak v základní bodové matici např. 5x7, pak je třeba generovat videosignál pro jasovou modulaci obrazovky, který je sestaven v souladu s horizontálním řízením paprsku na stínítku obrazovky a to tím způsobem, že přes generátor znaků je do registru ukládána informace o prvním řádku prvního znaku, pak informace o prvním řádku druhého znaku atd., až nakonec informace o prvním řádku posledního znaku v textovém řádku obrazkového displeje.

Pak nastává zobrazování druhého dílčího řádku prvního znaku, druhého dílčího řádku druhého znaku atd., až nakonec druhého řádku posledního znaku v textovém řádku. Tímto

způsobem se zobrazuje i poslední, podle příkladu sedmý řádek rastru textového řádku. Z uvedeného vyplývá, že paměť znaků, jejichž kapacita odpovídá celkovému počtu zobrazovaných znaků, musí být pro zobrazení jednoho textového znaku vybírána sedmkrát v určitém bloku této paměti, kde jsou uloženy kódy znaků právě zobrazovaného textového řádku. Tato skutečnost klade značné nároky na rychlost řídicích obvodů paměti i paměť samotnou.

Pro generaci znaků v obrazovkových displejích se obvykle užívá pevná paměť, kde znaky jsou vhodně zvoleným způsobem předem zakódovány. Kapacita těchto pamětí, vyrobených převážně z MOS obvodů, je obvykle kolem $3 \cdot 10^3$ bitů. Režim výběru informace z těchto ROM pamětí může být odlišný.

Způsob zobrazování abecedně-číslicových znaků na stínítku obrazovky s užitím popsaného televizního rozkladu paprsku má četné nevýhody, spočívající především v nutnosti vybavení displeje pamětí RAM s krátkou vybavovací dobou, k nimž náleží řídicí obvody, které zvětšují objem a cenu takového zařízení.

Naproti tomu je známý systém pro vychylování elektronového paprsku na stínítku obrazovky, kdy paprsek na stínítku je vytvářen meandrovitě a zobrazovaný znak je zobrazen v jednom uceleném časovém intervalu. Vzhledem k tomu, že kód zobrazovaného znaku je vybírán za jeden cyklus zobrazení pouze jednou, lze s výhodou užít v displeji pouze paměť na jeden znak. Kód znaku je synchronizačním impulsem přepsán z hlavní paměti do paměti znaku v krátkém časovém předstihu před kresbou meandrovitého obrazce, tvořícího podkladový obrazec znaku. Paměť pro displej je pak součástí hlavní paměti zařízení, např. inteligentního terminálu.

Dosud známé obvody pro vytváření videosignálu pro obrazovkové displeje s tvorbou řádkového rastru na stínítku obrazovky nelze v případě zobrazovacího systému s meandrovitým obrazcem použít.

Generování videosignálu v obrazovkovém displeji s meandrovitým vytvářením základního obrazce je umožněno zapojením obvodů pro generaci videosignálu, podle vynálezu, jehož podstata spočívá v tom, že první výstup oscilátoru je připojen na první vstup pátého hradla a současně na první vstup jedenáctého hradla, zatímco první inverzní výstup oscilátoru je připojen na první vstup sedmého hradla a současně na první vstup patnáctého hradla, přičemž první výstup prvního čítače je připojen na druhý vstup prvního hradla a současně na třetí vstup sedmého hradla, přičemž druhý vstup tohoto hradla je spojen s třetím inverzním výstupem prvního čítače a současně s druhým vstupem třetího hradla, zatímco druhý výstup prvního čítače je připojen na první vstup třetího hradla, přičemž výstup tohoto hradla je přes druhý invertor připojen na první vstup čtrnáctého hradla, zatímco druhý výstup prvního čítače je připojen na první vstup prvního hradla, přičemž jeho výstup je přes první invertor připojen na druhý vstup pátého hradla a současně na druhý vstup jedenáctého hradla, přičemž výstup pátého hradla je spojen s prvním vstupem šestého hradla, zatímco výstup tohoto hradla je připojen na první vstup osmého hradla, přičemž druhý vstup tohoto hradla je spojen s výstupem sedmého hradla, zatímco výstup osmého hradla je spojen s druhým vstupem šestého hradla a současně s druhým vstupem patnáctého hradla, přičemž první výstup druhého čítače je spojen s prvním vstupem devátého hradla, druhým vstupem sedmnáctého hradla a sedmým vstupem generátoru znaků, zatímco druhý výstup druhého čítače je spojen s druhým vstupem devátého hradla a současně s osmým vstupem generátoru znaků, přičemž třetí výstup druhého čítače je přiveden na třetí vstup devátého hradla a devátý vstup generátoru znaků, přičemž výstup devátého hradla je spojen s třetím vstupem jedenáctého hradla, zatímco čtvrtý vstup tohoto hradla je spojen s šestým výstupem třetího čítače a současně se třetím vstupem čtrnáctého hradla a čtvrtým vstupem patnáctého hradla, přičemž první inverzní výstup druhého čítače je spojen s druhým vstupem desátého hradla a třetím vstupem sedmnáctého hradla, zatímco druhý inverzní výstup druhého čítače je připojen na třetí vstup desátého hradla, přičemž první vstup tohoto hradla je spojen s třetím inverzním výstupem druhého čítače, zatímco výstup desátého hradla je spojen se třetím vstupem pátého hradla a součas-

ně se vstupem třetího invertoru, jehož výstup je spojen s druhým vstupem čtrnáctého hradla, přičemž výstup tohoto hradla je připojen na vstup pátého invertoru a současně na vstup procesorové jednotky, přičemž výstup pátého invertoru je připojen na sedmý vstup paměti kódu znaku, zatímco výstup patnáctého hradla je připojen na sedmý vstup prvního registru zobrazení a současně na sedmý vstup druhého registru zobrazení, přičemž výstup jedenáctého hradla je přes čtvrtý invertor připojen na šestý vstup prvního registru zobrazení a současně na šestý vstup druhého registru zobrazení, zatímco první výstup, druhý výstup, třetí výstup ... až šestý výstup procesorové jednotky je spojen s prvním vstupem, druhým vstupem, třetím vstupem ... až šestým vstupem paměti kódu znaku, přičemž první výstup, druhý výstup ... až šestý výstup paměti kódu znaku je spojen s prvním vstupem, druhým vstupem ... až šestým vstupem generátoru znaků, přičemž první výstup tohoto generátoru znaků je spojen s prvním vstupem prvního registru zobrazení a současně s pátým vstupem druhého registru zobrazení, zatímco druhý výstup generátoru znaků je spojen s druhým vstupem prvního registru zobrazení a současně se čtvrtým vstupem druhého registru zobrazení, přičemž třetí výstup generátoru znaků je spojen s třetím vstupem prvního registru zobrazení a třetím vstupem druhého registru zobrazení, zatímco čtvrtý výstup generátoru znaků je spojen s čtvrtým vstupem prvního registru zobrazení a současně s druhým vstupem druhého registru zobrazení, přičemž pátý výstup generátoru znaků je připojen na pátý vstup prvního registru zobrazení a současně na první vstup druhého registru zobrazení, přičemž výstup tohoto registru zobrazení je připojen na čtvrtý vstup sedmnáctého hradla, zatímco na první vstup tohoto hradla je připojen výstup prvního registru zobrazení, přičemž výstup sedmnáctého hradla je připojen na vstup obvodu pro posuv fáze, přičemž výstup tohoto obvodu je připojen na vstup monostabilního obvodu, opatřeného výstupem pro generaci videosignálu pro jasovou modulaci obrazovky displeje.

Výhodou zapojení obvodů pro generaci videosignálu v obrazovkovém displeji je skutečnost, že lze užít běžně vyráběných generátorů znaků jako pevné paměti znaků a pomocí dvou posuvných registrů nebo jednoho registru obousměrného vytvářet potřebnou impulsní posloupnost videosignálu. Velkou výhodou je malý počet logických integrovaných obvodů potřebných pro získání videosignálu a celková jednoduchost zobrazovací jednotky s obrazovkou.

Příklad zapojení obvodů pro generaci videosignálu v obrazovkovém displeji podle vynálezu je uveden na připojeném výkrese.

V uvedeném příkladě je nakreslena část časového zdroje obrazovkového displeje, kde základní oscilátor OSC generuje na svém výstupu 001 tvarované synchronizační impulsy, které jsou přiváděné na vstup 004 prvního čítače CT1, přičemž výstup 011 tohoto čítače je připojen na vstup 012 druhého čítače CT2, který je svým výstupem 019 propojen se vstupem 020 třetího čítače CT3. Čítače CT1, CT2 a CT3 tvoří kaskádu děličů kmitočtu. První výstup 002 oscilátoru OSC je připojen na první vstup 51 pátého hradla H5 a současně na první vstup 111 jedenáctého hradla H11, zatímco první inverzní výstup 003 oscilátoru OSC je připojen na první vstup 71 sedmého hradla H7 a současně na první vstup 151 patnáctého hradla H15, přičemž první výstup 005 prvního čítače CT1 je připojen na druhý vstup 12 prvního hradla H1 a současně na třetí vstup 73 sedmého hradla H7.

Druhý vstup 72 tohoto hradla je spojen s třetím inverzním výstupem 010 prvního čítače CT1 a současně s druhým vstupem 32 třetího hradla H3, zatímco druhý výstup 007 prvního čítače CT1 je připojen na první vstup 31 třetího hradla H3, přičemž výstup 33 tohoto hradla je přes druhý invertor H4 připojen na první vstup 141 čtrnáctého hradla, zatímco druhý výstup 009 prvního čítače CT1 je připojen na první vstup 11 prvního hradla H1, přičemž jeho výstup 13 je přes první invertor H2 připojen na druhý vstup 52 pátého hradla H5 a současně na druhý vstup 112 jedenáctého hradla H11.

Výstup 53 pátého hradla H5 je spojen s prvním vstupem 61 šestého hradla H6, zatímco výstup 63 tohoto hradla je připojen na první vstup 81 osmého hradla H8, přičemž druhý vstup 82 tohoto hradla je spojen s výstupem 74 sedmého hradla H7, zatímco výstup 83 osmého hradla

H8 je spojen s druhým vstupem 62 šestého hradla H6 a současně s druhým vstupem 152 patnáctého hradla H15.

První výstup 013 druhého čítače CT2 je spojen s prvním vstupem 91 devátého hradla H9, druhým vstupem 172 sedmnáctého hradla H17 a sedmým vstupem 507 generátoru znaků ROM, zatímco druhý výstup 015 druhého čítače CT2 je spojen s druhým vstupem 92 devátého hradla H9 a současně s osmým vstupem 508 generátoru znaků ROM, přičemž třetí výstup 017 druhého čítače CT2 je přiveden na třetí vstup 93 devátého hradla H9 a devátý vstup 509 generátoru znaků ROM, přičemž výstup 94 devátého hradla H9 je spojen s třetím vstupem 113 jedenáctého hradla H11.

Čtvrtý vstup tohoto hradla 114 je spojen s šestým výstupem 026 třetího čítače CT3 a současně se třetím vstupem 143 čtrnáctého hradla H14 a čtvrtým vstupem 154 patnáctého hradla H15, přičemž první inverzní výstup 014 druhého čítače CT2 je spojen s druhým vstupem 102 desátého hradla H10 a třetím vstupem 173 sedmnáctého hradla H17, zatímco druhý inverzní výstup 016 druhého čítače CT2 je připojen na třetí vstup 103 desátého hradla H10, přičemž první vstup 101 tohoto hradla je spojen se třetím inverzním výstupem 018 druhého čítače CT2. Výstup 104 desátého hradla H10 je spojen se třetím vstupem 153 pátého hradla H5 a současně se vstupem 131 třetího invertoru H13, jehož výstup 132 je spojen s druhým vstupem 142 čtrnáctého hradla H14, přičemž výstup 144 tohoto hradla je připojen na vstup 161 pátého invertoru H16 a současně na vstup 200 procesorové jednotky CPU, přičemž výstup 162 pátého invertoru H16 je připojen na sedmý vstup 307 paměti kódu znaku PKZ, zatímco výstup 155 patnáctého hradla H15 je připojen na sedmý vstup 707 prvního registru zobrazení RGZ1 a současně na sedmý vstup 807 druhého registru zobrazení RGZ2, přičemž výstup 115 jedenáctého hradla H11 je přes čtvrtý invertor H12 připojen na šestý vstup 706 prvního registru zobrazení RGZ1 a současně na šestý vstup 806 druhého registru zobrazení RGZ2, zatímco první výstup 201, druhý výstup 202, třetí výstup 203 ... až šestý vstup 206 procesorové jednotky CPU je spojen s prvním vstupem 301, druhým vstupem 302, třetím vstupem 303 ... až šestým vstupem 306 paměti kódu znaku PKZ, přičemž první výstup 401, druhý výstup 402 ... až šestý výstup 406 paměti kódu znaku PKZ je spojen s prvním vstupem 501, druhým vstupem 502 ... až šestým vstupem 506 generátoru znaků ROM, přičemž první výstup 601 tohoto generátoru znaků je spojen s prvním vstupem 701 prvního registru zobrazení RGZ1 a současně s pátým vstupem 805 druhého registru zobrazení RGZ2, zatímco druhý výstup 602 generátorů znaků ROM je spojen s druhým vstupem 702 prvního registru zobrazení RGZ1 a současně se čtvrtým vstupem 804 druhého registru zobrazení RGZ2, přičemž třetí výstup 603 generátorů znaků ROM je spojen s třetím vstupem 703 prvního registru zobrazení RGZ1 a třetím vstupem 803 druhého registru zobrazení RGZ2, zatímco čtvrtý výstup 604 generátorů znaků ROM je spojen s čtvrtým vstupem 704 prvního registru zobrazení RGZ1 a současně s druhým vstupem 802 druhého registru zobrazení RGZ2, přičemž pátý výstup 605 generátorů znaků ROM je připojen na pátý vstup 705 prvního registru zobrazení RGZ1 a současně na první vstup 801 registru zobrazení RGZ2, přičemž výstup 808 tohoto registru zobrazení je připojen na čtvrtý vstup 174 sedmnáctého hradla H17, zatímco na první vstup 171 tohoto hradla je připojen výstup 708 prvního registru zobrazení RGZ1, přičemž výstup 175 sedmnáctého hradla H17 je připojen na vstup 181 obvodu pro posuv fáze PF, přičemž výstup 182 tohoto obvodu je připojen na vstup 191 monostabilního obvodu MO, na jehož výstupu 192 se generuje videosignál VS pro jasovou modulaci obrazovky displeje.

Činnost obvodu podle výkresu je následující:

Na výstupu 144 čtrnáctého hradla H14 se generuje impuls ZZN, který značí "začátek znaku". V době nástupní hrany je vystaven kód znaku na výstupech 201 až 206 procesorové jednotky CPU a následující sestupnou hranou impulsu ZZN je informace přepsána přes vstupy 301 až 306 do paměti kódu znaku PKZ. Z výstupů 401 až 406 paměti kódu znaku PKZ je informace přivedena na vstupy 501 až 506 generátoru znaků ROM. Časové kódování ROM je uskutečňováno pomocí signálů A, B, C, které jsou generovány druhým čítačem CT2.

Výstupy 601 až 605 generátoru znaků ROM obsahují paralelní - v daném případě pětibitové - slovo, které obsahuje údaj o tom, které body příslušného řádku zobrazovaného znaku budou jasově modulovány. Výstup 601 až 605 je připojen na vstupy 701 až 705 prvního registru zobrazení RGZ1 a současně na vstupy 801 až 805 druhého registru zobrazení RGZ2. Posuvné registry RGZ1 a RGZ2 přebírají pětibitové slovo podle výskytu zápisového impulsu, který se generuje na výstupu 122 čtvrtého invertoru H12.

Vstupy posuvného registru RGZ1 a RGZ2 jsou spojeny tak, že první vstup 701 prvního registru zobrazení RGZ1 je spojen s pátým vstupem 805 druhého registru zobrazení RGZ2, druhý vstup 702 je spojen se čtvrtým vstupem 804, třetí vstup 703 je spojen se třetím vstupem 803, čtvrtý vstup 704 je spojen s druhým vstupem 802 a konečně pátý vstup 705 prvního registru zobrazení RGZ1 je spojen s prvním vstupem 801 druhého registru zobrazení RGZ2. Výstup 708 prvního registru zobrazení RGZ1 je časován signálem A z prvního výstupu 013 druhého čítače CT2, výstup 808 druhého registru zobrazení RGZ2 je časován z prvního inverzního výstupu 014 druhého čítače CT2. Výběr informace, tj. sériově uspořádané slovo, je přítomno na výstupu 175 sedmnáctého hradla H17, které představuje pozitivní logický člen typu AND - OR - INVERT.

První pětice bitů, získaná v časovém signálu A, je uspořádána shodně s výstupy 601 až 605 generátoru znaků ROM, druhá pětice bitů, získaná v časovém intervalu odpovídajícím negaci signálu A, je uspořádána v opačném směru s výstupy generátoru znaků ROM. Tento požadavek je ve shodě s pohybem elektronového paprsku na stínítku obrazovky, kdy v prvním řádku znaku je pohyb paprsku zleva doprava, ve druhém řádku znaku je pohyb ve směru opačném, tj. zprava doleva, až se vytvoří celá meandrovitý obrazec pro jeden znak.

Výstup 175 sedmnáctého hradla H17 je přiveden na vstup 181 obvodu pro posuv fáze PF. Obvod pro posuv fáze umožňuje plynulou změnu zpoždění signálu pro modulaci obrazovky a slouží ke kompenzaci časového zpoždění rozkladových obvodů. Výstup 182 obvodu pro posuv fáze PF je připojen na vstup 191 monostabilního obvodu MO, na jehož výstupu 192 je generován videosignál VS, který je jasově modulována obrazovka.

Zapojení obvodů do generací videosignálu lze modifikovat tím, že první registr zobrazení RGZ1 i druhý registr zobrazení RGZ2, které jsou jednosměrně posuvné, jsou nahrazeny jedním registrem obousměrně posuvným, přičemž směr posuvu je určován časovým signálem A nebo jeho negací.

PŘEDMĚT VYNÁLEZU

1. Zapojení obvodů pro generaci videosignálu v obrazkovém displeji, sestavených z oscilátoru hodinových impulsů, děliče kmitočtu, logických hradel, paměti kódu znaku, generátoru znaků a posuvných registrů, vyznačené tím, že první výstup (002) oscilátoru (OSC) je připojen na první vstup (51) pátého hradla (H5) a současně na první vstup (111) jedenáctého hradla (H11), zatímco první inverzní výstup (003) oscilátoru (OSC) je připojen na první vstup (71) sedmého hradla (H7) a současně na první vstup (151) patnáctého hradla (H15), přičemž první výstup (005) prvního čítače (CT1) je připojen na druhý vstup (12) prvního hradla (H1) a současně na třetí vstup (73) sedmého hradla (H7), přičemž druhý vstup (72) tohoto hradla je spojen s třetím inverzním výstupem (010) prvního čítače (CT1) a současně s druhým vstupem (32) třetího hradla (H3), zatímco druhý výstup (007) prvního čítače (CT1) je připojen na první vstup (31) třetího hradla (H3), přičemž výstup (33) tohoto hradla je přes druhý invertor (H4) připojen na první vstup (141) čtrnáctého hradla (H14), zatímco druhý výstup (009) prvního čítače /CT1/ je připojen na první vstup (11) prvního hradla (H1), přičemž jeho výstup (13) je přes první invertor (H2) připojen na druhý vstup (52) pátého hradla (H5) a současně na druhý vstup (112) jedenáctého hradla (H11), přičemž výstup (53) pátého hradla (H5) je spojen s prvním vstupem (61) šestého hradla (H6), zatímco výstup

(63) tohoto hradla je připojen na první vstup (81) osmého hradla (H8), přičemž druhý vstup (82) tohoto hradla je spojen s výstupem (74) sedmého hradla (H7), zatímco výstup (83) osmého hradla (H8) je spojen s druhým vstupem (62) šestého hradla (H6) a současně s druhým vstupem (152) patnáctého hradla (H15), přičemž první vstup (013) druhého čítače (CT2) je spojen s prvním vstupem (91) devátého hradla (H9), druhým vstupem (172) sedmnáctého hradla (H17) a sedmým vstupem (507) generátoru znaků (ROM), zatímco druhý výstup (015) druhého čítače (CT2) je spojen s druhým vstupem (92) devátého hradla (H9) a současně s osmým vstupem (508) generátoru znaků (ROM), přičemž třetí výstup (017) druhého čítače (CT2) je přiveden na třetí vstup (93) devátého hradla (H9) a devátý vstup (509) generátoru znaků (ROM), přičemž výstup (94) devátého hradla (H9) je spojen s třetím vstupem (113) jedenáctého hradla (H11), zatímco čtvrtý vstup (114) tohoto hradla je spojen s šestým výstupem (026) třetího čítače (CT3) a současně se třetím vstupem (143) čtrnáctého hradla (H14) a čtvrtým vstupem (154) patnáctého hradla (H15), přičemž první inverzní výstup (014) druhého čítače (CT2) je spojen s druhým vstupem (102) desátého hradla (H10) a třetím vstupem (173) sedmnáctého hradla (H17), zatímco druhý inverzní výstup (016) druhého čítače (CT2) je připojen na třetí vstup (103) desátého hradla (H10), přičemž první vstup (101) tohoto hradla je spojen s třetím inverzním výstupem (018) druhého čítače (CT2), zatímco výstup (104) desátého hradla (H10) je spojen se třetím vstupem (153) pátého hradla (H5) a současně se vstupem (131) třetího invertoru (H13), jehož výstup (132) je spojen s druhým vstupem (142) čtrnáctého hradla (H14), přičemž výstup (144) tohoto hradla je připojen na vstup (161) pátého invertoru (H16) a současně na vstup (200) procesorové jednotky (CPU), přičemž výstup (162) pátého invertoru (H16) je připojen na sedmý vstup (307) paměti kódu znaku (PKZ), zatímco výstup (155) patnáctého hradla (H15) je připojen na sedmý vstup (707) prvního registru zobrazení (RGZ1) a současně na sedmý vstup (807) druhého registru zobrazení (RGZ2), přičemž výstup (115) jedenáctého hradla (H11) je přes čtvrtý invertor (H12) připojen na šestý vstup (706) prvního registru zobrazení (RGZ1) a současně na šestý vstup (806) druhého registru zobrazení (RGZ2), zatímco první výstup (201), druhý výstup (202), třetí výstup (203) ... až šestý výstup (206) procesorové jednotky (CPU) je spojen s prvním vstupem (301), druhým vstupem (302), třetím vstupem (303) ... až šestým vstupem (306) paměti kódu znaku (PKZ), přičemž první výstup (401), druhý výstup (402) ... až šestý výstup (406) paměti kódu znaku (PKZ) je spojen s prvním vstupem (501), druhým vstupem (502) ... až šestým vstupem (506) generátoru znaků (ROM), přičemž první výstup (601) tohoto generátoru znaků je spojen s prvním vstupem (701) prvního registru zobrazení (RGZ1) a současně s pátým vstupem (805) druhého registru zobrazení (RGZ2), zatímco druhý výstup (602) generátoru znaků (ROM) je spojen s druhým vstupem (702) prvního registru zobrazení (RGZ1) a současně se čtvrtým vstupem (804) druhého registru zobrazení (RGZ2), přičemž třetí výstup (603) generátoru znaků (ROM) je spojen s třetím vstupem (703) prvního registru zobrazení (RGZ1) a třetím vstupem (803) druhého registru zobrazení (RGZ2), zatímco čtvrtý výstup (604) generátoru znaků (ROM) je spojen s čtvrtým vstupem (704) prvního registru zobrazení (RGZ1) a současně s druhým vstupem (802) druhého registru zobrazení (RGZ2), přičemž pátý vstup (605) generátoru znaků (ROM) je připojen na pátý vstup (705) prvního registru zobrazení (RGZ1) a současně na první vstup (801) druhého registru zobrazení (RGZ2), přičemž výstup (807) tohoto registru zobrazení je připojen na čtvrtý vstup (174) sedmnáctého hradla (H17), zatímco na první vstup (171) tohoto hradla je připojen výstup (708) prvního registru zobrazení (RGZ1), přičemž výstup (175) sedmnáctého hradla (H17) je připojen na vstup (181) obvodu pro posuv fáze (PF), přičemž výstup (182) tohoto obvodu je připojen na vstup (191) monostabilního obvodu (MO), opatřeného výstupem (192) pro generaci videosignálu (VS) pro jasovou modulaci obrazovky displeje.

2. Zapojení obvodů pro generaci videosignálu v obrazovkovém displeji podle bodu 1, vyznačené tím, že registr zobrazení (RGZ) je obousměrně posuvný.

1 list výkresů

