



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202236425 A

(43) 公開日：中華民國 111 (2022) 年 09 月 16 日

(21) 申請案號：110140825

(22) 申請日：中華民國 110 (2021) 年 11 月 02 日

(51) Int. Cl. :

*H01L21/3205(2006.01)**H01L21/768 (2006.01)**H01L23/522 (2006.01)**H01L27/146 (2006.01)**H04N5/369 (2011.01)*

(30) 優先權：2020/11/09

日本

2020-186610

2021/08/11

日本

2021-131322

2021/10/11

世界智慧財產權組織

PCT/JP2021/037502

(71) 申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72) 發明人：望月健矢 MOCHIZUKI, TAKEYA (JP)；中澤圭一 NAKAZAWA, KEIICHI (JP)；吉田慎一 YOSHIDA, SHINICHI (JP)；西尾賢哉 NISHIO, KENYA (JP)；藤井宣年 FUJII, NOBUTOSHI (JP)；齋藤卓 SAITO, SUGURU (JP)；岡本正喜 OKAMOTO, MASAKI (JP)；鎌谷良介 KAMATANI, RYOSUKE (JP)；山本雄一 YAMAMOTO, YUICHI (JP)；巖樫一孝 IZUKASHI, KAZUTAKA (JP)；宮波勇樹 MIYANAMI, YUKI (JP)；吉岡浩孝 YOSHIOKA, HIROTAKA (JP)；堀越浩 HORIKOSHI, HIROSHI (JP)；黑鳥託也 KUROTORI, TAKUYA (JP)；古瀨駿介 FURUSE, SHUNSUKE (JP)；本多孝好 HONDA, TAKAYOSHI (JP)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：31 項 圖式數：77 共 187 頁

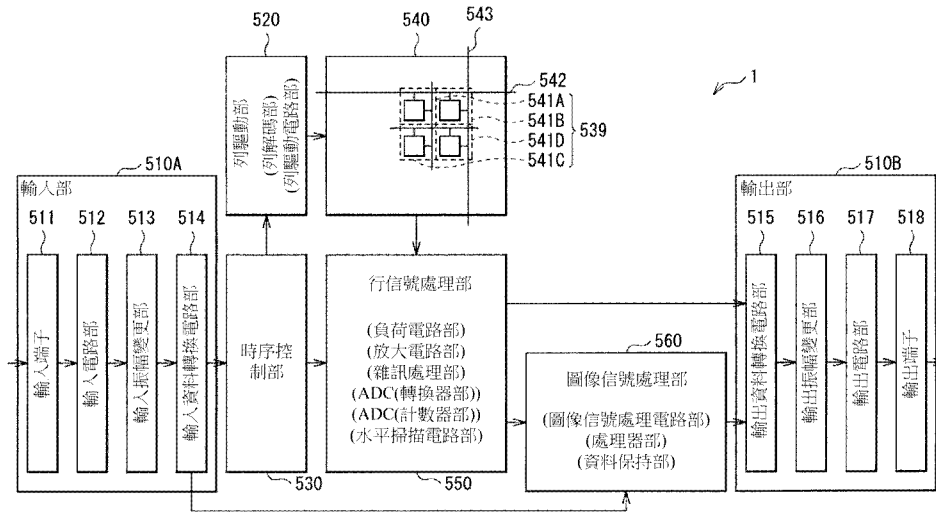
(54) 名稱

攝像裝置、攝像裝置之製造方法及電子機器

(57) 摘要

本發明提供一種攝像裝置(1)，其包含：第 1 半導體基板(100)，其設置有光電轉換元件；第 2 半導體基板(200)，其隔著層間絕緣膜(123)積層於上述第 1 半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及通孔(600)，其貫通上述層間絕緣膜，將與上述第 2 半導體基板對向之上述第 1 半導體基板之第 1 面、及與上述第 1 面對向之上述第 2 半導體基板之第 2 面之至少一部分電性連接。

指定代表圖：



【圖1】

符號簡單說明：

1:攝像裝置

510A:輸入部

510B:輸出部

511:輸入端子

512:輸入電路部

513:輸入振幅變更部

514:輸入資料轉換電路部

515:輸出資料轉換電路部

516:輸出振幅變更部

517:輸出電路部

518:輸出端子

520:列驅動部

530:時序控制部

539:像素共有單元

540:像素陣列部

541A,541B,541C,
541D:像素

542:列驅動信號線

543:垂直信號線

550:行信號處理部

560:圖像信號處理部

【發明摘要】

【中文發明名稱】

攝像裝置、攝像裝置之製造方法及電子機器

【中文】

本發明提供一種攝像裝置(1)，其包含：第1半導體基板(100)，其設置有光電轉換元件；第2半導體基板(200)，其隔著層間絕緣膜(123)積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及通孔(600)，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

1: 攝像裝置

510A: 輸入部

510B: 輸出部

511: 輸入端子

512: 輸入電路部

513: 輸入振幅變更部

514: 輸入資料轉換電路部

515: 輸出資料轉換電路部

516: 輸出振幅變更部

517: 輸出電路部

518: 輸出端子

520: 列驅動部

530: 時序控制部

539: 像素共有單元

540: 像素陣列部

541A, 541B, 541C, 541D: 像素

542: 列驅動信號線

543: 垂直信號線

550: 行信號處理部

560: 圖像信號處理部

【發明說明書】

【中文發明名稱】

攝像裝置、攝像裝置之製造方法及電子機器

【技術領域】

【0001】本發明係關於一種攝像裝置、攝像裝置之製造方法及電子機器。

【先前技術】

【0002】先前，2維構造之攝像裝置之每1像素之面積之微細化已藉由微細程序之導入與安裝密度之提高得以實現。近幾年，為了實現攝像裝置之進一步小型化及像素之高密度化，開發出了3維構造之攝像裝置。於3維構造之攝像裝置中，例如具有複數個感測像素之半導體基板與具有對藉由各感測像素而獲得之信號進行處理之信號處理電路之半導體基板相互積層。

先前技術文獻

專利文獻

【0003】專利文獻1：國際公開第2019/131965號

【發明內容】

[發明所欲解決之問題]

【0004】然而，於上述3維構造之攝像裝置中，攝像裝置之小型化、微細化存在極限。因此，於本發明中，將提出一種能進一步小型化、微細化之攝像裝置、攝像裝置之製造方法及電子機器。

[解決問題之技術手段]

【0005】根據本發明，提供一種攝像裝置，其包含：第1半導體基

板，其設置有光電轉換元件；第2半導體基板，其隔著層間絕緣膜積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及通孔，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。

【0006】又，根據本發明，提供一種攝像裝置之製造方法，其包含：於設置有光電轉換元件之第1半導體基板上，積層層間絕緣膜；於上述層間絕緣膜形成貫通孔；將多晶矽嵌入上述貫通孔；將被嵌入之上述多晶矽中自上述貫通孔突出之部分去除；及於上述層間絕緣膜上貼附第2半導體基板，該第2半導體基板供設置將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路。

【0007】進而，根據本發明，提供一種電子機器，其搭載攝像裝置，該攝像裝置包含：第1半導體基板，其設置有光電轉換元件；第2半導體基板，其隔著層間絕緣膜積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及通孔，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。

【圖式簡單說明】

【0008】

圖1係表示攝像裝置1之功能構成之一例之方塊圖。

圖2係表示圖1所示之攝像裝置1之概略構成之俯視模式圖。

圖3係表示沿著圖2所示之III-III'線之剖面構成之模式圖。

圖4係圖1所示之像素共有單元539之等效電路圖。

圖5係表示比較例之攝像裝置1之詳細構成的一例之剖視模式圖。

圖6係表示圖5所示之第1半導體基板100之主要部分的平面構成之一例之模式圖。

圖7係表示圖5所示之第2半導體基板200之主要部分的平面構成之一例之模式圖。

圖8係表示比較例之攝像裝置1之主要部分的剖面構成之模式圖。

圖9係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其1)。

圖10係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其2)。

圖11係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖(其1)。

圖12係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖(其2)。

圖13係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖(其3)。

圖14A係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖14B係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖14C係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其3)。

圖14D係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其4)。

圖14E係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其5)。

圖14F係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其6)。

圖14G係用以說明本發明之第1實施方式之攝像裝置1的製造方法之模式圖(其7)。

圖15係表示本發明之第1實施方式之變化例1之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖16係表示本發明之第1實施方式之變化例1之攝像裝置1的主要部分之一例之平面構成之模式圖。

圖17係用以說明本發明之第1實施方式之變化例1的製造方法之模式圖。

圖18係表示本發明之第1實施方式之變化例2之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖19係表示本發明之第2實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖20A係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖20B係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖20C係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模

式圖(其3)。

圖20D係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其4)。

圖20E係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其5)。

圖20F係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其6)。

圖20G係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其7)。

圖20H係用以說明本發明之第2實施方式之攝像裝置1的製造方法之模式圖(其8)。

圖21係表示本發明之第2實施方式之變化例之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖22係表示本發明之第3實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖23A係用以說明本發明之第3實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖23B係用以說明本發明之第3實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖23C係用以說明本發明之第3實施方式之攝像裝置1的製造方法之模式圖(其3)。

圖24係用以說明比較例之攝像裝置1之製造工序之模式圖(其1)。

圖25係用以說明比較例之攝像裝置1之製造工序之模式圖(其2)。

圖26係用以說明比較例之攝像裝置1之製造工序之模式圖(其3)。

圖27係表示本發明之第4實施方式之攝像裝置1的主要部分之一例之構成之模式圖。

圖28係用以說明本發明之第4實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖29係用以說明本發明之第4實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖30A係表示本發明之第4實施方式之變化例1之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖30B係表示本發明之第4實施方式之變化例2之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖30C係表示本發明之第4實施方式之變化例3之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖31係用以說明本發明之第5實施方式之背景之模式圖(其1)。

圖32係用以說明本發明之第5實施方式之背景之模式圖(其2)。

圖33係表示本發明之第5實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖。

圖34A係用以說明本發明之第5實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖34B係用以說明本發明之第5實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖34C係用以說明本發明之第5實施方式之攝像裝置1的製造方法之模式圖(其3)。

圖34D係用以說明本發明之第5實施方式之攝像裝置1的製造方法之模式圖(其4)。

圖35係表示本發明之第5實施方式之變化例之攝像裝置1的主要部分之一例之平面構成之模式圖。

圖36係表示本發明之第6實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖37A係用以說明本發明之第6實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖37B係用以說明本發明之第6實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖37C係用以說明本發明之第6實施方式之攝像裝置1的製造方法之模式圖(其3)。

圖38係表示本發明之第7實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其1)。

圖39係表示本發明之第7實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其2)。

圖40係用以說明本發明之第7實施方式之攝像裝置1的製造方法之模式圖。

圖41係用以說明本發明之第8實施方式之背景之模式圖。

圖42係表示本發明之第8實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖43係用以說明本發明之第8實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖44係用以說明本發明之第8實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖45係表示本發明之第8實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖。

圖46係用以說明本發明之第9實施方式之背景之模式圖(其1)。

圖47係用以說明本發明之第9實施方式之背景之模式圖(其2)。

圖48係表示本發明之第9實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其1)。

圖49係表示本發明之第9實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其2)。

圖50係表示本發明之第9實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖。

圖51係用以說明本發明之第9實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖52係用以說明本發明之第9實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖53係用以說明本發明之第10實施方式之模式圖。

圖54係表示本發明之第10實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖55係用以說明本發明之第10實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖56係用以說明本發明之第10實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖57係用以說明本發明之第11實施方式之模式圖(其1)。

圖58係用以說明本發明之第11實施方式之模式圖(其2)。

圖59係表示本發明之第12實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其1)。

圖60係表示本發明之第12實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其2)。

圖61係表示本發明之第12實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖(其3)。

圖62係用以說明本發明之第12實施方式之攝像裝置1的製造方法之模式圖。

圖63係表示本發明之第13實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

圖64係用以說明本發明之第13實施方式之攝像裝置1的製造方法之模式圖(其1)。

圖65係用以說明本發明之第13實施方式之攝像裝置1的製造方法之模式圖(其2)。

圖66係表示本發明之第14實施方式之第1半導體基板100的主要部分之一例之構成之模式圖(其1)。

圖67係表示本發明之第14實施方式之第1半導體基板100的主要部分之一例之構成之模式圖(其2)。

圖68係表示本發明之第14實施方式之攝像裝置1的主要部分之一例之構成之模式圖。

圖69(a)~(c)係圖68之區域A之放大圖(其1)。

圖70(a)、(b)係圖68之區域A之放大圖(其2)。

圖71係圖68之區域A之放大圖(其3)。

圖72(a)、(b)係用以說明本發明之第14實施方式之攝像裝置1的製造方法之模式圖。

圖73係用以說明本發明之第14實施方式之變化例的攝像裝置1之製造方法之模式圖。

圖74係用以說明本發明之第15實施方式之模式圖。

圖75係表示本發明之第15實施方式之攝像裝置1的主要部分之一例之構成之模式圖。

圖76係表示具備本發明之實施方式之攝像裝置1的攝像系統7之概略構成之一例之圖。

圖77係圖76所示之攝像系統7之攝像動作的流程圖之一例。

【實施方式】

【0009】以下，基於圖式，詳細地對本發明之實施方式進行說明。再者，於以下之各實施方式中，對相同部位標註相同符號，從而省略重複之說明。

【0010】又，於本說明書及圖式中，對於實質上具有相同或類似之功能構成之複數個構成要素，有時會於相同符號之後標附不同數字加以區別。但於無需將實質上具有相同或類似之功能構成之複數個構成要素逐一特意加以區別之情形時，僅標註相同符號。又，對於不同實施方式之類似構成要素，有時會於相同符號之後標附不同字母加以區別。但於無需將類似構成要素逐一特意加以區別之情形時，僅標註相同符號。

【0011】又，以下之說明中所參照之圖式係用以幫助說明及理解本

發明之實施方式之圖式，為了易於理解，圖中所示之形狀、尺寸、比率等有時會與實際情況不同。進而，圖中所示之攝像裝置及攝像裝置中包含之構成要素等可參考以下之說明與公知之技術，適當進行設計變更。又，於以下之說明中，攝像裝置之積層構造之上下方向除了特別加以說明之情況以外，與以向攝像裝置入射之光自下而上之方式配置了攝像裝置之情形時之相對方向對應。

【0012】 以下之說明中有關具體形狀之記載並不僅表示自幾何學上加以定義之形狀。詳細而言，以下之說明中有關具體形狀之記載亦包括攝像裝置、其製造工序及其運用、動作過程中存在容許範圍內之不同(誤差、應變)之情況、及與其形狀類似之形狀。例如，於以下之說明中表述為「大致圓形」之情形時，並非限定於真圓，而是表示亦包括橢圓等與真圓類似之形狀。

【0013】 又，於以下之電路(電性連接)之說明中，所謂「電性連接」除了特別加以說明之情況以外，表示將複數個要素之間以電(信號)導通之方式連接。此外，以下之說明中之「電性連接」不僅包括將複數個要素直接地電性連接之情況，亦包括將其等經由其他要素間接地電性連接之情況。

【0014】 再者，於本說明書中，「閘極」表示電場效應電晶體之閘極電極。又，「汲極」表示電場效應電晶體之汲極區域，「源極」表示電場效應電晶體之源極區域。又，「第1導電型」表示「p型」或「n型」中之任意一者，「第2導電型」表示與「第1導電型」不同之「p型」或「n型」中之任意另一者。

【0015】 又，於以下之說明中，所謂「共通設置」除了特別加以說

明之情況以外，表示以複數個某一要素共有之方式設置有另一要素，換言之，表示另一要素被特定數量之某一要素所共有。

【0016】以下，參照圖式，詳細地對用以實施本發明之實施方式進行說明。再者，說明將按照以下之順序進行。

1.本發明人等創作出本發明之實施方式之背景

1.1 攝像裝置1之功能構成

1.2 攝像裝置1之概略構成

1.3 比較例之攝像裝置1之詳細構成

1.4 背景

2.第1實施方式

2.1 構成

2.2 製造方法

2.3 變化例

3.第2實施方式

3.1 背景

3.2 構成

3.3 製造方法

3.4 變化例

4.第3實施方式

4.1 構成

4.2 製造方法

5.第4實施方式

5.1 背景

5.2實施方式

5.3變化例

6.第5實施方式

6.1背景

6.2實施方式

6.3製造方法

6.4變化例

7.第6實施方式

7.1背景

7.2實施方式

7.3製造方法

8.第7實施方式

8.1背景

8.2實施方式

8.3製造方法

9.第8實施方式

9.1背景

9.2實施方式

10.第9實施方式

10.1背景

10.2實施方式

10.3製造方法

11.第10實施方式

11.1背景

11.2實施方式

11.3製造方法

12.第11實施方式

13.第12實施方式

13.1背景

13.2實施方式

14.第13實施方式

14.1背景

14.2實施方式

14.3製造方法

15.第14實施方式

15.1背景

15.2實施方式

15.3製造方法

15.4變化例

16.第15實施方式

16.1背景

16.2實施方式

17.總結

18.應用例

19.補充

【0017】 << 1.本發明人等創作出本發明之實施方式之背景 >>

< 1.1 攝像裝置1之功能構成 >

於說明本發明之實施方式之詳情前，先對本發明人等最終創作出本發明之實施方式之背景進行說明。首先，參照圖1，對可應用本發明之實施方式之攝像裝置1的功能構成之一例進行說明。圖1係表示攝像裝置1之功能構成之一例之方塊圖。

【0018】如圖1所示，攝像裝置1例如包含輸入部510A、列驅動部520、時序控制部530、像素陣列部540、行信號處理部550、圖像信號處理部560及輸出部510B。以下，對攝像裝置1之各功能部進行說明。

【0019】(像素陣列部540)

於像素陣列部540呈陣列狀重複配置有像素541。具體而言，包含複數個像素之像素共有單元539成為重複單位，其呈包含列方向與行方向之陣列狀重複配置。再者，於本說明書中，為了方便起見，有時會將列方向稱為H方向，將與列方向正交之行方向稱為V方向。例如，於圖1所示之例中，1個像素共有單元539包含4個像素(像素541A、541B、541C、541D)。像素541A、541B、541C、541D各自具有光電二極體(光電轉換元件)PD(圖示於下述圖5等)。像素共有單元539係共有1個像素電路(下述圖4之像素電路210)之單位。換言之，於攝像裝置1中，每4個像素(像素541A、541B、541C、541D)具有1個像素電路(下述像素電路210)。例如，藉由使該像素電路以時分方式動作，能將像素541A、541B、541C、541D各自之像素信號依序讀出。像素541A、541B、541C、541D例如呈2列×2行而配置。於像素陣列部540，設置有像素541A、541B、541C、541D之同時，亦設置有複數個列驅動信號線542及複數個垂直信號線(行讀出線)543。列驅動信號線542驅動像素陣列部540中沿著列方向並排而

排列且分別包含於複數個像素共有單元539之像素541，即驅動像素共有單元539中沿著列方向並排而排列之各像素541。於像素共有單元539設置有複數個電晶體，詳情將參照圖4於下文加以敘述。為了分別驅動該等複數個電晶體，於1個像素共有單元539電性連接複數個列驅動信號線542。又，於垂直信號線(行讀出線)543電性連接像素共有單元539。藉由垂直信號線(行讀出線)543，能自像素共有單元539中包含之像素541A、541B、541C、541D分別讀出像素信號。

【0020】(列驅動部520)

列驅動部520例如可包含：列位址控制部，即列解碼部，其決定供加以像素驅動之列之位置；及列驅動電路部，其使用以驅動像素541A、541B、541C、541D之信號產生。

【0021】(行信號處理部550)

行信號處理部550例如具有負荷電路部，該負荷電路部電性連接於垂直信號線543，與像素541A、541B、541C、541D(像素共有單元539)一併形成源極隨耦電路。進而，行信號處理部550亦可具有將經由垂直信號線543自像素共有單元539讀出之信號放大之放大電路部。此外，行信號處理部550亦可具有雜訊處理部。該雜訊處理部例如能從作為光電轉換之結果自像素共有單元539讀出之信號中將系統之雜訊位準去除。

【0022】又，行信號處理部550例如具有類比數位轉換器(ADC)。類比數位轉換器能將自像素共有單元539讀出之信號、或經上述雜訊處理後之類比信號轉換成數位信號。該ADC例如包含比較器部及計數器部。於比較器部中，比較作為轉換對象之類比信號與作為比較對象之參照信號。於計數器部中，計測截至比較器部中之比較結果反轉為止之時間。進而，

行信號處理部550亦可包含進行掃描讀出行之控制之水平掃描電路部。

【0023】(時序控制部530)

時序控制部530能基於輸入至裝置之基準時脈信號或時序控制信號，向列驅動部520及行信號處理部550供給控制時序之信號。

【0024】(圖像信號處理部560)

圖像信號處理部560係對經光電轉換所得之資料，即經攝像裝置1之攝像動作所得之資料實施各種信號處理之電路。圖像信號處理部560例如包含圖像信號處理電路部及資料保持部。進而，圖像信號處理部560亦可包含處理器部。例如，作為於圖像信號處理部560中執行之信號處理之一例，可例舉階調曲線修正處理，該階調曲線修正處理於經AD(類比-數位)轉換後之攝像資料為拍攝較暗之被攝體所得之資料之情形時增加階調，於為拍攝較亮之被攝體所得之資料之情形時減少階調。該情形時，較理想為將階調曲線之特性資料，諸如基於怎樣之階調曲線而修正攝像資料之階調，預先記憶於圖像信號處理部560之資料保持部。

【0025】(輸入部510A)

輸入部510A例如為用以將上述基準時脈信號、時序控制信號及特性資料等自裝置外部輸入至攝像裝置1之功能部。時序控制信號例如為垂直同步信號及水平同步信號等。特性資料例如為供記憶於圖像信號處理部560之資料保持部之資料。輸入部510A例如可包含輸入端子511、輸入電路部512、輸入振幅變更部513、輸入資料轉換電路部514及電源供給部(圖示省略)。

【0026】詳細而言，輸入端子511係用以輸入資料之外部端子。輸入電路部512係用以將輸入至輸入端子511之信號向攝像裝置1之內部取入之

電路。輸入振幅變更部513能將藉由輸入電路部512而取入之信號之振幅變更成易於在攝像裝置1之內部利用之振幅。輸入資料轉換電路部514能變更輸入資料之資料行之排列。輸入資料轉換電路部514例如由串列並行轉換電路構成。該串列並行轉換電路能將作為輸入資料而收到之串列信號轉換成並行信號。再者，於輸入部510A中，輸入振幅變更部513及輸入資料轉換電路部514亦可省略。電源供給部能利用自外部供給至攝像裝置1之電源，供給被設定為攝像裝置1之內部所需之各種電壓之電源。又，於攝像裝置1與外部之記憶器件電性連接之情形時，亦可於輸入部510A設置接收來自外部之記憶器件之資料之記憶體介面電路。外部之記憶器件例如為快閃記憶體、SRAM(Static Random Access Memory，靜態隨機存取存儲器)及DRAM(Dynamic Random Access Memory，動態隨機存取存儲器)等。

【0027】(輸出部510B)

輸出部510B將圖像資料輸出至裝置外部。該圖像資料例如為由攝像裝置1拍攝所得之圖像資料、及經圖像信號處理部560加以信號處理後之圖像資料等。輸出部510B例如可包含輸出資料轉換電路部515、輸出振幅變更部516、輸出電路部517及輸出端子518。

【0028】詳細而言，輸出資料轉換電路部515例如由串並轉換電路構成，輸出資料轉換電路部515能將攝像裝置1之內部所使用之並行信號轉換成串列信號。輸出振幅變更部516能變更攝像裝置1之內部所使用之信號之振幅。藉由變更振幅，振幅經過變更之信號變得易於在與攝像裝置1之外部連接之外部器件中利用。輸出電路部517係自攝像裝置1之內部向裝置外部輸出資料之電路，輸出電路部517能驅動電性連接於輸出端子

518之攝像裝置1之外部之配線。又，輸出端子518能自攝像裝置1向裝置外部輸出資料。於輸出部510B中，輸出資料轉換電路部515及輸出振幅變更部516亦可省略。又，於攝像裝置1與外部之記憶器件電性連接之情形時，亦可於輸出部510B設置向外部之記憶器件輸出資料之記憶體介面電路。外部之記憶器件例如為快閃記憶體、SRAM及DRAM等。

【0029】 < 1.2攝像裝置1之概略構成 >

其次，參照圖2至圖4，對上述攝像裝置1之概略構成之一例進行說明。圖2係表示圖1所示之攝像裝置1之概略構成之俯視模式圖，為模式性地表示具有3個半導體基板(第1半導體基板100、第2半導體基板200、第3半導體基板300)之攝像裝置1之第1半導體基板100、第2半導體基板200、第3半導體基板300各自之平面構成之圖。又，圖3係表示沿著圖2所示之III-III'線之剖面構成之模式圖。進而，圖4係表示像素共有單元539之構成之一例之等效電路圖。

【0030】 詳細而言，攝像裝置1係圖2所示之將3個半導體基板(第1半導體基板100、第2半導體基板200、第3半導體基板300)貼合而構成之3維構造之攝像裝置，例如為光自具有光電二極體之第1半導體基板100之背面(第2面)(光入射面)側入射之背面照射型攝像裝置。第1半導體基板100包含半導體層100S及配線層100T。第2半導體基板200包含半導體層200S及配線層200T。第3半導體基板300包含半導體層300S及配線層300T。此處，為了方便起見，將第1半導體基板100、第2半導體基板200及第3半導體基板300各半導體基板中包含之配線及其周圍之層間絕緣膜統稱為設置於各個半導體基板(第1半導體基板100、第2半導體基板200及第3半導體基板300)之配線層(100T、200T、300T)。如圖3所示，第1半導體基板

100、第2半導體基板200及第3半導體基板300依序積層，沿著積層方向依序配置有半導體層100S、配線層100T、半導體層200S、配線層200T、配線層300T及半導體層300S。關於第1半導體基板100、第2半導體基板200及第3半導體基板300之具體構成將於下文加以敘述。再者，圖3所示之箭頭表示朝向攝像裝置1之光L之入射方向。於本說明書中，為了方便起見，於以後之剖視圖中，有時會將攝像裝置1之光入射側稱為「下」「下側」「下方」，將與光入射側相反之側稱為「上」「上側」「上方」。又，於本說明書中，為了方便起見，對於具備半導體層與配線層之半導體基板，有時會將配線層之側稱為正面(第1面)，將半導體層之側稱為背面(第2面)。進而，說明書之記載並不限定於上述叫法。

【0031】 像素陣列部540及像素陣列部540中包含之像素共有單元539均使用第1半導體基板100及第2半導體基板200兩者而構成。具體而言，於第1半導體基板100，設置有像素共有單元539所具有之複數個像素541A、541B、541C、541D。而且，該等像素541各自具有光電二極體(下述光電二極體PD(光電轉換元件))及傳輸電晶體(下述傳輸電晶體TR)。又，於第2半導體基板200，設置有像素共有單元539所具有之像素電路(下述像素電路210)。像素電路能將藉由像素541A、541B、541C、541D各自之光電二極體而產生之電荷經由傳輸電晶體作為像素信號讀出，或重設光電二極體。該第2半導體基板200除了此種像素電路以外，進而具有沿著列方向延伸之複數個列驅動信號線542、及沿著行方向延伸之複數個垂直信號線543。進而，第2半導體基板200具有沿著列方向延伸之電源線544。

【0032】 第3半導體基板300例如具有輸入部510A、列驅動部520、

時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B。列驅動部520例如於第1半導體基板100、第2半導體基板200及第3半導體基板300之積層方向(以下，簡稱為積層方向)上，設置於一部分與像素陣列部540重疊之區域。更具體而言，列驅動部520於積層方向上，設置於與像素陣列部540之H方向之端部附近重疊之區域(參照圖2)。行信號處理部550例如於積層方向上，設置於一部分與像素陣列部540重疊之區域。更具體而言，行信號處理部550於積層方向上，設置於與像素陣列部540之V方向之端部附近重疊之區域(參照圖2)。再者，輸入部510A及輸出部510B亦可配置於第3半導體基板300以外之部分，例如可配置於第2半導體基板200，但相關圖示被省略了。或者，輸入部510A及輸出部510B亦可設置於第1半導體基板100之背面(光入射面)側。又，設置於上述第2半導體基板200之像素電路亦會被稱為像素電晶體電路、像素電晶體群、像素電晶體、像素讀出電路或讀出電路等其他叫法。於本說明書中，採用像素電路之叫法。

【0033】進而，第1半導體基板100與第2半導體基板200例如藉由貫通電極(下述圖5之貫通電極120E、121E)而電性連接。又，如圖3所示，第2半導體基板200與第3半導體基板300例如經由接觸部201、202、301、302而電性連接。更具體而言，於第2半導體基板200設置有接觸部201、202，於第3半導體基板300設置有接觸部301、302。第2半導體基板200之接觸部201與第3半導體基板300之接觸部301相接，第2半導體基板200之接觸部202與第3半導體基板300之接觸部302相接。第2半導體基板200包含設置有複數個接觸部201之接觸區域201R、及設置有複數個接觸部202之接觸區域202R。第3半導體基板300包含設置有複數個接觸部301之接觸

區域301R、及設置有複數個接觸部302之接觸區域302R。接觸區域201R、301R於積層方向上，設置於像素陣列部540與列驅動部520之間(參照圖3)。換言之，接觸區域201R、301R例如設置於列驅動部520(第3半導體基板300)與像素陣列部540(第2半導體基板200)於積層方向上重疊之區域、或其附近區域。又，接觸區域201R、301R例如配置於此種區域之H方向之端部(參照圖2)。第3半導體基板300中，例如於與列驅動部520之一部分，具體為列驅動部520之H方向之端部重疊之位置，設置有接觸區域301R(參照圖2、圖3)。而且，接觸部201、301例如將設置於第3半導體基板300之列驅動部520與設置於第2半導體基板200之列驅動信號線542連接。接觸部201、301例如亦可將設置於第3半導體基板300之輸入部510A與電源線544及基準電位線(下述基準電位線VSS)連接。接觸區域202R、302R於積層方向上，設置於像素陣列部540與行信號處理部550之間(參照圖3)。換言之，接觸區域202R、302R例如設置於行信號處理部550(第3半導體基板300)與像素陣列部540(第2半導體基板200)於積層方向上重疊之區域、或其附近區域。接觸區域202R、302R例如配置於此種區域之V方向之端部(參照圖2)。第3半導體基板300中，例如於與行信號處理部550之一部分，具體為行信號處理部550之V方向之端部重疊之位置，設置有接觸區域301R(參照圖2、圖3)。接觸部202、302例如為了將自像素陣列部540所具有之複數個像素共有單元539分別輸出之像素信號(與經光電二極體中之光電轉換而產生之電荷量對應之信號)發送至設置於第3半導體基板300之行信號處理部550，而確保電性連接。

【0034】如圖3所示，第1半導體基板100、第2半導體基板200及第3半導體基板300經由配線層100T、200T、300T而電性連接。例如，攝像

裝置1具有將第2半導體基板200與第3半導體基板300電性連接之電性連接部。具體而言，接觸部201、202、301、302由以導電材料形成之電極形成。導電材料例如由銅(Cu)、鋁(Al)、金(Au)等金屬材料形成。接觸區域201R、202R、301R、302R例如藉由將作為電極而形成之配線彼此直接接合，而將第2半導體基板200與第3半導體基板300電性連接，從而能實現第2半導體基板200與第3半導體基板300之信號之輸入及/或輸出。

【0035】 將第2半導體基板200與第3半導體基板300電性連接之電性連接部可設置於所希望之部位。例如，如參照圖2針對接觸區域201R、202R、301R、302R而敘述之情況般，可設置於與像素陣列部540於積層方向上重疊之區域。又，亦可將電性連接部設置於不與像素陣列部540於積層方向上重疊之區域。具體而言，亦可設置於與配置在像素陣列部540之外側之周邊部於積層方向上重疊之區域。

【0036】 又，返回圖3繼續進行說明，於第1半導體基板100及第2半導體基板200例如設置有連接孔部H1、H2。如圖3所示，連接孔部H1、H2貫通第1半導體基板100及第2半導體基板200。而且，連接孔部H1、H2設置於像素陣列部540(或與像素陣列部540重疊之部分)之外側(參照圖2)。例如，連接孔部H1配置於在H方向上較像素陣列部540靠外側之位置，連接孔部H2配置於在V方向上較像素陣列部540靠外側之位置。例如，連接孔部H1抵達設置於第3半導體基板300之輸入部510A，連接孔部H2抵達設置於第3半導體基板300之輸出部510B。連接孔部H1、H2可為空腔，亦可部分或全體包含導電材料，例如可於連接孔部H1、H2之側壁形成有導電材料。於攝像裝置1中，例如可為於作為輸入部510A及/或輸出部510B而形成之電極連接鍵合線之構成。或者，亦可為將作為輸入部

510A及/或輸出部510B而形成之電極與設置於連接孔部H1、H2之導電材料連接之構成。

【0037】再者，於圖3所示之例中，採用了於第3半導體基板300設置輸入部510A、輸出部510B之構造，但於下述本發明之實施方式中，並不限定於此。例如，亦可將第3半導體基板300之信號經由配線層200T、300T向第2半導體基板200發送，為此將輸入部510A及/或輸出部510B設置於第2半導體基板200。同樣地，亦可將第2半導體基板200之信號經由配線層100T、200T向第1半導體基板100發送，為此將輸入部510A及/或輸出部510B設置於第1半導體基板100。

【0038】如圖4所示，像素共有單元539包含複數個像素541(於圖4中示出了像素541A、541B、541C、541D此等4個像素541)、連接於該等複數個像素541之1個像素電路210、及連接於像素電路210之垂直信號線543。像素電路210例如包含4個電晶體，具體為放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FD。如上所述，像素共有單元539藉由使1個像素電路210以時分方式動作，能將像素共有單元539中包含之4個像素541(像素541A、541B、541C、541D)各自之像素信號依序輸出至垂直信號線543。於複數個像素541連接有1個像素電路210，於本說明書中，將該等複數個像素541之像素信號由1個像素電路210以時分方式輸出之形態稱為「複數個像素541共有1個像素電路210」。

【0039】像素541A、541B、541C、541D具有相互共通之構成要素。因此，以下，為了將像素541A、541B、541C、541D之構成要素相互加以區別，有時會於像素541A之構成要素之符號末尾標附識別編號1，

於像素541B之構成要素之符號末尾標附識別編號2，於像素541C之構成要素之符號末尾標附識別編號3，於像素541D之構成要素之符號末尾標附識別編號4(例如，將光電二極體PD稱為PD1、PD2、PD3、PD4)。再者，本說明書中，於無需將像素541A、541B、541C、541D之構成要素相互加以區別之情形時，省略像素541A、541B、541C、541D之構成要素之符號末尾之識別編號。

【0040】 像素541A、541B、541C、541D例如具有光電二極體PD、與光電二極體PD電性連接之傳輸電晶體TR、及電性連接於傳輸電晶體TR之浮動擴散部FD。於光電二極體PD(PD1、PD2、PD3、PD4)中，陰極電性連接於傳輸電晶體TR之源極，陽極電性連接於基準電位線(例如地面(ground))。光電二極體PD將入射光加以光電轉換，而產生與其受光量相應之電荷。傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)例如為n型(第2導電型)CMOS(Complementary Metal Oxide Semiconductor，互補金屬氧化物半導體)電晶體。於傳輸電晶體TR中，汲極電性連接於浮動擴散部FD，閘極電性連接於驅動信號線。該驅動信號線係連接於1個像素共有單元539之複數個列驅動信號線542(參照圖1)中之一部分。傳輸電晶體TR將藉由光電二極體PD而產生之電荷傳輸至浮動擴散部FD。浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)係形成於p型(第1導電型)半導體層中之n型(第2導電型)擴散層區域。浮動擴散部FD為暫時保持自光電二極體PD傳輸之電荷之電荷保持構件，且為使與該電荷量相應之電壓產生之電荷-電壓轉換構件。

【0041】 1個像素共有單元539中包含之4個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互電性連接，並且電性連接於放大電晶體

AMP之閘極及FD轉換增益切換電晶體FDG之源極。FD轉換增益切換電晶體FDG之汲極電性連接於重設電晶體RST之源極，FD轉換增益切換電晶體FDG之閘極電性連接於驅動信號線。該驅動信號線係連接於1個像素共有單元539之複數個列驅動信號線542中之一部分。重設電晶體RST之汲極電性連接於電源線VDD，重設電晶體RST之閘極電性連接於驅動信號線。該驅動信號線係連接於1個像素共有單元539之複數個列驅動信號線542中之一部分。放大電晶體AMP之閘極電性連接於浮動擴散部FD，放大電晶體AMP之汲極電性連接於電源線VDD，放大電晶體AMP之源極電性連接於選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於垂直信號線543，選擇電晶體SEL之閘極電性連接於驅動信號線。該驅動信號線係連接於1個像素共有單元539之複數個列驅動信號線542中之一部分。

【0042】若傳輸電晶體TR成為接通狀態，則傳輸電晶體TR將光電二極體PD之電荷傳輸至浮動擴散部FD。傳輸電晶體TR之閘極(傳輸閘極TG)例如亦可包含所謂之縱型電極，如下述圖5所示，自半導體層(下述圖5之半導體層100S)之正面延伸至抵達光電二極體PD之深度而設置。重設電晶體RST將浮動擴散部FD之電位重設為特定之電位。若重設電晶體RST成為接通狀態，則將浮動擴散部FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制來自像素電路210之像素信號之輸出時序。放大電晶體AMP產生與保持於浮動擴散部FD之電荷之位準相應之電壓之信號，以作為像素信號。放大電晶體AMP經由選擇電晶體SEL連接於垂直信號線543。該放大電晶體AMP於行信號處理部550中，與連接於垂直信號線543之負荷電路部(參照圖1)一併構成了源極隨耦。若選擇電晶體SEL成為接通狀態，則放大電晶體AMP將浮動擴散部FD之電壓經由垂直信號線543

輸出至行信號處理部550。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為n型(第2導電型)CMOS電晶體。

【0043】FD轉換增益切換電晶體FDG用於變更浮動擴散部FD中之電荷-電壓轉換之增益時。一般而言，於較暗之場所下進行拍攝時，像素信號較小。基於 $Q(\text{電荷量})=CV$ 之關係式，進行電荷電壓轉換時，浮動擴散部FD之電容(FD電容C)越大，則藉由放大電晶體AMP轉換成電壓時之電壓值V越小。另一方面，於較亮之場所下，像素信號會變大，因此FD電容C越大，則藉由浮動擴散部FD越無法徹底接收光電二極體PD之電荷。進而，需使FD電容C不斷變大，以免藉由放大電晶體AMP轉換成電壓時之V變得過大(換言之，以使之變小)。基於該等緣由，將FD轉換增益切換電晶體FDG接通時，FD轉換增益切換電晶體FDG份之閘極電容增加，因此整體之FD電容C變大。另一方面，將FD轉換增益切換電晶體FDG斷開時，整體之FD電容C變小。如此，藉由對FD轉換增益切換電晶體FDG進行通斷切換，能使FD電容C可變，而切換轉換效率。FD轉換增益切換電晶體FDG例如為n型(第2導電型)CMOS電晶體。再者，於下述本發明之實施方式中，亦可為不設置FD轉換增益切換電晶體FDG之構成。此時，例如像素電路210例如包含放大電晶體AMP、選擇電晶體SEL及重設電晶體RST此等3個電晶體。

【0044】又，選擇電晶體SEL亦可設置於電源線VDD與放大電晶體AMP之間。該情形時，重設電晶體RST之汲極電性連接於電源線VDD及選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於放大電晶體AMP之汲極，選擇電晶體SEL之閘極電性連接於列驅動信號線542(參照圖1)。放大電晶體AMP之源極(像素電路210之輸出端)電性連接於垂直信號

線543，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。再者，共有1個像素電路210之像素541之數量亦可為4個以外，但相關圖示被省略了。例如，亦可為2個或8個像素541共有1個像素電路210。

【0045】 < 1.3比較例之攝像裝置1之詳細構成 >

其次，參照圖5至圖7，對與本發明之實施方式比較之比較例之攝像裝置1之詳細構成之一例進行說明。圖5係表示比較例之攝像裝置1之詳細構成之一例之剖視模式圖，詳細而言，為表示攝像裝置1之與第1半導體基板100、第2半導體基板200及第3半導體基板300之主面垂直之方向的剖面構成之一例者。再者，為了使構成要素之位置關係容易理解，於圖5中係模式性地加以表示，可與實際之剖面不同。又，圖6係表示圖5所示之第1半導體基板100之主要部分的平面構成之一例之模式圖。於圖6中主要示出了第1半導體基板100之像素分離部117、光電二極體PD、浮動擴散部FD、井區域118及傳輸電晶體TR之平面構成。圖7係表示圖5所示之第2半導體基板200之主要部分的平面構成之一例之模式圖，於圖7中示出了設置於半導體層200S之正面附近之像素電路210之構成。再者，於圖7中，光電二極體PD之外形(像素分離部117與光電二極體PD之交界)以虛線表示，和構成像素電路210之各電晶體之閘極電極重疊之部分之半導體層200S與元件分離區域213或絕緣區域214之交界以虛線表示。於與放大電晶體AMP之閘極電極重疊之部分，通道寬度方向之一方設置有半導體層200S與元件分離區域213之交界、及元件分離區域213與絕緣區域212之交界。再者，此處，所謂比較例表示本發明人等製作出本發明之實施方式前，幾經研究所得之攝像裝置1。

【0046】 如圖5所示，於攝像裝置1中，依序積層有第1半導體基板

100、第2半導體基板200及第3半導體基板300。進而，攝像裝置1於第1半導體基板100之背面側(光入射面側)具有受光透鏡401。受光透鏡401與第1半導體基板100之間亦可設置彩色濾光層(圖示省略)。受光透鏡401例如分別設置於像素541A、541B、541C、541D。而且，攝像裝置1具有配置於中央部之像素陣列部540、及配置於像素陣列部540之外側之周邊部540B。

【0047】第1半導體基板100自受光透鏡401側起依序具有絕緣膜111、固定電荷膜112、半導體層100S及配線層100T。半導體層100S例如由矽基板構成。半導體層100S例如於正面(配線層100T側之面)之一部分及其附近，具有例如包含p型(第1導電性)雜質之p井層115，即p井層115為p型(第1導電型)半導體區域。而且，半導體層100S於p井層以外之區域(較p井層115深之區域)，具有包含導電型與p型相反之n型(第2導電型)雜質之n型(第1導電型)半導體區域114。例如，藉由該n型半導體區域114及p井層115，構成了pn接合型之光電二極體PD。

【0048】而且，於半導體層100S之正面附近設置有浮動擴散部FD及井區域118。浮動擴散部FD由設置於p井層115內之n型半導體區域構成。如圖6所示，像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)例如相互近接地設置於像素共有單元539之中央部。該像素共有單元539中包含之4個浮動擴散部(浮動擴散部FD1、FD2、FD3、FD4)於第1半導體基板100內(更具體而言，於配線層100T之內)，經由電性連接構件(下述墊部120)而相互電性連接，相關詳情將於下文加以敘述。進而，浮動擴散部FD自第1半導體基板100向第2半導體基板200(更具體而言，自配線層100T向配線層200T)地經由電性構件

(下述貫通電極120E)而連接。於第2半導體基板200中(更具體而言，於配線層200T之內部)，藉由該電性構件，浮動擴散部FD電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。

【0049】井區域118係電性連接於基準電位線VSS之區域，與浮動擴散部FD相隔而配置。例如，如圖6所示，像素541A、541B、541C、541D中，於各像素之V方向之一端配置有浮動擴散部FD，於另一端配置有井區域118。井區域118例如由p型(第1導電型)半導體區域構成。井區域118例如連接於接地電位(地面(ground))或固定電位。藉此，向半導體層100S供給基準電位。

【0050】於第1半導體基板100，設置有光電二極體PD、浮動擴散部FD及井區域118之同時，亦設置有傳輸電晶體TR。該光電二極體PD、浮動擴散部FD、井區域118及傳輸電晶體TR設置於像素541A、541B、541C、541D各者。傳輸電晶體TR設置於半導體層100S之正面側(與光入射面側相反之側，第2半導體基板200側)。傳輸電晶體TR具有傳輸閘極TG。傳輸閘極TG例如包含與半導體層100S之正面對向之水平部分TGb、及設置於半導體層100S內之垂直部分TGa。垂直部分TGa沿著半導體層100S之厚度方向延伸。垂直部分TGa之一端與水平部分TGb相接，另一端設置於n型半導體區域114內。藉由以此種縱型電晶體構成傳輸電晶體TR，不易發生像素信號之傳輸不良，從而能提高像素信號之讀出效率。

【0051】如圖6所示，傳輸閘極TG之水平部分TGb自與垂直部分TGa對向之位置，例如於H方向上朝向像素共有單元539之中央部延伸。藉此，能使抵達傳輸閘極TG之貫通電極(下述貫通電極TGV)之H方向之位置靠近連接於浮動擴散部FD及井區域118之貫通電極(下述貫通電極120E、

121E)之H方向之位置。例如，設置於第1半導體基板100之複數個像素共有單元539具有彼此相同之構成。

【0052】於半導體層100S，設置有將像素541A、541B、541C、541D相互分離之像素分離部117。像素分離部117沿著半導體層100S之法線方向(與半導體層100S之正面垂直之方向)延伸而形成。如圖6所示，像素分離部117係以將像素541A、541B、541C、541D相互區隔之方式設置，例如具有格子狀之平面形狀。像素分離部117例如將像素541A、541B、541C、541D相互電性及光學分離。像素分離部117例如亦可包含遮光膜117A及絕緣膜117B。遮光膜117A例如可由鎢(W)等形成。絕緣膜117B設置於遮光膜117A與p井層115或n型半導體區域114之間，例如可由氧化矽(SiO₂)形成。像素分離部117例如具有FTI(Full Trench Isolation，全溝槽隔離)構造，貫通半導體層100S。再者，於下述本發明之實施方式中，像素分離部117並不限定於貫通半導體層100S之FTI構造，例如亦可為不貫通半導體層100S之DTI(Deep Trench Isolation，深溝槽隔離)構造。而且，像素分離部117沿著半導體層100S之法線方向延伸，而形成於半導體層100S之一部分區域。

【0053】於半導體層100S例如設置有第1釘紮區域113及第2釘紮區域116。第1釘紮區域113設置於半導體層100S之背面附近，且配置於n型半導體區域114與固定電荷膜112之間。第2釘紮區域116設置於像素分離部117之側面，具體為像素分離部117與p井層115或n型半導體區域114之間。第1釘紮區域113及第2釘紮區域116例如由p型(第1導電型)半導體區域構成。而且，半導體層100S與絕緣膜111之間設置了具有負的固定電荷之固定電荷膜112。藉由固定電荷膜112所感應之電場，於半導體層100S之

受光面(背面)側之界面，形成空穴儲存層之第1釘紮區域113。藉此，能抑制半導體層100S之受光面側之界面能階所引發之暗電流之產生。固定電荷膜112例如由具有負的固定電荷之絕緣膜形成。作為該具有負的固定電荷之絕緣膜之材料，例如可例舉氧化鉛(HfO_2)、氧化鋯(ZrO)、氧化鋁(Al_2O_3)、氧化鈦(TiO_2)或氧化鉭(Ta_2O_5)等。

【0054】又，於固定電荷膜112與絕緣膜111之間設置有遮光膜117A。該遮光膜117A亦可與構成像素分離部117之遮光膜117A連續而設置。該固定電荷膜112與絕緣膜111之間之遮光膜117A例如選擇性地設置於與半導體層100S內之像素分離部117對向之位置。絕緣膜111係以覆蓋該遮光膜117A之方式設置。絕緣膜111例如可由氧化矽(SiO_2)等形成。

【0055】如圖5所示，設置於半導體層100S與第2半導體基板200之間之配線層100T自半導體層100S側起依序具有層間絕緣膜119、墊部120、121、鈍化膜122、層間絕緣膜123及接合膜124。傳輸閘極TG之水平部分TGb例如設置於該配線層100T。層間絕緣膜119遍及半導體層100S之整個正面而設置，且與半導體層100S相接。層間絕緣膜119例如由氧化矽(SiO_2)等形成。再者，配線層100T之構成並不限於上述構成，只要為具有配線與絕緣膜之構成即可。

【0056】墊部120用以將像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互連接。墊部120例如於每個像素共有單元539中，俯視下分別配置於像素共有單元539之中央部。該墊部120係以跨及像素分離部117之方式設置，且與浮動擴散部FD1、FD2、FD3、FD4各自之至少一部分重疊而配置。具體而言，墊部120於與半導體層100S之正面垂直之方向上，形成於與共有像素電路210

之複數個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)各自之至少一部分、及形成於共有該像素電路210之複數個光電二極體PD(光電二極體PD1、PD2、PD3、PD4)之間之像素分離部117之至少一部分重疊之區域。

【0057】又，於層間絕緣膜119，設置有用以將墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接之連接通孔120C。連接通孔120C分別設置於像素541A、541B、541C、541D。例如，藉由向連接通孔120C中嵌入墊部120之一部分，而使墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接。

【0058】又，墊部121係用以將複數個井區域118相互連接之電極。例如，設置於作為在V方向上相鄰之兩者之一的像素共有單元539之像素541C、541D之井區域118與設置於另一像素共有單元539之像素541A、541B之井區域118藉由墊部121而電性連接。墊部121例如係以跨及像素分離部117之方式設置，且與該等4個井區域118各自之至少一部分重疊而配置。具體而言，墊部121於與半導體層100S之正面垂直之方向上，形成於與複數個井區域118各自之至少一部分、及形成於該等複數個井區域118之間之像素分離部117之至少一部分重疊之區域。而且，於層間絕緣膜119，設置有用以將墊部121與井區域118電性連接之連接通孔121C。連接通孔121C分別設置於像素541A、541B、541C、541D。例如，藉由向連接通孔121C中嵌入墊部121之一部分，而使墊部121與井區域118電性連接。例如，沿著V方向排列之複數個像素共有單元539各自之墊部120及墊部121俯視下於H方向上，配置於大致相同之位置。

【0059】又，墊部120、121可設置於第1半導體基板100、第2半導

體基板200之所希望之位置。具體而言，可將墊部120、121設置於配線層100T、半導體層200S之絕緣區域212中之任一者。在設置於配線層100T之情形時，可使墊部120、121與半導體層100S直接接觸。具體而言，可為墊部120、121與浮動擴散部FD及/或井區域118各自之至少一部分直接連接之構成。又，亦可為在連接於墊部120、121之浮動擴散部FD及/或井區域118各者設置連接通孔120C、121C，在配線層100T、半導體層200S之絕緣區域212之所希望之位置設置墊部120、121之構成。

【0060】尤其是在將墊部120、121設置於配線層100T之情形時，能減少半導體層200S之絕緣區域212中之連接於浮動擴散部FD及/或井區域118之配線。藉此，能削減形成像素電路210之第2半導體基板200中供形成用以自浮動擴散部FD連接至像素電路210之貫通配線之絕緣區域212之面積。藉此，能確保形成像素電路210之第2半導體基板200之較大面積。藉由確保像素電路210之面積，能形成較大像素電晶體，從而有助於藉由雜訊降低等而提高畫質。

【0061】尤其是在對像素分離部117採用FTI構造之情形時，浮動擴散部FD及/或井區域118較佳為設置於各像素541，因此藉由採用墊部120、121之構成，能大幅削減將第1半導體基板100與第2半導體基板200連接之配線。

【0062】墊部120、121例如由多晶矽(Poly Si)，更具體為添加有雜質之摻雜多晶矽構成。又，墊部120、121較佳為由多晶矽、鎢、鈦(Ti)及氮化鈦(TiN)等高耐熱性之導電性材料構成。藉此，能於在第1半導體基板100貼合第2半導體基板200之半導體層200S後，形成像素電路210。

【0063】如圖5所示，鈍化膜122例如以覆蓋墊部120、121之方式，

遍及半導體層100S之整個正面而設置。鈍化膜122例如由氮化矽(SiN)等構成。層間絕緣膜123隔著鈍化膜122而覆蓋墊部120、121。該層間絕緣膜123例如遍及半導體層100S之整個正面而設置。層間絕緣膜123例如可由氧化矽、氮化矽或其等之積層等形成。又，接合膜124設置於第1半導體基板100(具體為配線層100T)與第2半導體基板200之接合面。即，接合膜124與第2半導體基板200相接。該接合膜124遍及第1半導體基板100之整個主面而設置，例如可由氮化矽等形成。

【0064】如圖5所示，受光透鏡401例如隔著固定電荷膜112及絕緣膜111與半導體層100S對向。受光透鏡401例如設置於與像素541A、541B、541C、541D各自之光電二極體PD對向之位置。

【0065】如圖5所示，第2半導體基板200自第1半導體基板100側起依序具有半導體層200S及配線層200T。半導體層200S由矽基板構成。於半導體層200S中，遍及厚度方向而設置有井區域211。井區域211例如為p型(第1導電型)半導體區域。於第2半導體基板200，設置有每個像素共有單元539中均有配置之像素電路210。該像素電路210例如設置於半導體層200S之正面側(配線層200T側)。於攝像裝置1中，第2半導體基板200以第2半導體基板200之背面側(半導體層200S側)面向第1半導體基板100之正面側(配線層100T側)之方式，貼合於第1半導體基板100。即，第2半導體基板200以正面對背面之方式貼合於第1半導體基板100。

【0066】如圖5所示，於第2半導體基板200，設置有將半導體層200S分斷之絕緣區域212、及設置於半導體層200S之厚度方向之一部分之元件分離區域213。例如，在設置於H方向上相鄰之2個像素電路210之間的絕緣區域212，配置連接於該2個像素電路210之2個像素共有單元539之

貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。

【0067】如圖5所示，絕緣區域212具有與半導體層200S之厚度大致相同之厚度。半導體層200S由該絕緣區域212分斷。於該絕緣區域212配置貫通電極120E、121E及貫通電極TGV。絕緣區域212例如可由氧化矽等形成。

【0068】貫通電極120E、121E於厚度方向上貫通絕緣區域212而設置。貫通電極120E、121E之上端連接於配線層200T之配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。該貫通電極120E、121E貫通絕緣區域212、接合膜124、層間絕緣膜123及鈍化膜122而設置，其下端連接於墊部120、121。貫通電極120E係用以將墊部120與像素電路210電性連接之電極。即，藉由貫通電極120E，第1半導體基板100之浮動擴散部FD電性連接於第2半導體基板200之像素電路210。貫通電極121E係用以將墊部121與配線層200T之基準電位線VSS電性連接之電極。即，藉由貫通電極121E，將第1半導體基板100之井區域118電性連接於第2半導體基板200之基準電位線VSS。

【0069】貫通電極TGV於厚度方向上貫通絕緣區域212而設置。貫通電極TGV之上端連接於配線層200T之配線。該貫通電極TGV貫通絕緣區域212、接合膜124、層間絕緣膜123、鈍化膜122及層間絕緣膜119而設置，其下端連接於傳輸閘極TG。此種貫通電極TGV係用以將像素541A、541B、541C、541D各自之傳輸閘極TG(傳輸閘極TG1、TG2、TG3、TG4)與配線層200T之配線(列驅動信號線542之一部分)電性連接者。即，藉由貫通電極TGV，第1半導體基板100之傳輸閘極TG電性連接於第2半

導體基板200之配線，從而能向傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)分別發送驅動信號。

【0070】絕緣區域212係讓用以將第1半導體基板100與第2半導體基板200電性連接之之貫通電極120E、121E及貫通電極TGV與半導體層200S絕緣之區域。例如，在設置於H方向上相鄰之2個像素電路210(像素共有單元539)之間之絕緣區域212，配置有連接於該2個像素電路210之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。絕緣區域212例如沿著V方向延伸而設置(參照圖7)。此處，藉由巧妙配置傳輸閘極TG之水平部分TGb，其較垂直部分TGa之位置而言，配置為貫通電極TGV之H方向之位置更靠近貫通電極120E、121E之H方向之位置。例如，貫通電極TGV於H方向上，配置於與貫通電極120E、120E大致相同之位置。藉此，能將貫通電極120E、121E及貫通電極TGV整合設置於沿著V方向延伸之絕緣區域212(參照圖5)。

【0071】如參照圖4所說明般，像素共有單元539具有將分別設置於複數個像素541之浮動擴散部FD之間電性連接，從而該等複數個像素541共有1個像素電路210之構造。而且，浮動擴散部FD之間之電性連接係藉由設置於第1半導體基板100之墊部120而實現(參照圖5)。設置於第1半導體基板100之電性連接部(墊部120)與設置於第2半導體基板200之像素電路210經由1個貫通電極120E而電性連接。

【0072】元件分離區域213設置於半導體層200S之正面側。元件分離區域213具有STI(Shallow Trench Isolation，淺溝槽隔離)構造。於該元件分離區域213，半導體層200S向厚度方向(與第2半導體基板200之主面垂直之方向)陷入，於該陷入部分嵌入有絕緣膜。該絕緣膜例如由氧化矽

等構成。元件分離區域213係根據像素電路210之佈局而將構成像素電路210之複數個電晶體之間加以元件分離者。於元件分離區域213之下方(半導體層200S之深處)，延伸有半導體層200S(具體為井區域211)。

【0073】如圖7所示，於半導體層200S設置有放大電晶體AMP，該放大電晶體AMP例如可具有Fin型(鰭型)等3維構造(參照圖5)。藉此，實效閘極寬度之大小變大，能抑制雜訊。另一方面，設置於半導體層200S之選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG例如可具有平面構造。於下述本發明之實施方式中，放大電晶體AMP亦可具有平面構造。或者，選擇電晶體SEL、重設電晶體RST或FD轉換增益切換電晶體FDG亦可具有3維構造。

【0074】配線層200T例如包含鈍化膜221、層間絕緣膜222及複數個配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。鈍化膜221例如與半導體層200S之正面相接，且覆蓋半導體層200S之整個正面。該鈍化膜221覆蓋選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG各自之間極電極。層間絕緣膜222設置於鈍化膜221與第3半導體基板300之間。藉由該層間絕緣膜222，複數個配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)分離。層間絕緣膜222例如可由氧化矽等形成。

【0075】於配線層200T，例如自半導體層200S側起依序設置有第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4及接觸部201、202，其等相互被層間絕緣膜222絕緣。於層間絕緣膜222，設置有將第1配線層W1、第2配線層W2、第3配線層W3或第4配線層W4與其等之下層連接之複數個連接部。連接部係在設置於層間絕緣膜222之連接孔中埋設

有導電材料之部分。例如，於層間絕緣膜222，設置有將第1配線層W1與半導體層200S之井區域218連接之連接部218V。例如，此種將第2半導體基板200之元件彼此連接之連接部之孔徑與貫通電極120E、121E及貫通電極TGV之孔徑不同。具體而言，將第2半導體基板200之元件彼此連接之連接孔之孔徑較佳為小於貫通電極120E、121E及貫通電極TGV之孔徑。

【0076】例如，藉由第1配線層W1，貫通電極120E與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極(具體為抵達FD轉換增益切換電晶體FDG之源極之連接孔)連接。第1配線層W1例如將貫通電極121E與連接部218V連接，藉此半導體層200S之井區域218與半導體層100S之井區域118電性連接。

【0077】例如，第3配線層W3包含參照圖3所說明之複數個列驅動信號線542之一部分。複數個列驅動信號線542之一部分分別經由第2配線層W2、第1配線層W1及貫通電極120E電性連接於傳輸閘極TG1、TG2、TG3、TG4。

【0078】又，例如第4配線層W4包含沿著V方向(行方向)延伸之電源線VDD、基準電位線VSS及垂直信號線543。電源線VDD經由第3配線層W3、第2配線層W2、第1配線層W1及連接部電性連接於放大電晶體AMP之汲極及重設電晶體RST之汲極。基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1及連接部218V電性連接於井區域218。又，基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121E及墊部121電性連接於第1半導體基板100之井區域118。垂直信號線543經由第3配線層W3、第2配線層W2、第1配線層W1及連接部電性連接於選擇電晶體SEL之源極(Vout)。

【0079】接觸部201、202可設置於俯視下與像素陣列部540重疊之位置，或者亦可設置於像素陣列部540之外側之周邊部540B。接觸部201、202設置於第2半導體基板200之正面(配線層200T側之面)，例如可由銅、鋁等金屬形成。而且，接觸部201、202露出於配線層200T之正面(第3半導體基板300側之面)。接觸部201、202用於第2半導體基板200與第3半導體基板300之電性連接、及第2半導體基板200與第3半導體基板300之貼合。

【0080】進而，第3半導體基板300例如自第2半導體基板200側起依序具有配線層300T及半導體層300S。例如，半導體層300S之正面設置於第2半導體基板200側。半導體層300S由矽基板構成。於該半導體層300S之正面側之部分設置有電路。具體而言，於半導體層300S之正面側之部分，例如設置有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少一部分。設置於半導體層300S與第2半導體基板200之間之配線層300T例如包含層間絕緣膜、被該層間絕緣膜分離之複數個配線層、及接觸部301、302。接觸部301、302露出於配線層300T之正面(第2半導體基板200側之面)，接觸部301與第2半導體基板200之接觸部201相接，接觸部302與第2半導體基板200之接觸部202相接。接觸部301、302與形成於半導體層300S之電路(例如，輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少任一者)電性連接。接觸部301、302例如可由銅、鋁等金屬形成。

【0081】 < 1.4背景 >

其次，基於上述攝像裝置1之構成，參照圖8及圖9，對本發明人等創

作出本發明之實施方式之背景之詳情進行說明。圖8係表示比較例之攝像裝置1之主要部分的剖面構成之模式圖，圖9係表示本發明人等所創作出之本發明之第1實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。再者，此處，如上文所說明般，所謂比較例表示本發明人等製作出本發明之實施方式前，幾經研究所得之攝像裝置1。

【0082】如圖8所示，於比較例之攝像裝置1中，如上文所說明般，半導體層100S之井區域118經由貫通電極121E及連接部218V與半導體層200S之井區域218電性連接。而且，於比較例之攝像裝置1中，為了與其他要素電性分離(絕緣)，要求以絕緣區域(圖示省略)包圍貫通電極121E及連接部218V。然而，於此種構成中，為了設置貫通半導體層200S之貫通電極121E、及包圍其周圍之絕緣區域，例如供設置電晶體等之半導體層200S之區域之利用會受到限制。其結果，於比較例之攝像裝置1中，攝像裝置1之進一步小型化、微細化存在極限。

【0083】因此，本發明人等鑒於上述狀況，對能使攝像裝置1進一步小型化、微細化之手段反覆鑽研，最終創作出了以下所說明之本發明之第1實施方式。於本發明人等所創作出之本實施方式之攝像裝置1中，如圖9所示，設置了貫通配線層100T而將第2半導體基板200之背面(第2面)與第1半導體基板100之井區域118電性連接之通孔600，以取代比較例中之貫通半導體層200S及配線層100T之貫通電極121E。該通孔600能將第2半導體基板200之半導體層200S之背面側之井區域218與第1半導體基板100之半導體層100S之井區域118電性連接。

【0084】根據如上所述之本發明之第1實施方式，不設置貫通半導體層200S之貫通電極121E、及包圍其周圍之絕緣區域，因此半導體層200S

之區域之利用不會受到限制。其結果，根據本實施方式，第2半導體基板200之半導體層200S上之佈局之自由度提高，因此攝像裝置1能進一步小型化、微細化。以下，依序對如上所述之本發明之第1實施方式之詳情進行說明。

【0085】 <<2.第1實施方式>>

<2.1構成>

參照圖10，對本發明人等所創作出之本發明之第1實施方式的攝像裝置1之詳細構成進行說明。圖10係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之剖面構成之模式圖。

【0086】如上文所說明般，本發明之第1實施方式之攝像裝置1如圖10所示，具有貫通配線層100T之層間絕緣膜123而將第2半導體基板200之背面(第2面)與第1半導體基板100之井區域118電性連接之通孔600，以取代比較例中之貫通電極121E。該通孔600將第2半導體基板200之半導體層200S之背面側之井區域(第2井區域)218與第1半導體基板100之半導體層100S之井區域(第1井區域)118電性連接。於本實施方式中，上述通孔600之沿著第1半導體基板100之正面切斷所得之剖面形狀可為大致圓形，亦可為大致矩形，但並不特別限定。又，於本實施方式中，上述通孔600之沿著與第1半導體基板100之正面垂直之方向切斷所得之剖面形狀可為大致矩形，亦可為自第2半導體基板200朝向上述第1半導體基板100寬度變窄之大致錐形、或自第1半導體基板100朝向第2半導體基板200寬度變窄之大致錐形，但並不特別限定。再者，於通孔600之剖面為自第1半導體基板100朝向第2半導體基板200寬度變窄之大致錐形之情形時，通孔600與第1半導體基板100之井區域118之間之接合面增加，因此能降低接觸電

阻。又，關於通孔600之剖面為自第2半導體基板200朝向上述第1半導體基板100寬度變窄之大致錐形之情形，將於製造方法之說明中加以說明。

【0087】藉由該通孔600而電性連接之第2半導體基板200之半導體層200S之背面側之井區域218與第1半導體基板100之半導體層100S之井區域118具有同一導電型(例如，p型)。因此，該通孔600例如可由包含p型(第1導電型)雜質(例如，硼(B)等)之多晶矽或非晶矽(BDAS)形成，以與井區域118、218具有同一導電型。再者，與該通孔600電性連接之第2半導體基板200之背面側亦注入有p型(第1導電型)雜質為佳，以抑制連接所造成之電阻值之增加。

【0088】進而，該通孔600可由鋁、鈦(Ti)、鉭(Ta)、鎢、鈦(Ru)、鉬(Mo)等金屬材料或化合物材料形成。又，該通孔600之外周部可由以氮化矽(SiN)、摻氮碳化矽(SiCN)、摻碳氧化矽(SiOC)、氧化鋁、氧化鈣等形成之保護膜(圖示省略)覆蓋。再者，於本實施方式中，設置通孔600之位置並不特別限定。

【0089】再者，於本實施方式中，通孔600較佳為以多晶矽形成。藉由以多晶矽形成，例如與以銅等金屬材料形成之情形相比，不會因加熱而導致金屬原子擴散，故而能避免例如金屬原子向光電二極體PD擴散而導致光電二極體PD劣化。

【0090】又，於本實施方式中，如圖10所示，通孔600可設置於第1半導體基板100之半導體層100S之正面(第1面)上，且進而具有與通孔600電性連接之墊部(第1墊部)121。例如，如上文所說明般，於第1半導體基板100之半導體層100S內設置有複數個光電二極體(光電轉換元件)PD。因此，上述墊部121係以跨及分別設置於與各光電二極體(光電轉換元件)PD

對應之區間內之井區域118之方式設置。而且，通孔600藉由與以跨及方式設置之墊部121電性連接，能將複數個井區域118電性連接以便統轄。

【0091】如同以上所述般，根據如上所述之本實施方式，不設置貫通半導體層200S之貫通電極121E、及包圍其周圍之絕緣區域，因此半導體層200S之區域之利用不會受到限制。其結果，根據本實施方式，第2半導體基板200之半導體層200S上之佈局之自由度提高，因此攝像裝置1能進一步小型化、微細化。

【0092】進而，如同以下所說明般，根據本實施方式，由於半導體層200S之區域之利用不再受到限制，因此亦可於半導體層200S上設置2個放大電晶體AMP。以下，參照圖11至圖13，對此種平面構成之一例進行說明。圖11至圖13係表示本發明之第1實施方式之攝像裝置1的主要部分之一例之平面構成之模式圖。詳細而言，圖11至圖13分別為沿著圖10所示之A-A'將攝像裝置1切斷所得之平面之模式圖、沿著圖10所示之B-B'將攝像裝置1切斷所得之平面之模式圖、及沿著圖10所示之C-C'將攝像裝置1切斷所得之平面之模式圖。

【0093】如圖11所示，跨及4個井區域118，於將其等電性連接之墊部121(圖11中省略了圖示)上，形成有與墊部121電性連接之通孔600。而且，如與圖11之上方之平面構成對應之圖12所示，可供形成電晶體等之半導體層200S與將該半導體層200S電性分離之絕緣區域(DTI)212交替地排列。於本實施方式中，通孔600不貫通半導體層200S，進而為了將通孔600與半導體層200S電性分離，通孔600之周圍不形成絕緣區域。因此，於本實施方式中，如圖12所示，可用以形成電晶體等之半導體層200S上之區域之面積較大。

【0094】而且，如與圖12之上方之平面構成對應之圖13所示，由於可利用之半導體層200S上之面積較大，故而能將重設電晶體RST、選擇電晶體SEL、放大電晶體AMP、FD轉換增益切換電晶體FDG等自由設置於半導體層200S上。進而，於圖13所示之例中，由於可利用之面積較大，故而例如能於半導體層200S上設置2個放大電晶體AMP。藉由如此設置，能延長放大電晶體AMP之通道長度，因此能降低像素信號上之雜訊。再者，於本實施方式中，並不限定於設置2個放大電晶體，亦可使用尺寸較大之放大電晶體AMP，又，亦可自由改變其他電晶體之數量及尺寸。

【0095】 <2.2製造方法>

其次，參照圖14A至圖14G，對本實施方式之攝像裝置1之製造方法進行說明。圖14A至圖14G係用以說明本實施方式之攝像裝置1之製造方法之模式圖，詳細而言，各圖式係製造工序中之各階段之與圖10之攝像裝置1之剖面構成之模式圖對應之剖視圖。

【0096】首先，如圖14A所示，於形成有光電二極體PD(光電轉換元件)、像素分離部117、井區域118、浮動擴散部FD等之第1半導體基板100之正面(第1面)之上，形成傳輸電晶體TR之閘極(傳輸閘極)TG及墊部121。

【0097】其次，如圖14B所示，於第1半導體基板100之正面(第1面)上，積層由氧化矽等形成之層間絕緣膜123，並將其正面(圖中上側之面)藉由CMP(Chemical Mechanical Polish，化學機械研磨)等平坦化。

【0098】其次，如圖14C所示，形成自層間絕緣膜123之正面至墊部121地貫通層間絕緣膜123之貫通孔600a。例如，可藉由使用電漿等之乾式蝕刻，形成貫通孔600a。

【0099】其次，如圖14D所示，以嵌入至貫通孔600a中之方式形成多晶矽602。再者，於貫通孔600a之沿著與第1半導體基板100之正面垂直之方向切斷所得之剖面形狀為自圖中上側朝向下側寬度變窄之大致錐形之情形時，多晶矽602易於嵌入至貫通孔600a中。換言之，該情形時，多晶矽602對貫通孔600a之嵌入性良好。進而，藉由離子注入法，向所嵌入之多晶矽602中注入例如硼等p型(第1導電型)雜質。

【0100】其次，如圖14E所示，將多晶矽602中自貫通孔600a突出之部分藉由CMP等去除，並將層間絕緣膜123之正面平坦化。進而，進行退火。

【0101】其次，如圖14F所示，將第2半導體基板200積層、貼附於層間絕緣膜123之正面上，並將第2半導體基板200薄化。再者，較佳為於接合前向作為接合面之第2半導體基板200之背面側注入p型(第1導電型)雜質，以確保與通孔600之電性連接。

【0102】然後，如圖14G所示，於第2半導體基板200上形成電晶體及配線。按照以上所述操作，而形成本實施方式之攝像裝置1。

【0103】<2.3變化例>

(變化例1)

其次，參照圖15及圖16，對本實施方式之變化例1進行說明。圖15係表示本實施方式之變化例1之攝像裝置1的主要部分之一例之剖面構成之模式圖。又，圖16係表示本實施方式之變化例1之攝像裝置1的主要部分之一例之平面構成之模式圖，與圖11之圖對應。

【0104】如圖15及圖16所示，於本變化例中，攝像裝置1亦可具有複數個通孔600。詳細而言，於本變化例中，如圖15及圖16所示，各通孔

600以一對一對應之方式，電性連接於分別設置在與各光電二極體(光電轉換元件)PD對應之區間內之井區域118。進而，於本變形體中，如圖15所示，亦可不設置墊部121。

【0105】其次，參照圖17，對本變化例之攝像裝置1之製造方法進行說明。圖17係用以說明本實施方式之變化例1之製造方法之模式圖，詳細而言，為製造工序中之一階段之與圖15之攝像裝置1之剖面構成之模式圖對應之剖視圖。

【0106】首先，與圖14A所示之第1實施方式之製造方法同樣地，於形成有光電二極體PD、像素分離部117、井區域118、浮動擴散部FD等之第1半導體基板100之正面之上，形成傳輸電晶體TR之閘極TG。然後，與圖14B所示之第1實施方式之製造方法同樣地，於第1半導體基板100之正面上，積層由氧化矽等形成之層間絕緣膜123，並將其正面(圖中上側之面)藉由CMP等平坦化。

【0107】然後，如圖17所示，形成自層間絕緣膜123之正面至下方配置有井區域118之第1半導體基板100之正面地貫通層間絕緣膜123之複數個貫通孔600a。

【0108】繼而，於貫通孔600a形成多晶矽602，自此以後與圖14D至圖14G所示之第1實施方式之製造方法相同，故而此處省略說明。

【0109】(變化例2)

其次，參照圖18，對本實施方式之變化例2進行說明。圖18係表示本實施方式之變化例2之攝像裝置1的主要部分之一例之剖面構成之模式圖。

【0110】如圖18所示，設置於第2半導體基板200之半導體層200S上之電晶體並不限定於具有平面構造之電晶體，亦可為具有包含一對縱型閘

極之鰭構造之電晶體。於本變化例中，第2半導體基板200之半導體層200S上之佈局之自由度較高，因此可形成具有各種構造之電晶體。

【0111】 <<3.第2實施方式>>

<3.1背景>

首先，對創作出本發明之第2實施方式之背景進行說明。於上述本發明之第1實施方式中，如上文所說明般，以多晶矽形成通孔600時，藉由離子注入，向貫通孔600a內之多晶矽602中注入具有p型(第1導電型)之雜質。然而，於層間絕緣膜123較厚之情形時，由於貫通孔600a較深，故而難以向貫通孔600a內之多晶矽602中抵達深處地充分注入雜質。

【0112】 因此，為了向貫通孔600a內之多晶矽602中抵達深處地充分注入雜質，本發明人等想到了重複層間絕緣膜123之積層、該層間絕緣膜123上之貫通孔600a之形成、向該貫通孔600a中之多晶矽602之嵌入、及向所嵌入之多晶矽602中之雜質之注入，而形成通孔600。藉由如此重複操作，於一次雜質注入中，由於貫通孔600a之深度較淺，故而能向貫通孔600a內之多晶矽602中抵達深處地充分注入雜質。而且，藉由重複此種工序，能向已嵌入至整個貫通孔600a內之多晶矽602中充分注入雜質。以下，依序對此種第2實施方式之詳情進行說明。

【0113】 <3.2構成>

首先，參照圖23，對本發明之第2實施方式之攝像裝置1之詳細構成進行說明。圖23係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0114】 詳細而言，如圖23所示，本實施方式之通孔600具有：複數個柱部604，其等貫穿層間絕緣膜123之膜厚方向上之一部分；及1個或複

數個連接墊部606，其或其等設置於層間絕緣膜123內，將柱部604相互電性連接。換言之，於圖23所示之例中，連接墊部606自圖中之上下方向夾於2個柱部604之間。再者，於本實施方式中，通孔600所具有之柱部604之數量並不限定於2個，亦可為2個以上。進而，連接墊部606亦並不限定於1個，只要為將複數個柱部604電性連接所需之數量即可。

【0115】於本實施方式中，柱部604及連接墊部606之沿著第1半導體基板100之正面切斷所得之剖面形狀可為大致圓形，亦可為大致矩形，但並不特別限定。又，夾著連接墊部606之2個柱部604可設置於在將層間絕緣膜123與第1半導體基板100之正面(第1面)平行地切斷所得之面內相互重疊之位置。藉由如此設置，能以更短之走線將第2半導體基板200之背面(第2面)與第1半導體基板100之井區域118連接，因此能縮小第2半導體基板200之背面(第2面)與第1半導體基板100之井區域118之間之電阻值。又，與柱部604之剖面相比，連接墊部606之面積宜更大。形成本實施方式之通孔600時，要複數次地形成貫通孔600a，從而各貫通孔600a之位置會有所偏移，但即便各柱部604不重疊而出現位置偏移，藉由面積較大之連接墊部606，亦能將位置偏移之柱部604電性連接。

【0116】又，於本實施方式中，與第1實施方式同樣地，柱部604亦可由包含p型(第1導電型)雜質(例如，硼等)之多晶矽形成。進而，連接墊部606亦可由包含p型(第1導電型)雜質之多晶矽、或鋁、鈦、鉭、鎢、鈦、鉬(Mo)等金屬材料形成。

【0117】 <3.3製造方法>

其次，參照圖20A至圖20H，對本實施方式之攝像裝置1之製造方法進行說明。圖20A至圖20H係用以說明本實施方式之攝像裝置1之製造方

法之模式圖，詳細而言，各圖式係製造工序中之各階段之與圖19之攝像裝置1之剖面構成之模式圖對應之剖視圖。

【0118】再者，圖20A至圖20E與表示本發明之第1實施方式之製造方法之圖14A至圖14E相同，故而此處省略說明。

【0119】其次，如圖20F所示，於層間絕緣膜123上形成連接墊部606。

【0120】然後，於連接墊部606及層間絕緣膜123上進而積層層間絕緣膜123，並將其正面藉由CMP等平坦化。進而，如圖20G所示，形成自層間絕緣膜123之正面至連接墊部606地貫通層間絕緣膜123之貫通孔600a。

【0121】其次，如圖20H所示，以嵌入至貫通孔600a中之方式形成多晶矽602。進而，向所嵌入之多晶矽602中注入p型(第1導電型)雜質。然後，將多晶矽02中自貫通孔600a突出之部分藉由CMP等去除，並將層間絕緣膜123之正面平坦化。

【0122】繼而，於層間絕緣膜123之正面積層第2半導體基板200，並使兩者貼合，自此以後與圖14F至圖14G所示之第1實施方式之製造方法相同，故而此處省略說明。

【0123】 <3.4變化例>

其次，參照圖21，對本實施方式之變化例進行說明。圖21係表示本實施方式之變化例之攝像裝置1的主要部分之一例之剖面構成之模式圖。詳細而言，於本變化例中，如圖21所示，夾著連接墊部606之2個柱部604亦可設置於在將層間絕緣膜123與第1半導體基板100之正面(第1面)平行地切斷所得之面內相互不重疊之位置。

【0124】 <<4.第3實施方式>>

<4.1構成>

其次，參照圖22，對本發明之第3實施方式之攝像裝置1之詳細構成進行說明。圖22係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0125】如圖22所示，於本實施方式中，通孔600具有設置於第2半導體基板200之背面(第2面)上，且與通孔600電性連接之墊部(第2墊部)608。於本實施方式中，藉由設置墊部608，會擴大通孔600與第2半導體基板200之背面之接觸面積，因此能降低通孔600與背面之間之接觸電阻。再者，於本實施方式中，墊部608之形狀可為大致圓形，亦可為大致矩形，但並不特別限定。

【0126】進而，於本實施方式中，與第1實施方式同樣地，墊部608亦可由包含p型(第1導電型)雜質(例如，硼等)之多晶矽形成。進而，墊部608亦可由鋁、鈦、鉭、鎢、鈦、鉬(Mo)等金屬材料形成。

【0127】 <4.2製造方法>

其次，參照圖23A至圖23C，對本實施方式之攝像裝置1之製造方法進行說明。圖23A至圖23C係用以說明本實施方式之攝像裝置1之製造方法之模式圖，詳細而言，各圖式係製造工序中之各階段之與圖22之攝像裝置1之剖面構成之模式圖對應之剖視圖。

【0128】首先，於本實施方式中，進行表示本發明之第1實施方式之製造方法之圖14A至圖14B所示的工序。

【0129】然後，如圖23A所示，形成自層間絕緣膜123之正面至墊部121地貫通層間絕緣膜123之貫通孔600a，並於其上表面側挖鑿出較貫通

孔600a之剖面大之槽610，以便形成墊部608。

【0130】其次，如圖23B所示，以嵌入至貫通孔600a及槽610中之方式形成多晶矽602。進而，向所嵌入之多晶矽602中注入p型(第1導電型)雜質。

【0131】然後，如圖23C所示，將多晶矽602中自貫通孔600a及槽610突出之部分藉由CMP等去除，並將層間絕緣膜123之正面平坦化。

【0132】繼而，於層間絕緣膜123之正面積層第2半導體基板200，並使兩者貼合，自此以後與圖14F至圖14G所示之第1實施方式之製造方法相同，故而此處省略說明。

【0133】<<5.第4實施方式>>

<5.1背景>

首先，參照圖24至圖26，對創作出本發明之第4實施方式之背景進行說明。圖24至圖26係用以說明本實施方式之比較例之攝像裝置1的製造工序之模式圖。再者，此處，所謂比較例表示本發明人等製作出本發明之第4實施方式前，幾經研究所得之攝像裝置1，指上述第1實施方式。

【0134】圖24示出了比較例之攝像裝置1之形成通孔600時之製造工序。如上文所說明般，形成通孔600時，係於形成貫通孔600a後，以嵌入至貫通孔600a中之方式形成多晶矽602，並於將自通孔600突出之多晶矽602之一部分藉由CMP去除後，進行退火。

【0135】然而，如圖25所示，向貫通孔600a中嵌入多晶矽602時，多晶矽602之成膜係自貫通孔600a之底面及側面各向同性地推進的，因此有時多晶矽602會以於貫通孔600a之上部封頂之方式將貫通孔600a封閉，從而使多晶矽602之內部出現氣孔620。再者，此處，將退火前於多晶矽

602之中心部產生之空腔稱為「氣孔」，將退火後於整個多晶矽產生之微細之空腔(閉氣孔)稱為「孔隙」。

【0136】進而，如圖26所示，多晶矽602會因退火所產生之熱，向氣孔620之部分移動，從而使多晶矽602之內部產生複數個孔隙622。而且，由於如上所述之孔隙622之產生，有時貫通孔600a內之多晶矽602會斷線，或者與第2半導體基板200之半導體層200S之背面側之井區域218、第1半導體基板100之半導體層100S之井區域118之間斷線，從而無法確保通孔600之導通。

【0137】因此，本發明人等為了於進行攝像裝置1之量產之情形時，亦使良率良好且確保通孔之導通，最終創作出了以下所說明之本發明之第4實施方式。以下，依序對本實施方式之詳情進行說明。

【0138】<5.2實施方式>

其次，參照圖27，對本發明之第4實施方式之攝像裝置1之詳細構成進行說明。圖27係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0139】如圖27所示，本實施方式之通孔600具有沿著與第1半導體基板100之正面(第1面)大致垂直之方向延伸之中心部630、及以包圍中心部630之方式設置之外周部632。

【0140】於本實施方式中，中心部630之沿著第1半導體基板100之正面切斷所得之剖面形狀可為大致圓形，亦可為大致矩形，但並不特別限定。又，於本實施方式中，上述中心部630之沿著與第1半導體基板100之正面垂直之方向切斷所得之剖面形狀可為大致矩形，亦可為自第2半導體基板200朝向第1半導體基板100寬度變窄之大致錐形、或自第1半導體基

板100朝向第2半導體基板200寬度變窄之大致錐形，但並不特別限定。相關詳情將於下文加以敘述。

【0141】又，於本實施方式中，中心部630較佳為由嵌入性良好，詳細而言即不易熱收縮而產生氣孔之嵌入膜形成。更具體而言，例如中心部630可由氧化矽、氮化矽、摻氮碳化矽、摻碳氧化矽、氧化鋁、氧化鈣等形成。或者，中心部630可由聚醯亞胺系樹脂材料形成，亦可由包含選自鋁、鈦、鉍、鎢、鈮中之任一種金屬之金屬材料或化合物材料形成。

【0142】又，於本實施方式中，外周部632可由包含p型(第1導電型)雜質(例如，硼等)之多晶矽形成。進而，亦可進而具有底部632a，該底部632a設置於該通孔600之外周部632、第1半導體基板100之正面(第1面)上。

【0143】其次，參照圖28及圖29，對本實施方式之攝像裝置1之製造方法進行說明。圖28及圖29係用以說明本實施方式之攝像裝置1之製造方法之模式圖。

【0144】首先，與表示本發明之第1實施方式之攝像裝置1之製造方法的圖14A至圖14E同樣地，將多晶矽602中自貫通孔600a突出之部分藉由CMP等去除，並將層間絕緣膜123之正面平坦化。

【0145】而且，於該階段，如上文所說明般，有時多晶矽602內會產生氣孔620。因此，於本實施方式中，如圖28所示，以嵌入至於多晶矽602之中心產生之氣孔620中之方式，成膜出嵌入膜(例如，氧化矽等)634。再者，被嵌入之氣孔620之形狀在此不作限定。又，為了改善嵌入性，向氣孔620中嵌入前，亦可藉由蝕刻(乾式蝕刻或濕式蝕刻)，將氣孔620之尺寸擴大。進而，如上文所述，氣孔620較佳為由不易熱收縮而

產生氣孔之嵌入膜634嵌入，因此於本實施方式中，嵌入膜634之成膜方法較佳為採用HDP(High Density Plasma，高密度電漿)-CVD(Chemical Vapor Deposition，化學氣相沈積法)、可流動式CVD或塗佈法。再者，此處所謂之可流動式CVD表示能成膜出如液體般具有流動性之膜之技術。又，於使用上述金屬材料或化合物材料作為嵌入膜634之情形時，可採用濺鍍法或CVD法，但較佳為選擇能以自貫通孔600a之底部開始成膜之倒置法(bottom up)成膜出嵌入膜634之方式。

【0146】然後，將嵌入膜634中自貫通孔600a突出之部分藉由CMP等去除，並將層間絕緣膜123之正面平坦化。進而，進行退火處理。

【0147】於本實施方式中，以如上所述之製造工序形成具有如上構成之通孔600，藉此如圖28所示，嵌入膜634之嵌入使得多晶矽602內並不存在氣孔620，因此即便進行退火，多晶矽602之移動亦會受到限制，從而能抑制孔隙622之產生。其結果，於本實施方式中，能避免因貫通孔600a內之多晶矽602斷線，或者與第2半導體基板200之半導體層200S之背面側之井區域218、第1半導體基板100之半導體層100S之井區域118之間斷線，而無法確保通孔600之導通之情形。

【0148】再者，於本實施方式中，通孔600內亦可存在不會導致斷線或接觸不良發生之程度之非常微細之孔隙622。

【0149】<5.3變化例>

其次，參照圖30A至圖30C，對本實施方式之變化例進行說明。圖30A至圖30C係表示本實施方式之變化例1之攝像裝置1的主要部分之一例之剖面構成之模式圖，詳細而言，圖30A至圖30C示出了本實施方式之變化例之通孔600，圖中下側為第1半導體基板100側，圖中上側為第2半導

體基板200側。

【0150】如圖30A至圖30C所示，中心部630之沿著與第1半導體基板100之正面垂直之方向切斷所得之剖面形狀可為大致矩形，亦可為自第2半導體基板200朝向第1半導體基板100寬度變窄之大致錐形、或自第1半導體基板100朝向第2半導體基板200寬度變窄之大致錐形，但並不特別限定。

【0151】再者，於中心部630之剖面為自第1半導體基板100朝向第2半導體基板200寬度變窄之大致錐形之情形時，通孔600與第1半導體基板100之井區域118之間之接合面增加，因此於以金屬材料等形成中心部630之情形時，能降低接觸電阻。

【0152】進而，於中心部630之剖面為自第2半導體基板200朝向第1半導體基板100寬度變窄之大致錐形之情形時，意味著嵌入膜634易於嵌入至氣孔620中。換言之，於氣孔620之形狀為自第2半導體基板200朝向第1半導體基板100寬度變窄之大致錐形之情形時，嵌入膜634對氣孔620之嵌入性良好。

【0153】<<6.第5實施方式>>

<6.1背景>

首先，參照圖31及圖32，對本實施方式之背景進行說明。圖31及圖32係用以說明本發明之第5實施方式之背景之模式圖。於上述第1實施方式中，將第1半導體基板100與第2半導體基板200直接接合。詳細而言，例如，如圖31之右側所示，即便接合時於第2半導體基板200之背面(第2面)發生錯位，亦會以將第2半導體基板200之半導體層200S之背面(第2面)側之井區域218與通孔600確實地電性接合之方式，存在包含雜質(p型(第1

導電型)雜質(例如，硼(B)等))之較大井區域218。

【0154】又，如圖31之左側所示，於第2半導體基板200形成有複數個電晶體。於本發明之實施方式中，作為設置於第2半導體基板200上之電晶體，可考慮使用各式各樣之電晶體。例如，如圖32所示，可例舉平坦之閘極電極220隔著絕緣膜(圖示省略)設置於第2半導體基板200(詳細為半導體層200S)上之平面型電晶體、或閘極電極220具有嵌入至第2半導體基板中之鰭222之Fin型電晶體等。進而，作為本實施方式中所使用之電晶體，亦可例舉如圖32所示，閘極電極220具有延伸至第2半導體基板200之深處之鰭222之完全空乏型(FD-SOI：Fully Depletion-Silicon on Insulator，完全空乏型絕緣體上矽)電晶體。

【0155】但在欲於具有如圖31之右側所示之背面形態之第2半導體基板200，形成圖32所示之具有鰭222之完全空乏型電晶體之情形時，鰭222之間之應作為通道之部位會存在雜質，從而有可能導致電晶體無法進行所希望之動作。又，Fin型電晶體同樣地，於鰭222未延伸至第2半導體基板200之深處之情形時，不易出現問題，但於其延伸至深處之情形時，與完全空乏型電晶體同樣地，有可能導致電晶體無法進行所希望之動作。

【0156】因此，本發明之第5實施方式中，於第2半導體基板200之背面(第2面)上之與如上所述之電晶體對應之部位，設置不含雜質之無摻雜區域。藉由如此設置，能於所希望之部位形成所希望之類型之電晶體。以下，對本實施方式之詳情進行說明。

【0157】〈6.2實施方式〉

參照圖33，對本發明之第5實施方式進行說明。圖33係表示本實施方式之攝像裝置1之主要部分的一例之平面構成之模式圖，示出了第2半導體

基板200之上表面側與背面側。詳細而言，於將放大電晶體AMP設為具有鰭222之完全空乏型電晶體等之情形時，如圖33之右側所示，於與放大電晶體AMP對應之第2半導體基板200之背面(第2面)，設置有未摻雜雜質之無摻雜區域230。藉由如此設置，即便將放大電晶體AMP設為具有鰭222之完全空乏型電晶體等，鰭222之間之應作為通道之部位亦不會存在雜質，因此該電晶體能作為完全空乏型電晶體發揮功能。

【0158】再者，本實施方式中，設置於無摻雜區域230之相反側之電晶體並不限定於具有鰭222之完全空乏型電晶體，亦可為平面型之完全空乏型電晶體或Fin型電晶體。即，於本實施方式中，設置於無摻雜區域230之相反側之電晶體只要為可使通道區域與不含雜質之無摻雜區域230對應地加以設置之電晶體即可，並不特別限定。又，該等電晶體之周圍較佳為設置有貫通第2半導體基板200之半導體層200S之FTI構造之元件分離區域(層間絕緣膜)123、或不貫通半導體層200S之DTI構造之元件分離區域123。再者，於DTI構造之元件分離區域123之情形時，該元件分離區域123之第2半導體基板200之背面側亦可存在雜質。

【0159】 < 6.3製造方法 >

其次，參照圖34A至圖34D，對本實施方式之攝像裝置1之製造方法進行說明。圖34A至圖34D係用以說明本實施方式之攝像裝置1之製造方法之說明圖。

【0160】首先，如參照圖14A至圖14E所說明般，形成第1半導體基板100，從而獲得如圖34A所示之形態。其次，本實施方式中，於第2半導體基板200之背面，形成將第1半導體基板100與第2半導體基板200接合時之對準標記270。通常，此種對準標記270一般配置於像素陣列部540之

外。例如，對準標記270可藉由將絕緣膜嵌入至第2半導體基板200之背面並加以平坦化而形成。

【0161】然後，將所形成之對準標記270作為基準，形成覆蓋作為無摻雜區域230之部位之遮罩，並進行離子注入。此時，考慮到錯位問題，較佳為藉由使遮罩較無摻雜區域230所需之尺寸大，而形成不含雜質之較大區域。具體而言，例如於為與放大電晶體AMP對應之區域之無摻雜區域230之情形時，較佳為形成較放大電晶體AMP大之無摻雜區域230。

【0162】然後，如圖34C所示，利用對準標記270，將第1半導體基板100與第2半導體基板200接合。此時，會因接合之精度問題而發生偏移，但藉由在偏移部位形成FTI構造之元件分離區域123，能進行修正。

【0163】其後，於第2半導體基板200上，形成具有鰭222之完全空乏型電晶體作為放大電晶體AMP。鰭222之周圍會被去除半導體層200S，並由FTI構造之元件分離區域123分斷。又，會藉由離子注入，向第2半導體基板200之半導體層200S之一部分導入雜質，使之成為電晶體之源極/汲極區域。

【0164】再者，亦可於放大電晶體AMP之周圍形成DTI型之元件分離區域123，該情形時，可猜想到元件分離區域123之下側不會存在雜質，界面能階會造成負面影響。為了防止此種影響之發生，亦可於形成元件分離區域123後，向元件分離區域123之下之第2半導體基板200之背面較淺地注入雜質。

【0165】〈6.4變化例〉

又，上述本實施方式中，於第2半導體基板200之背面形成了無摻雜區域230，但本實施方式之變化例中，亦可於第2半導體基板200之背面，

形成以較井區域(第2區域)218高之濃度包含雜質之高濃度區域(第1區域)232。以下，參照圖35，對本變化例之詳情進行說明。圖35係表示本實施方式之變化例之攝像裝置1的主要部分之一例之平面構成之模式圖。

【0166】如圖35所示，亦可與位於第2半導體基板200之背面上，供形成將第1半導體基板100之井區域118與第2半導體基板200之井區域218電性連接之通孔600之部位對應地，形成以較井區域(第2區域)218高之濃度包含雜質之高濃度區域(第1區域)232(例如，於高濃度區域232之上設置通孔600)。於本變化例中，藉由形成高濃度區域232，能降低第1半導體基板100之井區域118與第2半導體基板200之井區域218之連接相關之接觸電阻。進而，較佳為如圖35所示，於高濃度區域232之周圍設置FTI型之元件分離區域123等，以免使通孔600電性連接於非必要之部位。

【0167】 <<7.第6實施方式>>

<7.1背景>

於本發明之實施方式中，較佳為通孔600與第2半導體基板200之半導體層200S之背面(第2面)側之井區域218之間之接觸電阻較低。然而，因接合前暴露於大氣中，故第2半導體基板200之背面會形成自然氧化膜。而且，經由該自然氧化膜，通孔600與第2半導體基板200之背面(第2面)會接合，從而通孔600與第2半導體基板200之背面之間之接觸電阻增高。進而，若接觸電阻增高，則第1半導體基板100之井區域118與第2半導體基板200之井區域218不會成為相同電位，PD及電晶體將不再進行所希望之動作，從而光轉換效率及電荷傳輸速度等會發生像素不均。因此，為了降低接觸電阻，可考慮採取將第2半導體基板200之背面之自然氧化膜去除之處理，使之與第1半導體基板100接合。然而，若進行此種處理，雖然

能降低通孔600與第2半導體基板200之背面之間之接觸電阻，但第2半導體基板200之背面與層間絕緣膜123之上表面之接合強度會劣化。

【0168】因此，本發明之第6實施方式中，於第1半導體基板100與第2半導體基板200之間，設置由以高濃度包含雜質之絕緣膜形成之接合膜。本實施方式中，藉由形成第2半導體基板200之電晶體時之熱處理，該接合膜內之雜質會於通孔600之上表面及第2半導體基板200之背面(第2面)局部擴散。因此，根據本實施方式，能避免第2半導體基板200之背面與層間絕緣膜123之上表面之接合強度劣化，且能降低通孔600與第2半導體基板200之背面之間之接觸電阻。以下，對本實施方式之詳情進行說明。

【0169】 <7.2實施方式>

首先，參照圖36，對本實施方式之攝像裝置1之詳細構成進行說明。圖36係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0170】於本實施方式中，如圖36所示，第1半導體基板100與第2半導體基板200之間設置有接合膜750。接合膜750可由以包含雜質(p型(第1導電型)雜質(例如，硼(B)等))之氧化矽(SiO_2)等形成之絕緣膜形成。具體而言，接合膜750例如可由包含氧化矽(SiO_2)與氧化硼(B_xO_y)之BSG(Boro-Silicate-Glass，硼矽玻璃)、或包含氧化矽(SiO_2)與氧化磷(P_xO_y)之PSG(Phospho-Silicate-Glass，磷矽玻璃)等形成。於本實施方式中，若設置此種接合膜750，則藉由第1半導體基板100與第2半導體基板200接合後之熱處理，雜質會自接合膜750向通孔600及第2半導體基板200之背面熱擴散。因此，於本實施方式中，第2半導體基板200之半導體層

200S內之雜質會以自背面(第2面)沿著積層方向降低之方式分佈，而通孔600內之雜質會以自第1半導體基板100之半導體層100S之正面(第1面)沿著積層方向增高之方式分佈。

【0171】如此，本實施方式中，於第1半導體基板100與第2半導體基板200之間設置接合膜750，藉由第1半導體基板100與第2半導體基板200接合後之熱處理，使雜質自接合膜750熱擴散。因此，於本實施方式中，藉由接合膜750，能避免第1半導體基板100與第2半導體基板200之間之接合強度劣化，藉由雜質之擴散，能降低通孔600與第2半導體基板200之背面之間之接觸電阻。

【0172】 <7.3製造方法>

其次，參照圖37A至圖37C，對本實施方式之攝像裝置1之製造方法進行說明。圖37A至圖37C係用以說明本實施方式之攝像裝置1之製造方法之說明圖。

【0173】於本實施方式中，如圖37A所示，可於第1半導體基板100與第2半導體基板200接合前，將包含雜質之接合膜750設置於第1半導體基板100之層間絕緣膜123上，將不含雜質之接合膜752設置於第2半導體基板200(詳細為半導體層200S)之背面上。然後，於接合時，藉由該等接合膜750、752，將第1半導體基板100與第2半導體基板200接合。又，如圖37B所示，亦可於第1半導體基板100與第2半導體基板200接合前，將包含雜質之接合膜750設置於第2半導體基板200(詳細為半導體層200S)之背面上，將不含雜質之接合膜752設置於第1半導體基板100之層間絕緣膜123上。進而，於本實施方式中，亦可將包含雜質之接合膜750設置於第2半導體基板200(詳細為半導體層200S)之背面上、及第1半導體基板100之

層間絕緣膜123上。

【0174】又，於本實施方式中，接合膜750可採用原子層堆積法(Atomic Layer Deposition；ALD)而形成，亦可採用其他方法而形成。又，雜質並不限於磷(P)、硼(B)，亦可使用其他3族或5族元素。進而，於本實施方式中，雜質之注入無需與接合膜750之形成同時進行，亦可於接合膜750之形成後進行。該情形時，可採用將雜質之原子作為電漿或離子而擊入之方法(例如，離子注入法)。

【0175】<<8.第7實施方式>>

<8.1背景>

如上述實施方式所述，若欲提高電性連接性，即降低接觸電阻，導入雜質並使之擴散較為有效。然而，在使雜質於半導體層等單晶矽內熱擴散之情形時，根據熱工序之處理內容，有時雜質會擴散至非所需部位，結果對電晶體之特性造成不良影響。

【0176】因此，於本發明之第7實施方式中，藉由使雜質自包含雜質之多晶矽熱擴散，而阻止雜質於多晶矽/矽界面擴散，以防雜質擴散至非所需部位。以下，對本實施方式之詳情進行說明。

【0177】<8.2實施方式>

其次，參照圖38、39，對本發明之第7實施方式之攝像裝置1之詳細構成進行說明。圖38、39係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0178】於本實施方式中，如圖38所示，第1半導體基板100與第2半導體基板200之間設置有接合膜760。接合膜760由包含雜質(p型(第1導電型)雜質(例如，硼(B)等))之多晶矽形成。又，於本實施方式中，如圖39

所示，接合膜760亦可嵌入至第2半導體基板200之半導體層200S之一部分而設置。再者，於本實施方式中，所嵌入之接合膜760之俯視下之形狀可為圓形、矩形、框狀，但並不特別限定。

【0179】於本實施方式中，接合膜760由多晶矽形成，半導體層200S由單晶矽形成，因此接合膜760與半導體層200S之間存在界面。故而，於形成第2半導體基板200之電晶體時之熱處理下，接合膜760中包含之雜質受上述界面所阻，不易向半導體層200S擴散。其結果，於本實施方式中，來自接合膜760之雜質不會於半導體層200S內大幅擴散，因此能避免對設置於半導體層200S之電晶體造成不良影響。另一方面，因通孔600係由多晶矽形成，故接合膜760中包含之雜質能向通孔600擴散，從而能降低通孔600與接合膜760之間之接觸電阻。

【0180】 < 8.3製造方法 >

其次，參照圖40，對本實施方式之攝像裝置1之製造方法進行說明。圖40係用以說明本實施方式之攝像裝置1之製造方法之說明圖。

【0181】首先，如參照圖14A至圖14E所說明般，形成第1半導體基板100，從而獲得如圖40之左側最上方之圖所示之第1半導體基板100。其次，如圖40之左側由上而下第2個圖所示，於第2半導體基板200之背面側，成膜出具有100 nm至數nm之膜厚之多晶矽膜762。其次，如圖40之左側最下方之圖所示，向多晶矽膜762中離子注入雜質，並藉由CMP將正面平坦化，藉此獲得接合膜760。

【0182】然後，如圖40之右側最上方之圖所示，將第2半導體基板200與第1半導體基板100接合。進而，如圖40之右側最下方之圖所示，於第2半導體基板200上形成電晶體等。

【0183】進而，於本實施方式中，並不限定於採用離子注入而形成接合膜760，例如亦可藉由與多晶矽膜之成膜同時地導入雜質而形成接合膜760。

【0184】<<9.第8實施方式>>

<9.1背景>

首先，參照圖41及圖42，對本發明之第8實施方式之背景及概要進行說明。圖41係用以說明本實施方式之背景之模式圖，圖42係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0185】上述本發明之第3實施方式中，藉由在通孔600與第2半導體基板200之背面之間設置墊部608，擴大了接觸面積，降低了通孔600與第2半導體基板200之背面之間之接觸電阻。如圖41所示，因第1半導體基板100與第2半導體基板200接合前暴露於大氣中，或為了接合而被實施了熱處理，故第2半導體基板200之背面形成了氧化膜700。由於此種氧化膜之存在，墊部608與第2半導體基板200之背面之間之接觸電阻(即，通孔600與第2半導體基板200之背面之接觸電阻)增加，更甚者會招致不均或雜訊之增加等攝像裝置1之特性劣化。

【0186】因此，於本發明之第8實施方式中，如圖42所示，將氧化膜700之端部局部還原(於圖42中，以箭頭表示還原處理)，藉此降低通孔600與第2半導體基板200之背面之間之接觸電阻。以下，對本實施方式之詳情進行說明。

【0187】<9.2實施方式>

其次，參照圖43及圖44，對本實施方式之攝像裝置1之製造方法進行說明。圖43及圖44係用以說明本實施方式之攝像裝置1之製造方法之模式

圖。

【0188】首先，如圖43之上段左側所示，於第1半導體基板100側形成通孔600。關於通孔600之形成方法，已於上文進行過敘述，因此省略相關詳情。其次，如圖43之上段左側起第2個圖所示，於層間絕緣膜123及通孔600之上，形成由多晶矽形成之膜609。亦可採用離子注入向膜609中導入雜質，此時，為了雜質之熱擴散等，亦可進行退火。然後，如圖43之上段左側起第3個圖所示，採用微影、乾式蝕刻等，於膜609形成圖案，藉此形成通孔600上之墊部608。進而，如圖43之上段右側所示，採用CVD等於墊部608上成膜出由氧化矽膜(SiO₂)形成之層間絕緣膜123。其次，將層間絕緣膜藉由CMP平坦化，藉此獲得如圖43之下段左側所示之形態。

【0189】其次，如圖43之下段左側起第2個圖所示，將形成有通孔600及墊部608等之第1半導體基板100與第2半導體基板200(圖43中示出了半導體層200S)接合。再者，可於接合前或接合後採用離子注入向第2半導體基板200之背面導入雜質。又，如上文所說明般，於接合時，第1半導體基板100與第2半導體基板200之接合面產生了數nm之氧化膜。其次，於接合後，將第2半導體基板200之膜厚薄膜化至數百nm。具體而言，較佳為使第2半導體基板200之膜厚為200~600 nm左右。關於薄膜化，例如可於利用砂輪研磨至數μm左右之厚度後，採用濕式蝕刻、以CMP法進行之表面研磨而達成所希望之膜厚。

【0190】其次，如圖43之下段左側起第3個圖所示，採用微影、乾式蝕刻等，於第2半導體基板200之半導體層200S形成溝槽，藉以進行元件分離。此時，較佳為以墊部608之端部自溝槽露出之方式形成溝槽。於本

實施方式中，至少使墊部608之側面露出。乾式蝕刻時，藉由使用OES(Optical Emission Spectroscopy，光學發射光譜儀)之波形檢測終點，能控制墊部608之露出狀況。

【0191】又，於本實施方式中，溝槽之寬度較佳為100~300 nm。進而，於本實施方式中，為了在墊部608之端部之還原處理中使氣體等容易迴繞，較佳為使溝槽之深度與寬度之比即縱橫比為5以下左右。

【0192】其次，如圖43之下段右側所示，藉由使用NH₃或H₂氣體之電漿照射，對自溝槽露出之半導體層200S之端部與墊部608之端部之氧化膜進行還原處理。此時，只要至少將自半導體層200S及墊部608之端部起至位於內側之一部分還原即可。進而，本實施方式中，亦可於電漿照射後，進行高溫退火，藉此抵達內部地進行還原。

【0193】而且，其後，於第2半導體基板200之半導體層200S上形成電晶體等，但相關圖示被省略了。

【0194】又，於本實施方式中，如圖44所示，亦可於接合後進行墊部608之圖案化。詳細而言，於第2半導體基板200之半導體層200S形成溝槽以進行元件分離時，亦可同時進行墊部608之圖案化。然後，與圖43同樣地，對自溝槽露出之半導體層200S之端部與墊部608之端部之氧化膜進行還原處理。

【0195】再者，於上述說明中，對應用於通孔600與第2半導體基板200之背面之間之墊部608之情形進行了說明，但本實施方式亦可應用於設置在第1半導體基板100與第2半導體基板200之間之要電性導通之部位的墊部及半導體層200S。

【0196】其次，參照圖45，對本實施方式之平面佈局進行說明。圖

45係表示本實施方式之攝像裝置1之主要部分的一例之平面構成之模式圖，上段為第2半導體基板200之背面，下段為第1半導體基板100之上表面。進而，自圖45之左側起依序示出了本發明之第1實施方式之佈局例、本實施方式之佈局例(實施例1)、本實施方式之佈局例(實施例2)。尤其是於實施例2中，墊部以與溝槽之圖案自對準之方式存在。再者，本實施方式中，亦可於無需與第2半導體基板200之背面電性導通之部位同樣存在墊部，該情形時，墊部只要形成為不於該墊部連接配線之孤立狀態即可。

【0197】 <<10.第9實施方式>>

<10.1背景>

首先，參照圖46及圖47，對本實施方式之背景進行說明。圖46及圖47係用以說明本實施方式之背景之模式圖。上述本發明之第3實施方式中，藉由在通孔600與第2半導體基板200之背面之間設置墊部608，擴大了接觸面積，降低了通孔600與第2半導體基板200之背面之間之接觸電阻。因此，藉由擴大墊部608，能進一步降低接觸電阻。

【0198】 例如，如圖46所示，墊部608可藉由如下操作而形成：於氧化矽(SiO₂)等之絕緣膜形成溝槽，並以嵌入至該溝槽中之方式嵌入多晶矽，再將自溝槽突出之多晶矽藉由CMP去除。然而，若擴大墊部608，則於CMP後，容易產生凹陷，即碟型缺陷(dishing)，於與具有此種碟型缺陷之墊部608相接地形成通孔600之情形時，會呈電性開路狀態，從而難以將通孔600與墊部608之間確實地電性連接。又，即便能將通孔600與墊部608之間電性連接，亦會存在由碟型缺陷導致之孔隙，因此無法避免接觸電阻上升。

【0199】 因此，於本實施方式中，如圖47所示，藉由設置複數個較

小之墊部(第2墊部)608a取代較大之墊部608，能縮小粗密差，從而抑制採用CMP進行表面研磨時碟型缺陷之產生。此外，於本實施方式中，藉由在用於連接之墊部608a之周圍形成不用於連接之虛設之墊部(第3墊部)608b，能進一步縮小粗密差，從而進一步抑制碟型缺陷之產生。因此，能將通孔600與墊部608a之間電性連接，且能抑制接觸電阻之上升。進而，於本實施方式中，藉由將通孔600與第2半導體基板200之背面之間經由複數個墊部608a電性連接，即便1個墊部608a發生連接不良，亦能利用其他墊部608a維持通孔600與第2半導體基板200之背面之間之連接，且能降低接觸電阻。以下，對本實施方式之詳情進行說明。

【0200】 < 10.2實施方式 >

其次，參照圖48至圖50，對本發明之第9實施方式之攝像裝置1之詳細構成進行說明。圖48及圖49係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖，圖50係表示本實施方式之攝像裝置1之主要部分的一例之平面構成之模式圖。

【0201】於本實施方式中，如圖48所示，設置複數個較小之墊部608a、及不用於連接之虛設之墊部608b。而且，複數個墊部608a經由連接部611而相互連接，且電性連接於通孔600。或者，於本實施方式中，如圖49所示，設置複數個較小之墊部608a、及不用於連接之虛設之墊部608b。而且，複數個墊部608a分別藉由通孔600與墊部121電性連接。於本實施方式中，墊部608a、608b可由多晶矽(poly-Si)、或銅(Cu)等不會產生矽化物之金屬材料等形成。再者，於本實施方式中，亦可不設置虛設(即，不電性連接其他要素)之墊部608b。

【0202】又，於本實施方式中，墊部608a、608b之俯視下之形狀並

不限定，如圖50所示，可為圓形、矩形、環狀、矩形之框狀。進而，雖未圖示，但亦可為三角形或多角形。又，其配置亦不特別限定，可呈千鳥格子狀而配置。再者，於框狀之墊部608a、608b之情形時，內側會設置由氧化矽(SiO₂)等形成之絕緣膜。又，墊部608a、608b之俯視下之大小亦不特別限定，只要不會產生由CMP導致之碟型缺陷即可。

【0203】根據如上所述之本實施方式，藉由設置複數個較小之墊部608a，能縮小粗密差，從而抑制碟型缺陷之產生。此外，於本實施方式中，藉由在用於連接之墊部608之周圍形成不用於連接之虛設之墊部608b，能進一步縮小粗密差，從而進一步抑制碟型缺陷之產生。進而，藉由設置虛設之墊部608b，第1半導體基板100與第2半導體基板200之接合均勻地推進，因此能避免第1半導體基板100與第2半導體基板200之間產生孔隙。其結果，根據本實施方式，能容易地進行第1半導體基板100與第2半導體基板200之接合。因此，根據本實施方式，能將通孔600與墊部608a之間電性連接，且能抑制接觸電阻之上升。進而，於本實施方式中，藉由將通孔600與第2半導體基板200之背面之間經由複數個墊部608a電性連接，即便1個墊部608a發生連接不良，亦能利用其他墊部608a維持通孔600與第2半導體基板200之背面之間之連接，且能降低接觸電阻。

【0204】< 10.3製造方法 >

其次，參照圖51及圖52，對本實施方式之攝像裝置1之製造方法進行說明。圖51及圖52係用以說明本實施方式之攝像裝置1之製造方法之說明圖。

【0205】首先，如參照圖14A至圖14E所說明般，形成第1半導體基板100(詳細為通孔600及層間絕緣膜123)，並於其上形成由多晶矽(poly-

Si)形成之連接部611，從而獲得如圖51之上段左側所示之形態。再者，連接部611亦可與形成其他配線層同時地形成。其次，本實施方式中，如圖51之上段右側所示，於連接部611上成膜出氧化矽(SiO₂)膜123，並進行圖案化。

【0206】其次，如圖51之下段左側所示，於氧化矽膜123上，成膜出由多晶矽(poly-Si)形成之膜612。此時係以嵌入至設置於氧化矽膜123之槽中之方式將多晶矽成膜。進而，如圖51之下段左側起第2個圖所示，將自氧化矽膜123突出之膜612藉由CMP去除，藉此形成墊部608a、608b。然後，如圖51之下段右側所示，將第2半導體基板200接合於第1半導體基板100。

【0207】於本實施方式中，亦可採用如圖52所示之製造方法。首先，如參照圖14A所說明般，於第1半導體基板100形成墊部121等，從而獲得如圖52之上段左側所示之形態。其次，於本實施方式中，如圖52之上段左側起第2個圖所示，成膜出層間絕緣膜123，並於層間絕緣膜123內形成通孔600。

【0208】其次，如圖52之上段右側所示，於層間絕緣膜123上進而形成氧化矽膜，且進行圖案化。

【0209】其次，如圖52之下段左側所示，於層間絕緣膜123上，成膜出由多晶矽(poly-Si)構成之膜613。此時，以嵌入設置於層間絕緣膜123之槽(溝槽)中之方式將多晶矽成膜。進而，如圖52之下段左側起第2個圖所示，藉由CMP將自層間絕緣膜123突出之膜613去除，藉此形成墊部608a、608b。然後，如圖52之下段右側所示，將第2半導體基板200接合於第1半導體基板100。

【0210】 <<11.第10實施方式>>

<11.1背景>

首先，參照圖53，對本發明之第10實施方式之背景及概要進行說明。圖53係用以說明本發明之第10實施方式之模式圖。

【0211】 如圖53之左側所示，同上文所說明般，通孔600例如可如下形成：於氧化矽(SiO₂)等之層間絕緣膜123形成溝槽，以嵌入該溝槽之方式嵌入多晶矽，藉由CMP將自溝槽突出之多晶矽去除。然而，若藉由CMP導致通孔600之上表面凹陷(出現凹槽)，則難以將通孔600與第2半導體基板200之背面之間確實地電性連接。又，即便能將通孔600與第2半導體基板200之背面之間電性連接，通孔600之上表面上亦會存在由碟型缺陷導致之孔隙，因此無法避免接觸電阻上升。

【0212】 因此，本發明之第10實施方式中，如圖53之右側所示，於第1半導體基板100與第2半導體基板200之間，形成由高收縮性之膜構成之接合膜125。第1半導體基板100與第2半導體基板200接合時，藉由接合膜125收縮，能將通孔600與第2半導體基板200之背面之間之凹槽吸收，從而將通孔600與第2半導體基板200之背面之間電性連接。以下，對本實施方式之詳情進行說明。

【0213】 <11.2實施方式>

其次，參照圖53及圖54，對本發明之第10實施方式之攝像裝置1之詳細構成進行說明。圖54係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0214】 本實施方式中，如圖53之右側所示，於第1半導體基板100之層間絕緣膜123與第2半導體基板200之間，形成由高收縮性之膜形成之

接合膜125。接合膜125較佳為由低成膜溫度之膜形成，例如較佳為於800℃下收縮之膜。詳細而言，接合膜125可由膜密度為 2.0 g/cm^2 以下之膜形成，具體而言，例如可由SOG(Spin on Glass，旋塗玻璃)、低密度NSG(Non-doped Silicate Glass，無摻雜矽玻璃)形成。又，接合膜125可由膜密度為 1.5 g/cm^2 以下且介電常數為3以下之膜形成，具體而言，例如可由多孔二氧化矽(Porus-SiO₂)、低介電常數材料(Low- κ 材料等)形成。又，藉由對接合膜125使用低介電常數膜，能使光反射，而提高PD之光效率。進而，於本實施方式中，接合膜125並不限定於1層膜，亦可為由複數種不同材料形成之積層膜。

【0215】於本實施方式中，如圖54所示，設置接合膜125之位置可選擇各種位置。例如，如[1]所示，接合膜125可位於層間絕緣膜123與第2半導體基板200之間。又，如[2]所示，接合膜125亦可設置於連接TG之配線層之上。該情形時，可於第1半導體基板100與第2半導體基板200之接合面，設置接合性良好之膜。又，如[3]所示，接合膜125亦可設置於第2半導體基板200之背面之下。該情形時，能藉由熱處理有效地使接合膜125收縮。進而，如[4]所示，接合膜125亦可位於第1半導體基板100與第2半導體基板200之間之任意位置。

【0216】又，於本實施方式中，接合膜125收縮時，會對TG之間之配線施加應力，從而有導致該配線變形或破斷之虞，因此若不設將TG之間連接之配線，則如[5]所示，接合膜125亦可作為1層膜形成於第1半導體基板100與第2半導體基板200之間。又，如[6]所示，接合膜125亦可設置於通孔600之周圍之全部(通孔600之高度方向全部)或一部分(通孔600之高度方向之一部分)位置。又，如[7]所示，接合膜125亦可設置於半導體層

100S(TD、FD)側。進而，如[8]所示，即便第1半導體基板100與第2半導體基板200之位置關係顛倒，接合膜125依然可設置於第1半導體基板100與第2半導體基板200之間。

【0217】 < 11.3製造方法 >

其次，參照圖55及圖56，對本實施方式之攝像裝置1之製造方法進行說明。圖55及圖56係用以說明本實施方式之攝像裝置1之製造方法之說明圖。

【0218】 首先，如參照圖14A及圖14B所說明般，於第1半導體基板100形成墊部121等，並於其上成膜出層間絕緣膜123及接合膜125，從而獲得如圖55之上段左側所示之形態。其次，於本實施方式中，如圖55之上段左側起第2個圖所示，於接合膜125之上形成抗蝕層652，並藉由光微影進行圖案化，再按照圖案進行濕式蝕刻，藉此形成用於通孔600之空穴。

【0219】 其次，如圖55之上段左側所示，以嵌入至空穴中之方式，成膜出由多晶矽形成之膜672。此時，較佳為以500℃以下之溫度成膜。進而，如圖55之上段右側所示，將自接合膜125突出之膜672藉由CMP去除，藉此形成通孔600。

【0220】 進而，如圖55之下段左側起第2個圖所示，將第1半導體基板100與第2半導體基板200接合。此時，為了抑制逸氣及孔隙之產生，較佳為於真空中進行接合。其次，如圖55之下段右側所示，於接合後進行熱處理，藉此接合膜125收縮，能將通孔600與第2半導體基板200之背面之間之凹槽吸收，從而將通孔600與第2半導體基板200之背面之間電性連接。

【0221】於本實施方式中，亦可採用如圖56所示之製造方法。首先，如參照圖14A至圖14E所說明般，於第1半導體基板100上之層間絕緣膜123形成空穴，並以嵌入至該空穴中之方式，成膜出由多晶矽形成之膜672，再形成通孔600。如此獲得如圖56之上段左側所示之形態。此時，較佳為以500°C以下之溫度成膜。

【0222】其次，如圖56之上段左側起第2個圖所示，採用CMP將膜672及層間絕緣膜123去除，藉此使通孔5600之上表面自層間絕緣膜123突出。然後，如圖56之上段右側所示，於通孔600之上成膜出接合膜125。進而，如圖56之下段左側所示，採用CMP將接合膜125平坦化。

【0223】進而，如圖56之下段左側起第2個圖所示，將第1半導體基板100與第2半導體基板200接合。此時，為了抑制逸氣及孔隙之產生，較佳為於真空中進行接合。其次，如圖56之下段右側所示，於接合後進行熱處理，藉此接合膜125收縮，能將通孔600與第2半導體基板200之背面之間之凹槽吸收，從而將通孔600與第2半導體基板200之背面之間電性連接。

【0224】<<12.第11實施方式>>

首先，參照圖57及圖58，對本發明之第11實施方式之背景及概要進行說明。圖57及圖58係用以說明本實施方式之模式圖。

【0225】如上所述，通孔600例如可藉由如下操作而形成：於氧化矽(SiO₂)等之層間絕緣膜123形成溝槽，並以嵌入至該溝槽中之方式嵌入多晶矽，再將自溝槽突出之多晶矽藉由CMP去除。然而，藉由CMP，若導致通孔600之上表面凹陷(出現凹槽)，則會難以將通孔600與第2半導體基板200之背面之間電性連接。又，即便能將通孔600與第2半導體基板200

之背面之間電性連接，亦會存在由碟型缺陷導致之孔隙，因此接觸電阻會上升。進而，如上所述，因要利用電漿加以活化並暴露於大氣中，故第2半導體基板200之背面會產生自然氧化膜。而且，該自然氧化膜會使通孔600與第2半導體基板200之背面之間之接觸電阻增高。

【0226】因此，於本實施方式中，如圖57所示，研磨通孔600之上表面時，使通孔600之周圍之層間絕緣膜123上殘留多晶矽。藉由使周圍殘留多晶矽，能抑制通孔600之上表面產生由研磨速率差導致之凹槽，從而將通孔600與第2半導體基板200之背面之間電性連接。再者，周圍殘留之多晶矽之膜厚較佳為數nm左右。

【0227】進而，於本實施方式中，如圖58所示，自利用電漿將多晶矽活化至進行接合為止皆於真空中實施。詳細而言，藉由電漿將多晶矽活化而於表面產生非晶矽(接合膜)。然後，將所產生之非晶矽接合，藉此能抑制於接合面形成氧化膜之現象。再者，於真空中處理氧化膜之情形時，易於產生孔隙等，因此接合強度會劣化。

【0228】再者，於本實施方式中，除了如上所述，使通孔600之周圍之層間絕緣膜123上殘留多晶矽、及自利用電漿將多晶矽活化至進行接合為止皆於真空中實施以外，其他與上述實施方式共通，故而此處省略製造方法等之詳細說明。

【0229】<<13.第12實施方式>>

<13.1背景>

首先，參照圖59及圖60，對本發明之第12實施方式之背景及概要進行說明。圖59及圖60係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0230】如重複所說明般，於上述第1實施方式中，重點在於通孔600與第2半導體基板200之半導體層200S之背面(第2面)側之井區域218電性連接。然而，第2半導體基板200之背面及通孔600之上表面會存在自然氧化膜，因此通孔600與第2半導體基板200之背面之間之接觸電阻會增高。詳細而言，通孔600由多晶矽形成，第2半導體基板200由單晶矽形成，其等會因與大氣接觸而自然氧化。

【0231】因此，於本發明之第12實施方式中，為了抑制如上所述之氧化膜導致接觸電阻增高之現象，而將上述氧化膜還原，此外，為了抑制上述氧化膜，而與矽形成化合物。詳細而言，本實施方式中，如圖59所示，於通孔600之上表面，形成由還原性高且容易形成矽化物之金屬形成之接合膜670，而將第1半導體基板100與第2半導體基板200接合。然後，為了接合及第2半導體基板200中之電晶體之形成等，而藉由熱處理，使接合膜670內之金屬將周圍之氧化膜還原，進而與周圍之矽形成矽化物。即，於本實施方式中，如圖60所示，通孔600與第2半導體基板200之背面之間存在由矽化物形成之接合膜672，而非氧化膜。因此，於本實施方式中，能降低通孔600與第2半導體基板200之背面之間之接觸電阻。以下，對本實施方式之詳情進行說明。

【0232】 < 13.2實施方式 >

其次，參照圖59至圖61，對本發明之第12實施方式之攝像裝置1之詳細構成進行說明。圖61係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0233】如上文所說明般，於本實施方式中，如圖59所示，通孔600與第2半導體基板200之背面之間設置有接合膜670，而將第1半導體基板

100與第2半導體基板200接合。該接合膜670由不會對第2半導體基板200之電晶體造成不良影響，還原性高，能容易地形成矽化物之高熔點金屬材料形成。例如，接合膜670可由Ti(鈦)、鈷(Co)、鎳(Ni)、鎢(W)、鉬(Mo)等形成。尤其是自鈦將氧化膜還原之效果較佳之觀點而言，接合膜670較佳為由鈦形成。

【0234】進而，於本實施方式中，藉由對第2半導體基板200之電晶體應用氧化物半導體(例如，氧化銦鎵鋅(IGZO)等)，能避免於形成電晶體時施加較高之溫度。該情形時，接合膜670亦可不由高熔點金屬材料形成，例如可由銅(Cu)形成。

【0235】而且，於本實施方式中，如圖60所示，將第1半導體基板100與第2半導體基板200接合，並於第2半導體基板200形成電晶體。此時，接合膜670內之金屬會將周圍之氧化膜還原，進而與周圍之矽形成矽化物，因此通孔600與第2半導體基板200之背面之間會產生由矽化物形成之接合膜672，而非氧化膜。故而，於本實施方式中，氧化膜會被還原，而產生由矽化物形成之接合膜672，從而能降低通孔600與第2半導體基板200之背面之間之接觸電阻。

【0236】再者，於本實施方式中，如圖61所示，亦可使由矽化物形成之接合膜672於第2半導體基板200之背面側大幅擴展，只要不對其他元件造成影響，亦可使供產生矽化物之區域擴展。藉由如此設置，能進一步提高第1半導體基板100與第2半導體基板200之接合強度。又，於本實施方式中，並不限定於用以將通孔600與第2半導體基板200之背面連接之接合膜672，亦可於通孔600以外之部位設置與電性導通無關之虛設之接合膜672。藉由設置此種虛設之接合膜672，會於接合膜672產生矽化物，因

此能進一步提高第1半導體基板100與第2半導體基板200之接合強度。

【0237】 < 13.3製造方法 >

其次，參照圖62，對本實施方式之攝像裝置1之製造方法進行說明。圖62係用以說明本實施方式之攝像裝置1之製造方法之說明圖。

【0238】 首先，如圖62之上段所示，於第1半導體基板100側形成通孔600。關於通孔600之形成方法，已於上文進行過敘述，因此省略相關詳情。其次，如圖63之上段起第2個圖所示，蝕刻通孔600之上部，而形成凹槽。例如，對於凹槽之形成，可採用乾式蝕刻、濕式蝕刻等。於本實施方式中，亦可與通孔600之形成、自層間絕緣膜123突出之多晶矽之去除同時地形成凹槽。此時，活用層間絕緣膜123之氧化膜與通孔600之多晶矽之選擇比，能藉由加大採用CMP所進行之過研磨而形成凹槽。於本實施方式中，凹槽之深度只要為1 nm以上即可，自製造不均之觀點而言，較佳為10 nm以上。

【0239】 其次，如圖62之上段起第3個圖所示，於層間絕緣膜123及通孔600之上，藉由CVD、ALD等形成由高熔點金屬材料形成之膜674。關於膜674之膜厚，只要能嵌入至凹槽中即可，因此可為凹槽之深度以上。其次，將自凹槽突出之膜674藉由CMP去除，藉此獲得如圖62之下段所示之形態。進而，會與第2半導體基板200接合，但以後之工序為常規操作，故而此處省略說明。

【0240】 << 14.第13實施方式 >>

< 14.1背景 >

如上文所說明般，於上述第1實施方式中，重點在於通孔600與第2半導體基板200之半導體層200S之背面(第2面)側之井區域218電性連接。然

而，於以多晶矽形成通孔600之情形時，多晶矽會在製造工序之途中氧化，因此通孔600與第2半導體基板200之背面之間之接觸電阻會增高。

【0241】因此，本發明之第13實施方式中，於通孔600之上表面，設置由氧化後電阻亦較低之材料形成之上覆膜。藉由如此設置，根據本實施方式，能抑制通孔600與第2半導體基板200之背面之間之接觸電阻之上升。以下，對本實施方式之詳情進行說明。

【0242】 < 14.2實施方式 >

其次，參照圖63，對本發明之第13實施方式之攝像裝置1之詳細構成進行說明。圖63係表示本實施方式之攝像裝置1之主要部分的一例之剖面構成之模式圖。

【0243】本實施方式中，如圖63所示，於通孔600之上表面，設置由氧化後電阻亦較低之材料形成之上覆膜(接合膜)680。詳細而言，於本實施方式中，上覆膜680由氧化後電阻亦較低之金屬及/或導電性氧化物形成。例如，作為此種金屬，可例舉鈦(Ti)、鈦(Ru)、銻(Re)、鎢(W)、鉬(Mo)、鈷(Co)等。進而，作為導電性化合物，可例舉氧化銻錫(InSnO)、氧化鋅(ZnO)、氧化銻鋅(ZnInO)、氧化鋅鋁(ZnAlO)、氧化鋅鎳(ZnGaO)等。又，於本實施方式中，上覆膜680並不限定於由以上述材料形成之1層膜形成，亦可藉由將選自上述材料之2種以上材料之膜積層，以獲得多層膜而形成。又，於本實施方式中，上覆膜680之膜厚只要為數nm至數10nm左右即可。

【0244】 < 14.3製造方法 >

其次，參照圖64及圖65，對本實施方式之攝像裝置1之製造方法進行說明。圖64及圖65係用以說明本實施方式之攝像裝置1之製造方法之說明

圖。

【0245】首先，如圖64之上段所示，於第1半導體基板100側，形成由多晶矽形成之通孔600。關於通孔600之形成方法，已於上文進行過敘述，因此省略相關詳情。其次，如圖64之上段起第2個圖所示，可採用ASD(Area Selective Deposition，區域選擇性沈積法)，於通孔600之上表面上，將鈦(Ru)等成膜，藉此形成上覆膜680。ASD係熱ALD之1種，例如氧化鈦吸附於由多晶矽形成之通孔600之上表面上並被還原，藉此能將鈦成膜。再者，與於矽場上相比，於由氧化矽(SiO₂)形成之層間絕緣膜123之上，鈦之成膜速度極其地慢，因此能於由多晶矽形成之通孔600之上表面上將鈦選擇性地成膜。

【0246】然後，如圖64之上段起第3個圖所示，進行將第2半導體基板200之表面活化之處理。例如，作為活化處理，可例舉電漿處理。此時，即便上覆膜680因活化處理而氧化，電阻值亦較低，因此能抑制通孔600與第2半導體基板200之背面之間之接觸電阻之上升。進而，如圖64之下段所示，與第2半導體基板200接合。

【0247】又，於本實施方式中，如圖65所示，可採用其他製造方法。首先，如圖65之上段左側所示，於第1半導體基板100側，形成由多晶矽形成之通孔600。其次，如圖65之上段左側起第2個圖所示，蝕刻通孔600之上部，而形成凹槽。例如，對於凹槽之形成，可採用乾式蝕刻、濕式蝕刻等。

【0248】其次，如圖65之上段右側所示，於層間絕緣膜123及通孔600之上，藉由ALD、濺鍍等形成由金屬或導電性氧化膜形成之膜682。詳細而言，於鈦(Ti)或銻(Re)之情形時，較佳為採用ALD，於鎢(W)、鉬

(Mo)、鈷(Co)、氧化銻錫(InSnO)、氧化鋅(ZnO)、氧化銻鋅(ZnInO)、氧化鋅鋁(ZnAlO)、氧化鋅鍺(ZnGaO)之情形時，較佳為採用濺鍍。

【0249】其次，如圖65之下段左側所示，將自凹槽突出之膜682藉由CMP去除，藉此形成上覆膜680。然後，如圖65之下段左側起第2個圖所示，進行將第2半導體基板200之表面活化之處理。例如，作為活化處理，可例舉電漿處理。此時，即便上覆膜680因活化處理而氧化，電阻值亦較低，因此能抑制通孔600與第2半導體基板200之背面之間之接觸電阻之上升。進而，如圖65之上段右側所示，與第2半導體基板200接合。

【0250】 <<15.第14實施方式>>

<15.1背景>

於上述本發明之實施方式中，重點在於通孔600與第2半導體基板200之半導體層200S之背面(第2面)側之井區域218以較低之接觸電阻電性連接。然而，將第1半導體基板100與第2半導體基板200接合前，第2半導體基板200之背面上會產生自然氧化膜。而且，於接合後，該自然氧化膜存在於通孔600與第2半導體基板200之背面之間，因此通孔600與第2半導體基板200之背面之間之接觸電阻會增高。故而，為了降低接觸電阻，可考慮先進行將第2半導體基板200之背面上之自然氧化膜去除之處理後，再將第1半導體基板100與第2半導體基板200接合。然而，若進行此種自然氧化膜去除處理，儘管能降低通孔600與第2半導體基板200之背面之間之接觸電阻，但第2半導體基板200之整個背面與層間絕緣膜123之上表面之接合強度會劣化。換言之，若將自然氧化膜去除後再進行接合，則第1半導體基板100與第2半導體基板200之接合強度會劣化。

【0251】因此，本發明之第14實施方式中，於與第2半導體基板200

接合前之通孔600之上表面，設置向上突出之突出部(圖示省略)。而且，於本實施方式中，將第1半導體基板100與第2半導體基板200接合時，第2半導體基板200之背面之自然氧化膜會被上述突出部穿破，從而位於通孔600之前端之突出部與第2半導體基板200之半導體層200S直接接合。因此，於本實施方式中，能避免第1半導體基板100與第2半導體基板200之接合強度劣化，且能降低通孔600與第2半導體基板200之背面之間之接觸電阻。以下，對本實施方式之詳情進行說明。

【0252】 < 15.2實施方式 >

首先，參照圖66及67，對本實施方式之突出部650之構成例進行說明。圖66及圖67係表示本實施方式之第1半導體基板100之主要部分的一例之構成之模式圖。

【0253】本實施方式中，如圖66所示，於與第2半導體基板200接合前之通孔600之上表面，設置有向上突出之突出部650。詳細而言，於本實施方式中，如圖66所示，可為前端尖細而呈銳角形狀之突出部650，或亦可僅使突出部650之最前端平坦，但並不特別限定。

【0254】進而，於本實施方式中，如圖67所示，亦可於通孔600之上表面設置複數個突出部650。本實施方式中，於設置有複數個突出部650之情形時，各突出部650之高度、大小等可相互不同。該情形時，藉由對通孔600之上表面實施有意使該上表面之平坦性惡化之處理，能容易地形成複數個突出部650。

【0255】於本實施方式中，突出部650可與通孔600之本體(圓柱部分)同樣地由多晶矽形成，或亦可由鎢(W)等金屬材料等形成。

【0256】本實施方式之突出部650設置於直徑約100 nm之通孔600之

上，因此會具有非常微小之尺寸。故而，即便於通孔600之上表面設置有1個或複數個此種突出部650，亦不會對第2半導體基板200與第1半導體基板100之間之接合強度造成較大影響。

【0257】進而，參照圖68至圖71，對將第1半導體基板100與第2半導體基板200接合後之通孔600與第2半導體基板200之接合狀態之詳情進行說明。圖68係表示本實施方式之攝像裝置1之主要部分的一例之構成之模式圖，圖69至圖71係圖68之區域A之放大圖。

【0258】於本實施方式中，製造攝像裝置1時，如圖68所示，將第1半導體基板100與第2半導體基板200(圖中僅示出了半導體層200S)接合。此時，藉由接合時之貼合壓力，第2半導體基板200之背面所存在之自然氧化膜會被通孔600之突出部650之前端穿破。從而，位於通孔600之前端之突出部650與第2半導體基板200之半導體層200S直接接合。因此，於本實施方式中，能降低通孔600與第2半導體基板200之背面之間之接觸電阻。

【0259】此處，對由多晶矽形成突出部650之情形進行研究。自然氧化膜之硬度約為10 GPa，矽基板之硬度約為185 Ga，多晶矽之硬度為130~170 GPa。因此，相較於多晶矽及矽基板而言，自然氧化膜非常柔軟，故而藉由接合時之貼合壓力，自然氧化膜可被通孔600之突出部650穿破。再者，第1半導體基板100與第2半導體基板200之接合強度假定為約2 N(再者，於接合壓不足之情形時亦可施加外部荷重)。又，已知，於藉由奈米壓痕儀進行測定時，1 mN之壓入下矽氧化膜位移1 nm左右，由於上述自然氧化膜之膜厚為0.5~1 nm左右，故利用該等資料以楊氏模數進行計算後發現，藉由突出部650足以穿破自然氧化膜。

【0260】又，即便藉由突出部650未能完全地穿破自然氧化膜，具有較小接觸面之突出部650之前端亦會壓抵於第2半導體基板200之背面，而局部施加較強壓力，因此通孔600與第2半導體基板200之背面之間所存在之自然氧化膜有望非常地薄。而且，只要自然氧化膜非常地薄，便會產生電流之穿隧效應，因此能降低通孔600與第2半導體基板200之背面之間之接觸電阻。即，於本實施方式中，只要突出部650之至少前端與第2半導體基板200之背面相接，或嵌入至第2半導體基板200中即可。

【0261】詳細而言，於通孔600具有1個突出部650之情形時，如圖69所示，將第1半導體基板100與第2半導體基板200接合時，突出部650之剖面成為穿破通孔600與第2半導體基板200之間之自然氧化膜700之梯形、大致三角形或大致矩形之形狀。

【0262】又，於通孔600具有複數個突出部650之情形時，如圖70所示，將第1半導體基板100與第2半導體基板200接合時，各突出部650之剖面成為穿破通孔600與第2半導體基板200之間之自然氧化膜700之梯形、大致三角形或大致矩形之形狀。

【0263】進而，如圖71所示，於本實施方式中，突出部650之高度 h 較佳為50 nm以下。又，於設置有複數個突出部650之情形時，將通孔600之本體(圓柱部分)之半徑設為 R 時，突出部650之中心間之間隔 s 較佳為 $2R$ 以下。進而，突出部650之前端與第2半導體基板200相接之接觸面之面積較佳為通孔600之本體(圓柱部分)之上表面之面積 A 之 $1/2$ 以下。

【0264】< 15.3製造方法 >

其次，參照圖72，對本實施方式之製造方法進行說明。圖72係用以說明本實施方式之攝像裝置1之製造方法之模式圖。

【0265】首先說明圖72之上段所示之通孔600具有1個突出部650之情形時之製造方法。首先，如圖72之上段左側所示，形成通孔600之本體(圓柱部分)後，於通孔600之上表面上，以多晶矽或鎢等金屬材料形成膜670。其次，如圖72之上段左側起第2個圖所示，於膜670之上形成抗蝕層652，並藉由微影之散焦曝光或抗蝕回焊，使抗蝕層652之形狀成為錐形。

【0266】然後，如圖72之上段左側起第3個圖所示，藉由乾式蝕刻一面蝕刻層間絕緣膜123之上表面一面蝕刻膜670，藉此使膜670之前端變尖，而形成突出部650。此時，藉由添加O₂氣體進行乾式蝕刻，能一面使抗蝕層652後退一面進行加工，從而能使突出部650之前端成為更尖銳之銳角形狀。

【0267】然後，形成突出部650後，如圖72之上段右側所示，將第1半導體基板100與第2半導體基板200接合。於接合時，突出部650會穿破第2半導體基板200之背面上之自然氧化膜700，因此能降低通孔600與第2半導體基板200之背面之間之接觸電阻。

【0268】其次說明圖72之下段所示之通孔600具有複數個突出部650之情形時之製造方法。首先，如圖72之下段左側所示，形成通孔600之本體(圓柱部分)後，藉由CMP(Chemical Mechanical Polish)或乾式蝕刻使層間絕緣膜123之上表面略微後退，從而使通孔600之本體之上表面略微自層間絕緣膜123突出。

【0269】其次，如圖72之下段左側起第2個圖所示，藉由微影，形成具有使通孔600之本體之上表面露出之空穴之抗蝕層654。然後，如圖72之下段左側起第3個圖所示，採用DSA(Directed Self-Assembly，定向自

組裝)，於自抗蝕層654露出之通孔600之本體之上表面上，形成30 nm以下之微細之點圖案656(模板化DSA(Templated DSA))。DSA係一種藉由聚合物樹脂自組裝而發生相分離，從而能自行對準地形成微細之圖案之技術。

【0270】然後，如圖72之下段右側所示，藉由乾式蝕刻，按照點圖案656，將通孔600之本體之上表面去除數nm～數10 nm左右，藉此該上表面變得粗糙，從而能形成複數個微細之突出部650。與上述同樣地，藉由添加O₂氣體進行乾式蝕刻，能一面使點圖案656後退一面進行加工，從而能使各突出部650之前端成為更尖銳之銳角形狀。進而，與上述同樣地，形成複數個突出部650後，如圖72之上段右側所示，將第1半導體基板100與第2半導體基板200接合。於接合時，突出部650會穿破第2半導體基板200之背面上之自然氧化膜700，因此能降低通孔600與第2半導體基板200之背面之間之接觸電阻。

【0271】 < 15.4變化例 >

其次，對本實施方式之變化例進行說明。於本變化例中，為了進一步降低通孔600與第2半導體基板200之背面之間之接觸電阻，而使由多晶矽形成之上述突出部650以包含濃度較通孔600之本體高之雜質之方式形成。此處，突出部650中包含之雜質例如為硼(B)等p型(第1導電型)雜質。

【0272】其次，參照圖73，對本變化例之製造方法進行說明。圖73係用以說明本實施方式之變化例之製造方法之說明圖。

【0273】首先，與本實施方式之製造方法同樣地，形成通孔600之本體(圓柱部分)後，藉由CMP或乾式蝕刻使層間絕緣膜123之上表面略微後退，從而使通孔600之本體之上表面略微自層間絕緣膜123突出。其次，

採用微影等，形成具有使通孔600之本體之上表面露出之空穴之遮罩658。

【0274】然後，本變化例中，如圖73所示，於自遮罩658露出之通孔600之本體之上表面上進行原位摻雜(In-situ Dope)選擇性外延生長(Epi生長)，使由以高濃度摻雜有雜質之多晶矽形成之突出部650生長。突出部650之雜質濃度較佳為 $10^{20} \sim 10^{21}$ 個/cm³左右。再者，通孔600之本體部之雜質濃度為 10^{19} 個/cm³左右。又，根據上述Epi生長，所形成之突出部650之高度可控制於數nm～數十nm左右。

【0275】進而，與上述同樣地，形成複數個突出部650後，將第1半導體基板100與第2半導體基板200接合。於接合時，突出部650會穿破第2半導體基板200之背面上之自然氧化膜700，因此能降低通孔600與第2半導體基板200之背面之間之接觸電阻。進而，於本變化例中，因突出部650中包含高濃度之雜質，故能進一步降低上述接觸電阻。

【0276】又，於本變化例中，亦可採用上述Epi生長以外之技術形成突出部650。詳細而言，與上述同樣地，形成通孔600之本體(圓柱部分)後，藉由CMP或乾式蝕刻使層間絕緣膜123之上表面略微後退，從而使通孔600之本體之上表面略微自層間絕緣膜123突出。其次，採用微影等，形成具有使通孔600之本體之上表面露出之空穴之遮罩658。然後，採用氣體團簇離子束(GCIB)或離子注入(II)，向自遮罩658露出之通孔600之本體之上表面注入雜質。此時，因被注入了雜質，故通孔600之本體之上表面變得稍顯粗糙，而產生數nm～數10 nm左右之凹凸，因此能形成複數個突出部650。再者，與上述同樣地，突出部650之雜質濃度較佳為 $10^{20} \sim 10^{21}$ 個/cm³左右。

【0277】 << 16.第15實施方式 >>

< 16.1背景 >

如上文所說明般，於上述本發明之實施方式中，重點在於通孔600與第2半導體基板200之半導體層200S之背面(第2面)側之井區域218以較低之接觸電阻電性連接。然而，將第1半導體基板100與第2半導體基板200接合前，第2半導體基板200之背面上會產生自然氧化膜。而且，於接合後，該自然氧化膜700存在於通孔600與第2半導體基板200之背面之間，因此通孔600與第2半導體基板200之背面之間之接觸電阻會增高。故而，上述實施方式中，於通孔600之第2半導體基板200側之上表面，設置由金屬材料等形成之突出部650。而且，將第1半導體基板100與第2半導體基板200接合時，上述突出部650能穿破自然氧化膜700，因此通孔600與第2半導體基板200之半導體層200S直接電性連接。

【0278】然而，於此種實施方式中，因突出部之金屬材料與第2半導體基板200之半導體層200S之矽直接接合，故有可能產生肖特基能障，從而無法降低通孔600與第2半導體基板200之背面之間之接觸電阻。再者，此種現象並不限定於設置有突出部650之上述實施方式，於其他實施方式中，只要以金屬材料形成通孔600，且通孔600與半導體層200S直接接合，亦會發生此種現象。

【0279】因此，於本發明之第15實施方式中，以多晶矽或金屬材料形成通孔600，進而，於通孔600與第2半導體基板200之背面之間，形成由具有高相對介電常數之高介電常數絕緣膜(High- κ 絕緣膜)形成之接合薄膜或積層。即，於本實施方式中，對於通孔600與第2半導體基板200之背面(第2面)之電性連接，採用具有MIS(Metal-Insulator-Semiconductor，

金屬-絕緣體-半導體)構造之接觸。根據本實施方式，與由金屬材料形成之通孔600與半導體層200S之矽直接接合所形成之接觸相比，藉由採用MIS構造，能降低接觸電阻。

【0280】以下，參照圖74，對藉由MIS構造能降低接觸電阻之原理進行說明。圖74係用以說明本實施方式之模式圖，詳細而言，左側示出了將金屬與矽直接連接之直接接觸之基本構造及其能帶圖，右側示出了採用MIS構造所形成之接觸之基本構造及其能帶圖。再者，圖74所示之接觸之基本構造係用於說明之構造，與本實施方式之通孔600之構造不同。

【0281】首先，於如圖74之左側所示之金屬與矽(半導體)直接連接之直接接觸之情形時，電子自金屬向半導體側滲出，藉此頻帶之彎曲變大，從而金屬與半導體之接合部產生具有較高障壁之肖特基能障(圖中變高之部位)。而且，此種肖特基能障會妨礙電流之流動，而使接觸電阻增高。

【0282】另一方面，於如圖74之右側所示，具有金屬與矽(半導體)之間形成有較薄絕緣膜之MIS構造之接觸之情形時，電子自金屬向半導體側之滲出受較薄絕緣膜所阻，從而頻帶不會大幅彎曲。因此，接合部不會產生具有較高障壁之肖特基能障。故而，與直接接觸相比，儘管存在較薄絕緣膜，依然易於流通電流。其結果，與直接接觸相比，MIS構造之接觸更能降低接觸電阻。再者，關於圖74所示之障壁金屬膜之詳情，將於下文加以敘述。

【0283】< 16.2實施方式 >

其次，參照圖75，對本實施方式之攝像裝置1之詳細構成進行說明。圖75係表示本實施方式之攝像裝置1之主要部分的一例之構成之模式圖。

【0284】本實施方式之通孔600例如由鈦(Ti)、氮化鈦(TiN)、鎢(W)、鋁(Al)等金屬材料形成。又，於本實施方式中，通孔600亦可由多晶矽形成。該情形時，特別之處在於會成為具有SIS(Semiconductor-Insulator-Semiconductor，半導體-絕緣體-半導體)構造之接觸。

【0285】進而，於本實施方式中，如圖75所示，通孔600與第2半導體基板200之背面之間設置有包含具有高相對介電常數之High- κ 絕緣膜之接合薄膜800。於本實施方式中，接合薄膜800只要至少設置於通孔600與第2半導體基板200之背面(第2面)之間即可。詳細而言，於本實施方式中，接合薄膜800可覆蓋第2半導體基板200之背面之一部分，或亦可覆蓋整個背面。

【0286】又，於本實施方式中，接合薄膜800例如亦可為由具有高相對介電常數之High- κ 絕緣膜形成之單層膜。例如，接合薄膜800可由氧化鈦(TiO₂)、氧化鈦(HfO₂)、氧化鋁(Al₂O₃)、氧化鋯(ZrO₂)、氧化釷(La₂O₃)等形成。於本實施方式中，為了既能獲得抑制電子自金屬向半導體之滲出之效果，又能抑制絕緣膜導致之接觸電阻之上升，於以單層膜形成接合薄膜800之情形時，接合薄膜800之膜厚較佳為1~3 nm左右。

【0287】又，於本實施方式中，接合薄膜800例如亦可由將具有高相對介電常數之不同種類之High- κ 絕緣膜積層所得之複數個層之積層形成。例如，接合薄膜800可由自通孔600側朝向第2半導體基板200地，將具有0.5~1 nm左右之膜厚之氧化鈦(HfO₂)、氧化鋁(Al₂O₃)、氧化鋯(ZrO₂)、氧化釷(La₂O₃)設為第1層，將具有1~3 nm左右之膜厚之氧化鈦(TiO₂)作為第2層的積層形成。第1層之絕緣膜作為圖39所示之障壁金屬膜發揮功能，即便於製造過程中施加較高溫度亦能防止金屬種自通孔600移動，因

此能改善耐熱性。再者，於以積層形成接合薄膜800之情形時，同樣地，為了既能獲得抑制電子自金屬向半導體之滲出之效果，又能抑制絕緣膜導致之接觸電阻之上升，接合薄膜800之各層之膜厚較佳為上述值之膜厚。

【0288】再者，於圖75中，接合薄膜800設置於通孔600與第2半導體基板200之背面之間，但本實施方式並不限定於此，亦可設置於通孔600與第1半導體基板100之半導體層100S之正面(第1面)之間。即，於本實施方式中，接合薄膜800可僅設置於通孔600與第2半導體基板200之間，亦可僅設置於通孔600與第1半導體基板100之間，或亦可設置於通孔600與第2半導體基板200之間、及通孔600與第1半導體基板100之間兩者。

【0289】如以上所述，根據本實施方式，與直接接觸相比，藉由採用具有MIS構造(包括SIS構造)之接觸，能降低接觸電阻。

【0290】<<17.總結>>

如以上所述，根據本發明之實施方式及變化例，不設置貫通半導體層200S之貫通電極121E、及包圍其周圍之絕緣區域，因此半導體層200S之區域之利用不會受到限制。其結果，根據本實施方式，第2半導體基板200之半導體層200S上之佈局之自由度提高，因此攝像裝置1能進一步小型化、微細化。

【0291】又，於上述本發明之實施方式中，半導體基板可未必為矽基板，亦可為其他基板(例如，SOI(Silicon On Insulator，絕緣體上矽)基板或SiGe基板等)。又，上述半導體基板亦可為於上述各種基板上形成有半導體構造等者。

【0292】再者，於上述本發明之實施方式中，亦可使上述各半導體

基板及半導體區域等之導電型逆反，例如本實施方式可應用於使用電洞作為信號電荷之攝像裝置1。

【0293】即，於上述本發明之實施方式中，對具有將第1導電型設定為p型，將第2導電型設定為n型，使用電子作為信號電荷之光電二極體PD之攝像裝置1進行了說明，但本發明之實施方式並不限定於上述例。例如，本發明之實施方式亦可應用於具有將第1導電型設定為n型，將第2導電型設定為p型，使用電洞作為信號電荷之光電二極體PD之攝像裝置1。

【0294】進而，本發明之實施方式之攝像裝置1並不限定於檢測可見光之入射光量之分佈並拍攝出其圖像之攝像裝置。例如，本實施方式可應用於拍攝紅外線、X射線或粒子等之入射量之分佈作為圖像之攝像裝置、或者檢測壓力或靜電電容等其他物理量之分佈並拍攝出其圖像之指紋檢測感測器等攝像裝置(物理量分佈檢測裝置)。進而，本發明之實施方式並不限定於對攝像裝置1應用，亦可對用於其他用途之各種半導體裝置應用。

【0295】又，於本發明之實施方式中，作為形成上述各層、各膜、各元件等之方法，例如可例舉物理氣相沈積法(Physical Vapor Deposition：PVD法)及化學氣相沈積法(CVD)等。作為PVD法，可例舉使用電阻加熱或高頻加熱之真空蒸鍍法、EB(電子束)蒸鍍法、各種濺鍍法(磁控濺鍍法、RF(Radio Frequency，射頻)-DC(Direct Current，直流)結合形偏壓濺鍍法、ECR(Electron Cyclotron Resonance，電子迴旋共振)濺鍍法、對向靶濺鍍法、高頻濺鍍法等)、離子鍍覆法、雷射剝蝕法，分子束磊晶(Molecular Beam Epitaxy：MBE)法、雷射轉印法等。又，作為CVD法，可例舉電漿CVD法、熱CVD法、MO(Metal Organic，金屬有機)-CVD法、光CVD法等。進而，作為其他方法，可例舉：電解鍍覆法或

無電解鍍覆法、旋轉塗佈法；浸漬法；澆鑄法；微觸印刷法；滴鑄法；網版印刷法、噴墨印刷法、膠版印刷法、凹版印刷法、軟版印刷法等各種印刷法；壓印法；噴霧法；氣動括塗法、刮板塗佈法、桿式塗佈法、刮刀塗佈法、擠壓式塗佈法、逆輥塗佈法、傳料輥塗佈法、凹版塗佈法、接觸式塗佈法、澆鑄塗佈法、噴霧塗佈法、孔縫式塗佈法、壓延塗佈法等各種塗佈法。又，作為各層之圖案化法，可例舉：蔽蔭遮罩、雷射轉印、光微影等化學蝕刻；藉由紫外線或雷射等實施之物理蝕刻等。此外，作為平坦化技術，可例舉CMP法、雷射平坦化法、回焊法等。即，本發明之實施方式之攝像裝置1採用現有之半導體裝置之製造工序，能容易且低廉地進行製造。

【0296】 又，上述本發明之實施方式之製造方法中之各步驟可未必按照所記載之順序加以處理。例如，各步驟可適當變更順序而加以處理。進而，各步驟中所使用之方法亦可未必按照所記載之方法進行，可採用其他方法而進行。

【0297】 進而，本發明之實施方式亦可使各實施方式之一部分或全部相互組合而實施。

【0298】 <<18.應用例>>

圖76係表示具備本發明之實施方式之攝像裝置1的攝像系統7之概略構成之一例者。

【0299】 攝像系統7例如為數位靜態相機或攝錄影機等攝像裝置、智慧型手機或平版型終端等便攜式終端裝置等電子機器。攝像系統7例如可具有本發明之實施方式之攝像裝置1、DSP(Digital Signal Processor，數位信號處理器)電路243、訊框記憶體244、顯示部245、記憶部246、操作

部247及電源部248。例如，於攝像系統7中，本發明之實施方式之攝像裝置1、DSP電路243、訊框記憶體244、顯示部245、記憶部246、操作部247及電源部248經由匯流排線249而相互連接。以下，對攝像系統7中包含之各功能部進行說明。

【0300】 本發明之實施方式之攝像裝置1如此前所說明般，能輸出與入射光相應之圖像資料。DSP電路243係對自本發明之實施方式之攝像裝置1輸出之信號(圖像資料)進行處理之信號處理電路。訊框記憶體244能將藉由DSP電路243經過處理之圖像資料以框架單位暫時保持。顯示部245例如包含液晶面板或有機EL(Electro Luminescence，電致發光)面板等面板型顯示裝置，能顯示本發明之實施方式之攝像裝置1拍攝所得之動態圖像或靜止圖像。又，記憶部246能將本發明之實施方式之攝像裝置1拍攝所得之動態圖像或靜止圖像之圖像資料記錄於半導體記憶體或硬碟等記錄媒體。操作部247能按照使用者之操作，發送有關攝像系統7所具有之各種功能之操作指令。電源部248能將供成為本發明之實施方式之攝像裝置1、DSP電路243、訊框記憶體244、顯示部245、記憶部246及操作部247之動作電源之各種電源適當供給至該等供給對象。

【0301】 其次，對攝像系統7中之攝像順序進行說明。

【0302】 圖77表示攝像系統7中之攝像動作之流程圖之一例。使用者藉由操作部247而指示攝像開始(步驟S101)。然後，操作部247將攝像指令發送至攝像裝置1(步驟S102)。攝像裝置1(具體為系統控制電路36)接到攝像指令後，以特定之攝像方式執行攝像(步驟S103)。

【0303】 攝像裝置1將藉由攝像所得之圖像資料輸出至DSP電路243。此處，所謂圖像資料係指，基於暫時保持於浮動擴散部FD之電荷而

產生之像素信號之所有像素之資料。DSP電路243基於自攝像裝置1輸入之圖像資料進行特定之信號處理(例如，雜訊降低處理)(步驟S104)。DSP電路243使經過特定之信號處理之圖像資料保持於訊框記憶體244，訊框記憶體244使圖像資料記憶於記憶部246(步驟S105)。如此進行攝像系統7中之攝像。

【0304】於本應用例中，本發明之實施方式之攝像裝置1應用於攝像系統7。根據本發明之實施方式，能將攝像裝置1小型化或高精細化，因此能提供小型或高精細之攝像系統7。

【0305】 <<19.補充>>

以上，參照隨附圖式，對本發明之較佳之實施方式詳細地進行了說明，但本發明之技術範圍並不限定於上述例。顯然，具備本發明之技術領域內之常識者皆可於申請專利範圍所記載之技術思想之範疇內，想到各種變更例或修正例，亦知曉其等當然屬於本發明之技術範圍。

【0306】又，歸根結底，本說明書中所記載之效果僅為用於說明或例示者，而非用於限定者。即，本發明之技術可於達成上述效果之同時，或取代上述效果地，達成業者根據本說明書之記載自當明白之其他效果。

【0307】再者，本技術亦可採用如以下所述之構成。

(1)

一種攝像裝置，其包含：

第1半導體基板，其設置有光電轉換元件；

第2半導體基板，其隔著層間絕緣膜積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及

通孔，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。

(2)

如上述(1)所記載之攝像裝置，其中設置於上述第1半導體基板內之第1井區域與位於上述第2半導體基板內且位於上述第2面之一部分之上之第2井區域，包含具有同一導電型之雜質。

(3)

如上述(2)所記載之攝像裝置，其中上述第2井區域包含第1區域與第2區域，且

上述第1區域之上述雜質之濃度高於上述第2區域。

(4)

如上述(3)所記載之攝像裝置，其中上述通孔設置於上述第1區域上。

(5)

如上述(2)~(4)中任一項所記載之攝像裝置，其中上述第2半導體基板於上述第2面側具有不含上述雜質之無摻雜區域。

(6)

如上述(5)所記載之攝像裝置，其包含具有位於上述無摻雜區域之通道的完全空乏型電晶體。

(7)

如上述(2)~(6)中任一項所記載之攝像裝置，其中上述第2半導體基板於上述第2面側具有絕緣膜區域。

(8)

如上述(2)所記載之攝像裝置，其進而包含設置於上述第2半導體基板與上述通孔之間之1個或複數個接合膜，且

至少1個上述接合膜包含與上述第1井區域及上述第2井區域具有同一導電型之上述雜質。

(9)

如上述(8)所記載之攝像裝置，其中包含上述雜質之上述接合膜由BSG或PSG構成。

(10)

如上述(8)所記載之攝像裝置，其中包含上述雜質之上述接合膜由多晶矽或非晶矽構成。

(11)

如上述(10)所記載之攝像裝置，其中包含上述雜質之上述接合膜係以嵌入上述第2半導體基板之上述第2面之方式設置。

(12)

如上述(8)或(9)所記載之攝像裝置，其中上述第2基板內之上述雜質濃度自上述第2面側起沿著積層方向降低。

(13)

如上述(2)所記載之攝像裝置，其進而包含設置於上述第2半導體基板與上述通孔之間之接合膜，且

上述接合膜由導電性氧化膜及金屬膜、或矽化膜構成。

(14)

如上述(8)或(12)所記載之攝像裝置，其中上述通孔由包含與上述第1井區域及上述第2井區域為同一導電型之上述雜質的多晶矽或非晶矽構

成。

(15)

如上述(14)所記載之攝像裝置，其中上述通孔之上上述雜質濃度自上述第1面側起沿著積層方向增高。

(16)

如上述(2)所記載之攝像裝置，其中位於上述第2面側之上上述通孔之上表面具有突出於第2半導體基板之突出部。

(17)

如上述(16)所記載之攝像裝置，其中上述突出部之至少前端與上述第2半導體基板之上上述第2面相接，或嵌入上述第2半導體基板。

(18)

如上述(16)或(17)所記載之攝像裝置，其中上述通孔之上表面具有複數個上述突出部。

(19)

如上述(16)~(18)中任一項所記載之攝像裝置，其中上述通孔包含與上述第1井區域及上述第2井區域為同一導電型之上上述雜質，且

上述突出部之上上述雜質濃度高於上述通孔之上上述雜質濃度。

(20)

如上述(1)~(13)中任一項所記載之攝像裝置，其中上述通孔由包含選自Al、Ti、Ta、W、Ru、Mo中之任一種金屬之金屬材料或化合物材料構成。

(21)

如上述(1)~(20)中任一項所記載之攝像裝置，其進而包含第1墊部，

該第1墊部設置於上述第1半導體基板之上述第1面上，且與上述通孔電性連接。

(22)

如上述(1)~(21)中任一項所記載之攝像裝置，其進而包含第2墊部，該第2墊部設置於上述第2半導體基板之上述第2面上，且與上述通孔電性連接。

(23)

如上述(22)所記載之攝像裝置，其進而包含複數個第3墊部，該等第3墊部於上述第2半導體基板之上述第2面上，設置於上述第2墊部之周圍。

(24)

如上述(1)所記載之攝像裝置，其中上述通孔包含：

複數個柱部，其等貫穿上層間絕緣膜之一部分；及

1個或複數個連接墊部，其或其等設置於上述層間絕緣膜內，將上述柱部相互電性連接。

(25)

如上述(1)所記載之攝像裝置，其中上述通孔包含：

中心部，其沿著與上述第1半導體基板之上述第1面大致垂直之方向延伸；及

外周部，其以包圍上述中心部之方式設置。

(26)

如上述(25)所記載之攝像裝置，其中上述外周部由包含與設置於上述第1半導體基板內之井區域、及上述第2半導體基板內之上述第2面側之區

域為同一導電型之雜質之多晶矽構成。

(27)

如上述(25)或(26)所記載之攝像裝置，其中上述中心部之沿著與上述第1半導體基板之上述第1面垂直之方向切斷之剖面為大致矩形、自上述第2半導體基板朝向上述第1半導體基板寬度變窄之大致錐形、或自上述第1半導體基板朝向上述第2半導體基板寬度變窄之大致錐形。

(28)

一種攝像裝置之製造方法，其包含：

於設置有光電轉換元件之第1半導體基板上，積層層間絕緣膜；

於上述層間絕緣膜形成貫通孔；

將多晶矽嵌入上述貫通孔；

將被嵌入之上述多晶矽中自上述貫通孔突出之部分去除；及

於上述層間絕緣膜上貼附第2半導體基板，該第2半導體基板供設置將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路。

(29)

如上述(28)所記載之攝像裝置之製造方法，其進而包含：於被嵌入上述貫通孔之上述多晶矽中產生之空腔內，製膜出嵌入膜。

(30)

如上述(29)所記載之攝像裝置之製造方法，其進而包含：進行用以將上述空腔擴大之蝕刻。

(31)

一種電子機器，其搭載攝像裝置，該攝像裝置包含：

第1半導體基板，其設置有光電轉換元件；

第2半導體基板，其隔著層間絕緣膜積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及

通孔，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。

【符號說明】

【0308】

1: 攝像裝置

7: 攝像系統

100, 200, 300: 基板

100S, 200S, 300S: 半導體層

100T, 200T, 300T: 配線層

111, 117B: 絕緣膜

112: 固定電荷膜

113: 第1釘紮區域

114: n型半導體區域

115: p井層

116: 第2釘紮區域

117: 像素分離部

117A: 遮光膜

118, 211, 218: 井區域

119, 123, 222: 層間絕緣膜

120, 121, 608, 608a, 608b: 墊部
120C: 連接通孔
120E, 121E: 貫通電極
122, 221: 鈍化膜
124, 125: 接合膜
201, 202, 301, 302: 接觸部
201R, 202R, 301R, 302R: 接觸區域
210: 像素電路
212: 絕緣區域
213: 元件分離區域
218V: 連接部
220: 閘極電極
222: 鰭
230: 無摻雜區域
232: 高濃度區域
270: 對準標記
243: DSP電路
244: 訊框記憶體
245: 顯示部
246: 記憶部
247: 操作部
248: 電源部
249: 匯流排線

- 401: 受光透鏡
- 510A: 輸入部
- 510B: 輸出部
- 511: 輸入端子
- 512: 輸入電路部
- 513: 輸入振幅變更部
- 514: 輸入資料轉換電路部
- 515: 輸出資料轉換電路部
- 516: 輸出振幅變更部
- 517: 輸出電路部
- 518: 輸出端子
- 520: 列驅動部
- 530: 時序控制部
- 539: 像素共有單元
- 540: 像素陣列部
- 541, 541A, 541B, 541C, 541D: 像素
- 542: 列驅動信號線
- 543: 垂直信號線
- 544: 電源線
- 550: 行信號處理部
- 560: 圖像信號處理部
- 600: 通孔
- 600a: 貫通孔

- 602: 多晶矽
- 604: 柱部
- 606: 連接墊部
- 609, 612, 613, 670, 674, 682: 膜
- 610: 槽
- 611: 連接部
- 620: 氣孔
- 622: 孔隙
- 630: 中心部
- 632: 外周部
- 632a: 底部
- 634: 嵌入膜
- 650: 突出部
- 652, 654: 抗蝕層
- 656: 點圖案
- 658: 遮罩
- 670, 672, 750, 752, 760: 接合膜
- 680: 上覆膜
- 700: 自然氧化膜
- 762: 多晶矽膜
- 800: 接合薄膜

【發明申請專利範圍】

【請求項1】

一種攝像裝置，其包含：

第1半導體基板，其設置有光電轉換元件；

第2半導體基板，其隔著層間絕緣膜積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及

通孔，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。

【請求項2】

如請求項1之攝像裝置，其中設置於上述第1半導體基板內之第1井區域、與位於上述第2半導體基板內且位於上述第2面之一部分之上之第2井區域，包含具有同一導電型之雜質。

【請求項3】

如請求項2之攝像裝置，其中上述第2井區域包含第1區域與第2區域，且

上述第1區域之上述雜質之濃度高於上述第2區域。

【請求項4】

如請求項3之攝像裝置，其中上述通孔設置於上述第1區域上。

【請求項5】

如請求項2之攝像裝置，其中上述第2半導體基板於上述第2面側具有不含上述雜質之無摻雜區域。

【請求項6】

如請求項5之攝像裝置，其包含具有位於上述無摻雜區域之通道的完全空乏型電晶體。

【請求項7】

如請求項2之攝像裝置，其中上述第2半導體基板於上述第2面側具有絕緣膜區域。

【請求項8】

如請求項2之攝像裝置，其進而包含設置於上述第2半導體基板與上述通孔之間之1個或複數個接合膜，且

至少1個上述接合膜包含與上述第1井區域及上述第2井區域為同一導電型之上述雜質。

【請求項9】

如請求項8之攝像裝置，其中包含上述雜質之上述接合膜由BSG(硼矽玻璃)或PSG(磷矽玻璃)構成。

【請求項10】

如請求項8之攝像裝置，其中包含上述雜質之上述接合膜由多晶矽或非晶矽構成。

【請求項11】

如請求項10之攝像裝置，其中包含上述雜質之上述接合膜係以嵌入上述第2半導體基板之上上述第2面之方式設置。

【請求項12】

如請求項8之攝像裝置，其中上述第2基板內之上述雜質濃度自上述第2面側起沿著積層方向降低。

【請求項13】

如請求項2之攝像裝置，其進而包含設置於上述第2半導體基板與上述通孔之間之接合膜，且

上述接合膜由導電性氧化膜及金屬膜、或矽化膜構成。

【請求項14】

如請求項8之攝像裝置，其中上述通孔由包含與上述第1井區域及上述第2井區域為同一導電型之上述雜質的多晶矽或非晶矽構成。

【請求項15】

如請求項14之攝像裝置，其中上述通孔之上述雜質濃度自上述第1面側起沿著積層方向增高。

【請求項16】

如請求項2之攝像裝置，其中位於上述第2面側之上述通孔之上表面具有突出於第2半導體基板之突出部。

【請求項17】

如請求項16之攝像裝置，其中上述突出部之至少前端與上述第2半導體基板之上述第2面相接，或嵌入上述第2半導體基板。

【請求項18】

如請求項16之攝像裝置，其中上述通孔之上表面具有複數個上述突出部。

【請求項19】

如請求項16之攝像裝置，其中上述通孔包含與上述第1井區域及上述第2井區域為同一導電型之上述雜質，且

上述突出部之上述雜質濃度高於上述通孔之上述雜質濃度。

【請求項20】

如請求項1之攝像裝置，其中上述通孔由包含選自Al、Ti、Ta、W、Ru、Mo中之任一種金屬之金屬材料或化合物材料構成。

【請求項21】

如請求項1之攝像裝置，其進而包含第1墊部，該第1墊部設置於上述第1半導體基板之上上述第1面上，且與上述通孔電性連接。

【請求項22】

如請求項1之攝像裝置，其進而包含第2墊部，該第2墊部設置於上述第2半導體基板之上上述第2面上，且與上述通孔電性連接。

【請求項23】

如請求項22之攝像裝置，其進而包含複數個第3墊部，該等第3墊部於上述第2半導體基板之上上述第2面上，設置於上述第2墊部之周圍。

【請求項24】

如請求項1之攝像裝置，其中上述通孔包含：

複數個柱部，其等貫穿上上述層間絕緣膜之一部分；及

1個或複數個連接墊部，其或其等設置於上述層間絕緣膜內，將上述柱部相互電性連接。

【請求項25】

如請求項1之攝像裝置，其中上述通孔包含：

中心部，其沿著與上述第1半導體基板之上上述第1面大致垂直之方向延伸；及

外周部，其以包圍上述中心部之方式設置。

【請求項26】

如請求項25之攝像裝置，其中上述外周部由包含與設置於上述第1半導體基板內之井區域、及上述第2半導體基板內之上述第2面側之區域為同一導電型之雜質之多晶矽構成。

【請求項27】

如請求項25之攝像裝置，其中上述中心部之沿著與上述第1半導體基板之上述第1面垂直之方向切斷之剖面為大致矩形、自上述第2半導體基板朝向上述第1半導體基板寬度變窄之大致錐形、或自上述第1半導體基板朝向上述第2半導體基板寬度變窄之大致錐形。

【請求項28】

一種攝像裝置之製造方法，其包含：

於設置有光電轉換元件之第1半導體基板上，積層層間絕緣膜；

於上述層間絕緣膜形成貫通孔；

將多晶矽嵌入上述貫通孔；

將被嵌入之上述多晶矽中自上述貫通孔突出之部分去除；及

於上述層間絕緣膜上貼附第2半導體基板，該第2半導體基板供設置將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路。

【請求項29】

如請求項28之攝像裝置之製造方法，其進而包含：於被嵌入上述貫通孔之上述多晶矽中產生之空腔內，製膜出嵌入膜。

【請求項30】

如請求項29之攝像裝置之製造方法，其進而包含：進行用以將上述空腔擴大之蝕刻。

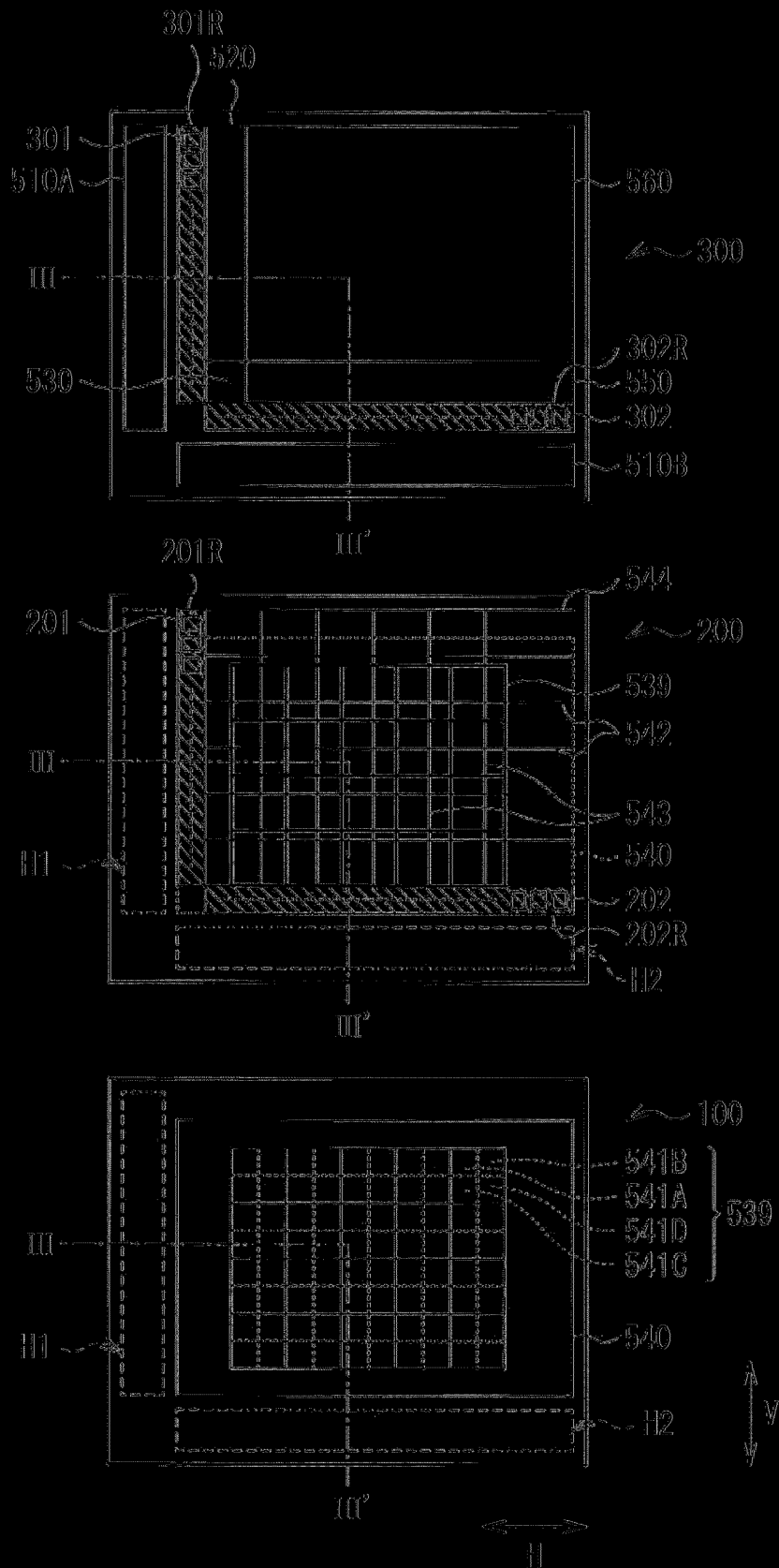
【請求項31】

一種電子機器，其搭載攝像裝置，該攝像裝置包含：

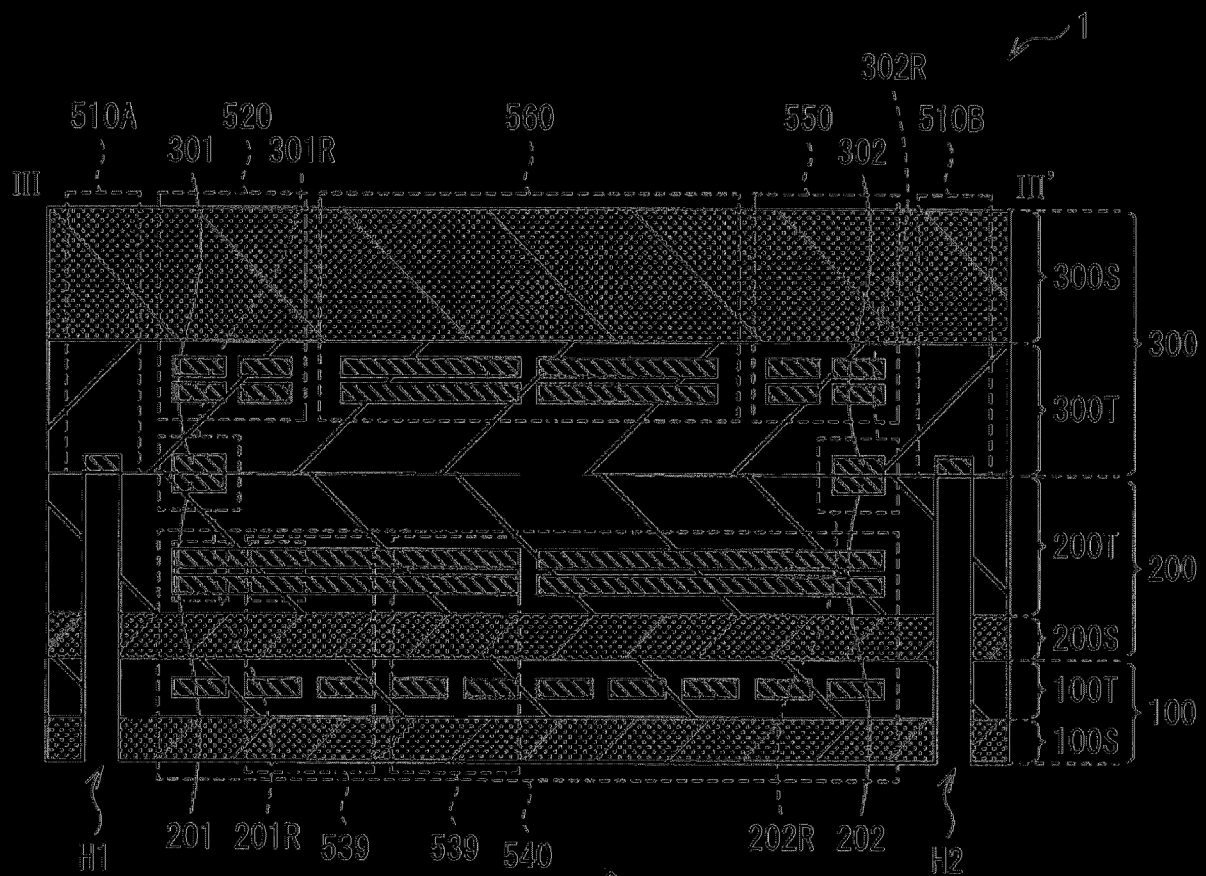
第1半導體基板，其設置有光電轉換元件；

第2半導體基板，其隔著層間絕緣膜積層於上述第1半導體基板上，且設置有將藉由上述光電轉換元件而產生之電荷作為像素信號讀出之像素電路；及

通孔，其貫通上述層間絕緣膜，將與上述第2半導體基板對向之上述第1半導體基板之第1面、及與上述第1面對向之上述第2半導體基板之第2面之至少一部分電性連接。



【圖2】



(圖3)

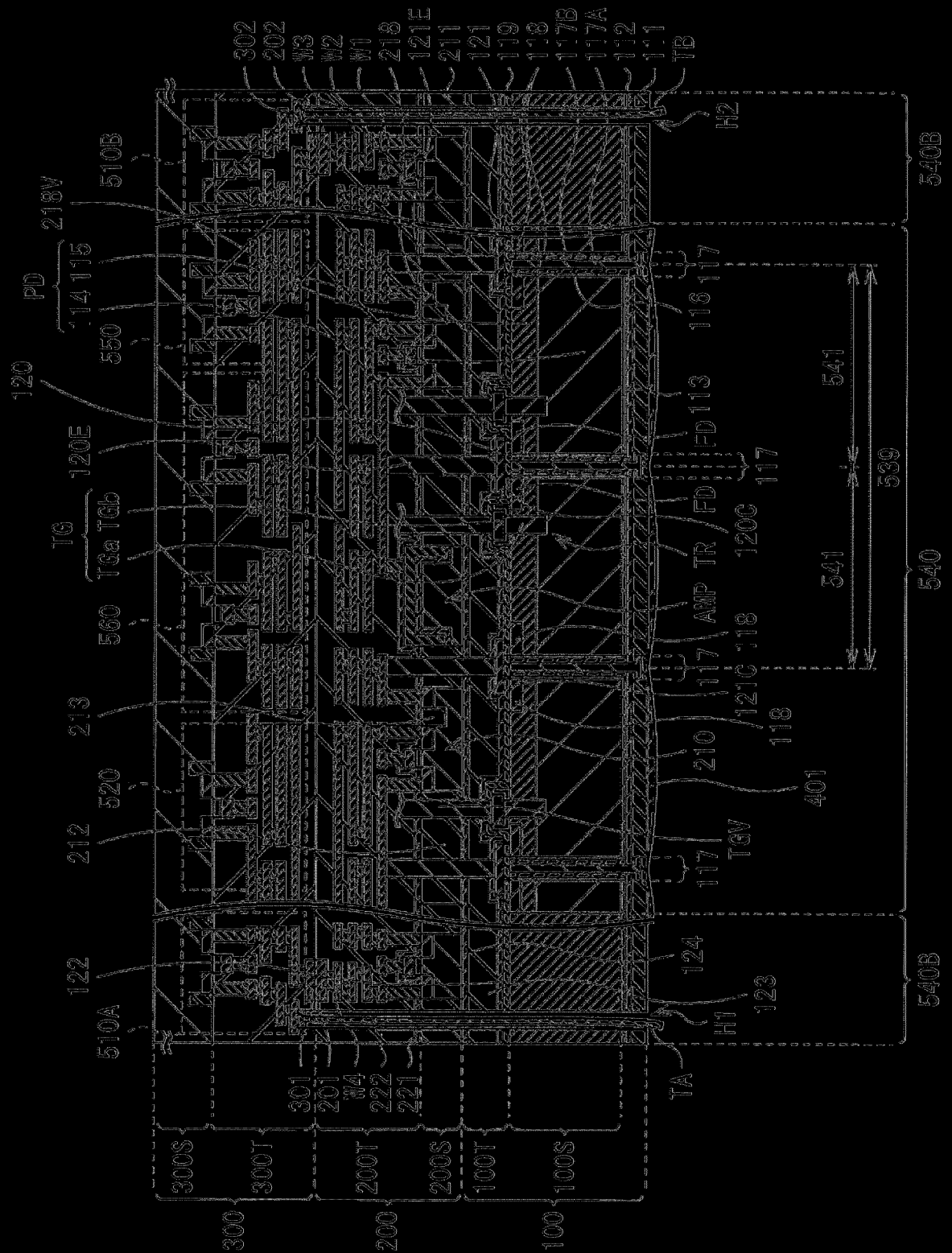
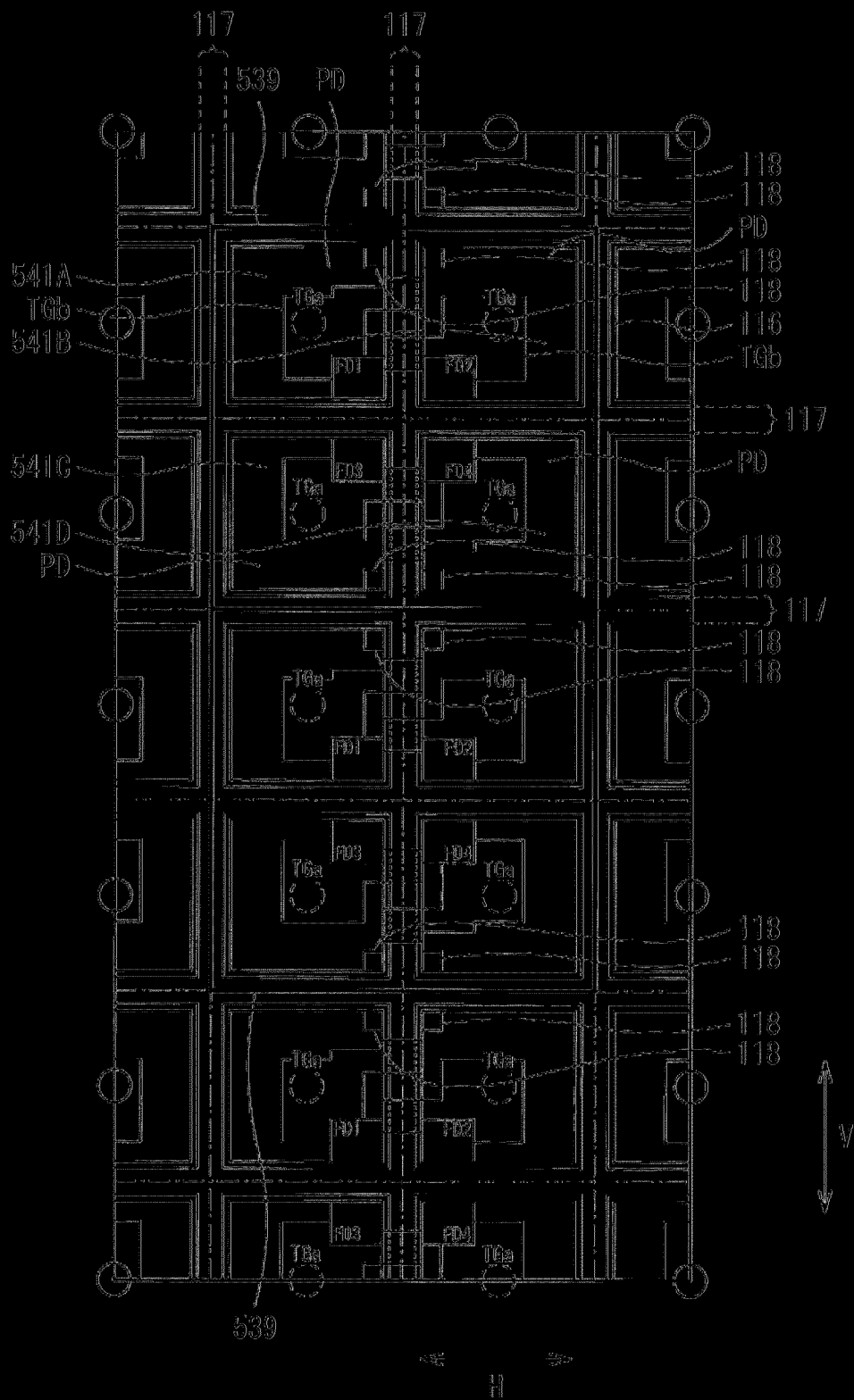
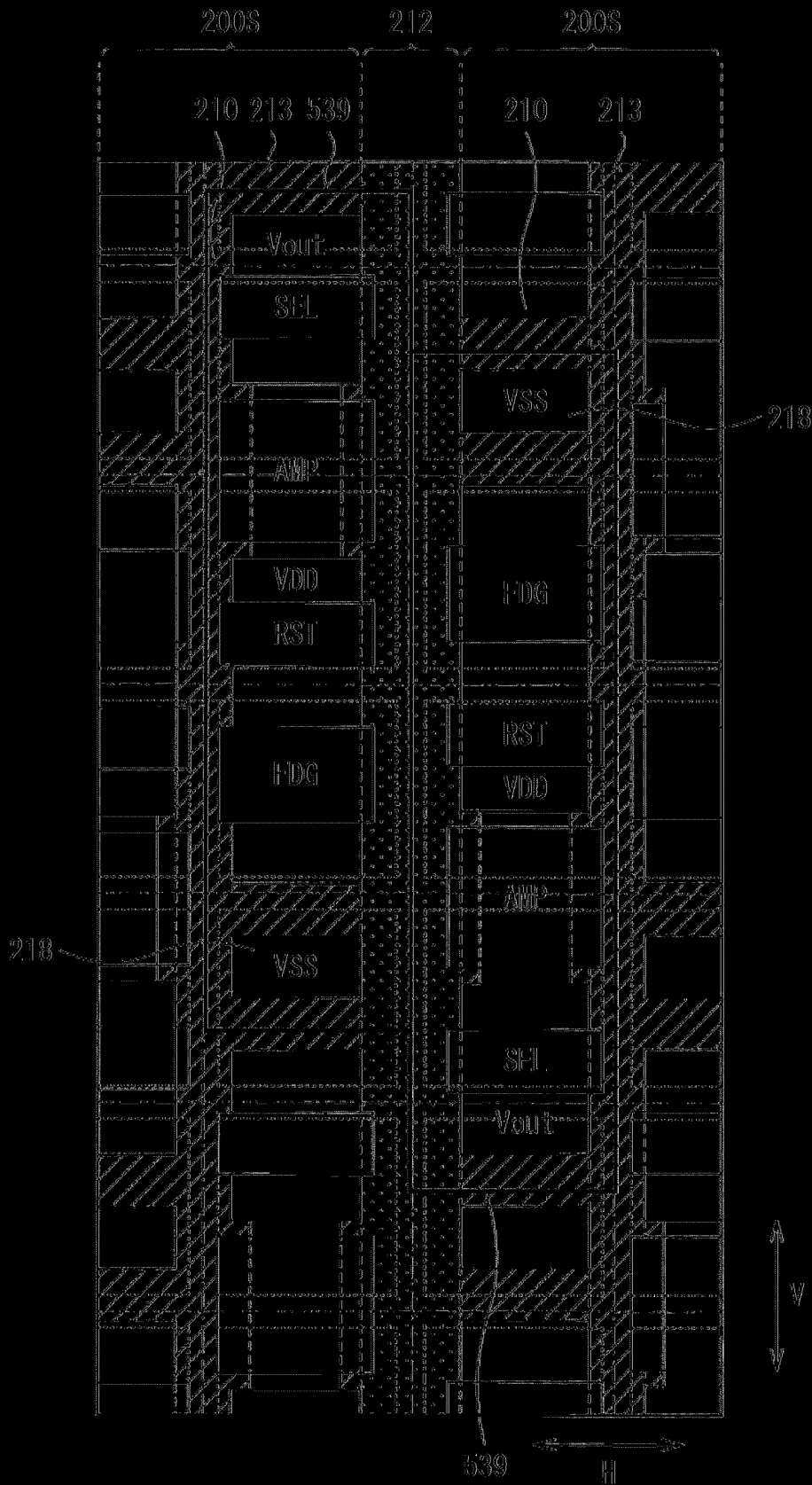


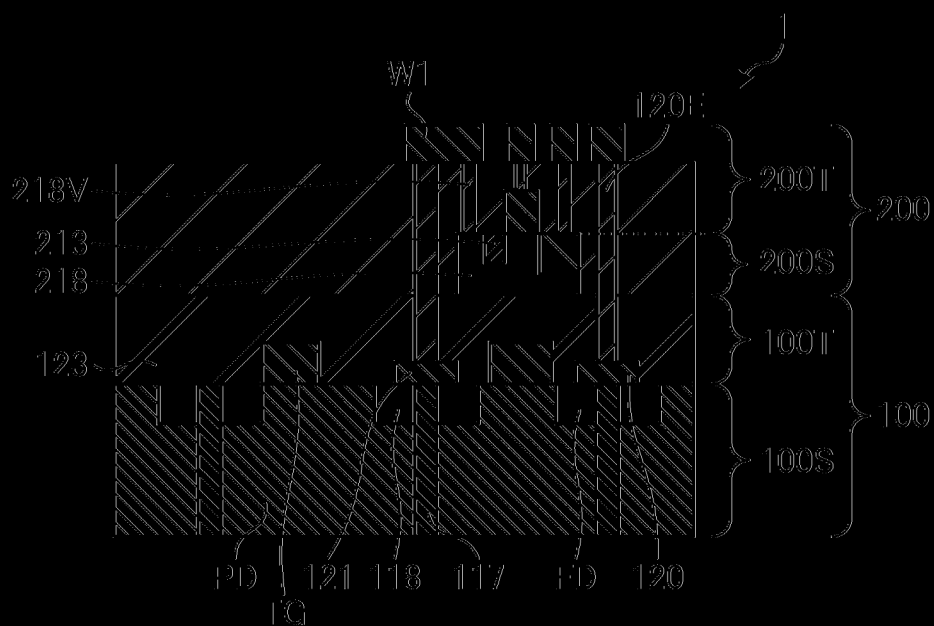
圖 5



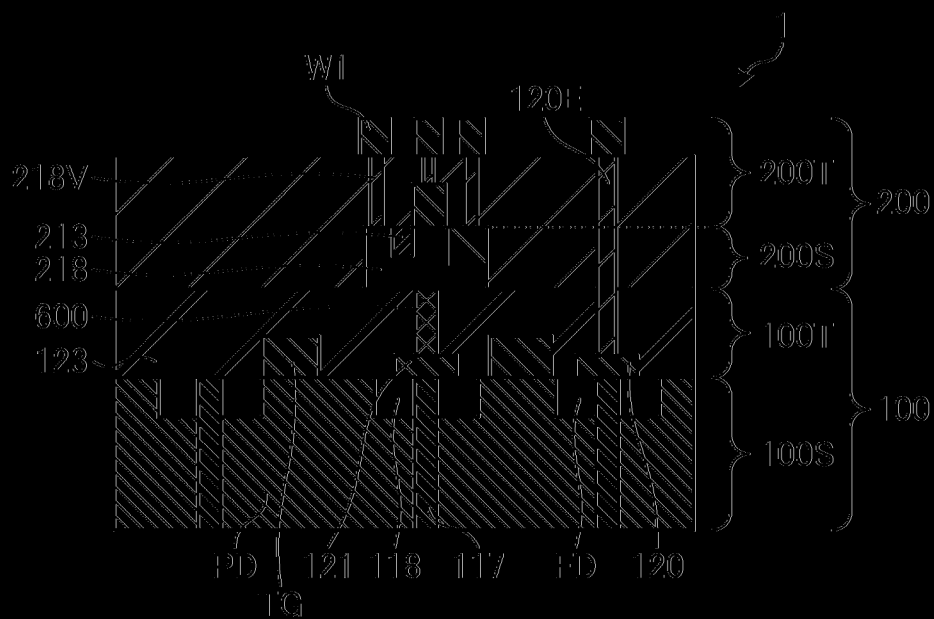
(Fig. 6)



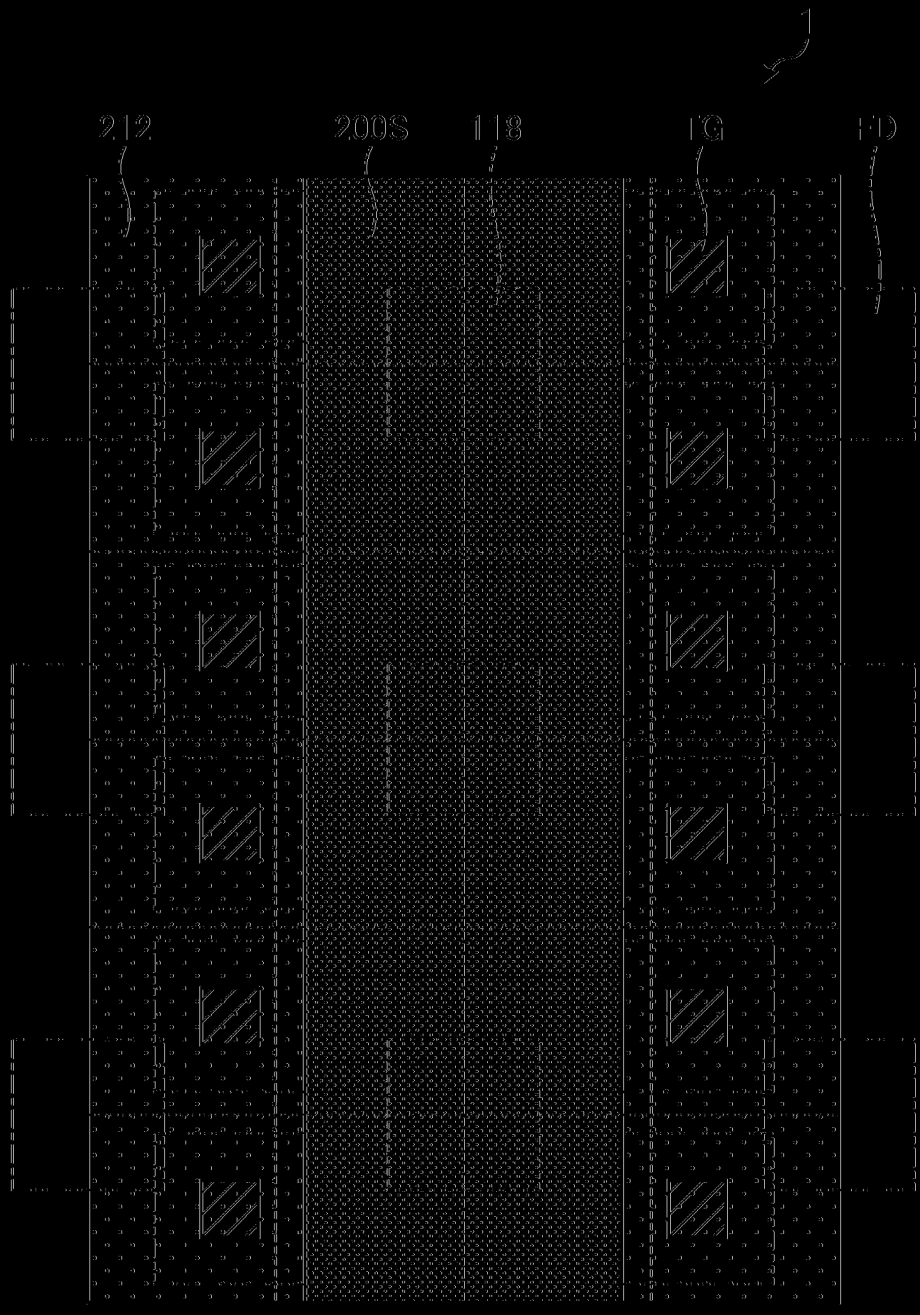
(圖7)



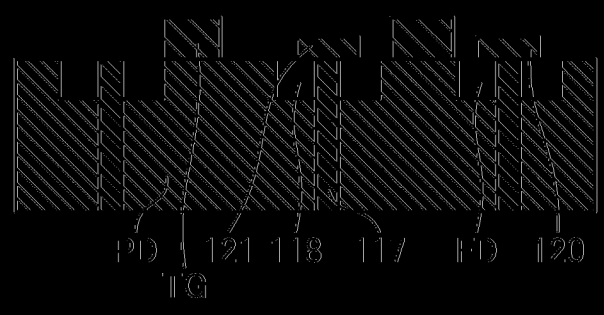
(圖8)



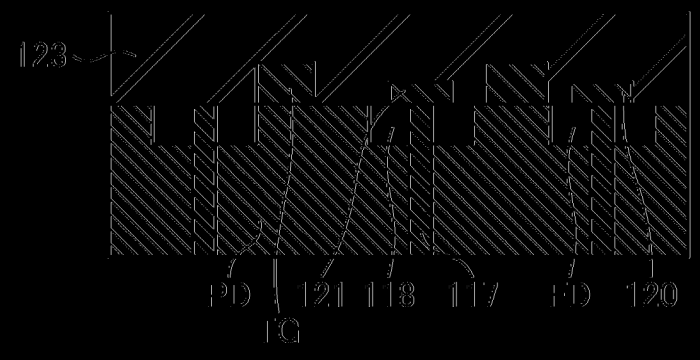
(圖9)



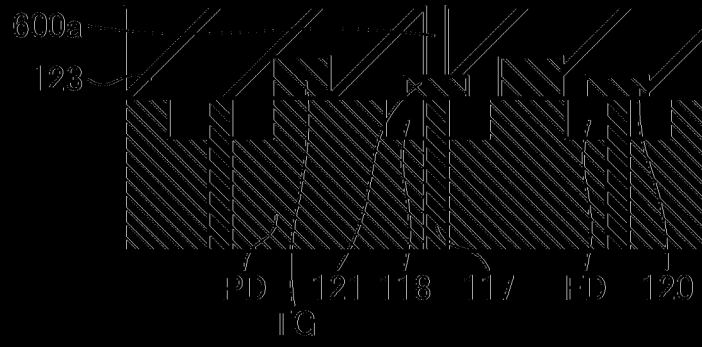
(圖12)



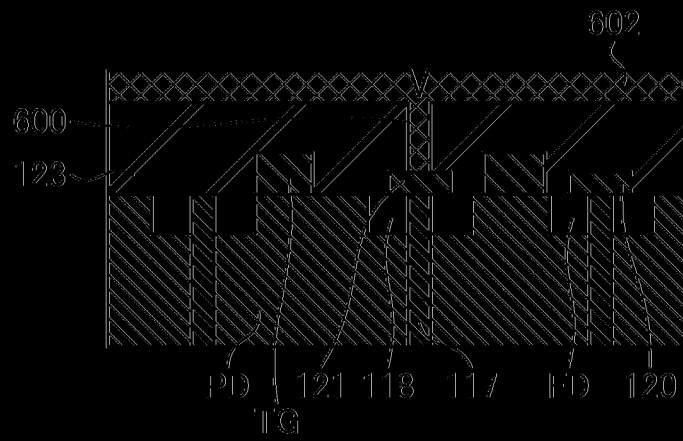
【圖14A】



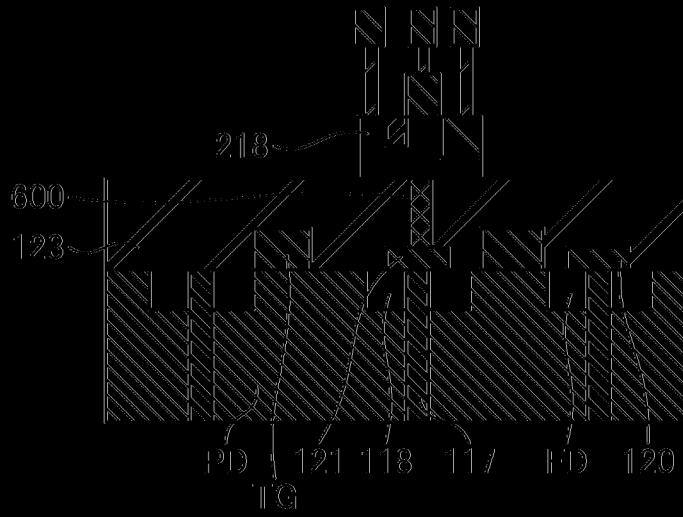
【圖14B】



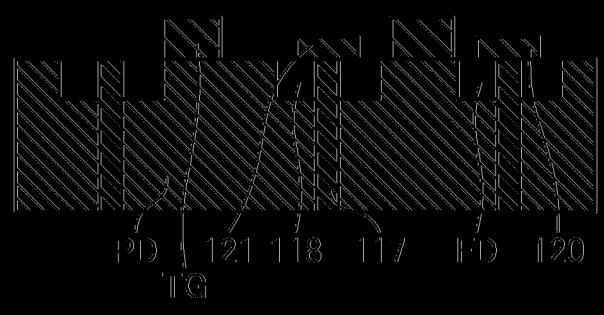
(FIG. 14C)



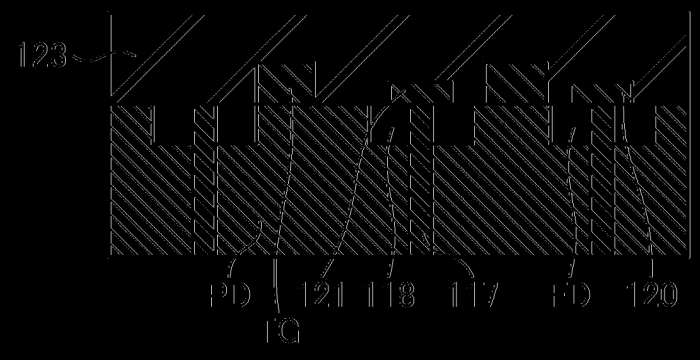
(FIG. 14D)



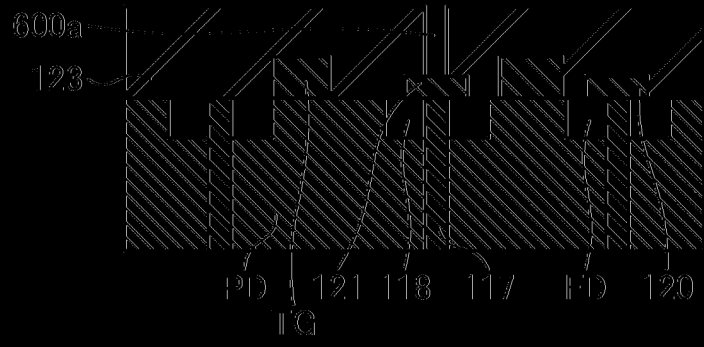
(圖14G)



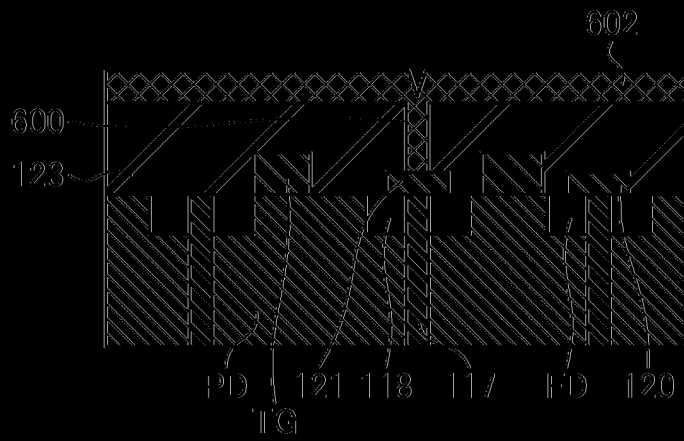
【圖20A】



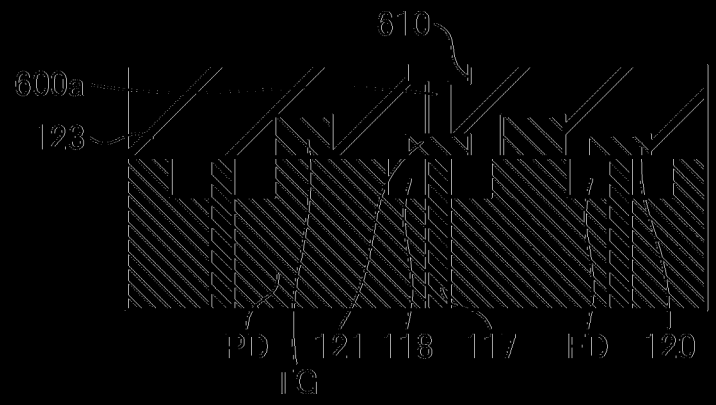
【圖20B】



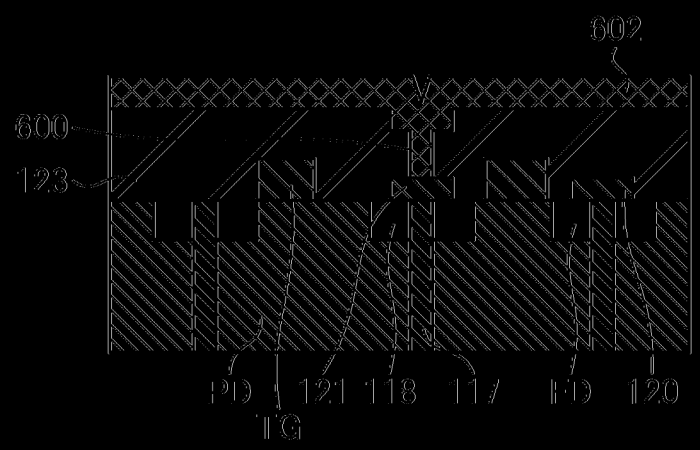
【圖20C】



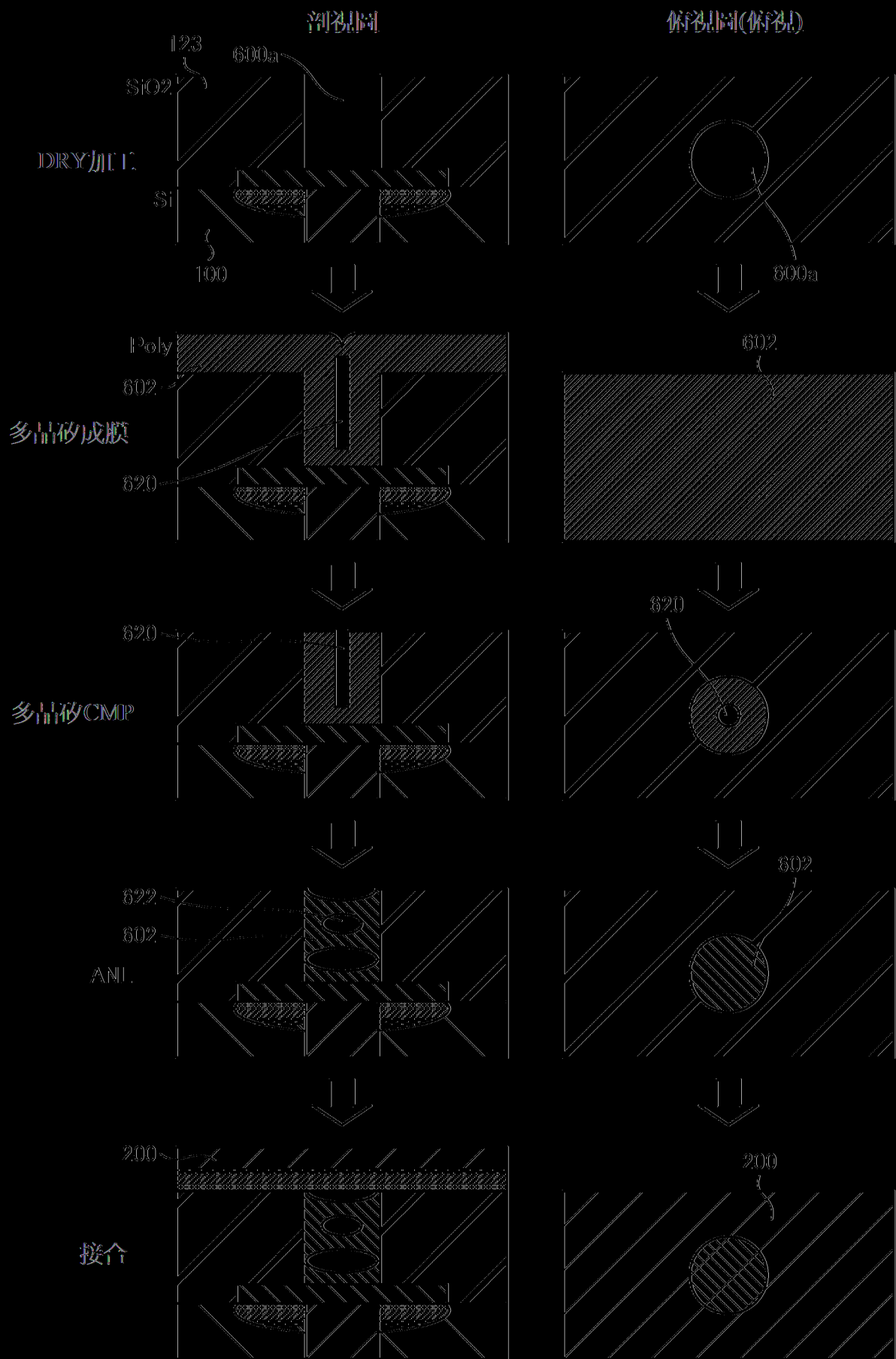
【圖20D】



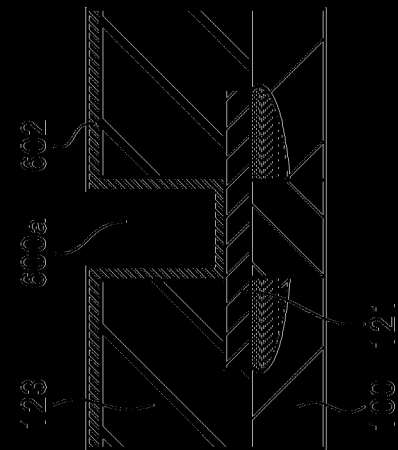
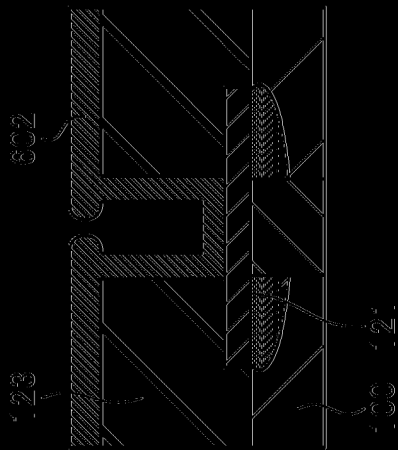
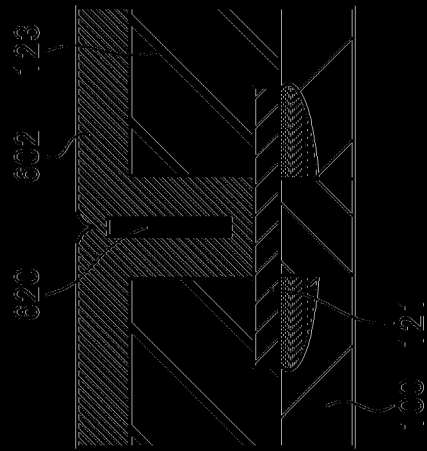
(圖23A)



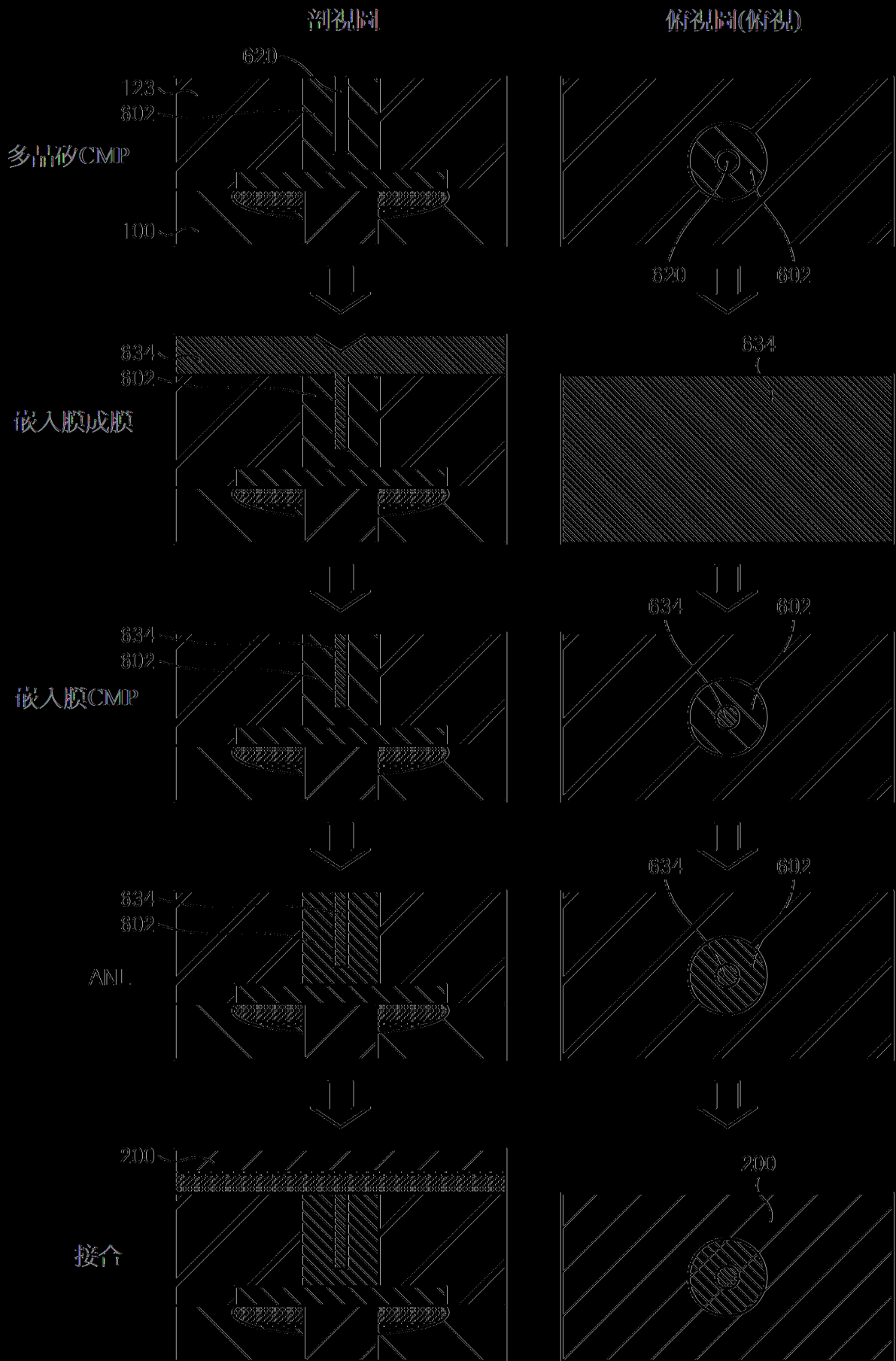
(圖23B)



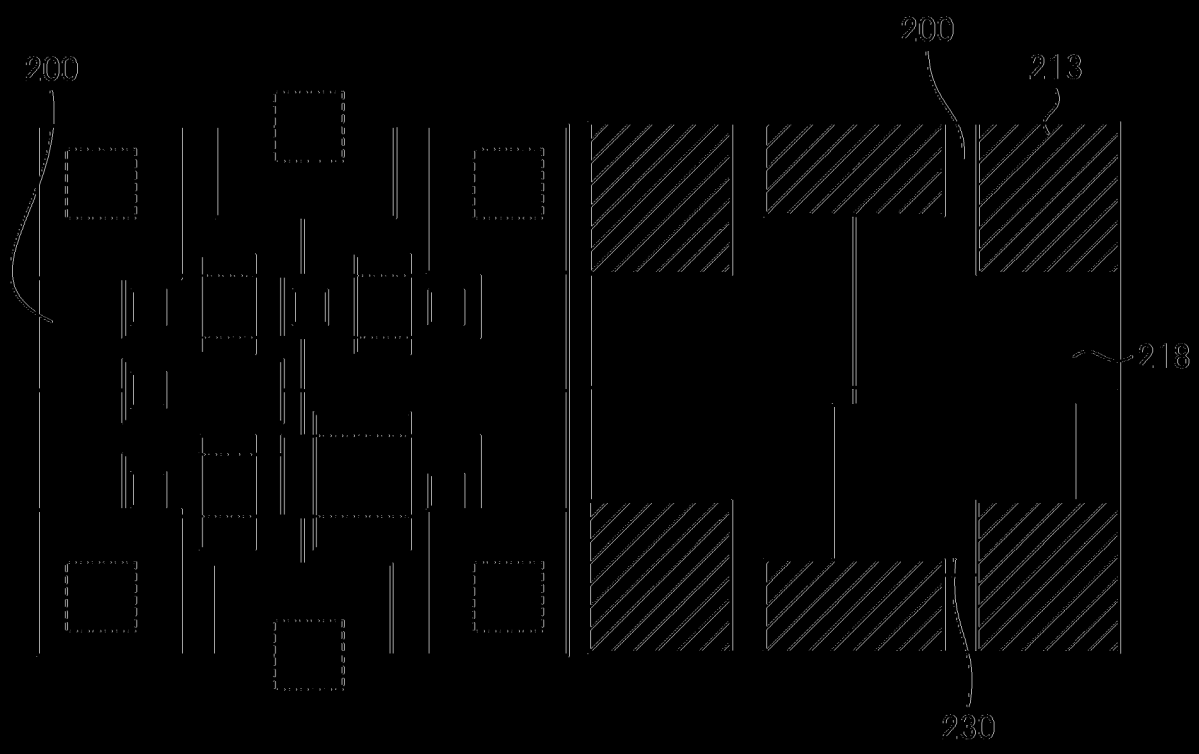
【图24】



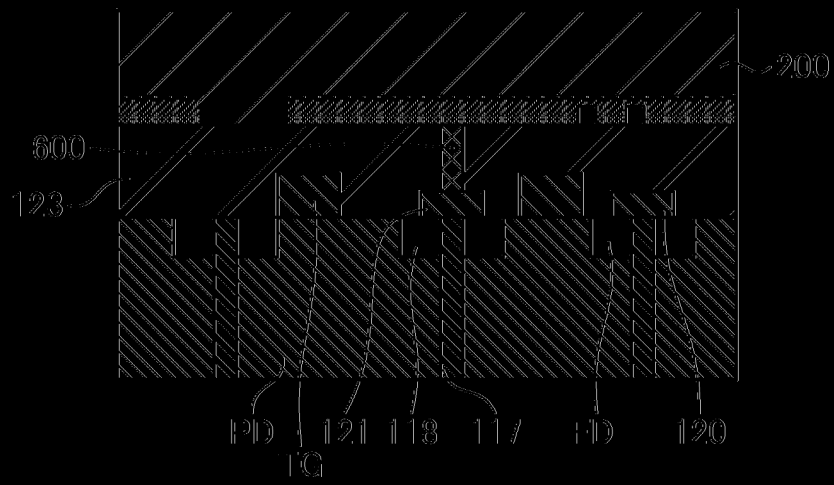
[圖25]



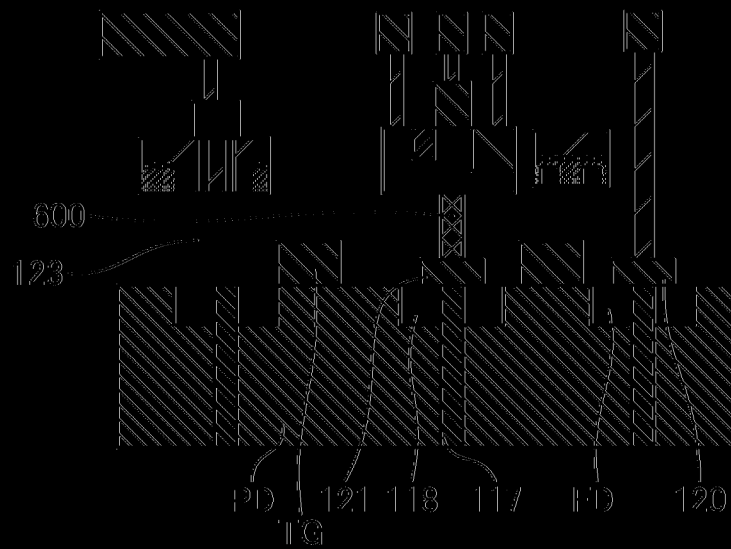
【图28】



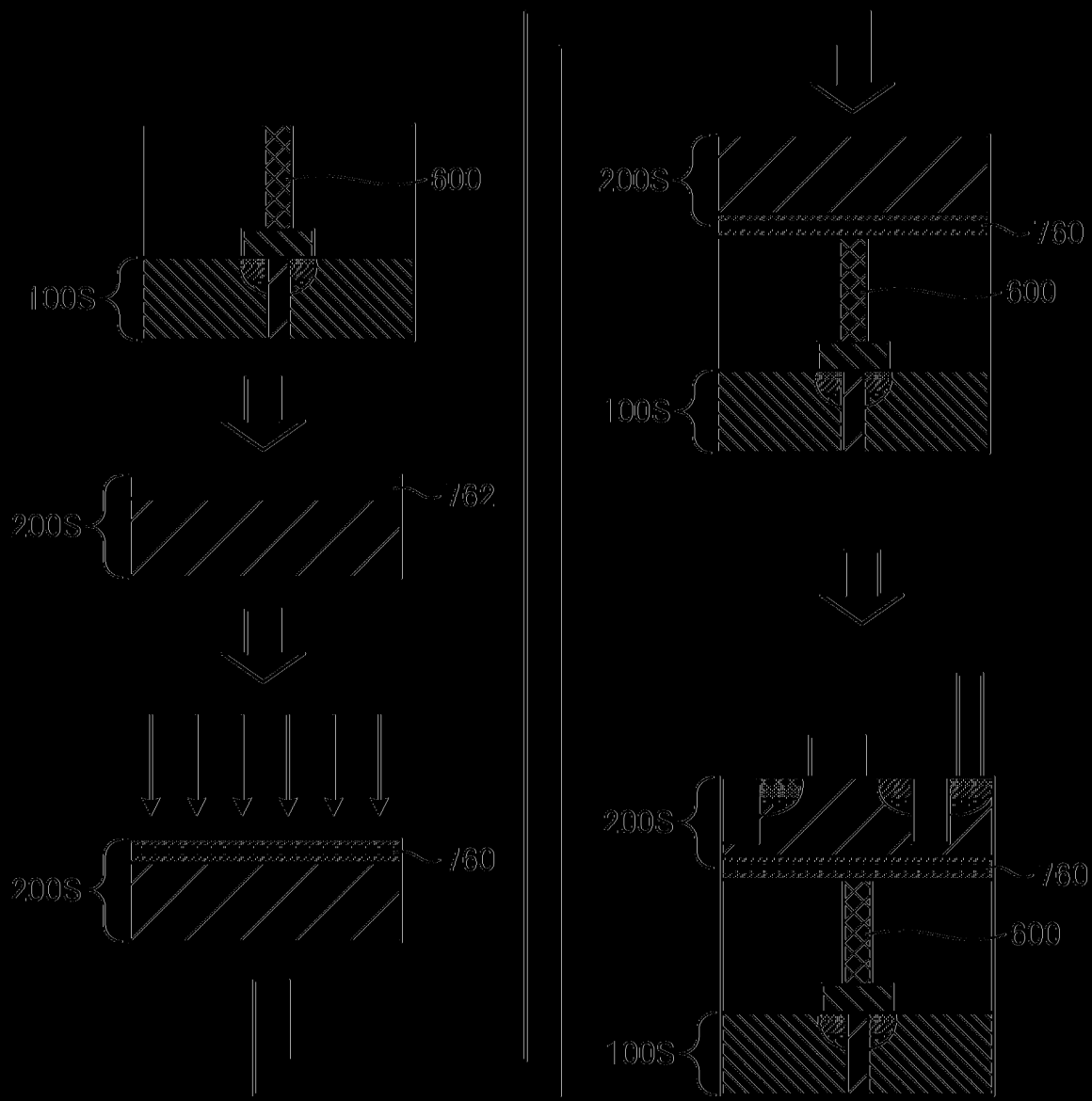
(圖33)



【圖34C】



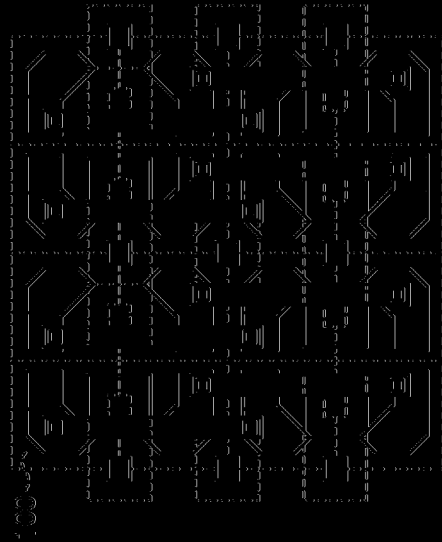
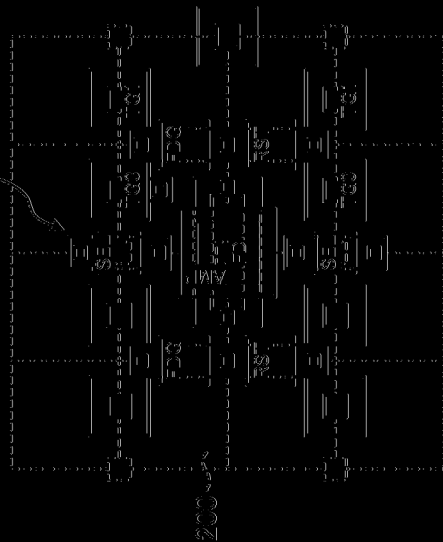
【圖34D】



(圖10)

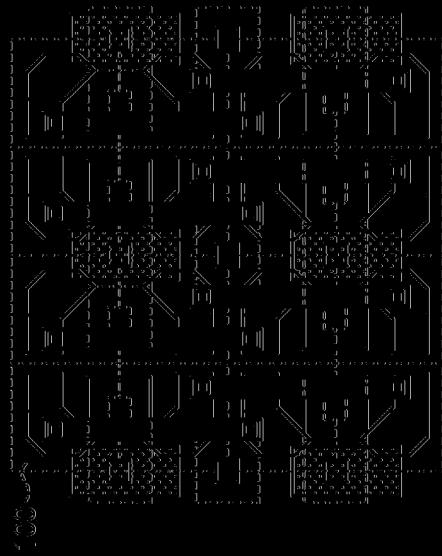
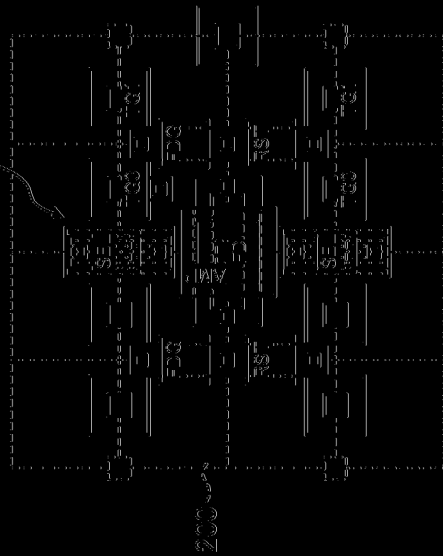
第1實施方式

多層功接層



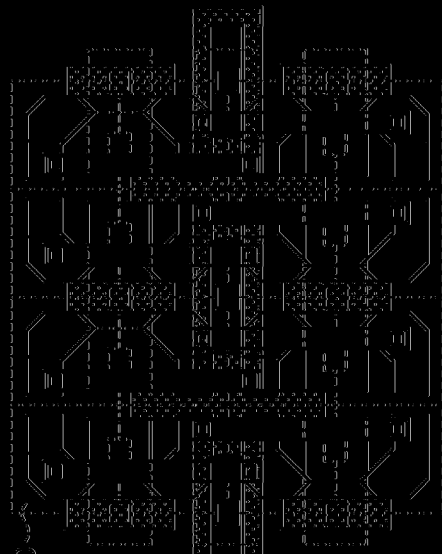
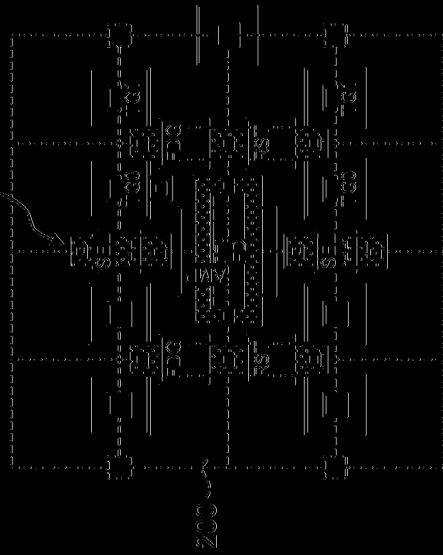
第8實施方式(實施例1)

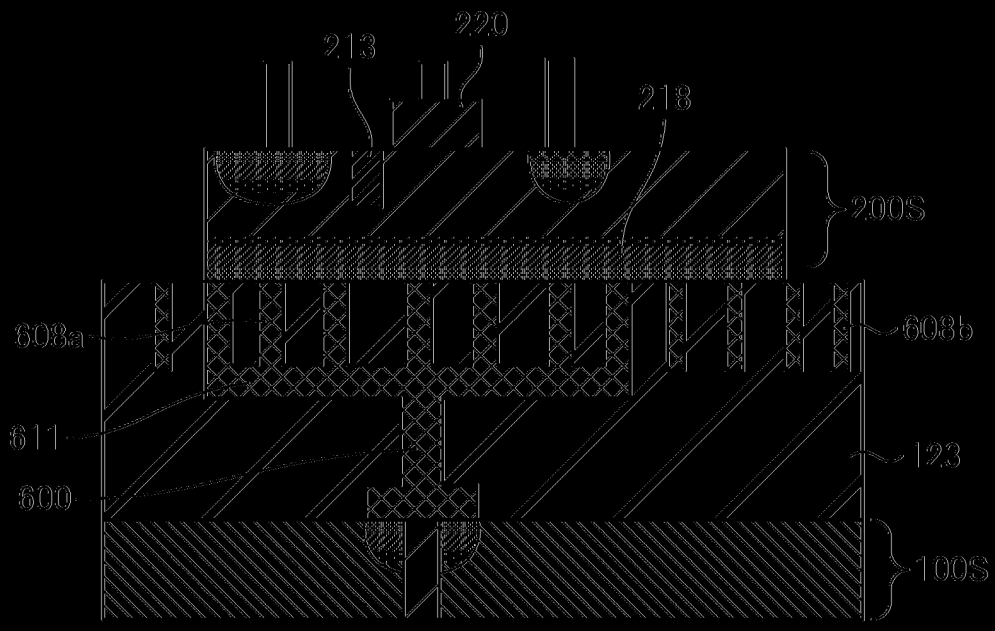
PAD



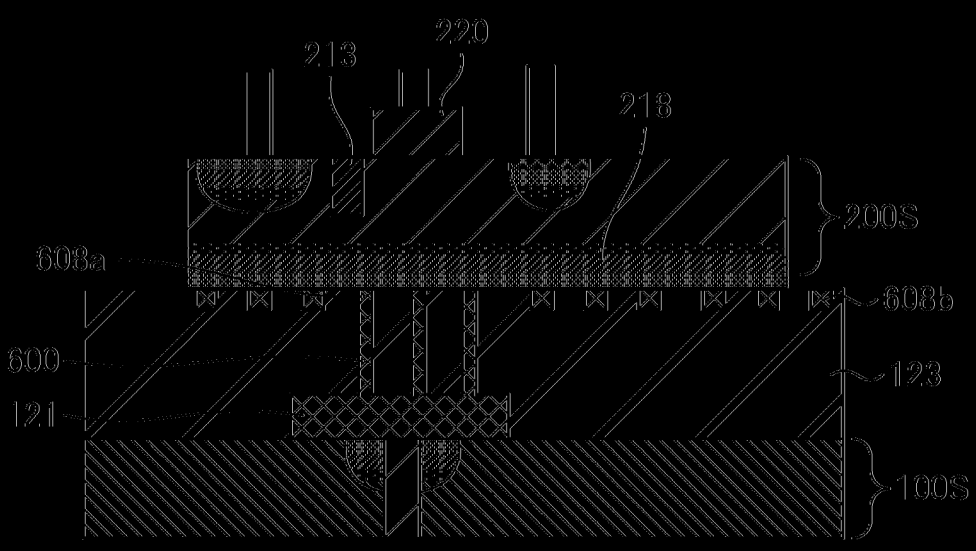
第8實施方式(實施例2)

PAD

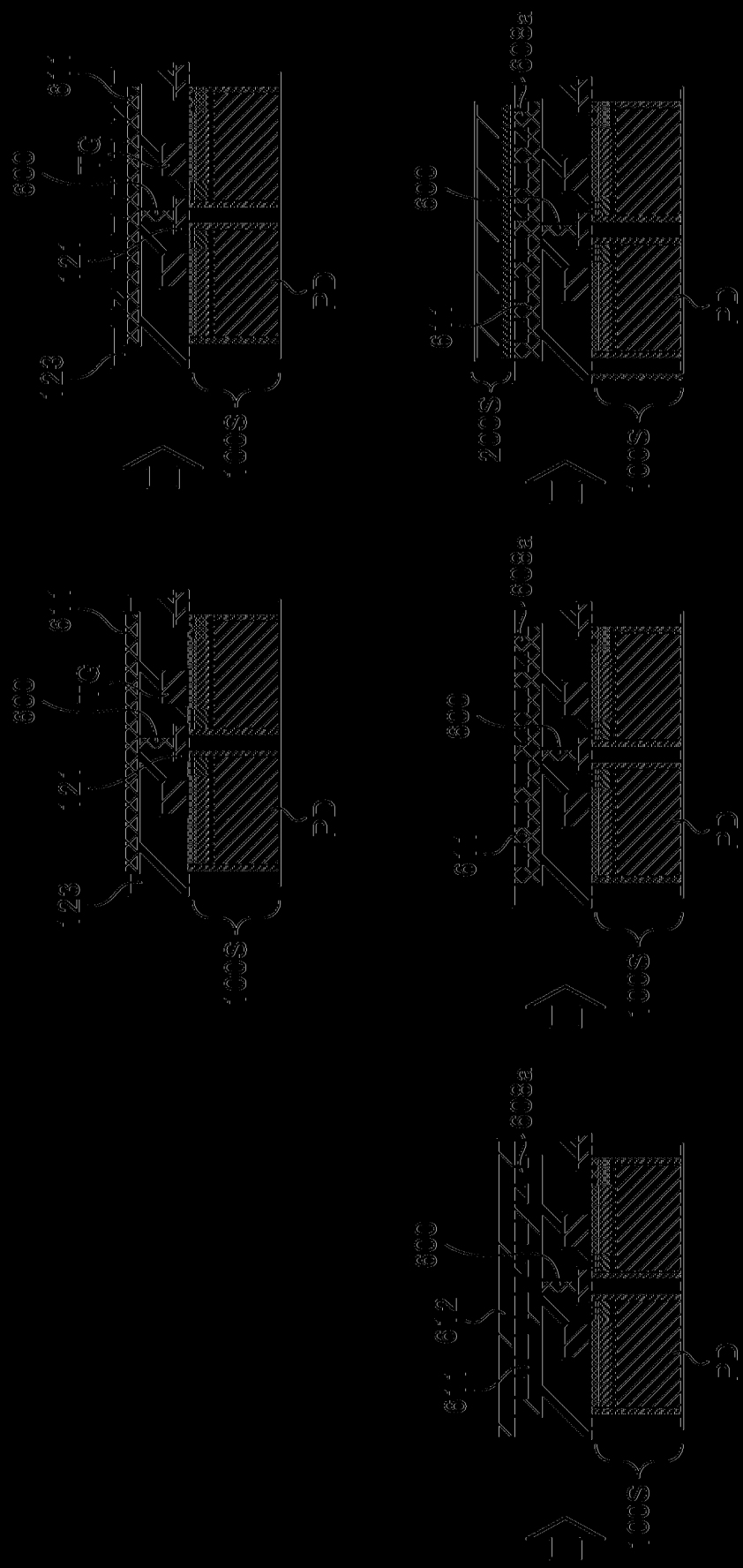




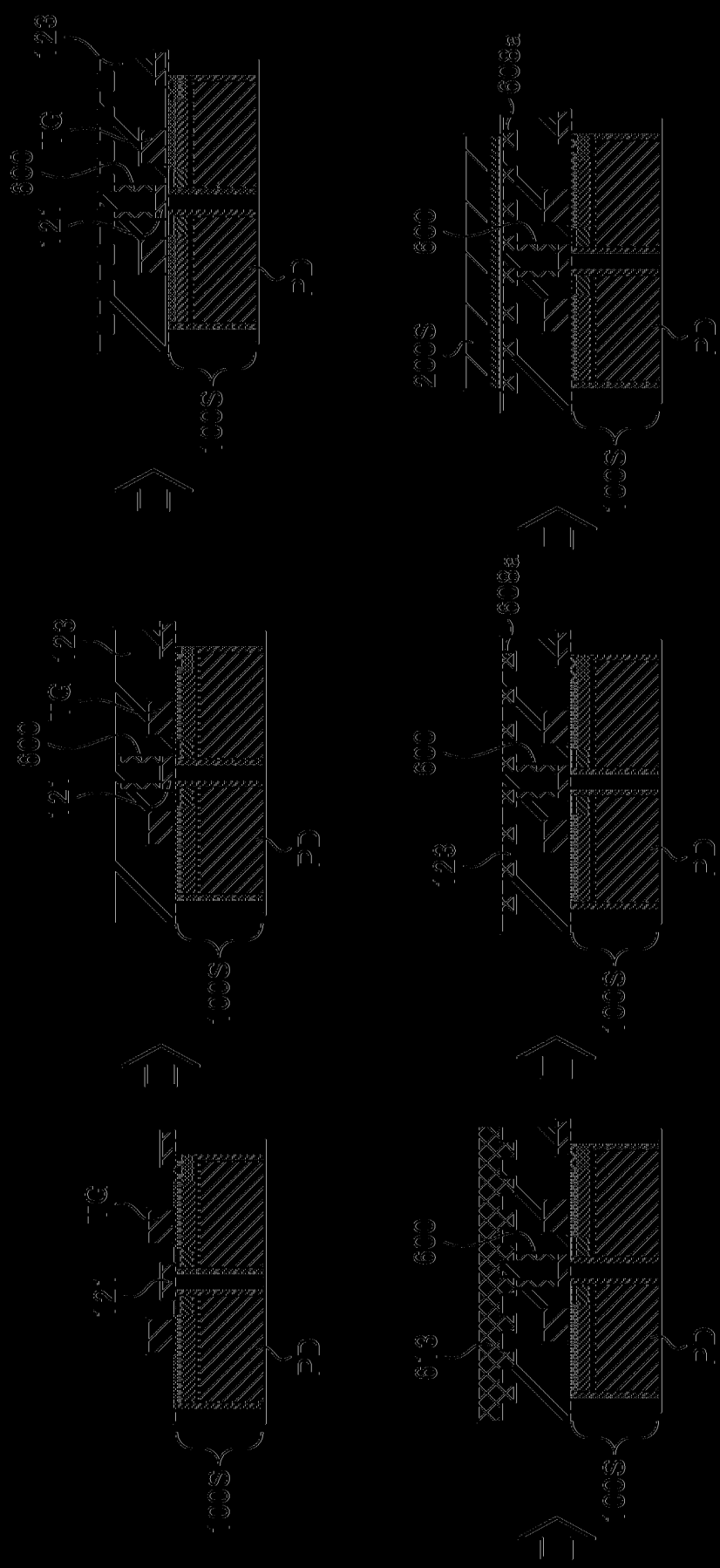
(圖18)



(圖19)



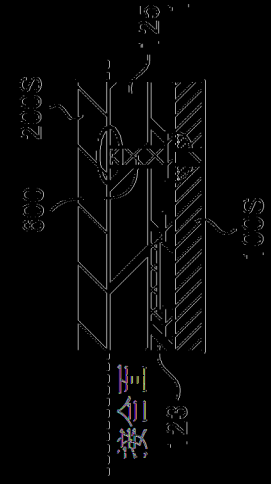
【圖5】



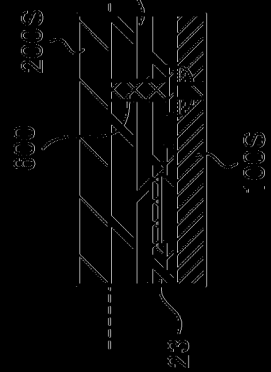
[圖52]

接合處之互置之變化

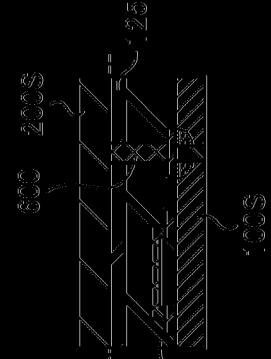
1. 1層之互置層~接合部



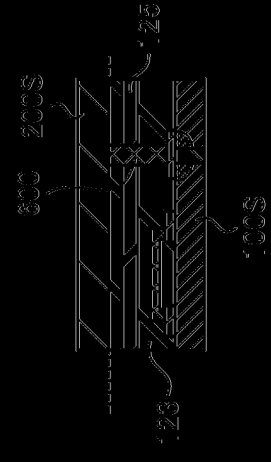
2. 1層之互置層~接合部 (無接合部)



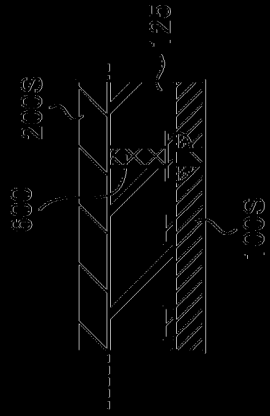
3. 第1半導體基板之最上層(接合部)



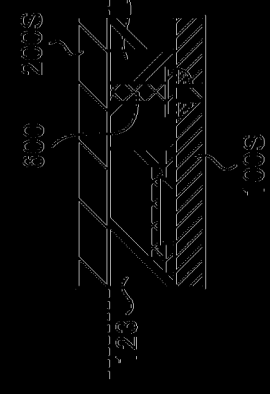
4. 包含1層以上，位置不限(FC配線層~接合部之貫)



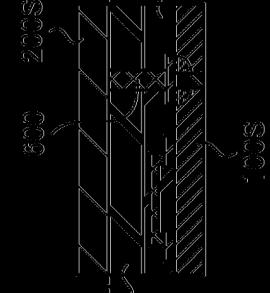
5. 1層之構造



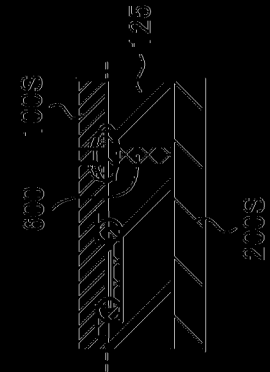
6. 通孔貫邊部



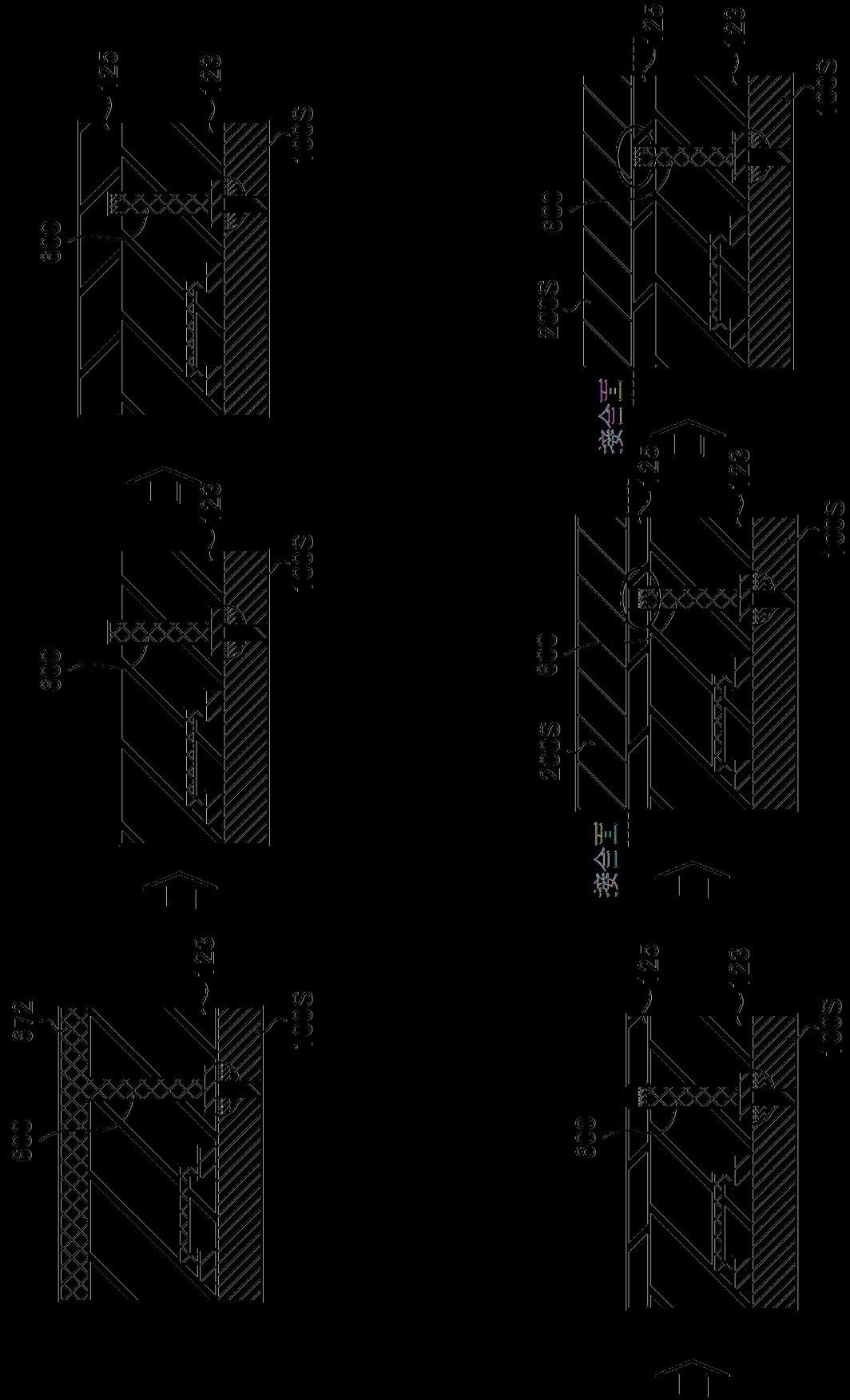
7. FC、FD系



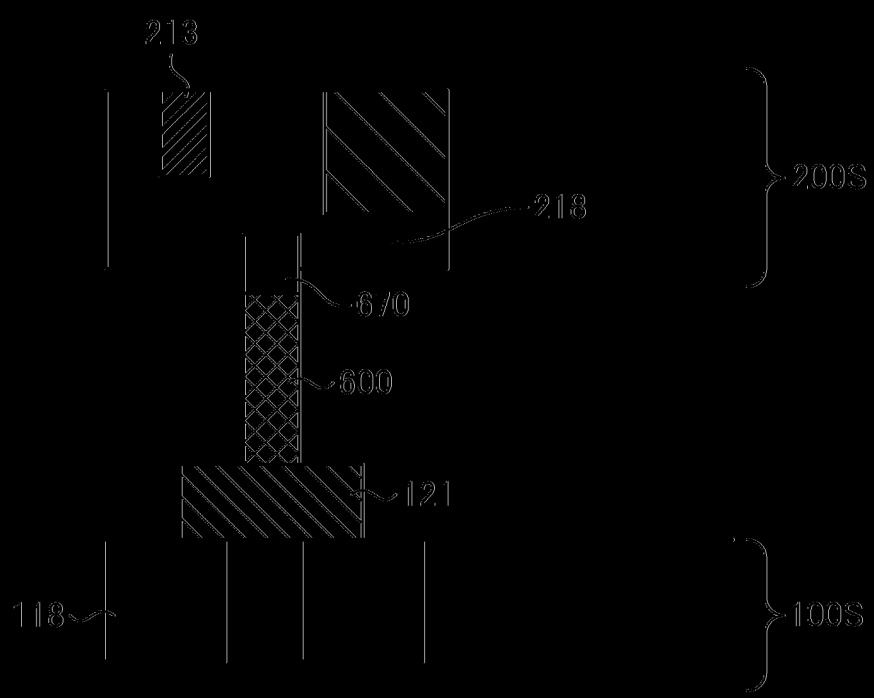
8. FC或FD配置於上方之連接之情形



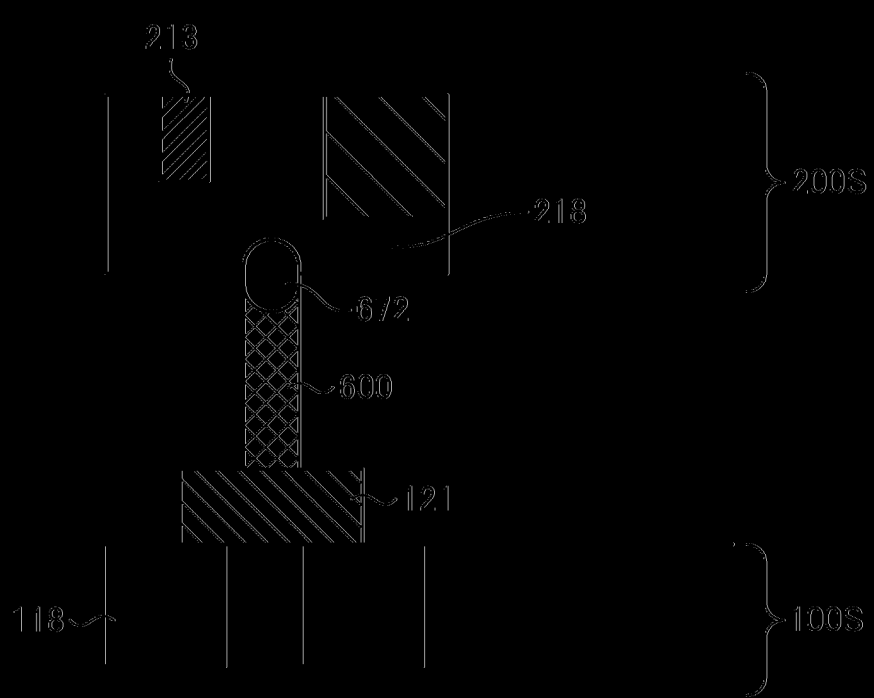
[圖54]



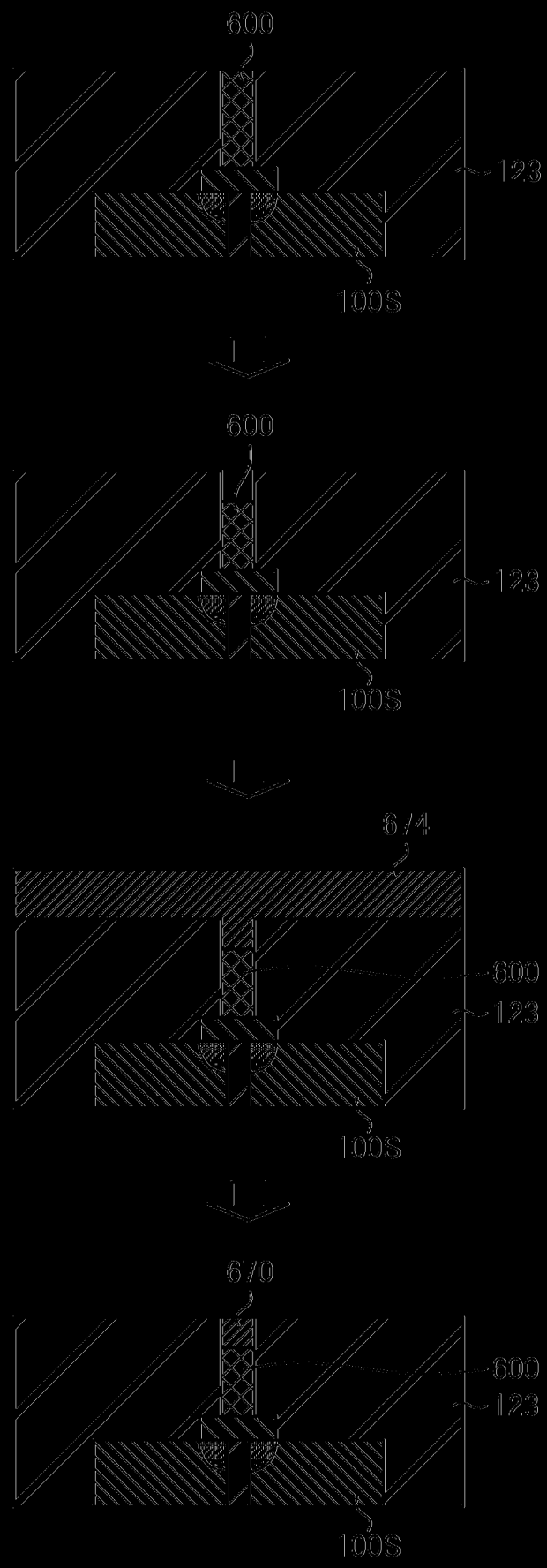
[圖56]



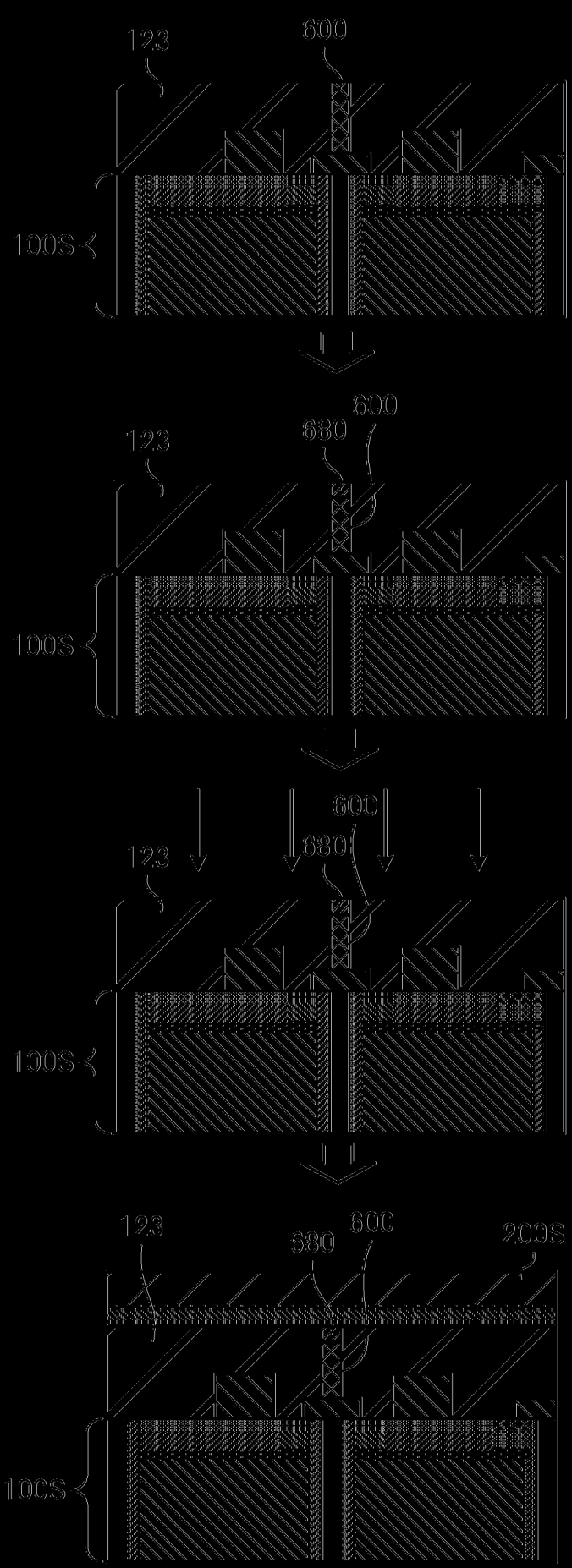
(FIG. 59)



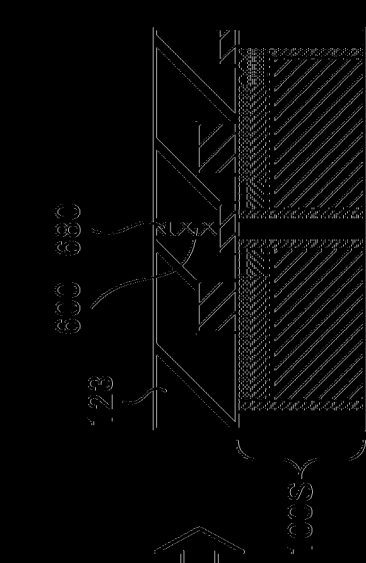
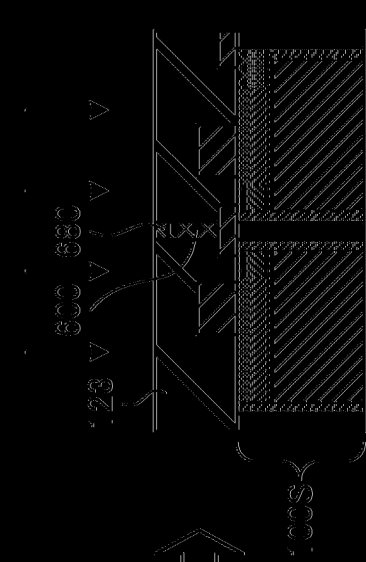
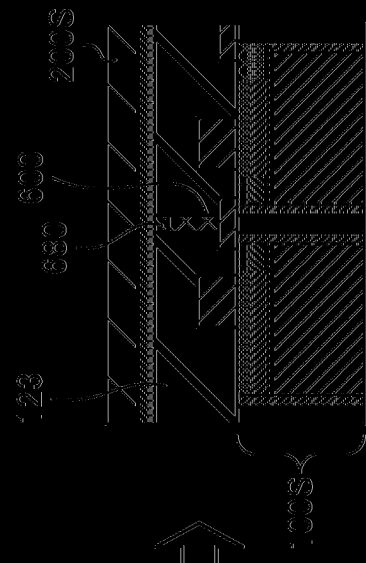
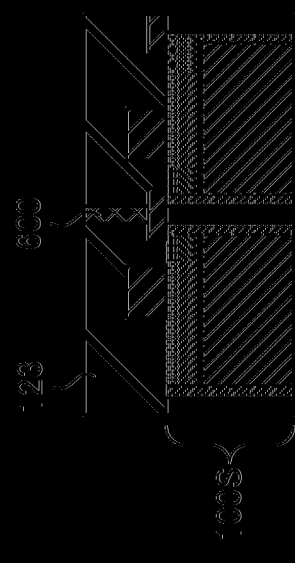
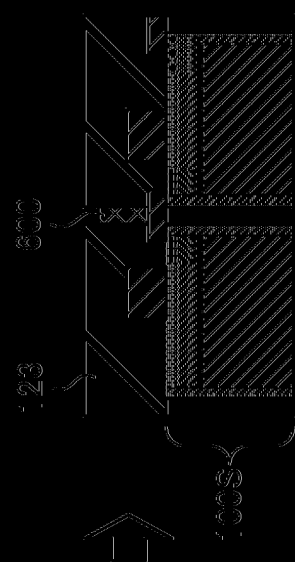
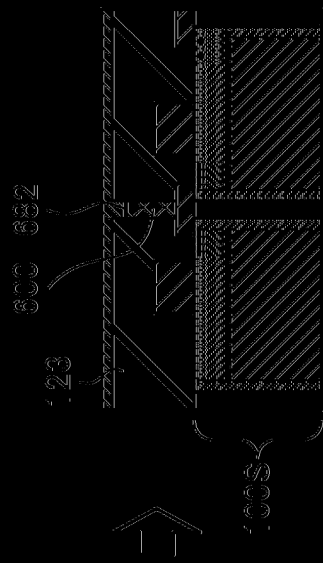
(FIG. 60)



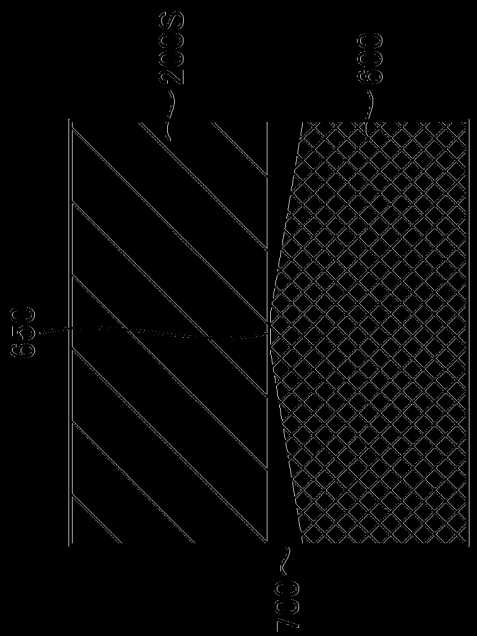
【圖62】



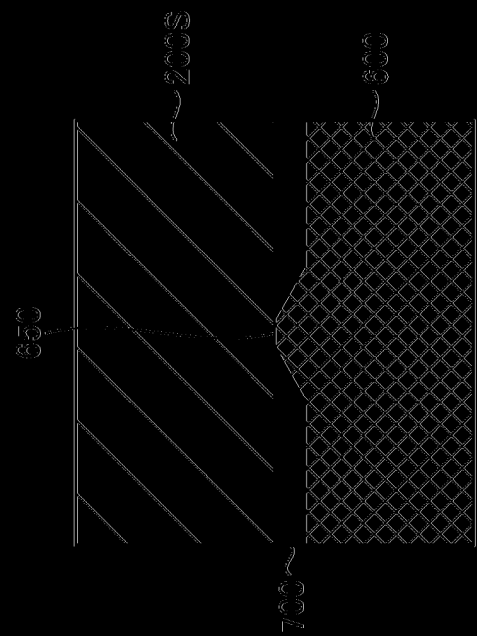
(圖64)



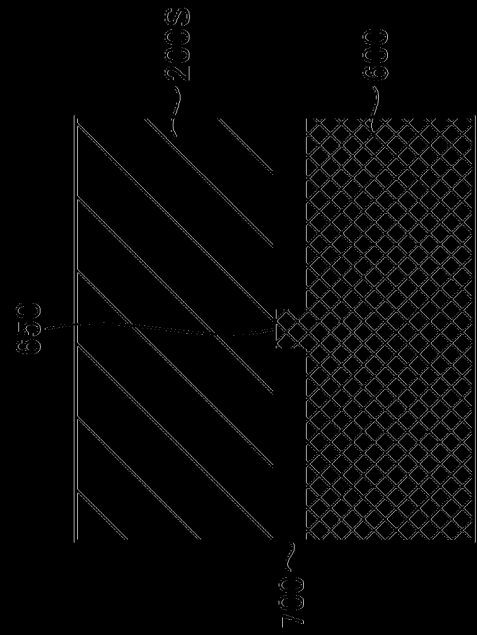
[圖65]



(a)

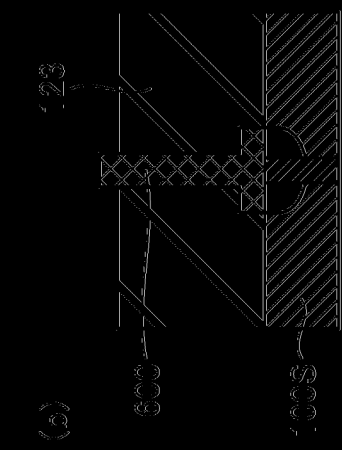
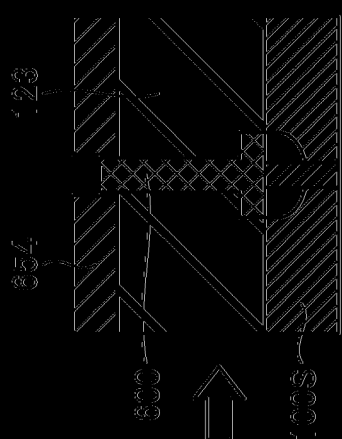
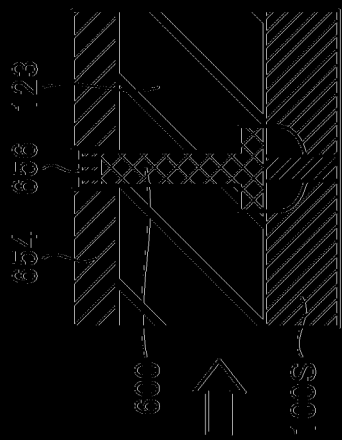
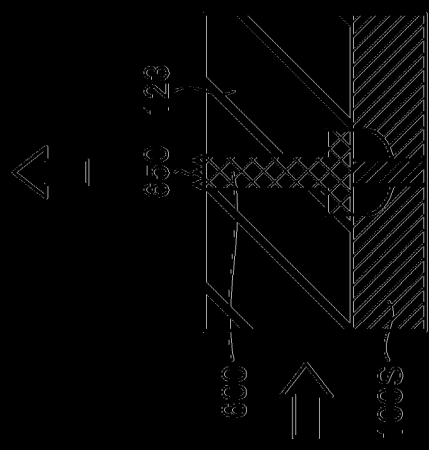
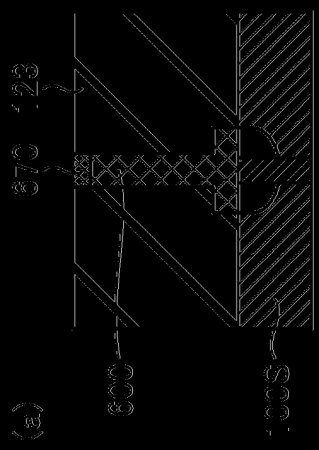
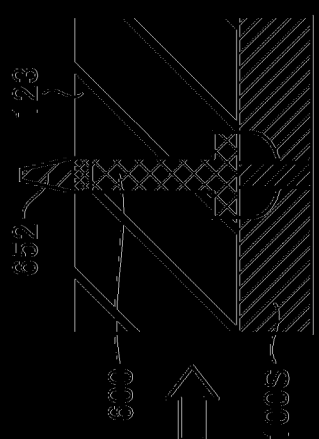
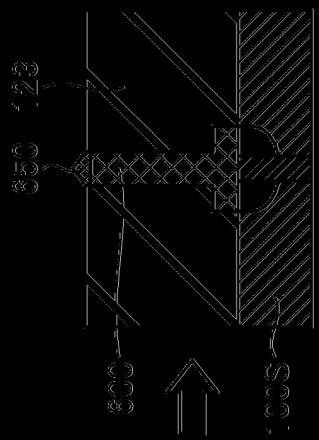
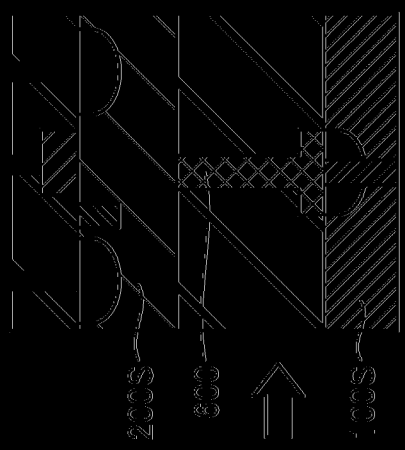


(b)

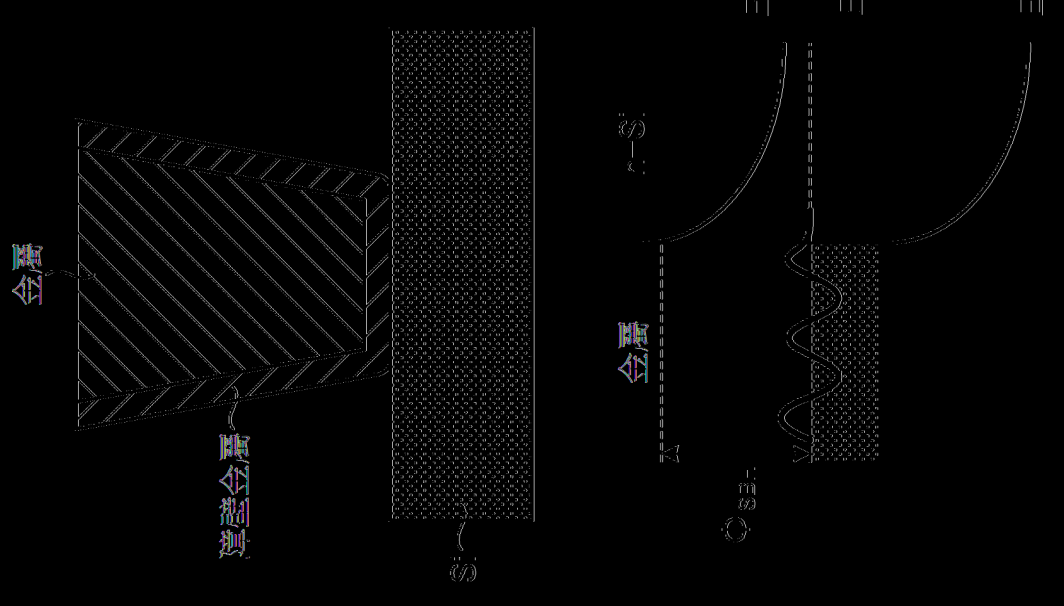
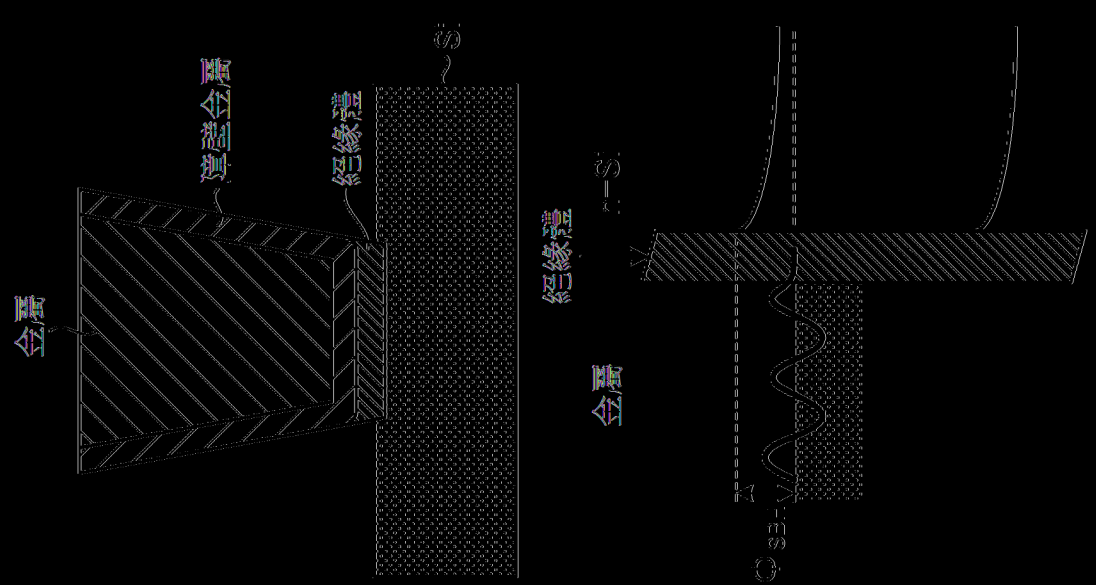


(c)

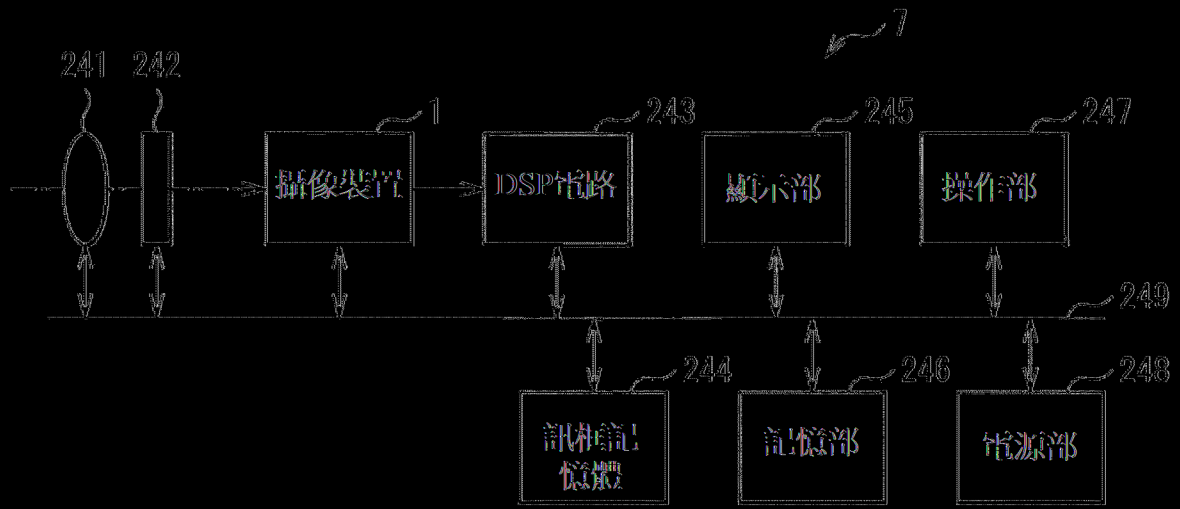
【圖69】



【圖72】



【図7】



〔圖16〕



〔圖17〕