

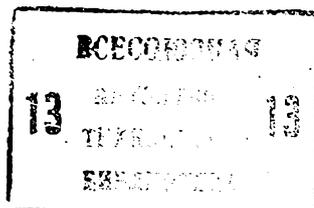


СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1175020 A

(51)4 Н 03 К 5/13

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3714087/24-21
- (22) 27.03.84
- (46) 23.08.85. Бюл. № 31
- (72) А.Г. Кольшжкин и С.Н. Малюков
- (53) 64.318(088.8)
- (56) Авторское свидетельство СССР № 873396, кл. Н 03 К 5/13, 03.12.79.
Авторское свидетельство СССР № 1102026, кл. Н 03 К 5/13, 04.04.83.

(54)(57) УСТРОЙСТВО РЕГУЛИРУЕМОЙ ЗАДЕРЖКИ, содержащее счетчик, счетный вход которого подключен к шине входного опорного сигнала, блок сравнения, первые входы которого подключены к выходам счетчика, буферный регистр, информационный вход которого соединен с шиной передачи информации, а тактовый вход соединен с выходом первого элемента И-НЕ, первый вход которого подключен к шине "Синхросигнал", а второй его вход к шине сигнала "Запрос" и к входу инвертора, причем выход блока сравнения соединен с информационным входом первого D-триггера, тактовый вход которого соединен с счетным входом счетчика и с тактовыми входами второго и третьего D-триггеров, а инверсный выход третьего D-тригге-

ра подключен к первому входу второго элемента И-НЕ, отличающееся тем, что, с целью увеличения допустимой скорости изменения задержки выходного сигнала при одновременном уменьшении аппаратного объема, в устройство введены элемент совпадения и четвертый D-триггер, вход установки которого соединен с выходом инвертора и входом установки второго D-триггера, инверсный выход четвертого D-триггера соединен с его информационным входом, а прямой выход соединен с входом установки первого D-триггера, инверсный выход которого подключен к выходной шине устройства, и к первому входу элемента совпадения, выход которого соединен с тактовым входом четвертого D-триггера, а второй вход элемента совпадения подключен к выходу второго элемента И-НЕ, второй вход которого соединен с прямым выходом второго D-триггера и с входом установки третьего D-триггера, причем информационные входы второго и третьего D-триггеров подключены к источнику сигнала логической единицы, а выходы буферного регистра соединены с вторыми входами блока сравнения.

(19) SU (11) 1175020 A

Изобретение относится к радиотехнике и может быть использовано в качестве исполнительного элемента систем автоматического регулирования по частоте, фазе, или временной задержке.

Цель изобретения - увеличение допустимой скорости изменения задержки выходного сигнала при одно-временном уменьшении аппаратурного объема.

На фиг. 1 приведена функциональная схема предлагаемого устройства; на фиг. 2 - диаграммы работы устройства.

Устройство регулируемой задержки (фиг. 1) содержит счетчик 1, счетный вход которого подключен к шине опорного сигнала, блок 2 сравнения, первые входы которого подключены к выходам счетчика 1, буферный регистр 3, информационный вход которого соединен с шиной передачи информации, а тактовый вход соединен с выходом первого элемента И-НЕ 4, первый вход которого подключен к шине "Синхросигнал", а второй его вход подключен к шине сигнала "Запрос" и входу инвертора 5, выход которого соединен с входами установки триггеров 6 и 7, инверсный выход D-триггера 6 соединен с его информационным входом, а прямой выход соединен с входом установки D-триггера 8, инверсный выход которого подключен к шине выходного сигнала и к первому входу элемента 9 совпадения, выход которого соединен с тактовым входом D-триггера 6, а второй вход элемента 9 совпадения подключен к выходу элемента И-НЕ 10, первый вход которого соединен с инверсным входом D-триггера 11, а второй вход элемента И-НЕ 10 соединен с выходом триггера 7 и входом установки триггера 11, причем тактовые входы D-триггеров 7, 8 и 11 подключены к счетному входу счетчика 1, выход блока 2 сравнения соединен с информационным входом D-триггера 8, а информационные входы D-триггеров 7 и 11 подключены к источнику сигнала логической единицы.

Устройство работает следующим образом.

На счетный вход счетчика 1 поступают импульсы с частотой повторения

f_0 . При этом происходит периодическое изменение кода, записанного в счетчике 1 с периодом k/f_0 (фиг. 2а). Текущий код A_i с выходов разрядов счетчика 1 поступает на первые входы блока 2 сравнения, на вторые входы которого поступает код B_j (фиг. 2а) с выходов буферного регистра 3.

При смене информации в буферном регистре 3 на выход элемента И-НЕ 4 асинхронно с последовательностью импульсов f_0 поступает сигнал "Запрос" (фиг. 2б), обеспечивающий прохождение на тактовый вход буферного регистра 3 через элемент И-НЕ 4 синхроимпульсов, по которым в буферный регистр последовательно заносится код B_j управления задержкой выходного импульса, поступающего с шины "Информация" на информационный вход буферного регистра 3. Кроме того, сигнал "Запрос" через инвертор 5 поступает на установочные входы D-триггеров 6 и 7 и переводит их прямые выходы в состояние логической "0".

На выходе блока 2 сравнения, синхронно с моментами совпадения входных кодов, формируются импульсы с частотой повторения $f_{вых} = f_0/k$. Кроме полезных импульсов на выходе будут присутствовать паразитные импульсы, наличие которых обусловлено влиянием конечных задержек и времени срабатывания реальных элементов счетчика 1 и блока 2 сравнения. Для фильтрации паразитных импульсов сигнал с выхода блока 2 сравнения поступает на информационный вход D-триггера 8. При этом на его установочном входе действует сигнал установки (фиг. 2в) с прямого выхода D-триггера 6. Он блокирует работу D-триггера 8, при этом на его инверсном выходе устанавливается сигнал логической "1" (фиг. 2д), который поступает на первый вход элемента 9 совпадения и на выход устройства.

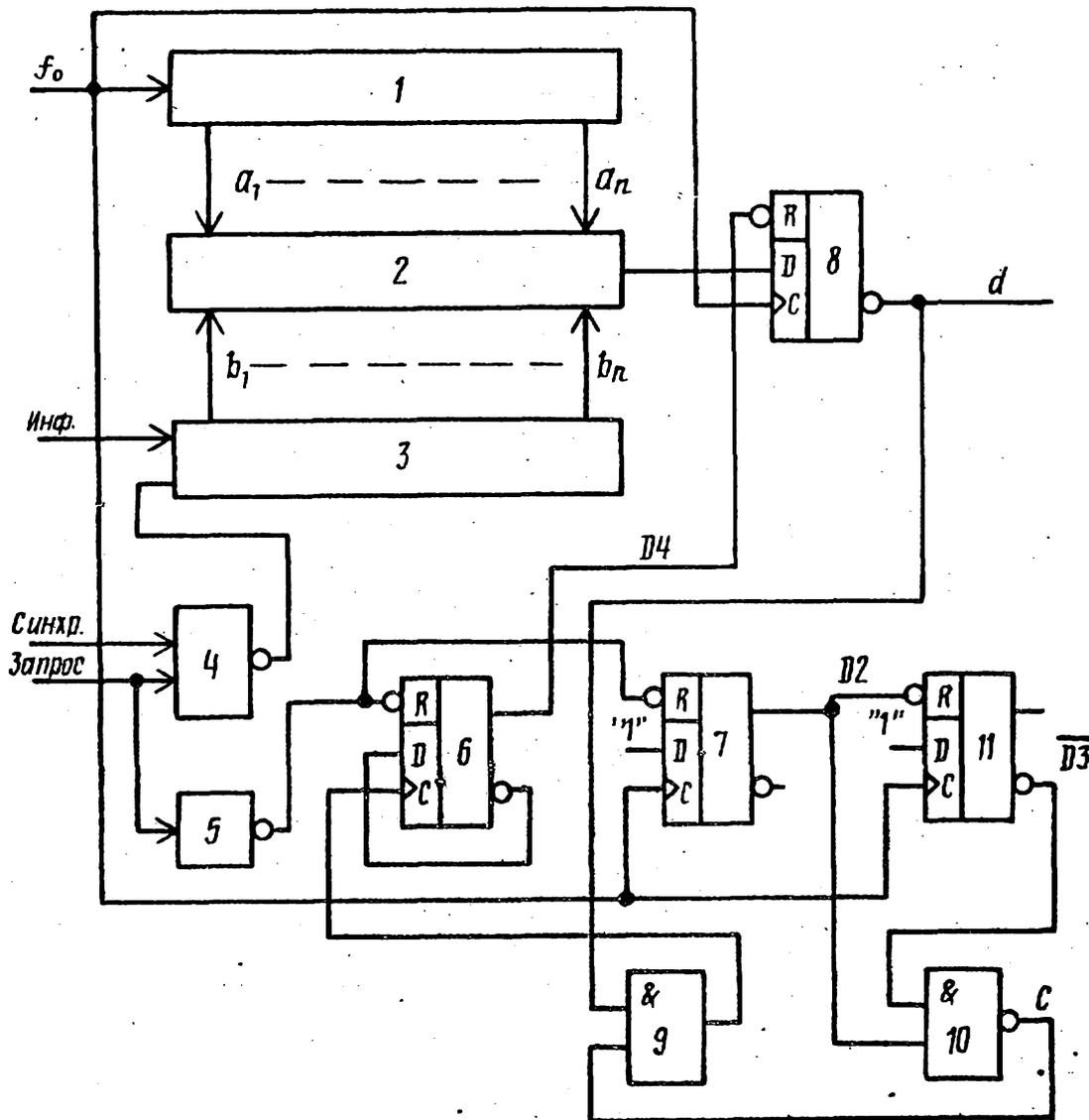
С выхода D-триггера 7 сигнал логического "0" (фиг. 2б) поступает на второй вход элемента И-НЕ 10 и на вход установки D-триггера 11, на инверсном выходе которого формируется сигнал логической "1" (фиг. 2е).

По окончании записи информации в буферный регистр 3 первый импульс

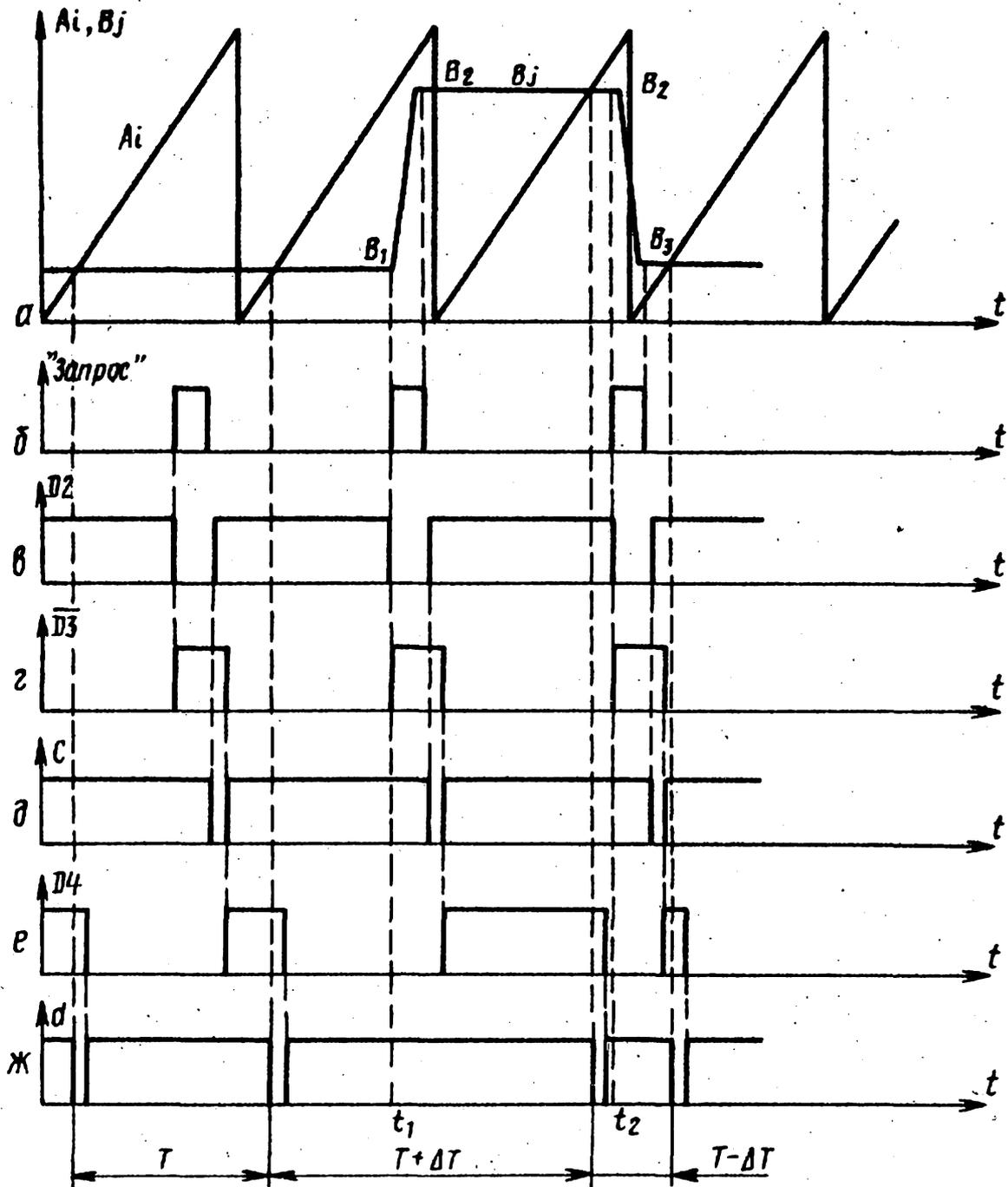
последовательности f_0 , поступивший после снятия сигнала "Запрос" (фиг. 2б), переводит прямой выход D-триггера 7 в состояние логической "1" (фиг. 2б). Следующий импульс последовательности f_0 переводит инверсный выход D-триггера 11 в состояние логического "0" (фиг. 2г). При этом на выходе элемента И-НЕ 10 формируется одиночный импульс, который проходит через элемент 9 совпадения и поступает на тактовый выход D-триггера 6. Задним фронтом импульса прямой выход указанного D-триггера переводится в состояние прямой логической "1". При этом снимается запрет на формирование на выходе D-триггера 8 сигнала

(фиг. 2д) по входному сигналу с блока 2 сравнения. Импульс выходного сигнала (фиг. 2ж) через элемент 9 совпадения поступает на счетный вход D-триггера 6 и задним фронтом переводит его прямой выход в состояние логического "0". Этот логический "0" подается на установочный вход D-триггера 8 (фиг. 2е) и вновь блокирует его работу.

Одновременно с началом нового импульса на шине "Запрос" прямой и инверсный выходы D-триггеров 7 и 11 переводятся соответственно в состояния логического "0" (фиг. 2б) и логической "1" (фиг. 2г), цикл работы предлагаемого устройства повторяется.



фиг.1



Фиг. 2

Составитель А. Титов
 Редактор Е. Лушникова Техред А. Бабинец Корректор А. Тяско

Заказ 5211/55 Тираж 872 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4