

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5154862号
(P5154862)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.

F 1

GO 1 S	7/486	(2006.01)	GO 1 S	7/486
HO 1 L	27/146	(2006.01)	HO 1 L	27/14
HO 1 L	31/10	(2006.01)	HO 1 L	31/10

A

A

請求項の数 7 (全 18 頁)

(21) 出願番号	特願2007-216515 (P2007-216515)
(22) 出願日	平成19年8月22日 (2007.8.22)
(65) 公開番号	特開2009-47660 (P2009-47660A)
(43) 公開日	平成21年3月5日 (2009.3.5)
審査請求日	平成22年6月29日 (2010.6.29)

(73) 特許権者	000236436 浜松ホトニクス株式会社 静岡県浜松市東区市野町1126番地の1
(74) 代理人	100088155 弁理士 長谷川 芳樹
(74) 代理人	100092657 弁理士 寺崎 史朗
(74) 代理人	100124291 弁理士 石田 悟
(72) 発明者	鈴木 高志 静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内
(72) 発明者	間瀬 光人 静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

最終頁に続く

(54) 【発明の名称】測距装置

(57) 【特許請求の範囲】

【請求項 1】

変調した光を対象物に照射する光源と、
前記光源に駆動信号を与える駆動回路と、
前記駆動信号に同期した検出用ゲート信号が与えられる第1及び第2ゲート電極、及び
、当該対象物で反射された光の入射に応答して発生したキャリアが、前記第1及び第2ゲ
ート電極に交互に検出用ゲート信号を印加することで、時分割で振り分けられる第1及び
第2半導体領域を備えた測距センサと、

前記測距センサの前記第1及び第2半導体領域から読み出された距離情報を示す信号から
、前記対象物までの距離を演算する演算手段と、
を備えた測距装置において、

前記第1及び第2半導体領域に前記振り分けられたキャリアをそれぞれ蓄積する複数の
キャパシタと、

前記キャパシタに蓄積されたキャリアの電荷量に対応する値のいずれかが、閾値を超
えたかどうかを判定する判定手段と、

前記キャパシタに蓄積されたキャリアの電荷量に対応する値のいずれかが、閾値を超
えた旨を、前記判定手段が示す場合には、それぞれの前記キャパシタの入力側端子を、前記
入力側端子に電流が流れるように設定されて前記キャパシタの蓄積電荷量を減少可能な一
定電位に接続する接続手段と、
を備える、

ことを特徴とする測距装置。

【請求項 2】

前記接続手段は、前記一定電位とそれぞれの前記キャパシタの入力側端子をそれぞれ接続する複数のスイッチを有し、

判定手段は、それぞれの前記キャパシタの出力側の電位が基準値を超えた場合に、一端の節点電位が変動する比較手段を有し、

前記節点電位の変動に応じて、複数の前記スイッチがONする、

ことを特徴とする請求項 1 に記載の測距装置。

【請求項 3】

前記接続手段は、前記一定電位とそれぞれの前記キャパシタの入力側端子をそれぞれ接続する複数のスイッチを有し、10

判定手段は、それぞれの前記キャパシタの入力側端子に、それぞれの制御端子が接続された複数のトランジスタを有し、

それぞれの前記キャパシタの入力側端子と前記トランジスタの一端との間の電圧が、前記トランジスタの動作閾値を超えた場合に、前記トランジスタが導通し、前記トランジスタの一端の節点電位が変動し、

前記節点電位の変動に応じて、複数の前記スイッチがONする、

ことを特徴とする請求項 1 に記載の測距装置。

【請求項 4】

それぞれの前記キャパシタは、前記対象物からの反射された光が入射する半導体基板内に形成されている、20

ことを特徴とする請求項 3 に記載の測距装置。

【請求項 5】

それぞれの前記キャパシタの入力側端子がそれぞれ接続された制御端子を有する複数の出力トランジスタを備え、

それぞれの前記出力トランジスタから、それぞれの前記キャパシタに蓄積された電荷量が読み出され、

前記出力トランジスタは、前記半導体基板内に形成されている、

ことを特徴とする請求項 4 に記載の測距装置。

【請求項 6】

前記比較手段は、それぞれのキャパシタの出力間に接続された複数の分圧抵抗を有し、30

前記分圧抵抗の抵抗接続点の電位が前記基準値を超えた場合に、前記一端の節点電位が変動する、

ことを特徴とする請求項 2 に記載の測距装置。

【請求項 7】

複数の前記スイッチと、それぞれの前記キャパシタの入力側端子との間に介在するスイッチ交換手段を更に備え、

前記スイッチをONする期間は、第1期間及び第2期間を含み、

前記スイッチ交換手段は、

第1期間では、40

第1の前記スイッチと第1の前記キャパシタを接続し、

第2の前記スイッチと第2の前記キャパシタを接続し、

第2期間では、

第1の前記スイッチと第2の前記キャパシタを接続し、

第2の前記スイッチと第1の前記キャパシタを接続する、ことを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の測距装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、測距装置に関する。

【背景技術】**【0002】**

特許文献1に記載の測距装置は、光源から出射された光を対象物に照射し、対象物からの反射光を光検出素子で測定しており、照射光と反射光の位相差に基づいて対象物までの距離を求めてている。ここで、特許文献1に記載の測距装置では、光検出素子が飽和しないように、モニタされた光量に応じてその検出期間を設定している。光検出素子は、長期間と短期間の2つの期間で反射光を検出し、光検出素子が飽和していない期間の電荷量を選択し、他方の期間の電荷量を破棄している。

10

【0003】

特許文献2に記載の測距装置も、特許文献1と同様に、光源から出射された光を対象物に照射し、対象物からの反射光を光検出素子で測定しており、照射光と反射光の位相差に基づいて対象物までの距離を求めてている。ここで、特許文献2に記載の測距装置では、光検出素子の露光期間を、初期検出された光量レベルに応じて適切に設定し、光検出素子の飽和を抑制している。

【0004】

特許文献3に記載の測距装置は、上記と同様の測距動作を、マイクロプロセッサを用いて実現している。

【0005】

20

特許文献4に記載の測距装置は、位相差を有する2つの検出信号のうちのいずれか一方が飽和した場合に、画素をリセットしている。

【特許文献1】特開2006-84430号公報

【特許文献2】米国特許出願公開2006/0176467号明細書

【特許文献3】米国特許6,919,549号明細書

【特許文献4】米国特許7,157,685号明細書

【発明の開示】**【発明が解決しようとする課題】****【0006】**

しかしながら、いずれの文献においても、信号電荷の飽和は抑制されているが、距離情報の検出精度は十分ではない。特に、特許文献4では、距離情報となる差分信号もリセットしており、飽和抑制を行う代わりに距離情報の検出精度が低くなるという問題がある。

30

【0007】

本発明は、このような課題に鑑みてなされたものであり、出力飽和を抑制しつつ、正確な測距が可能な測距装置を提供することを目的とする。

【課題を解決するための手段】**【0008】**

上述の課題を解決するため、本発明に係る測距装置は、変調した光を対象物に照射する光源と、前記光源に駆動信号を与える駆動回路と、前記駆動信号に同期した検出用ゲート信号が与えられる第1及び第2ゲート電極、及び、当該対象物で反射された光の入射に応答して発生したキャリアが、前記第1及び第2ゲート電極に交互に検出用ゲート信号を印加することで、時分割で振り分けられる第1及び第2半導体領域を備えた測距センサと、前記測距センサの前記第1及び第2半導体領域から読み出された距離情報を示す信号から、前記対象物までの距離を演算する演算手段と、を備えた測距装置において、前記第1及び第2半導体領域に振り分けられたキャリアをそれぞれ蓄積する複数のキャパシタと、キャパシタに蓄積されたキャリアの電荷量に対応する値のいずれかが、閾値を超えたかどうかを判定する判定手段と、キャパシタに蓄積されたキャリアの電荷量に対応する値のいずれかが、閾値を超えた旨を、判定手段が示す場合には、それぞれのキャパシタの入力側端子を、前記入力側端子に電流が流れるように設定されて前記キャパシタの蓄積電荷量を減少可能な一定電位に接続する接続手段と、を備えることを特徴とする。

40

50

【0009】

本発明に係る測距装置によれば、各キャパシタに蓄積された電荷量は、対象物までの距離に依存するが、この中には対象物からの反射光以外の光、すなわち、外光も含まれている。したがって、外光は一定値であるため、いずれかの値が閾値を超えた場合に、接続手段が、キャパシタの入力側端子を一定電位に接続することで、蓄積電荷量を減少させ、キャパシタの飽和を抑制することができる。即ち、キャパシタの入力側端子を一定電位に接続することで、一定電流を注入して、蓄積電荷量の内の外光による成分をキャンセルすることができる。ここで、キャパシタを一定電位に接続しても、キャパシタ内には、対象物からの反射光によって発生したキャリアが測距有効電荷として残留しており、一定電位の接続後においても、キャパシタ内に測距有効電荷を更に蓄積することができる。したがって、電荷積算によって、キャパシタに蓄積される電荷のS/N比は向上するため、正確な測距が可能となる。

10

【0010】

なお、閾値を超えるとは、最終的にキャパシタの蓄積電荷量が低下するように、上記値が閾値を超えることであり、例えばトランジスタの動作閾値が負であり、これを超えるとは、上記値が負である場合には、その絶対値が動作閾値を超えることを意味するものとする。

【0011】

また、接続手段は、一定電位とそれぞれのキャパシタの入力側端子をそれぞれ接続する複数のスイッチを有し、判定手段は、それぞれのキャパシタの出力側の電位が基準値を超えた場合に、一端の節点電位が変動する比較手段を有し、節点電位の変動に応じて、複数の前記スイッチがONすることが好ましい。なお、電位が基準値を超えるとは、上記値が閾値を超える場合の意味に準じることとする。

20

【0012】

キャパシタの出力が基準値を超えた場合には、それぞれのスイッチがONするため、キャパシタの入力側端子が一定電位に接続され、上述の作用を奏することができる。

【0013】

また、接続手段は、一定電位とそれぞれのキャパシタの入力側端子をそれぞれ接続する複数のスイッチを有し、判定手段は、それぞれのキャパシタの入力側端子に、それぞれの制御端子が接続された複数のトランジスタを有し、それぞれのキャパシタの入力側端子とトランジスタの一端との間の電圧が、トランジスタの動作閾値を超えた場合に、トランジスタが導通し、トランジスタの一端の節点電位が変動し、節点電位の変動に応じて、複数のスイッチがONすることが好ましい。

30

【0014】

すなわち、トランジスタの動作閾値を、比較の基準値として用いることで、キャパシタに蓄積されたキャリアの電荷量に対応する値の外光による変動を検知することができ、トランジスタの一端の節点電位によって、複数のスイッチをONさせることができる。この場合も、上記と同様に作用する。

【0015】

また、それぞれのキャパシタは、対象物からの反射された光が入射する半導体基板内に形成されていることとしてもよい。半導体基板内にキャパシタを形成することにより、後段の回路構成を簡単にすることができます。

40

【0016】

また、この場合、それぞれのキャパシタの入力側端子がそれぞれ接続された制御端子を有する複数の出力トランジスタを備え、それぞれの出力トランジスタから、それぞれのキャパシタに蓄積された電荷量が読み出され、出力トランジスタは、半導体基板内に形成されていることとすることも可能である。

【0017】

キャパシタと共に出力トランジスタを半導体基板内に形成することで、半導体基板内で発生したキャリアによる信号を増幅することができるため、出力の劣化を抑制し、光感応

50

領域を含む画素をAPS(Active Pixel Sensor)として機能させることができる。

【0018】

また、上記比較手段は、それぞれのキャパシタの出力間に接続された複数の分圧抵抗を有し、分圧抵抗の抵抗接続点の電位が基準値を超えた場合に、一端の節点電位が変動することとしてもよい。すなわち、分圧抵抗によって、キャパシタの出力側端子の電位が平均化されるため、全体として外光が強い場合にはスイッチがONすることになる。すなわち、検出される光の位相の違いによる外光強度の差を緩和し、より正確な外光除去を行うことができる。

【0019】

なお、本発明に係る測距装置は、複数のスイッチと、それぞれのキャパシタの入力側端子との間に介在するスイッチ交換手段を更に備え、スイッチをONする期間は、第1期間及び第2期間を含み、スイッチ交換手段は、第1期間では、第1のスイッチと第1のキャパシタを接続し、第2のスイッチと第2のキャパシタを接続し、第2期間では、第1のスイッチと第2のキャパシタを接続し、第2のスイッチと第1のキャパシタを接続することが好ましい。

【0020】

すなわち、スイッチはトランジスタから構成されるが、接続関係を入れ替えることで、このスイッチの特性の違いによるキャパシタへの入力電位の差を相殺することができる。この場合、特性差が相殺されるので、更に正確な測距を行うことが可能となる。

【発明の効果】

【0021】

本発明に係る測距装置によれば、出力飽和を抑制しつつ正確な測距を行うことができる。

【発明を実施するための最良の形態】

【0022】

以下、実施の形態に係る測距装置について説明する。なお、同一要素には、同一符号を用いることとし、重複する説明は省略する。

【0023】

図1は測距装置の構成を示す説明図である。

【0024】

本例の測距センサ1は、裏面入射型測距センサであるとするが、表面入射型測距センサとしてもできる。この測距装置は、測距センサ1と、近赤外光を出射する光源3と、光源3にパルス駆動信号S_Pを与える駆動回路4と、裏面入射型測距センサ1の各画素に含まれる第1及び第2ゲート電極(TX1, TX2:図5参照)に、パルス駆動信号S_Pに同期した検出用ゲート信号S_L, S_Rを与える制御回路2と、測距センサ1の第1及び第2半導体領域(FD1, FD2:図5参照)から読み出された距離情報を示す信号d'(m, n)から、歩行者などの対象物Hまでの距離を演算する演算回路(演算手段)5を備えている。測距センサ1から対象物Hまでの水平方向Dの距離をdとする。本例はパルス状の駆動信号で光の変調を行った例を主として説明するが、駆動信号はパルス状に限らず、正弦波状でもよい。

【0025】

制御回路2は、パルス駆動信号S_Pを駆動回路4のスイッチ4bに入力している。LED又はレーザダイオードからなる投光用の光源3は、スイッチ4bを介して電源4aに接続されている。したがって、スイッチ4bにパルス駆動信号S_Pが入力されると、パルス駆動信号S_Pと同じ波形の駆動電流が光源3に供給され、光源3からは測距用のプローブ光としてのパルス光L_Pが出力される。

【0026】

パルス光L_Pが対象物Hに照射されると、対象物Hによってパルス光が反射され、パルス光L_Dとして、裏面入射型測距センサ1に入射して、パルス検出信号S_Dを出力する。

10

20

30

40

50

パルス検出信号 S_D はパルス光 L_D の入射に応じて基板内部で発生した総電荷量を示し、立ち上がりと立ち下がりのタイミングはパルス光 L_D に一致するが、距離 d に応じた分だけパルス光 L_P に対して位相が遅延している。

【0027】

測距センサ1は、配線基板10上に固定されており、配線基板10上の配線を介して、距離情報を有する信号 d' (m, n) が各画素から出力される。

【0028】

パルス駆動信号 S_P の波形は、周期 T の方形波であり、ハイレベルを「1」、ローレベルを「0」とすると、その電圧 $V(t)$ は以下の式で与えられる。

・パルス駆動信号 S_P :

- ・ $V(t) = 1$ (但し、 $0 < t < (T/2)$ の場合)
- ・ $V(t) = 0$ (但し、 $(T/2) < t < T$ の場合)
- ・ $V(t+T) = V(t)$

10

【0029】

検出用ゲート信号 S_L 、 S_R の波形は、周期 T の方形波であり、その電圧 $V(t)$ は以下の式で与えられる。

・検出用ゲート信号 S_L :

- ・ $V(t) = 1$ (但し、 $0 < t < (T/2)$ の場合)
- ・ $V(t) = 0$ (但し、 $(T/2) < t < T$ の場合)
- ・ $V(t+T) = V(t)$

20

・検出用ゲート信号 S_R (= S_L の反転) :

- ・ $V(t) = 0$ (但し、 $0 < t < (T/2)$ の場合)
- ・ $V(t) = 1$ (但し、 $(T/2) < t < T$ の場合)

$V(t+T) = V(t)$

【0030】

上記パルス信号 S_P 、 S_L 、 S_R 、 S_D は、全てパルス周期 $2 \times T_P$ を有していることとする。検出用ゲート信号 S_L 及びパルス検出信号 S_D が共に「1」のときに測距センサ1内で発生する電荷量を Q_1 、検出用ゲート信号 S_R 及びパルス検出信号 S_D が共に「1」のときに測距センサ1内で発生する電荷量を Q_2 とする。

【0031】

30

測距センサ1における一方の検出用ゲート信号 S_L とパルス検出信号 S_D の位相差は、他方の検出用ゲート信号 S_R とパルス検出信号 S_D が「1」の時の重複期間において、裏面入射型測距センサ1において発生した電荷量 Q_2 に比例する。すなわち、電荷量 Q_2 は、検出用ゲート信号 S_R とパルス検出信号 S_D の論理積が「1」である期間において発生した電荷量である。1画素内において発生する全電荷量を $Q_1 + Q_2$ とし、駆動信号 S_P の半周期のパルス幅を T_P とすると、 $t = T_P \times Q_2 / (Q_1 + Q_2)$ の期間だけ、駆動信号 S_P に対してパルス検出信号 S_D が遅れていることになる。

【0032】

1つのパルス光の飛行時間 t は、対象物までの距離を d 、光速を c とすると、 $t = 2d/c$ で与えられるため、特定の画素からの距離情報を有する信号 d' として2つの電荷量 (Q_1 , Q_2) が output されると、演算回路5は、入力された電荷量 Q_1 , Q_2 と、予め判明している半周期パルス幅 T_P に基づいて、対象物Hまでの距離 $d = (c \times t) / 2 = c \times T_P \times Q_2 / (2 \times (Q_1 + Q_2))$ を演算する。

40

【0033】

上述のように、電荷量 Q_1 , Q_2 を分離して読み出せば、演算回路5は、距離 d を演算することができる。なお、上述のパルスは繰り返して出射され、その積分値を各電荷量 Q_1 , Q_2 として出力することができる。

【0034】

また、電荷量 Q_1 , Q_2 の全体電荷量に対する比率は、上述の位相差、すなわち、対象物Hまでの距離に対応しており、演算回路5は、この位相差に応じて対象物Hまで距離を

50

演算している。上述のように、位相差に対応する時間差を t とすると、距離 d は、好適には $d = (c \times t) / 2$ で与えられるが、適当な補正演算をこれに加えて行ってもよい。例えば、実際の距離と、演算された距離 d とが異なる場合、後者を補正する係数 α を求め求めておき、出荷後の製品では演算された距離 d に係数 α を乗じたものを最終的な演算距離 d としてもよい。また、外気温度を測定しておき、外気温度に応じて光速 c が異なる場合には、光速 c を補正する演算を行ってから、距離演算を行うこともできる。また、演算回路に入力された信号と、実際の距離との関係を予めメモリに記憶しておき、ルックアップテーブル方式によって、距離を演算してもよい。また、センサ構造によっても演算方法は変更することができ、これには従来から知られている演算方法を用いることができる。

10

【0035】

このように、演算回路 5 は、それぞれ読み出された電荷 Q_1 (Q_2) の全体電荷量 ($Q_1 + Q_2$) に対する比率に基づいて、対象物 H までの距離を演算している。対象物 H までの距離は、このような比率に依存するため、演算回路 5 は、かかる比率に基づいて距離を演算することができる。上記では、180 度の位相差で 2 つのゲート電極 TX1, TX2 (図 5 参照) を駆動した場合の例を説明した。

【0036】

なお、フォトゲート電極 PG (図 5) の横方向の両端に位置する半導体領域 FD1, FD2 から電荷量 Q_1, Q_2 が outputされるが、この他にフォトゲート電極 PG に対して縦方向の両端に位置する半導体領域から電荷量 Q_3, Q_4 を出力させることもできる。この場合の縦方向の構造は、横方向の構造と同一とする。

20

【0037】

この場合、90 度毎の位相差で上記 4 つのゲート電極を駆動し、各半導体領域から、 Q_1, Q_2, Q_3, Q_4 を出力する。この場合、距離 $d = \sqrt{c^2 / 2^2 + f^2}$ で与えられる。なお、駆動信号が正弦波状の場合には、 f は駆動信号 S_p の繰り返し周波数であり、位相 $\phi = -\arctan((Q_2 - Q_4) / (Q_1 - Q_3))$ で与えられる。

【0038】

図 2 は測距センサ 1 の平面図である。

【0039】

測距センサ 1 は、二次元状に配列した複数の画素 P (m, n) からなる撮像領域 1B を有する半導体基板 1A を備えている。各画素 P (m, n) からは、上述の距離情報を有する信号 $d' (m, n)$ として 2 つの電荷量 (Q_1, Q_2) が outputされる。各画素 P (m, n) は微小測距センサとして対象物 H までの距離に応じた信号 $d' (m, n)$ を出力するので、対象物 H からの反射光を、撮像領域 1B に結像すれば、対象物 H 上の各点までの距離情報の集合体としての対象物の距離画像を得ることができる。

30

【0040】

図 3 は図 2 に示した測距センサの I-I - I-I 矢印断面図である。

【0041】

測距センサ 1 には、光入射面 1BK からパルス光 L_D が入射する。裏面入射型測距センサ 1 の光入射面 1BK とは逆側の表面 1FT は、接着領域 AD を介して配線基板 10 に接続されている。接着領域 AD は、バンプなどの接着部材を含む領域であり、必要に応じて絶縁性の接着剤やフィラーを有している。裏面入射型測距センサ 1 を構成する半導体基板 1A は、補強用のフレーム部 F と、フレーム部 F よりも薄い薄板部 TF を有しており、これらは一体化している。薄板部 TF の厚さは、10 μm 以上 100 μm 以下である。本例のフレーム部 F の厚さは 200 μm 以上 600 μm 以下である。

40

【0042】

図 4 は変形例に係る測距センサの断面図である。

【0043】

この測距センサは、図 3 に示したものと半導体基板 1A の形状のみが異なり、他の構成は同一である。半導体基板 1A は、ストライプ状又は格子状に形成された補強部 AF を更

50

に有しており、補強部 A F の間に薄板部 T F が形成され、これらは一体化している。本例の補強部 A F の厚みは、フレーム部 A F の厚さと同じであり、200 μm 以上 600 μm 以下である。薄板部 T F には前述の各画素が形成されている。薄板部 T F は KOH 等のアルカリ性エッティング液を用いたウェットエッティングによって形成する。エッティングによって形成された露出表面の粗さは 1 μm 以下である。

【0044】

図 5 は、図 3 又は図 4 に示した測距センサの領域 V の拡大図である。

【0045】

裏面入射型測距センサ 1 は、反射防止膜 1 D が設けられる光入射面及び光入射面とは逆側の表面を有する P 型の半導体基板 1 A と、この表面上において絶縁層 1 E を介して設けられたフォトゲート電極 P G と、この表面上において絶縁層 1 E を介しフォトゲート電極 P G に隣接して設けられた第 1 及び第 2 ゲート電極 T X 1, T X 2 を備えている。反射防止膜 1 D の材料は、SiO₂ または SiN (窒化シリコン) である。

10

【0046】

ゲート電極 T X 1 の外側の半導体基板 (エピタキシャル層) 1 A 内の領域には、基板の表面側から高濃度の N 型不純物が添加されており、N 型の半導体領域 F D 1 からなるフローティング・ディフュージョン領域が形成されている。ゲート電極 T X 2 の外側の半導体基板 1 A 内の領域には、基板表面側から高濃度の N 型不純物が添加されており、N 型の半導体領域 F D 2 からなるフローティング・ディフュージョン領域が形成されている。半導体領域 F D 1, F D 2 は、ゲート電極 T X 1, T X 2 をそれぞれ含む電界効果トランジスタのドレインを構成している。なお、フォトゲート電極 P G には、若干の直流正電位が印加される。

20

【0047】

半導体基板 1 A に反射防止膜 1 D を介して対象物からの反射光が入射すると、半導体基板 1 A 内のフォトゲート電極 P G の直下の領域でキャリアが発生する。ゲート電極 T X 1, T X 2 に交互に高電位を与える (検出用ゲート信号 S_L, S_R を印加する) と、基板内において発生したキャリアが、交互に半導体領域 F D 1, F D 2 内に流れ込む。この際、半導体基板 1 A 内にはフリンジング電界が形成されている。絶縁層 1 E を厚くすることと、半導体基板内にフリンジング電界を形成することができる。フリンジング電界を形成するための好適な絶縁層 1 E の厚みは、50 ~ 5000 nm である。

30

【0048】

半導体領域 F D 1, F D 2 には、電極 18 a, 21 a が接触しており、接着層 A D 内に埋め込まれた内部配線を介して、上記配線基板 10 を構成する半導体基板 10 A の表面に形成された電極配線 18 g, 21 g に電気的に接続されている。なお、ゲート電極 T X 1, P G, T X 2 は、それぞれ、接着層 A D 内に埋め込まれた内部配線を介して、半導体基板 10 A の表面に形成された電極配線 12 g, 13 g, 14 g に電気的に接続されている。なお、半導体基板 1 A の電位をグランド電位などの基準電位に接続するため、半導体基板 1 A 内の適当な位置にバックゲート電極が設けられているが、基板内の厚み方向に貫通する貫通電極を設け、これをグランド電位に接続してもよい。

40

【0049】

図 6 は、配線基板 10 内の回路を示す回路図である。制御回路 2 からの出力をを利用して、光源 3 と電源 4 a をパルス駆動信号 S_P が入力するスイッチ 4 b が接続する駆動回路 4 の実際の構成を同時に示してある。なお、同図では、フォトゲート電極 P G、ゲート電極 T X 1, T X 2 は、それぞれの電界効果トランジスタのゲート電極として示されており、説明の便宜上、トランジスタはそのゲート電極と同一の符号を用いることとする。

【0050】

光の入射によってフォトゲート電極 P G の直下で発生したキャリアは、ゲート電極 T X 1 に高電位が印加されている場合には、電極配線 18 g を介して、チャージアンプ C A 1 の入力端子である節点 P 1 に流れ込む。チャージアンプ C A 1 がリセットされているものとすると、短絡スイッチ S W 1 を切断しておくことにより、チャージアンプ C A 1 の入出

50

力端子間に接続されたキャパシタ C 1 b に、節点 P 1 に流れ込んだキャリアが蓄積される。ゲート電極 TX 1 は、繰り返し高電位が与えられるので、キャパシタ C 1 b に蓄積されるキャリアの電荷量は徐々に増加し、チャージアンプ CA 1 の出力電圧が上昇する。チャージアンプ CA 1 の出力端子である節点 P 2 の電位が、閾値 V th を超えた場合には、比較器 COMP 1 の出力 V_{COMP_1} がハイレベルとなり、比較器 COMP 1 の出力は、トランジスタ Q c のゲート（制御端子）に入力される。

【0051】

同様に、光の入射によってフォトゲート電極 PG の直下で発生したキャリアは、ゲート電極 TX 2 に高電位が印加されている場合には、電極配線 21g を介して、チャージアンプ CA 2 の入力端子である節点 P 3 に流れ込む。チャージアンプ CA 2 がリセットされているものとすると、短絡スイッチ SW 2 を切断しておくことにより、チャージアンプ CA 2 の入出力端子間に接続されたキャパシタ C 2 b に、節点 P 3 に流れ込んだキャリアが蓄積される。ゲート電極 TX 2 は、繰り返し高電位が与えられるので、キャパシタ C 2 b に蓄積されるキャリアの電荷量は徐々に増加し、チャージアンプ CA 2 の出力電圧が上昇する。チャージアンプ CA 2 の出力端子である節点 P 4 の電位が、閾値 V th を超えた場合には、比較器 COMP 2 の出力 V_{COMP_2} がハイレベルとなり、比較器 COMP 1 の出力は、トランジスタ Q d のゲート（制御端子）に入力される。

【0052】

NMOSトランジスタ Q c, Q d のソースはグランド電位に接続されており、ドレインは節点を介して高電位 V_+ に接続されている。NMOSトランジスタ Q c 又はNMOSトランジスタ Q d のゲートにハイレベルが印加されると、ソース / ドレイン間にN型チャネルが形成され、高電位側の節点 P 6 とグランド電位が接続される。節点 P 6 の電位は高電位から低電位に変動する。

【0053】

節点 P 6 と高電位 V_+ との間には、PMOSトランジスタ Q e が介在しており、そのゲートは節点 P 6 に接続されている。また、チャージアンプ CA 1, CA 2 の入力側節点 P 1, P 3 と高電位 V_A との間には、それぞれPMOSトランジスタ Q a, Q b が介在している。節点 P 6 の電位が低下すると、スイッチとしてのトランジスタ Q a, Q b がONし、電位 V_A から等しい電流が節点 P 1, P 3 に向けて流れる。キャパシタ C 1 b, C 2 b の入力側には負電荷が蓄積されているので、流れ込んだ正電荷によってキャパシタ C 1 b, C 2 b の蓄積電荷量は減少する。この場合、チャージアンプ CA 1, CA 2 の出力電圧 V_{OUT_1}, V_{OUT_2} は低下するため、比較器 COMP 1, COMP 2 の出力はローレベルとなり、トランジスタ Q c を介したフィードバック制御が停止し、スイッチとしてのトランジスタ Q a, Q b が共にOFFする。キャパシタ C 1 b, C 2 b の入力側は、チャージアンプ CA 1, CA 2 の仮想接地により、高電位 V_B に保たれているため、トランジスタ Q a, Q b がONになっている間、2つのキャパシタに同じ電流値で同じ時間だけ電流が流れ、同じだけの正電荷が流れ込むことになる。

【0054】

トランジスタ TX 1, TX 2 に相補的な検出用ゲート信号 S_L, S_R を印加し、キャパシタ C 1 b, C 2 b の蓄積電荷量を徐々に増加させつつ、上記のようにフィードバック制御を行うと、キャパシタ C 1 b, C 2 b の飽和を抑制することができる。すなわち、キャパシタ C 1 b, C 2 b に蓄積される電荷量を十分に累積させ、累積後の所定のタイミングで出力 V_{OUT_1}, V_{OUT_2} を読み出すことができる。出力 V_{OUT_1}, V_{OUT_2} は電荷量 Q 1, Q 2 に対応するものであり、対象物までの距離を演算することができる値である。

【0055】

出力を読み出した後、キャパシタ C 1 b, C 2 b 間に介在する短絡スイッチ SW 1, SW 2 をONし、キャパシタ C 1 b, C 2 b に蓄積された電荷を放電し、リセットを行う。

【0056】

なお、図 6 のVIIで示す比較器 COMP 1 とトランジスタ Q c から構成される比較部

10

20

30

40

50

は、差動回路を用いて構成することができる。

【0057】

図7は、このような比較部の構成を示す回路図である。

【0058】

グランド電位と節点P6との間にはN MOSトランジスタQAが介在しており、N MOSトランジスタQAのソースは電流源ISを介してグランド電位に接続されている。高電位V+とグランド電位との間にはN MOSトランジスタQBが介在しており、N MOSトランジスタQBのソースは電流源ISを介してグランドに接続されている。トランジスタQBのゲートには基準値となる閾値電圧Vthが入力されており、トランジスタQAのゲートに入力がない場合には、トランジスタQBには一定の電流が流れている。

10

【0059】

トランジスタQAのゲートの入力電圧が上昇し、閾値電圧Vthを超えると、トランジスタQBを流れる電流が減少し、トランジスタQBよりも多くの電流がトランジスタQAに流れ。トランジスタQA, QBの利得が十分に大きいものとすると、トランジスタQAの入力が閾値電圧Vthを超えた場合には、節点P6の電位が低下し、上記比較器COMP1及びトランジスタQcと同様に動作する。なお、上記比較器COMP2及びトランジスタQdからなる比較部の構成も、図7に示したものと同一構造とすることができる。

【0060】

以上、説明したように、上記測距装置は、変調した光を対象物Hに照射し、対象物Hで反射された光の入射に応答して発生したキャリアを時分割で振り分け、振り分けられたキャリアの電荷量に基づいて、対象物Hまでの距離dを求める測距装置において、振り分けられたキャリアをそれぞれ蓄積する複数のキャパシタC1b, C2bと、キャパシタC1b, C2bに蓄積されたキャリアの電荷量に対応する値(出力電圧Vout1, Vout2)のいずれかが、閾値Vthを超えたかどうかを判定する判定手段(比較器COMP1, COMP2, Qc, Qd)と、キャパシタC1b, C2bに蓄積されたキャリアの電荷量に対応する値(出力電圧Vout1, Vout2)のいずれかが、閾値Vthを超えた旨を、判定手段が示す場合には、それぞれのキャパシタC1b, C2bの入力側端子P1, P3を、それぞれのキャパシタC1b, C2bの蓄積電荷量が減少するよう、一定電位VAに接続する接続手段(Qa, Qb)を備えている。

20

【0061】

各キャパシタC1b, C2bに蓄積された電荷量は、対象物までの距離dに依存するが、この中には対象物からの反射光以外の光、すなわち、外光も含まれている。したがって、外光は一定値であるため、いずれかの値(出力電圧Vout1, Vout2)が閾値Vthを超えた場合に、スイッチとしてのトランジスタQa, Qbが、キャパシタC1b, C2bの入力側端子P1, P3を一定電位VAに接続することで、蓄積電荷量を減少させ、キャパシタC1b, C2bの飽和を抑制することができる。ここで、キャパシタC1b, C2bを一定電位VAに接続しても、キャパシタC1b, C2b内には、対象物からの反射光によって発生したキャリアが測距有効電荷として残留しており、一定電位の接続後においても、キャパシタC1b, C2b内に測距有効電荷を更に蓄積することができる。したがって、電荷積算によって、キャパシタC1b, C2bに蓄積される電荷のS/N比は向上するため、正確な測距が可能となる。

30

【0062】

なお、閾値を超えるとは、最終的にキャパシタの蓄積電荷量が低下するよう、出力電圧Vout1, Vout2が閾値を超えることであり、例えばトランジスタの動作閾値が負であり、これを超えるとは、上記値が負である場合には、その絶対値が動作閾値を超えることを意味するものとする。

40

【0063】

また、上述の判定手段は、それぞれのキャパシタC1b, C2bの出力側の電位が基準値(Vth)を超えた場合に、一端の節点P6の電位が変動する比較部(比較手段)を有しており、節点電位の変動に応じて、複数のスイッチとしてのトランジスタQa, Qbが

50

ONしている。なお、電位が基準値を超えるとは、上記値が閾値を超える場合の意味に準じる。キャパシタC1b, C2bの出力が基準値を超えた場合には、それぞれのスイッチがONするため、キャパシタC1b, C2bの入力側端子P1, P3が一定電位V_Aに接続され、上述の作用を奏することができる。

【0064】

上述の回路は光感応領域を含む画素をAPS(Active Pixel Sensor)として構成することもできる。

【0065】

図8は、このように光感応領域を含む画素をAPSとして構成した場合の回路図である。制御回路2からの出力をを利用して、光源3と電源4aをパルス駆動信号S_pが入力するスイッチ4bが接続する駆動回路4の実際の構成を同時に示してある。

10

【0066】

この回路は、節点P1, P3と節点P6との間の回路構成を変更したものである。節点P1には、スイッチSW10の一端、キャパシタC10の一端、出力トランジスタQ_xのゲート、比較用のトランジスタQ_cのゲートが接続されており、スイッチSW10の他端、キャパシタC10の他端、出力トランジスタQ_xのドレインは高電位V_Bに接続されている。節点P3には、スイッチSW20の一端、キャパシタC20の一端、出力トランジスタQ_yのゲート、比較用のトランジスタQ_dのゲートが接続されており、スイッチSW20の他端、キャパシタC20の他端、出力トランジスタQ_yのドレインは高電位V_Bに接続されている。

20

【0067】

スイッチSW10, SW20をONしてリセットし、節点P1, P3の電位を十分に高くした状態で、スイッチSW10, SW20をOFFする。トランジスタTX1, TX2を交互駆動することで、キャパシタC10, C20にキャリアが流れ込むと、キャパシタC10, C20の電位が低下し、比較用のPMOSトランジスタQ_cのゲートに与えられる電位と接点P6との間の電圧が、トランジスタQ_c又はQ_dの動作閾値を超えると、トランジスタQ_c, Q_dがONとなり、トランジスタQ_c, Q_dのソース側の節点P6の電位が低下し、スイッチとしてのトランジスタQ_a, Q_bがONする。これにより、節点P1, P3を介して一定電位V_AからキャパシタC10, C20に正の電荷が流れ込むため、節点P1, P3の電位が上昇し、比較用のPMOSトランジスタQ_c, Q_dが停止し、その上流側の節点P6の電位が上昇し、スイッチとしてのトランジスタQ_a, Q_bがOFFする。

30

【0068】

なお、キャパシタC10, C20内には、上記キャパシタC1b, C2bと同様に、測距有効電荷が残留する。トランジスタQ_a, Q_bのON/OFFを複数回繰り返すことで、キャパシタC10, C20内に測距有効電荷を累積的に蓄積した後、出力トランジスタQ_x, Q_yのソースに接続されたスイッチSW11, SW12をONし、蓄積電荷量に応じた出力電圧V_{out1}, V_{out2}を読み出す。

【0069】

以上のように、本実施形態の判定手段は、それぞれのキャパシタC10, C20の入力側端子P1, P3に、それぞれの制御端子(ゲート)が接続された複数のトランジスタQ_c, Q_dを有し、それぞれのキャパシタC10, C20の入力側端子P1, P3とトランジスタQ_c, Q_dの一端(ソース)との間の電圧が、トランジスタQ_c, Q_dの動作閾値(V_{gs}=V_{th})を超えた場合に、トランジスタQ_c, Q_dが導通し、トランジスタQ_c, Q_dの一端の節点P6の電位が変動し、節点電位の変動に応じて、複数のスイッチとしてのトランジスタQ_a, Q_bがONしている。

40

【0070】

すなわち、トランジスタQ_c, Q_dの動作閾値を、比較の基準値として用いることで、キャパシタC10, C20に蓄積されたキャリアの電荷量に対応する値(出力電圧V_{out1}, V_{out2}を与える節点P1, P3の電位)の外光による変動を検知することができる。

50

き、トランジスタ Q_c , Q_d の一端の節点 P_6 の電位によって、複数のスイッチとしてのトランジスタ Q_a , Q_b を ON させることができる。この場合も、上記と同様に作用し、正電荷がキャパシタ C_{10} , C_{20} に流れ込む。

【0071】

なお、本回路は APS とするため、キャパシタ C_{10} , C_{20} は半導体基板 1A (図 2 参照) の各画素内に形成されている。半導体基板 1A 内にキャパシタ C_{10} , C_{20} を形成することにより、後段の回路構成を簡単にすることができます。なお、複数の出力トランジスタ Q_x , Q_y は、それぞれのキャパシタ C_{10} , C_{20} の入力側端子がそれぞれ接続された制御端子を有しており、それぞれの出力トランジスタ Q_x , Q_y から、それぞれのキャパシタ C_{10} , C_{20} に蓄積された電荷量が読み出されるが、出力トランジスタ Q_x , Q_y も、半導体基板 1A の各画素内に形成されている。

【0072】

キャパシタ C_{10} , C_{20} と共に出力トランジスタ Q_x , Q_y を半導体基板 1A 内に形成することで、半導体基板 1A 内で発生したキャリアによる信号を増幅することができる、出力の劣化を抑制し、光感応領域を含む画素を APS として機能させることができます。

【0073】

図 9 は、上述の図 8 の回路におけるリセット直後からの節点 P_1 , P_3 の電位 (a) と出力電圧 V_{OUT1} , V_{OUT2} の電位 (b) のタイミングチャートである。節点 P_1 に節点 P_3 よりも少し大きな電流が光感応領域から流れ込む状態のシミュレーション結果である。

【0074】

リセット解除後の節点 P_1 , P_3 の電位 P_1 , P_3 は高電位 V_B から低下していくが、トランジスタ Q_c , Q_d が ON となり、フィードバック回路が働くと節点 P_1 の電位は増加を始めるが、節点 P_3 の電位は一定値にとどまることになる。出力電圧 V_{OUT1} , V_{OUT2} は、リセット解除後は、同様に低下していくが、トランジスタ Q_c , Q_d が ON となり、フィードバック回路が働くと実際にはアナログ的な動作となり、以後は差分のみが出力されるようになる。これは、フィードバック回路が働くことにより外光がキャンセルされて、信号光による成分のみが、信号として取り出されるようになることによる。

【0075】

図 10 は、図 6 に示した実施形態の変形例の回路図である。制御回路 2 からの出力を利用して、光源 3 と電源 4a をパルス駆動信号 S_p が入力するスイッチ 4b が接続する駆動回路 4 の実際の構成を同時に示してある。

【0076】

本例では、チャージアンプ CA1, CA2 の出力側の節点 P_2 , P_4 を分圧抵抗を解して接続し、その抵抗接続点を比較器 COMP1 の一端に入力したものである。すなわち、本実施形態の比較手段は、それぞれのキャパシタ C_{1b} , C_{2b} の出力側の節点 P_2 , P_4 間に接続された複数の分圧抵抗 R_1 , R_2 を有しており、分圧抵抗 R_1 , R_2 の抵抗接続点の電位が基準値 (V_{th}) を超えた場合に、N MOS トランジスタ Q_c の一端の節点 P_6 の電位が、上記実施形態と同じように変動する。分圧抵抗 R_1 , R_2 の値は同じである。すなわち、分圧抵抗 R_1 , R_2 によって、キャパシタ C_{1b} , C_{2b} の出力側端子 P_2 , P_4 の電位が平均化されるため、全体として外光が強い場合にはスイッチとしてのトランジスタ Q_a , Q_b が ON することになる。すなわち、この構成によれば、検出される光の位相の違いによる外光強度の差を緩和し、より正確な外光除去を行うことができる。

【0077】

他の構成は、図 6 に示したものと同一である。

【0078】

なお、上述の実施形態において、外光強度を測定する別の光検出素子を設け、閾値 V_{th} 又は一定電位 V_A を、この光検出素子によって検出された外光強度に応じて設定することとしてもよい。

10

20

30

40

50

【0079】

また、トランジスタ Q_a , Q_b の特性差を相殺するため、節点 P_1 , P_3 とトランジスタ Q_a , Q_b をタスキ掛けに接続してもよい。

【0080】

図11は、節点 P_1 , P_3 とトランジスタ Q_a , Q_b の接続の変形例を示す回路図である。

【0081】

この測距装置では、複数のスイッチとしてのトランジスタ Q_a , Q_b と、それぞれのキャパシタの入力側端子 P_1 , P_3 との間に介在するスイッチ交換手段 a , b を更に備えている。トランジスタ Q_a , Q_b をONする期間は、偶数回のスイッチング期間を含んでいる。すなわち、トランジスタ Q_a , Q_b をONする期間は、第1期間 T_1 及び第2期間 T_2 を含んでおり、これらの期間は交互に繰り返される。第1期間 T_1 と第2期間 T_2 の大きさは等しい。スイッチ交換手段 a , b を構成するスイッチ a , b は、図示の如く端子 P_1 , P_3 に対して接続されており、スイッチ a , b は交互にONされる。スイッチ a がONされ、スイッチ b がOFFされた場合には、トランジスタ Q_a と節点 P_1 が接続され、トランジスタ Q_b と節点 P_3 が接続される。スイッチ b がONされ、スイッチ a がOFFされた場合には、トランジスタ Q_a と節点 P_3 が接続され、トランジスタ Q_b と節点 P_1 が接続される。

10

【0082】

すなわち、スイッチ交換手段は、第1期間 T_1 では、第1のトランジスタ Q_a と第1のキャパシタ C_{1b} (C_{10}) を接続し、第2のトランジスタ Q_b と第2のキャパシタ C_{2b} (C_{20}) を接続する。第2期間 T_2 では、第1のトランジスタ Q_a と第2のキャパシタ C_{2b} (C_{20}) を接続し、第2のトランジスタ Q_b と第1のキャパシタ C_{1b} (C_{10}) を接続する。

20

【0083】

このように、接続関係を入れ替えることで、このトランジスタの特性の違いによるキャパシタへの入力電流の差を相殺することができる。この場合、特性差が相殺されるので、更に正確な測距を行うことが可能となる。トランジスタの特性の影響は出力電圧 V_{out1} , V_{out2} の差分をとった場合に除去され、出力電圧 V_{out1} , V_{out2} の差分は信号成分の差分に比例することとなる。

30

【0084】

図12は、上述の図10の回路におけるリセット直後からの出力電圧 V_{out1} , V_{out2} のタイミングチャートである。

【0085】

上述の出力飽和を抑制する回路を用いない場合、リセット解除後の出力電圧 V_{out1} , V_{out2} は、キャパシタの飽和電荷量に対応した飽和電圧 V_{sat} に到達すると、時刻 t_x において飽和することになるが、上述の回路では、閾値 V_{th} に依存する所定値 V_a に近くなると、直流成分の電荷がキャパシタから除去されるため、時間に対する出力電圧 V_{out1} , V_{out2} の傾きが小さくなり、時間積分を継続することにより、測距有効電荷に依存する出力電圧 V_{out1} , V_{out2} の差分 $V_1 + V_2$ を拡大することができる。

40

【0086】

なお、上述のトランジスタ P_G の代わりに、逆バイアス印加されたフォトダイオードを用いることができる。

【図面の簡単な説明】

【0087】

【図1】測距装置の構成を示す説明図である。

【図2】測距センサ1の平面図である。

【図3】図2に示した測距センサのI—I—I—I—I矢印断面図である。

【図4】変形例に係る測距センサの断面図である。

50

【図5】図3又は図4に示した測距センサの領域Vの拡大図である。

【図6】配線基板10内の回路を示す回路図である。

【図7】比較部の構成を示す回路図である。

【図8】APSを用いた回路図である。

【図9】図8の回路におけるP1, P2の電位、出力電圧 V_{OUT1} , V_{OUT2} のタイミングチャートである。

【図10】図6に示した実施形態の変形例の回路図である。

【図11】節点P1, P3とトランジスタQa, Qbの接続の変形例を示す回路図である。

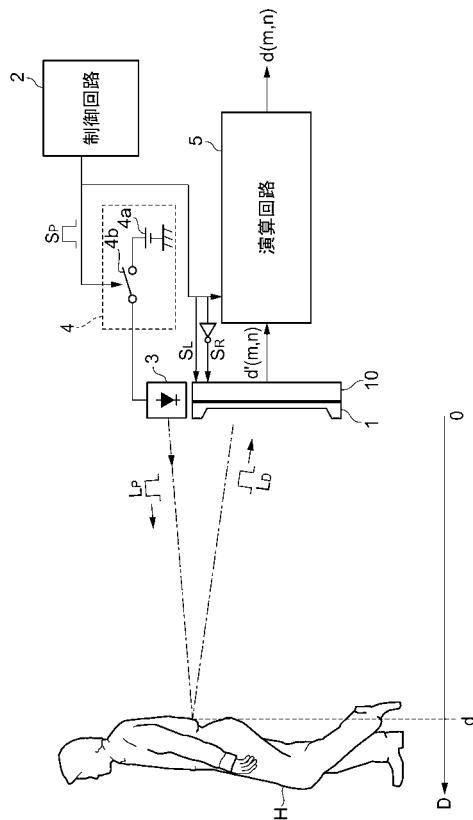
【図12】図10の回路における出力電圧 V_{OUT1} , V_{OUT2} のタイミングチャート 10である。

【符号の説明】

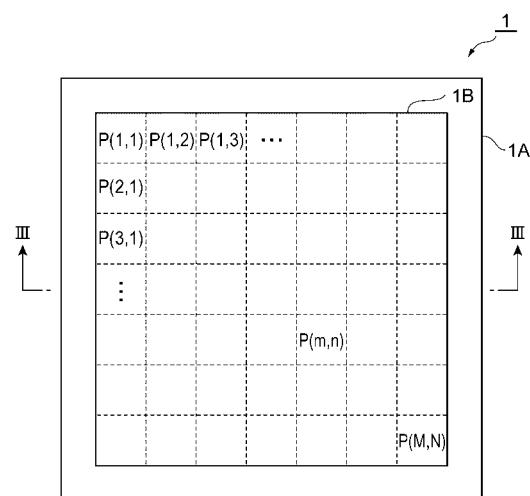
【0088】

P G … フォトゲート電極、TX1, TX2 … ゲート電極、COMP1, COMP2 … 比較器、C1b, C2b … キャパシタ。

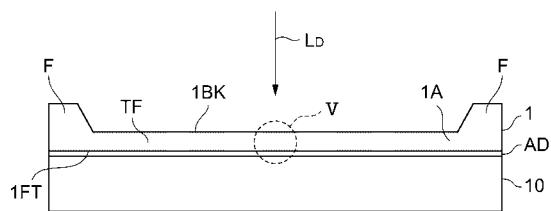
【図1】



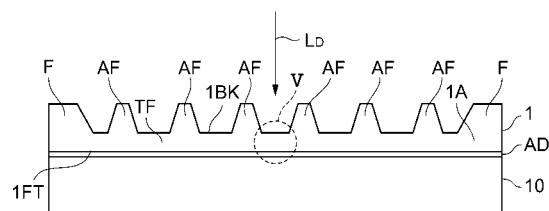
【図2】



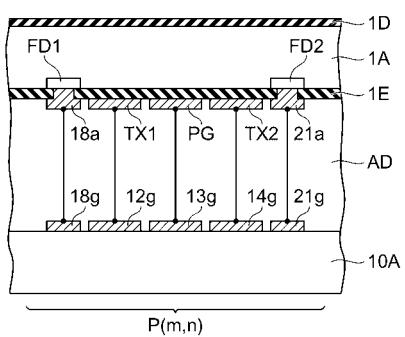
【図3】



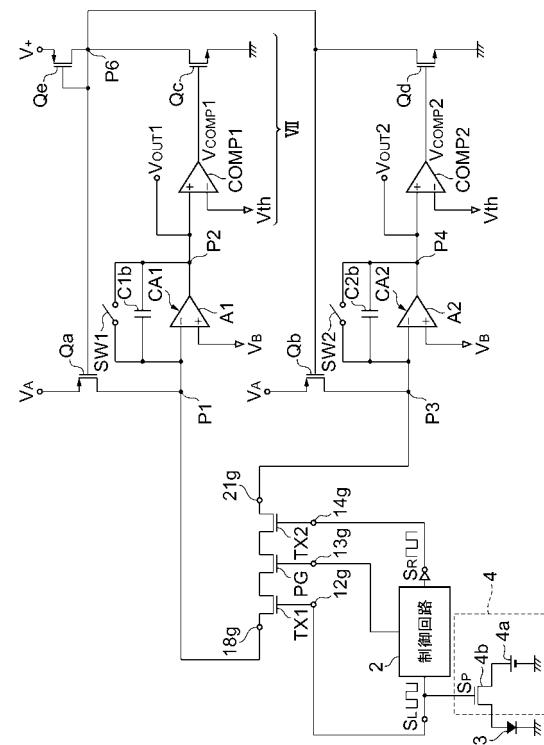
【図4】



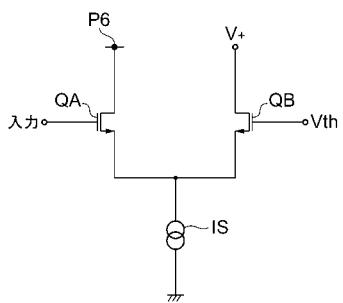
【図5】



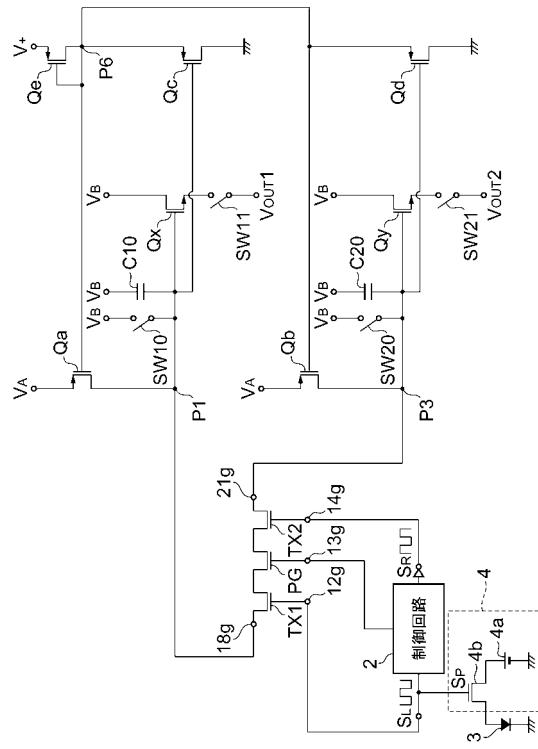
【図6】



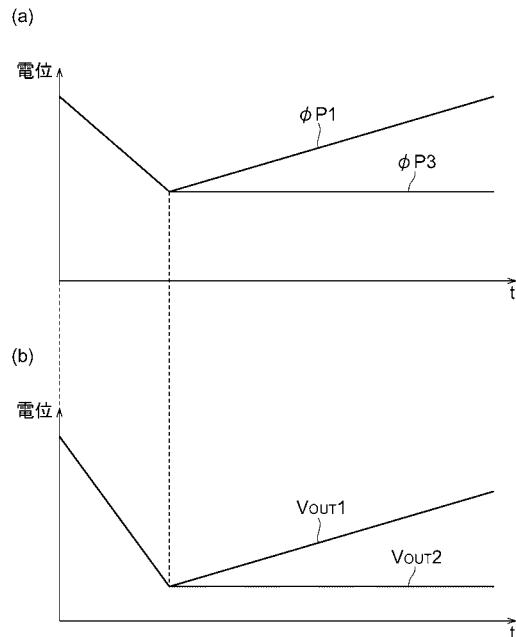
【図7】



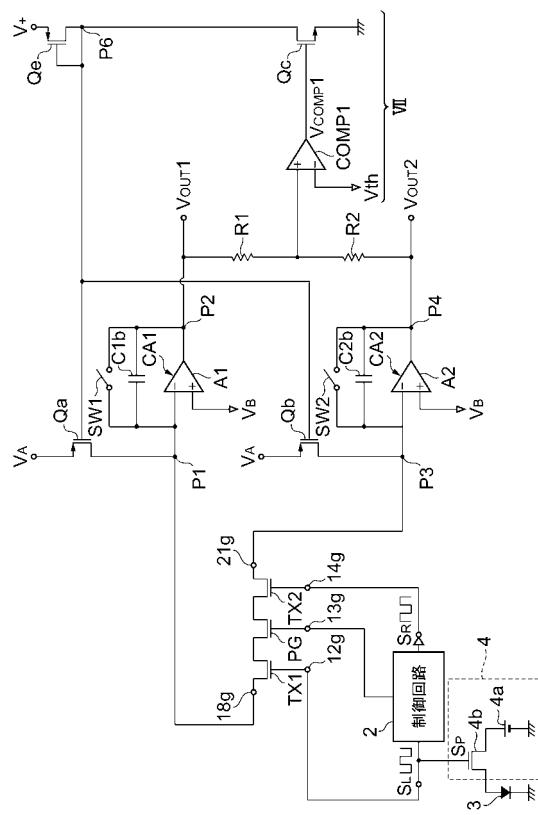
【図8】



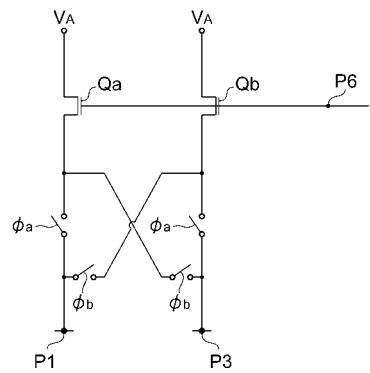
【図9】



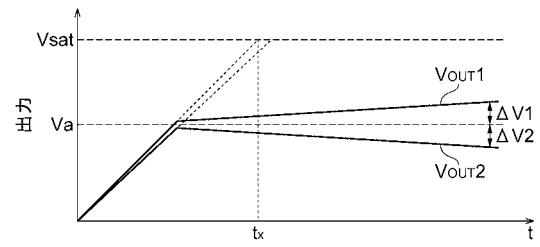
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 水野 誠一郎

静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

(72)発明者 武村 光隆

静岡県浜松市東区市野町1126番地の1 浜松ホトニクス株式会社内

審査官 大和田 有軌

(56)参考文献 特開2005-291985(JP, A)

特開昭61-048199(JP, A)

特開昭63-076384(JP, A)

特開2009-047662(JP, A)

特開2009-047661(JP, A)

特開2009-047659(JP, A)

特開2009-047658(JP, A)

特開2009-047475(JP, A)

特開2007-170856(JP, A)

特開2004-294420(JP, A)

特開昭60-105270(JP, A)

(58)調査した分野(Int.Cl., DB名)

G01S 7/48 - 7/51

G01S 17/00 - 17/95

G01C 3/00 - 3/32

G01B 11/00 - 11/30

H01L 27/14 - 27/148

H01L 31/10 - 31/119

H04N 5/30 - 5/378