

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-10075

(P2021-10075A)

(43) 公開日 令和3年1月28日(2021.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
H04N 5/355 (2011.01)	H04N 5/355 900	4M118
H01L 27/146 (2006.01)	H01L 27/146 A	5C024
	H01L 27/146 D	

審査請求 未請求 請求項の数 12 O L (全 19 頁)

(21) 出願番号	特願2019-121950 (P2019-121950)	(71) 出願人	000001007
(22) 出願日	令和1年6月28日 (2019.6.28)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100126240
			弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	関根 寛
			東京都大田区下丸子3丁目30番2号キヤ
			ノン株式会社内
		Fターム(参考)	4M118 AA02 AA10 AB01 BA14 BA19
			CA02 CA12 CA22 CB20 DB09
			DD04 DD06 FA06 GA02 GB09
			GD03 GD04 HA22 HA25
			5C024 CX43 CX44 EX43 GX03 GX16
			GX18 GX24 GY39 GY41

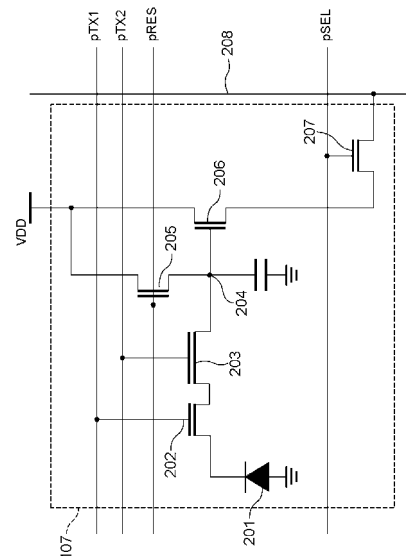
(54) 【発明の名称】 光電変換装置、光電変換システム、および移動体

(57) 【要約】

【課題】 リセット動作の遅延を生じさせることなくダイナミックレンジを拡大することができる。

【解決手段】 本発明の光電変換装置の一側面は、光電変換部と、入力ノードを有する増幅トランジスタと、第1転送トランジスタと、第1転送トランジスタと入力ノードとの間に配された第2転送トランジスタと、入力ノードに接続されたリセットトランジスタと、を備え、光電変換部から入力ノードに電荷を転送するときに、第2転送トランジスタのオンまたはオフを制御することにより入力ノードの容量値を切り替える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

光電変換部と、

前記光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、

前記光電変換部からの電荷の転送を制御する第 1 転送トランジスタと、

前記第 1 転送トランジスタと前記入力ノードとの間に配された第 2 転送トランジスタと

、
前記入力ノードに接続されたりセットトランジスタと、を備え、

前記光電変換部から前記入力ノードに電荷を転送するときに、前記第 2 転送トランジスタのオンまたはオフを制御することにより前記入力ノードの容量値を切り替えることを特徴とする光電変換装置。

10

【請求項 2】

前記光電変換部への入射光量が第 1 の光量である場合に前記第 2 転送トランジスタがオフの状態で前記第 1 転送トランジスタをオンし、

前記光電変換部への入射光量が前記第 1 の光量よりも多い第 2 の光量である場合に前記第 2 転送トランジスタがオンの状態で前記第 1 転送トランジスタをオンすることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記光電変換部への入射光量が前記第 2 の光量である場合に、前記第 1 転送トランジスタをオンする前からオフした後まで前記第 2 転送トランジスタはオンの状態を維持していることを特徴とする請求項 2 に記載の光電変換装置。

20

【請求項 4】

選択トランジスタを備え、

前記光電変換部への入射光量が第 1 の光量である場合に、前記選択トランジスタをオンの状態で、前記第 2 転送トランジスタがオフして前記第 1 転送トランジスタをオンすることを特徴とする請求項 2 または 3 に記載の光電変換装置。

【請求項 5】

複数の前記光電変換部が、第 1 の行及び前記第 1 の行とは異なる第 2 の行に配され、

前記光電変換部への入射光量が前記第 2 の光量である場合に、前記第 1 の行に配された前記光電変換部に接続された前記第 2 転送トランジスタをオンし、前記第 2 の行に配された前記光電変換部に接続された前記第 2 転送トランジスタをオフすることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の光電変換装置。

30

【請求項 6】

1 つの前記増幅トランジスタの前記入力ノードに第 1 の前記光電変換部および第 2 の前記光電変換部からの電荷が転送され、

前記第 1 の光電変換部からの電荷の転送を制御する第 1 の前記第 1 転送トランジスタと

、
前記第 2 の光電変換部からの電荷の転送を制御する第 2 の前記第 1 転送トランジスタと、を備え、

前記第 1 の第 1 転送トランジスタと前記第 2 の第 1 転送トランジスタとが 1 つの前記第 2 転送トランジスタを共有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の光電変換装置。

40

【請求項 7】

前記リセットトランジスタのゲートは、平面視で、前記第 2 転送トランジスタのゲートと前記増幅トランジスタのゲートとの間に配されることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記光電変換部は半導体基板の内部に配され、

前記第 1 転送トランジスタのゲートは、前記半導体基板の第 1 の面に配され、

前記第 1 の面にはマイクロレンズが配され、

50

平面視において、前記入力ノードを構成するフローティングディフュージョンは、前記マイクロレンズに重なる前記光電変換部、前記第１転送トランジスタ、前記第２転送トランジスタ、前記増幅トランジスタ、および前記リセットトランジスタにより構成されるユニットセル内において、前記マイクロレンズの光学中心から最も離れた位置に配されることを特徴とする請求項１乃至７のいずれか１項に記載の光電変換装置。

【請求項９】

前記光電変換部は半導体基板の内部に配され、

前記第１転送トランジスタのゲートは、前記半導体基板の第１の面に配され、

前記第１の面にはマイクロレンズが配され、

平面視において、前記入力ノードを構成するフローティングディフュージョンは、前記マイクロレンズに重ならない領域に配されることを特徴とする請求項１乃至８のいずれか１項に記載の光電変換装置。

【請求項１０】

前記第２転送トランジスタをオフしているときの前記入力ノードの容量は、前記光電変換部の容量よりも小さいことを特徴とする請求項１乃至９のいずれか１項に記載の光電変換装置。

【請求項１１】

請求項１乃至１０のいずれか１項に記載の光電変換装置と、

前記光電変換装置が出力する信号を処理する信号処理部と、を有することを特徴とする光電変換システム。

【請求項１２】

請求項１乃至１０のいずれか１項に記載の光電変換装置と、

前記光電変換装置からの信号に基づく視差情報から、対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、

前記距離情報に基づいて前記移動体を制御する制御手段をさらに有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、光電変換装置、光電変換システム、および移動体に関する。

【背景技術】

【０００２】

特許文献１には、光電変換装置において、ダイナミックレンジを拡大するために増幅トランジスタの入力ノードに一端が接続され、リセットトランジスタに他端が接続された容量付加用のトランジスタを有する構成が開示されている。リセットトランジスタの一端には容量付加用トランジスタに接続され、他端には電源電圧（ＶＤＤ）が供給されている。

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】米国特許公開公報第２００８／１７３９０９号明細書

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかしながら、特許文献１に記載の構成では、入力ノードの電位をリセットする際に、容量付加用のトランジスタのゲートとリセットトランジスタのゲートをオンにする必要がある。特許文献１に記載の構成では、リセットトランジスタの他端から入力ノードの間に複数のゲートが配されることになり、１つのゲートが配される場合に比べてゲート長が長くなりやすい。したがって、ゲートによる抵抗ができ、入力ノードが所定の電位にリセットされない等のリセット性能の低下が生じる可能性がある。

【課題を解決するための手段】

【 0 0 0 5 】

本発明に係る光電変換装置の一側面は、光電変換部と、前記光電変換部で生じた電荷が入力される入力ノードを有する増幅トランジスタと、前記光電変換部からの電荷の転送を制御する第 1 転送トランジスタと、前記第 1 転送トランジスタと前記入力ノードとの間に配された第 2 転送トランジスタと、前記入力ノードに接続されたりセットトランジスタと、を備え、前記光電変換部から前記入力ノードに電荷を転送するときに、前記第 2 転送トランジスタのオンまたはオフを制御することにより前記入力ノードの容量値を切り替える。

【 0 0 0 6 】

本発明に係る光電変換装置の一側面は、信号電荷と同じ第 1 の極性の電荷が多数キャリアである第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域で蓄積された電荷が転送される前記第 1 導電型の第 2 半導体領域と、前記第 2 半導体領域により入力ノードが構成される増幅トランジスタと、

前記第 1 半導体領域と前記第 2 半導体領域とを含む第 1 転送トランジスタと、を備え、前記第 2 半導体領域は、リセットトランジスタのソースまたはドレインを構成し、平面視で前記第 2 半導体領域と重なるように、第 2 転送トランジスタのゲートが配される。

【 発明の効果 】

【 0 0 0 7 】

本発明の構成によれば、光電変換装置のダイナミックレンジを拡大しつつ、入力ノードのリセット性能の低下を抑制することが可能となる。

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 第 1 の実施形態に係る光電変換装置のブロック図である。

【 図 2 】 第 1 の実施形態に係る画素の回路構成を示す図である。

【 図 3 】 第 1 の実施形態に係る画素の断面図及びポテンシャルを示す模式図である。

【 図 4 】 第 1 の実施形態に係る画素の平面図である。

【 図 5 】 第 1 の実施形態に係る読み出し動作を説明するためのタイミング図である。

【 図 6 】 第 1 の実施形態に係る読み出し動作におけるポテンシャルの概念図である。

【 図 7 】 第 2 の実施形態に係る読み出し動作を説明するためのタイミング図である。

【 図 8 】 第 3 の実施形態に係る画素の平面図である。

【 図 9 】 第 3 の実施形態に係る画素の回路構成を示す図である。

【 図 1 0 】 第 4 の実施形態に係る光電変換装置の分解斜視図である。

【 図 1 1 】 第 4 の実施形態に係る光電変換装置の画素の平面図である。

【 図 1 2 】 第 5 の実施形態に係る光電変換システムのブロック図である。

【 図 1 3 】 第 6 の実施形態に係る光電変換システム及び移動体の概略図である。

【 図 1 4 】 第 6 の実施形態に係る光電変換システムの動作を示すフロー図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

以下に示す形態は、本発明の技術思想を具体化するためのものであって、本発明を限定するものではない。各図面が示す部材の大きさや位置関係は、説明を明確にするために誇張していることがある。以下の説明において、同一の構成については同一の番号を付して説明を省略する場合がある。

【 0 0 1 0 】

以下の説明において信号キャリア（信号電荷）は電子とする。第 1 極性のキャリアを多数キャリアとする第 1 導電型の半導体領域は N 型半導体領域であり、第 2 極性のキャリアを多数キャリアとする第 2 導電型の半導体領域は P 型半導体領域である。信号キャリアを正孔としても本発明は成り立つ。この場合は、第 1 導電型の半導体領域を P 型半導体領域とし、第 2 導電型の半導体領域を N 型半導体領域となる。

【 0 0 1 1 】

以下の説明において、同様の機能を持つ素子や回路について同じ符号を付し、末尾に異

10

20

30

40

50

なるアルファベットの添字を加えて区別していることがある。両者を区別して説明する必要がある場合には、a, b等の添字を省略して共通部分を説明する。

【0012】

以下の説明では、特に断りのない限り、画素を構成するトランジスタはN型のMOSトランジスタであるものとして説明を行う。トランジスタがオンの状態とはN型MOSトランジスタにハイレベル（Hレベル）の制御信号が入力し、N型MOSトランジスタが導通の状態を示す。トランジスタがオフの状態とはローレベル（Lレベル）の制御信号が入力し、N型MOSトランジスタが非導通の状態を示す。

【0013】

なお、N型のMOSトランジスタでなくP型のMOSトランジスタを用いてもよい。その場合には、制御信号などのP型MOSトランジスタへ供給する電位をN型の場合と逆転させるなど適宜変更して適用することが可能である。また、各実施形態の説明において、回路素子同士の接続関係を説明しているが、別の素子（スイッチ、バッファなど）を間に入れるなどの変更は適宜行うことが可能である。

【0014】

（第1の実施形態）

図1は、第1の実施形態に係る光電変換装置の概略構成を表すブロック図である。光電変換装置は、光を検出し信号を出力するユニットセルを有する。本実施形態の光電変換装置は、撮像可能な光電変換装置とし、ユニットセルを画素とする。本実施形態に係る光電変換装置は撮像を行わない装置であっても効果を得ることができる。撮像を行わない装置としては、例えば、測距センサ、測光センサなどがある。測距センサは、典型的には被写体までの距離情報を生成するために用いられるセンサであり、例えばTOF（Time of Flight）センサ等が有る。測光センサは、典型的には被写体の明るさを検出するために用いられるセンサである。

【0015】

図1の光電変換装置は画素アレイ部101、垂直走査回路102、読み出し回路103、水平走査回路104、出力回路105、制御回路106を備える。

【0016】

画素アレイ部101は、行方向及び列方向に配置された複数の画素107を備えている。画素アレイ部101には、撮像信号を検出する画素のほかに、遮光されたオプティカルブラック画素や信号を出力しないダミー画素が配置されていてもよい。

【0017】

垂直走査回路102は画素107内のトランジスタのオン（導通状態）またはオフ（非導通状態）を切り替えるための制御信号を供給する。制御信号を供給する制御信号線108が、各画素行に対応して配されている。1つの制御信号線108には1つの画素行に配された複数の画素107が接続されている。

【0018】

垂直走査回路102は、制御回路106からの信号を受けて、各画素行に配された複数の画素107に制御信号を共有する。

【0019】

読み出し回路103は垂直出力線208に出力された画素信号に対して、増幅処理やAD変換処理などの信号処理を実施する。読み出し回路103は、画素107のリセット時の信号および光電変換時の信号に基づく相関二重サンプリング処理などを行う。

【0020】

水平走査回路104は、読み出し回路103に制御信号を供給する。水平走査回路104は、制御信号を読み出し回路103に供給する。水平走査回路104からの制御信号によって、読み出し回路103で処理された画素信号を出力回路105に転送する。出力回路105は、信号を光電変換装置の外部の信号処理部に出力する。制御回路106は、タイミングジェネレータなどの、各回路を制御するための回路である。制御回路106は、垂直走査回路102、読み出し回路103、水平走査回路104、及び出力回路105

10

20

30

40

50

の動作やそのタイミングを制御する制御信号を供給する。垂直走査回路 102、読み出し回路 103、水平走査回路 104、及び出力回路 105 への制御信号の少なくとも一部は、制御回路 106 ではなく光電変換装置の外部から供給してもよい。

【0021】

図 2 は、本実施形態における光電変換装置の画素 107 に関する模式的な回路図である。図 2 では、1 つの画素 107 の構成を示しており、他の画素は省略している。

【0022】

図 2 において、画素 107 は、光電変換部 201、第 1 転送トランジスタ 202、第 2 転送トランジスタ 203、増幅トランジスタ 206、フローティングディフュージョン (FD) 部 204、リセットトランジスタ 205、選択トランジスタ 207 を備える。FD 部 204 は、増幅トランジスタ 206 の入力ノードである。各トランジスタは、例えば MOSFET により構成され、平面視で、ドレインとソースの間には制御電極としてゲートを有する。

【0023】

光電変換部 201 は、例えばフォトダイオードであるが、有機材料の光電変換膜やフォトゲート等の任意の構成が適用できる。増幅トランジスタ 206 は、入力ノードの電位に基づく信号を選択トランジスタ 207 へと出力する。増幅トランジスタ 206 の一端は、例えば、電源電圧 VDD に接続される。増幅トランジスタ 206 はソースフォロワ回路の一部であり、増幅トランジスタ 206 のゲートが入力ノードである。光電変換部 201 と入力ノードとは、第 1 転送トランジスタ 202 と第 2 転送トランジスタ 203 とを介して接続されている。第 1 転送トランジスタ 202 は、光電変換部 201 からの電荷の転送を制御している。第 2 転送トランジスタ 203 の一端は第 1 転送トランジスタ 202 に接続され、他端は入力ノードと接続されている。第 2 転送トランジスタ 203 は、光電変換部 201 からの電荷の転送を制御するとともに、入力ノードの容量値を制御している。選択トランジスタ 207 は、増幅トランジスタ 206 と垂直出力線 208 との間を選択的に接続する。そして、選択トランジスタ 207 は、垂直走査回路からの制御信号のタイミングに合わせて増幅トランジスタ 206 からの信号を垂直出力線 208 へと出力する。リセットトランジスタ 205 は、入力ノードに接続されており、入力ノードをリセット電位に設定する (リセットする) ことができる。

【0024】

第 1 転送トランジスタ 202 と第 2 転送トランジスタ 203 がオンになり光電変換部 201 から FD 部 204 に電荷が転送されると、FD 部 204 の電荷量に対応した画素信号電圧が増幅トランジスタ 206 のソースに出力される。

【0025】

ここで、図 3 を参照しながら、第 2 転送トランジスタ 203 による FD 部 204 の容量値の制御について説明する。図 3 (a) は、光電変換部 201、第 1 転送トランジスタ 202、第 2 転送トランジスタ 203 を通る概略断面図である。図 3 (b) は、第 1 転送トランジスタ 202 と第 2 転送トランジスタ 203 とがオフのポテンシャルの概念図である。図 3 (c) は、第 1 転送トランジスタ 202 がオフであり、第 2 転送トランジスタ 203 がオンのポテンシャルの概念図である。

【0026】

図 3 (a) に示すように、半導体基板には、光電変換部 201 を構成する N 型半導体領域 (第 1 半導体領域) と、FD 部の一部を構成する N 型半導体領域 (第 2 半導体領域) 210 と、N 型半導体領域 211 が配されている。N 型半導体領域 210 は、平面視で、第 2 転送トランジスタ 203 とリセットトランジスタのゲートとの間に形成されており、FD 部の一部を構成する。N 型半導体領域 211 は、平面視で、第 1 転送トランジスタ 202 のゲートと第 2 転送トランジスタ 203 のゲートとの間に形成されている。

図 3 (b) 及び図 3 (c) からわかるように、第 2 転送トランジスタ 203 をオンにする場合の FD 部 204 の容量値は、第 2 転送トランジスタ 203 をオフにする場合の FD 部 204 の容量値よりも大きい。第 2 転送トランジスタ 203 をオンにすることにより、

10

20

30

40

50

第2転送トランジスタ203のゲート下にチャネルが形成され、N型半導体領域211とN型半導体領域210とが電氣的に接続され、FD部204の容量値が大きくなる。したがって、光電変換部201からFD部204に電荷が転送されるときに、第2転送トランジスタ203をオンのままにしておくと、FD部204で保持可能な電荷量が増える。すなわち、FD部204の容量値が大きくなる。したがって、増幅トランジスタ206から出力される画素信号電圧が小さくなり、ダイナミックレンジの拡大が可能となる。一方で、光電変換部201からFD部204に電荷が転送されるときに、第2転送トランジスタ203をオフにしておくと、FD部204には容量が付加されない。つまり、FD部204の容量はFD部204自体が有する容量値から変化しない。したがって、FD部204で保持可能な電荷量が少ない。すなわち、FD部204の容量値が小さくなる。したがって、増幅トランジスタ206から出力される画素信号電圧が大きくなる。この場合には、FD部204の1つの電荷に対する電圧変化量(電荷電圧変換効率)を高めることができる。電荷電圧変換効率が高いとは、感度が高いとも言える。したがって、第2転送トランジスタ203のオンオフを制御することにより、FD部204の容量値を変えることができ、感度の切り替えを行うことができる。

10

【0027】

図3(b)及び図3(c)に示すように、FD部204の容量は、光電変換部201の容量よりも小さい。本実施形態によれば、第2転送トランジスタにより、FD部に容量を付加することができる。このため、FD部204自体の容量を大きくし、ダイナミックレンジを拡大することが可能となる。

20

【0028】

図4は、本実施形態に係る画素107の模式的な平面図である。図2の回路と対応する部分には同一の符号が付されており、既に説明した構成及び機能については説明を省略することもある。図3(a)の断面図は、図4のA-A'断面図に相当する。図4では、光電変換部201、画素107に含まれる各トランジスタのゲート、及び配線を導通させるためのコンタクトを示している。光電変換部201と各トランジスタのソースおよびドレインとは、シリコン(Si)などの半導体基板の内部に形成される。また、各トランジスタのゲートは、半導体基板の第1面側に形成されている。

【0029】

図4に示すように、光電変換部201、第1転送トランジスタ202、第2転送トランジスタ203、FD部204、リセットトランジスタ205は直列に接続されている。これにより、入力ノードのリセット性能の低下を抑制しながら、光電変換装置のダイナミックレンジを拡大することができる。

30

【0030】

比較例として、FD部、FD部への容量付加を制御する制御トランジスタ、リセットトランジスタが直列に配されている場合について説明する。リセットトランジスタの一端が制御トランジスタに接続され、リセットトランジスタの他端に電源電圧VDDが接続される。比較例では、FD部をリセットする際に、リセットトランジスタのゲート及び制御トランジスタのゲートを介して電源電圧VDDの電位がFD部204に供給されることになる。この場合は、トランジスタのソースとドレインとを結ぶ方向における長さ(ゲート長)が、リセットトランジスタのゲートのみの場合と比較して長くなりやすい。ゲート長が長くなるとチャネル抵抗が大きくなるため、リセット性能の低下が生じる可能性がある。リセット性能の低下とは、例えば、リセットレベルの静定時間が伸びてしまうことや、各画素のリセット電位のばらつきが生じやすくなることを意味している。リセットトランジスタのゲート長と制御トランジスタのゲート長を短くすることにより、リセット性能の低下を防げる可能性はあるものの、FD部への容量付加を制御できなくなる可能性がある。したがって、比較例では一般的にゲート長を短くしにくく、チャネル抵抗によりリセット性能の低下が生じる可能性がある。

40

【0031】

これに対して、本実施形態では、上述の通り、FD部204とリセットトランジスタ2

50

05を、FD部204の容量値を制御する第2転送トランジスタ203を介することなく直列に接続している。例えば、リセットトランジスタのソースまたはドレインの一方がFD部204の一部を構成する。したがって、比較例に比して、リセット電位が供給される際のチャネル抵抗を減らすことができ、入力ノードのリセット性能の低下を抑制することができる。

【0032】

図5(a)及び図5(b)は、図2の画素107における各トランジスタの制御信号を示すタイミング図である。タイミング図の横軸は時間である。図5(a)及び図5(b)において、図2で示した各制御信号pSEL、pRES、pTX1、pTX2の電位の状態が示されている。pSELは、選択トランジスタを制御する信号であり、pRESはリセットトランジスタを制御する信号であり、pTX1は第1転送トランジスタを制御する信号であり、pTX2は第2転送トランジスタを制御する信号である。図5(a)は、低FD容量で読み出す場合のタイミングであり、図5(b)は、高FD容量で読み出す場合のタイミングである。また、図6(a)～(e)は図5(a)のそれぞれのタイミングにおけるポテンシャル図であり、図6(f)～(h)は図5(b)のそれぞれのタイミングにおけるポテンシャル図である。

10

【0033】

まず、図5(a)及び図6(a)～(e)を参照しながら、低FD容量で読み出す場合の駆動について説明する。

【0034】

20

まず、時刻t1において、pSELをHiレベル(以下Hi)にして読み出し行の画素の選択トランジスタをオンする。時刻t2において、pRESをHiからLowレベル(以下Lo)にしてリセットトランジスタをオンからオフへと切り替える。このとき、第2転送トランジスタはオフになっている。第1転送トランジスタおよび第2転送トランジスタがオフの状態において、光電変換部は信号電荷を蓄積する。この状態におけるポテンシャル図を図6(a)に示す。この状態においてFD部は低FD容量時のリセットレベルにあり、増幅トランジスタ206はその電位を読み出してリセット信号(N信号)として垂直信号線に出力する。時刻t3までは、光電変換部における電荷の蓄積期間ともいえる。

【0035】

時刻t3に、pTX1をHiにして第1転送トランジスタをオンする。時刻t3に、光電変換部からFD部への読み出し動作が開始される。この状態におけるポテンシャル図を図6(b)に示す。図6(b)に示すように、光電変換部で蓄積された電荷が第1転送トランジスタのゲート下に移動する。

30

【0036】

第1転送トランジスタをオンにした状態のまま、時刻t4に、pTX2をHiにして第2転送トランジスタをオンにする。この状態におけるポテンシャル図を図6(c)に示す。図6(c)に示すように、光電変換部で蓄積された電荷は、第1転送トランジスタおよび第2転送トランジスタをオンすることにより容量が付加されたFD部へと転送される。

【0037】

時刻t5に、pTX1をHiからLoにして第1転送トランジスタをオフする。この状態におけるポテンシャル図を図6(d)に示す。図6(d)に示すように、光電変換部とFD部との間にポテンシャルバリアが形成される。これにより、信号電荷は、第2転送トランジスタをオンすることにより容量が付加されたFD部へと転送される。

40

【0038】

時刻t6に、pTX2をHiからLoにして第2転送トランジスタをオフする。この状態におけるポテンシャルバリア図を図6(e)に示す。図6(e)に示すように、図6(d)に比べて第2転送トランジスタのゲート下のポテンシャルが高くなり、第2転送トランジスタによる容量が付加されていないFD部のみに信号電荷が保持される。

【0039】

その後、増幅トランジスタがFD部の電位に応じた信号(S信号)を出力する。

50

【 0 0 4 0 】

なお、図 5 (a) では、第 1 の転送トランジスタと第 2 の転送トランジスタをオンするタイミングとオフするタイミングとをずらしている。具体的には、第 1 転送トランジスタをオンした後に第 2 転送トランジスタをオンし、第 1 転送トランジスタをオフした後に第 2 転送トランジスタをオフしている。これにより、第 1 転送トランジスタと第 2 転送トランジスタとのオンオフ制御のタイミングにずれが生じて、光電変換部で蓄積された信号電荷が光電変換部に残ることを抑制しやすくなる。第 1 転送トランジスタと第 2 転送トランジスタとのオン / オフのタイミングは図 5 (a) に示すタイミングに限定されない。例えば、第 1 転送トランジスタと第 2 転送トランジスタとでオン / オフのタイミングを同じにしてもよい。また、第 2 転送トランジスタをオンした後に、第 1 転送トランジスタをオンし、第 1 転送トランジスタをオフした後に、第 2 転送トランジスタをオフしてもよい。

10

【 0 0 4 1 】

続いて、図 5 (b) 及び図 6 (f) ~ (h) を参照しながら、高 F D 容量で読み出す場合の駆動について説明する。

【 0 0 4 2 】

時刻 t_1 に、 $pSEL$ を Hi にして読み出し行の画素の選択トランジスタをオンする。時刻 t_2 に、 $pRES$ を Hi から Lo にしてリセトリセットトランジスタをオンからオフへと切り替える。このとき、第 2 転送トランジスタはオンになっている。この状態におけるポテンシャル図を図 6 (f) に示す。図 6 (f) に示すように、第 2 転送トランジスタをオンすることにより F D 部に容量が付加され、図 6 (a) の場合と比べて F D 容量が大きくなっている。このように F D 部に容量が付加された状態でリセット動作を行う。この状態において F D は高 F D 容量時のリセットレベルにあり、その信号を読み出して N 信号とする。高 F D 容量で読み出す場合は、例えば、光電変換部への入射光量が低 F D 容量で読み出す場合に比べて多い場合が想定される。したがって、光電変換部に蓄積される信号電荷は、低 F D 容量で読み出す場合に比べて多くなっている。例えば、光電変換部に蓄積される信号電荷量が、容量が付加されていない F D 容量に比べて多くなっている。

20

【 0 0 4 3 】

時刻 t_3 に、 $pTX1$ を Hi にして第 1 転送トランジスタをオンにする。このとき第 2 転送トランジスタは、 $pTX2$ が Hi であり、オンしている。この状態におけるポテンシャル図を図 6 (g) に示す。図 6 (g) に示すように、光電変換部で蓄積された信号電荷が、容量が付加された F D 部に転送される。

30

【 0 0 4 4 】

時刻 t_4 に、 $pTX1$ を Hi から Lo にして第 1 転送トランジスタをオフにする。このとき第 2 転送トランジスタは、 $pTX2$ が Hi の状態を維持しており、オンしたままである。この状態におけるポテンシャル図を図 6 (h) に示す。図 6 (h) に示すように、F D 部に容量を付加したままで光電変換部と F D 部との間にポテンシャルバリアが形成される。

【 0 0 4 5 】

その後、第 2 転送トランジスタをオンしたままの状態を増幅トランジスタが F D 部の電位に応じた信号 (S 信号) を出力する。

40

【 0 0 4 6 】

なお、図 5 (b) では、第 2 転送トランジスタは、光電変換部の蓄積動作期間および信号読み出し動作期間にわたってオンしたままの状態を維持しているが、これに限定されない。第 2 転送トランジスタは、少なくとも N 信号を読み出す期間と S 信号を読み出す期間においてオンしていればよい。例えば、N 信号を読み出した後に、時刻 t_2 で第 2 転送トランジスタをオフし、時刻 t_3 の第 1 転送トランジスタがオンするタイミングと同じタイミングで第 2 転送トランジスタをオンしてもよい。

【 0 0 4 7 】

図 5 (a) 及び図 5 (b) に示すような駆動によれば、光電変換部への入射光量に応じて F D 容量を変えることができる。例えば、光電変換部への入射光量が第 1 の光量である

50

場合（低輝度の被写体を撮像する場合）は、第２転送トランジスタをオフにした状態で増幅トランジスタは信号を出力する低ＦＤ容量の読み出し駆動を採用する。一方で、光電変換部への入射光量が第１の光量よりも多い第２光量である場合（高輝度の被写体を撮像する場合）は、第２転送トランジスタをオンにした状態で増幅トランジスタは信号を出力する高ＦＤ容量の読み出し駆動を採用する。信号電荷量が少ない場合は、低ＦＤ容量の読み出し駆動を採用することにより、高ＦＤ容量の場合に比べて、低ノイズで高感度な信号を読み出すことができる。一方で、信号電荷量が多い場合は、高ＦＤ容量の読み出し駆動を採用することにより、低ＦＤ容量の場合に比べて、高飽和な信号を読み出すことができる。したがって、光電変換装置のダイナミックレンジを拡大することができる。

【００４８】

10

図２では、画素１０７が選択トランジスタ２０７を含むが、選択トランジスタ２０７は必須の構成ではない。画素１０７が選択トランジスタ２０７を含まない場合において、増幅トランジスタ２０６は、ＦＤ部２０４の電位に基づく信号を、選択トランジスタ２０７を介することなく、垂直出力線２０８へと出力する。

【００４９】

（第２の実施形態）

次に、第２の実施形態に係る光電変換装置について、図７を参照しながら説明する。以下の説明では、主として第１の実施形態と異なる点について説明する。

【００５０】

20

本実施形態は、高ＦＤ容量の読み出し駆動における駆動タイミングが異なる。具体的には、選択トランジスタをオンしている画素行（第１の画素行）では第２転送トランジスタをオンし、選択トランジスタをオフしている画素行（第２の画素行）では第２転送トランジスタをオフしている。第２転送トランジスタのオンするタイミングとオフするタイミングとは、選択トランジスタがオンするタイミングとオフするタイミングと一致している。具体的には、時刻 t_1 で選択トランジスタと第２転送トランジスタがオンし、時刻 t_5 で選択トランジスタと第２転送トランジスタがオフしている。

【００５１】

本実施形態によれば、光電変換装置のダイナミックレンジを拡大することを可能にしつつ、選択トランジスタをオフしている画素行に配された画素において光電変換部からＦＤ部へのパンチスルーを抑制することができる。

30

【００５２】

（第３の実施形態）

次に、第３の実施形態に係る光電変換装置について、図８及び図９を参照しながら説明する。図８は、本実施形態における画素の平面図であり、図９は本実施形態に係る画素の回路図である。以下の説明では、主として、第１の実施形態と異なる点について説明する。

【００５３】

本実施形態は、第１の光電変換部２０１ａと第２の光電変換部２０１ｂで第２転送トランジスタ２０３、ＦＤ部２０４、リセットトランジスタ２０５、増幅トランジスタ２０６、選択トランジスタ２０７を共有する。第１の光電変換部２０１ａと第２転送トランジスタ２０３とは、第１転送トランジスタ２０２ａ（第１の第１転送トランジスタ）を介して接続される。第２の光電変換部２０１ｂと第２転送トランジスタ２０３とは、第１転送トランジスタ２０２ｂ（第２の第１転送トランジスタ）を介して接続される。

40

【００５４】

本実施形態によれば、１つの第２転送トランジスタ２０３のゲートとＦＤ部２０４とが接する。したがって、複数の第１転送トランジスタがＦＤ部に接する場合に比べて、ＦＤに接するゲート容量を減らすことができ、ＦＤ容量を減らすことができる。

【００５５】

（第４の実施形態）

次に、第４の実施形態に係る光電変換装置について、図１０および図１１を参照しながら

50

ら説明する。図10は、光電変換装置1100の分解斜視図である。図10は、本実施形態における画素の平面図である。図11(a)は、半導体基板のトランジスタが形成される側の面(第1面)1110Aから見た平面図である。図11(b)は、半導体基板の第1面に対向する面(第2面)1110Bから見た平面図である。以下では、第3の実施形態と異なる点について説明する。

【0056】

本実施形態に係る光電変換装置は、第2面1110Bの側から光が入射する、いわゆる裏面照射型の光電変換装置である。図10に示すように、1つの半導体基板1110に画素アレイ部101が設けられている。別の半導体基板1120には、制御部1121と信号処理部1122が設けられている。制御部1121と信号処理部1122のそれぞれの半導体基板1110への正射影は、少なくとも一部が画素アレイ部101と重畳している。本実施形態の光電変換装置1100は、さらに、別の処理回路を含む半導体基板を有していてもよく、3つ以上の半導体基板が積層されていてもよい。

10

【0057】

制御部1121は、画素に含まれるトランジスタに制御信号を供給する垂直走査回路や、電源回路を含み得る。また、制御部1121は光電変換装置を駆動するためのタイミング発生回路や、変換回路へ参照信号を供給する参照信号供給回路、増幅回路あるいは変換回路から信号を順次読み出すための水平走査回路を含み得る。例えば、制御部1121は、図1における光電変換装置の垂直走査回路102、水平走査回路104、制御回路106などを含む。

20

【0058】

信号処理部1122は、画素領域で発生した信号電荷に基づく電気信号を処理する。信号処理部1122は、ノイズ除去回路、増幅回路、変換回路、画像信号処理回路を含むことができる。ノイズ除去回路は、例えば相関二重サンプリング(CDS)回路である。増幅回路は、例えば列アンプ回路である。変換回路は、例えばコンパレータとカウンタで構成されたアナログデジタル変換(ADC)回路である。画像信号処理回路は、例えばメモリとプロセッサを含み、アナログデジタル変換されたデジタル信号から画像データを生成したり、画像データに画像処理を施したりする。例えば、信号処理部1122は、図1における読み出し回路103を含む。

30

【0059】

図11(a)および図11(b)に、平面視におけるマイクロレンズの光学中心1001を示す。ユニットセルは2つの光電変換部を含む。ここで述べているユニットセルとは、1つの光学中心に対応する光電変換部及び光電変換部からの読み出し回路をひとまとまりとしてユニットセルと定義している。例えば、図11では、ユニットセルは、平面視でマイクロレンズに重なる2つの光電変換部、各光電変換部から電荷の転送を制御する第1転送トランジスタ、第2転送トランジスタ、増幅トランジスタ、及び、リセットトランジスタにより構成される。

【0060】

図11(a)に示すように、第2転送トランジスタ203に接続されているFD部204は、ユニットセル内において、光学中心1001に対して最も遠い位置に配されている。例えば、FD部204は、ユニットセル内の角に形成されている。上述の通り、裏面照射型の光電変換装置の場合、光が裏面から入射する。したがって、FD部204が光学中心1001に近い場合、光電変換部で光電変換された信号電荷がFD部へ流入する確率が上がり、感度低下や感度の入射角特性の非対称性を生じさせる可能性がある。

40

【0061】

第2転送トランジスタを持たない比較例では、複数の光電変換部がFD部を共有する場合には、FD部が第1転送トランジスタの一部を構成するため、FD部の平面的な配置に大きな制約が生じていた。これに対して、本実施形態によれば、第2転送トランジスタを付加することで複数の光電変換部がFD部を共有する場合でもFD部をより高い自由度で配置することが可能となる。

50

【 0 0 6 2 】

(第 5 の 実 施 形 態)

図 1 2 は、本実施形態に係る光電変換システム 1 2 0 0 の構成を示すブロック図である。本実施形態の光電変換システム 1 2 0 0 は、光電変換装置 1 2 0 4 を含む。ここで、光電変換装置 1 2 0 4 は、上述の実施形態で述べた光電変換装置のいずれかを適用することができる。光電変換システム 1 2 0 0 は例えば、撮像システムとして用いることができる。光電変換システム 1 2 0 0 の具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図 1 2 では、光電変換システム 1 2 0 0 としてデジタルスチルカメラの例を示している。

【 0 0 6 3 】

図 1 2 に示す光電変換システム 1 2 0 0 は、光電変換装置 1 2 0 4 、被写体の光学像を光電変換装置 1 2 0 4 に結像させるレンズ 1 2 0 2 、レンズ 1 2 0 2 を通過する光量を可変にするための絞り 1 2 0 3 、レンズ 1 2 0 2 の保護のためのバリア 1 2 0 1 を有する。レンズ 1 2 0 2 および絞り 1 2 0 3 は、光電変換装置 1 2 0 4 に光を集光する光学系である。

【 0 0 6 4 】

光電変換システム 1 2 0 0 は、光電変換装置 1 2 0 4 から出力される出力信号の処理を行う信号処理部 1 2 0 5 を有する。信号処理部 1 2 0 5 は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。光電変換システム 1 2 0 0 は、更に、画像データを一時的に記憶するためのバッファメモリ部 1 2 0 6 、外部コンピュータ等と通信するための外部インターフェース部（外部 I / F 部） 1 2 0 9 を有する。更に光電変換システム 1 2 0 0 は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 1 2 1 1 、記録媒体 1 2 1 1 に記録または読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I / F 部） 1 2 1 0 を有する。記録媒体 1 2 1 1 は、光電変換システム 1 2 0 0 に内蔵されていてもよく、着脱可能であってもよい。また、記録媒体制御 I / F 部 1 2 1 0 から記録媒体 1 2 1 1 との通信や外部 I / F 部 1 2 0 9 からの通信は無線によってなされてもよい。

【 0 0 6 5 】

更に光電変換システム 1 2 0 0 は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部 1 2 0 8 、光電変換装置 1 2 0 4 と信号処理部 1 2 0 5 に各種タイミング信号を出力するタイミング発生部 1 2 0 7 を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システム 1 2 0 0 は、少なくとも光電変換装置 1 2 0 4 と、光電変換装置 1 2 0 4 から出力された出力信号を処理する信号処理部 1 2 0 5 とを有すればよい。第 4 の実施形態にて説明したようにタイミング発生部 1 2 0 7 は光電変換装置に搭載されていてもよい。全体制御・演算部 1 2 0 8 およびタイミング発生部 1 2 0 7 は、光電変換装置 1 2 0 4 の制御機能の一部または全部を実施するように構成してもよい。

【 0 0 6 6 】

光電変換装置 1 2 0 4 は、画像用信号を信号処理部 1 2 0 5 に出力する。信号処理部 1 2 0 5 は、光電変換装置 1 2 0 4 から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部 1 2 0 5 は、画像用信号を用いて、画像を生成する。なお、信号処理部 1 2 0 5 やタイミング発生部 1 2 0 7 は、光電変換装置に搭載されていてもよい。つまり、信号処理部 1 2 0 5 やタイミング発生部 1 2 0 7 は、画素が配された基板に設けられていてもよく、第 3 の実施形態に記載したような別の基板に設けられている構成であってもよい。上述した各実施形態の光電変換装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

【 0 0 6 7 】

(第 6 の 実 施 形 態)

本実施形態の光電変換システム及び移動体について、図 1 3 よび図 1 4 を用いて説明す

る。図 13 は、本実施形態による光電変換システム及び移動体の構成例を示す概略図である。図 14 は、本実施形態による光電変換システムの動作を示すフロー図である。本実施形態では、光電変換システムとして、車載カメラの一例を示す。

【0068】

図 13 は、車両システムとこれに搭載される撮像を行う光電変換システムの一例を示したものである。光電変換システム 1301 は、光電変換装置 1302、画像前処理部 1315、集積回路 1303、光学系 1314 を含む。光学系 1314 は、光電変換装置 1302 に被写体の光学像を結像する。光電変換装置 1302 は、光学系 1314 により結像された被写体の光学像を電気信号に変換する。光電変換装置 1302 は、上述の各実施形態のいずれかの光電変換装置である。画像前処理部 1315 は、光電変換装置 1302 から出力された信号に対して所定の信号処理を行う。画像前処理部 1315 の機能は、光電変換装置 1302 内に組み込まれていてもよい。光電変換システム 1301 には、光学系 1314、光電変換装置 1302 及び画像前処理部 1315 が、少なくとも 2 組設けられており、各組の画像前処理部 1315 からの出力が集積回路 1303 に入力されるようになっている。

10

【0069】

集積回路 1303 は、撮像システム用途向けの集積回路であり、メモリ 1305 を含む画像処理部 1304、光学測距部 1306、視差演算部 1307、物体認知部 1308、異常検出部 1309 を含む。画像処理部 1304 は、画像前処理部 1315 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 1305 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 1306 は、被写体の合焦や、測距を行う。視差演算部 1307 は、複数の光電変換装置 1302 により取得された複数の画像データから視差情報（視差画像の位相差）の算出を行う。物体認知部 1308 は、車、道、標識、人等の被写体の認知を行う。異常検出部 1309 は、光電変換装置 1302 の異常を検出すると、主制御部 1313 に異常を発報する。

20

【0070】

集積回路 1303 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

30

【0071】

主制御部 1313 は、光電変換システム 1301、車両センサ 1310、制御ユニット 1320 等の動作を統括・制御する。主制御部 1313 を持たず、光電変換システム 1301、車両センサ 1310、制御ユニット 1320 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば CAN 規格）方法も取り得る。

【0072】

集積回路 1303 は、主制御部 1313 からの制御信号を受け或いは自身の制御部によって、光電変換装置 1302 へ制御信号や設定値を送信する機能を有する。

40

【0073】

光電変換システム 1301 は、車両センサ 1310 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 1310 は、視差画像から対象物までの距離情報を取得する距離情報取得手段でもある。また、光電変換システム 1301 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 1311 に接続されている。特に、衝突判定機能に関しては、光電変換システム 1301 や車両センサ 1310 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

50

【 0 0 7 4 】

また、光電変換システム 1 3 0 1 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 1 3 1 2 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 1 3 1 3 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 1 3 1 2 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【 0 0 7 5 】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム 1 3 0 1 で撮影する。図 1 3 (b) に、車両前方を光電変換システム 1 3 0 1 で撮像する場合の光電変換システム 1 3 0 1 の配置例を示す。

【 0 0 7 6 】

2 つの光電変換装置 1 3 0 2 は、車両 1 3 0 0 の前方に配置される。具体的には、車両 1 3 0 0 の進退方位又は外形（例えば車幅）に対する中心線を対称軸に見立て、その対称軸に対して 2 つの光電変換装置 1 3 0 2 が線対称に配置されると、車両 1 3 0 0 と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、光電変換装置 1 3 0 2 は、運転者が運転席から車両 1 3 0 0 の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置 1 3 1 2 は、運転者の視野に入りやすい配置が好ましい。

【 0 0 7 7 】

次に、光電変換システム 1 3 0 1 における光電変換装置 1 3 0 2 の故障検出動作について、図 1 4 を用いて説明する。光電変換装置 1 3 0 2 の故障検出動作は、図 1 4 に示すステップ S 1 4 1 0 ~ S 1 4 8 0 に従って実施される。

【 0 0 7 8 】

ステップ S 1 4 1 0 は、光電変換装置 1 3 0 2 のスタートアップ時の設定を行うステップである。すなわち、光電変換システム 1 3 0 1 の外部（例えば主制御部 1 3 1 3 ）又は光電変換システム 1 3 0 1 の内部から、光電変換装置 1 3 0 2 の動作のための設定を送信し、光電変換装置 1 3 0 2 の撮像動作及び故障検出動作を開始する。

【 0 0 7 9 】

次いで、ステップ S 1 4 2 0 において、有効画素から画素信号を取得する。また、ステップ S 1 4 3 0 において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換部を備える。この光電変換部には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換部に書き込まれた電圧に対応する信号を出力する。なお、ステップ S 1 4 2 0 とステップ S 1 4 3 0 とは逆でもよい。

【 0 0 8 0 】

次いで、ステップ S 1 4 4 0 において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。ステップ S 1 4 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップ S 1 4 5 0 に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップ S 1 4 6 0 へと移行する。ステップ S 1 4 6 0 では、走査行の画素信号をメモリ 1 3 0 5 に送信して一次保存する。そののち、ステップ S 1 4 2 0 に戻り、故障検出動作を継続する。一方、ステップ S 1 4 4 0 における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップ S 1 4 7 0 に移行する。ステップ S 1 4 7 0 において、撮像動作に異常があると判定し、主制御部 1 3 1 3 、又は警報装置 1 3 1 2 に警報を発報する。警報装置 1 3 1 2 は、表示部に異常が検出されたことを表示させる。その後、ステップ S 1 4 8 0 において光電変換装置 1 3 0 2 を停止し、光電変換システム 1 3 0 1 の動作を終了する。

【 0 0 8 1 】

なお、本実施形態では、1 行毎にフローチャートをループさせる例を例示したが、複数

10

20

30

40

50

行毎にフローチャートをループさせてもよいし、1フレーム毎に故障検出動作を行ってもよい。ステップS1470の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【0082】

また、本実施形態では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、光電変換システム1301は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

10

【0083】

本発明の光電変換装置は、更に、カラーフィルタやマイクロレンズを有する構成であってもよく、距離情報など各種情報を取得可能な構成であってもよい。また、増幅トランジスタはソースフォロワ回路の一部であるが、AD変換器の一部を構成していてもよい。具体的には、AD変換器が含む比較器の一部を増幅トランジスタが構成していてもよい。また、比較器の一部の構成が別の半導体基板に設けられている構成であってもよい。

【0084】

本発明は、上記実施形態に限らず種々の変形が可能である。例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。また、上述の実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。

20

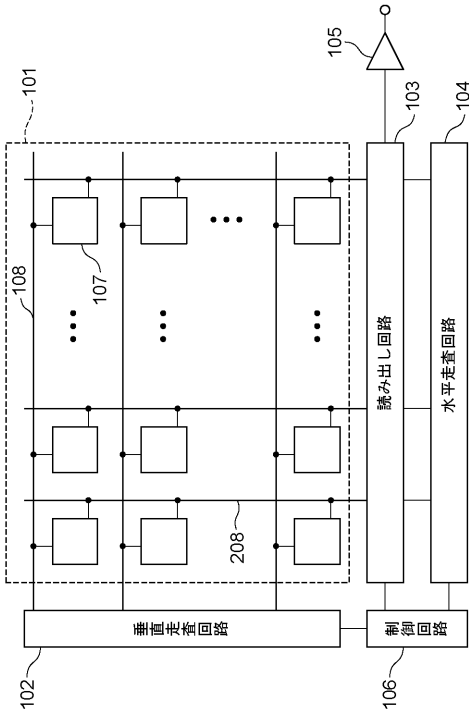
【符号の説明】

【0085】

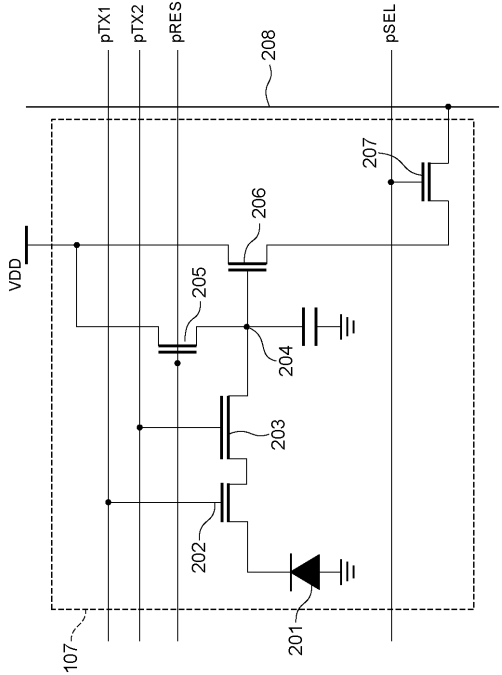
- 201 光電変換部
- 202 第1転送トランジスタ
- 203 第2転送トランジスタ
- 205 リセットトランジスタ
- 206 増幅トランジスタ

30

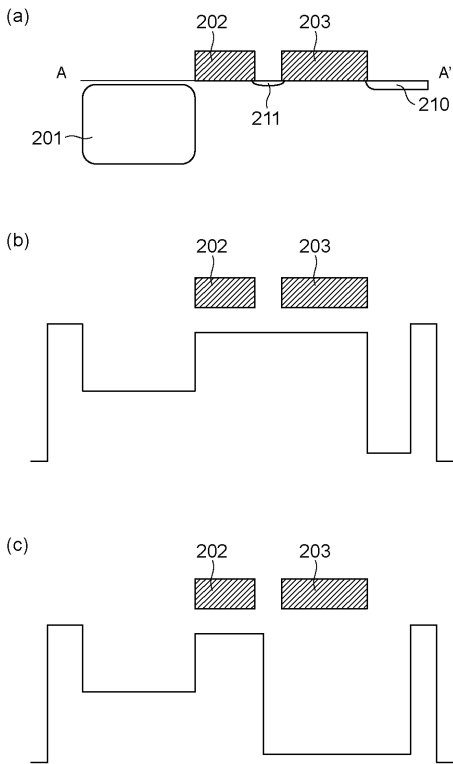
【図 1】



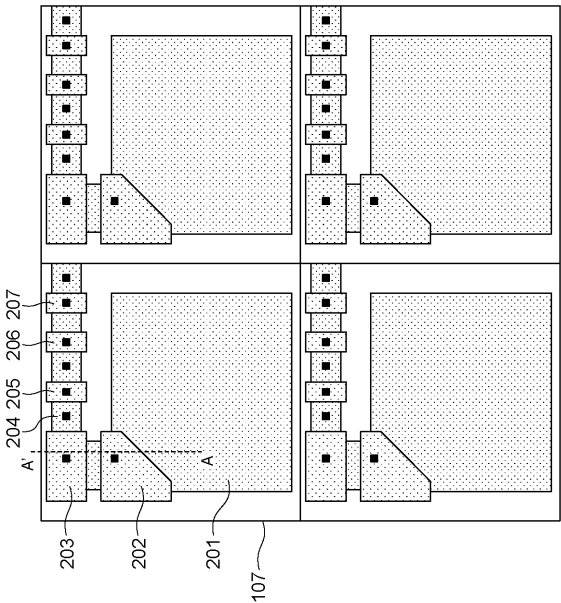
【図 2】



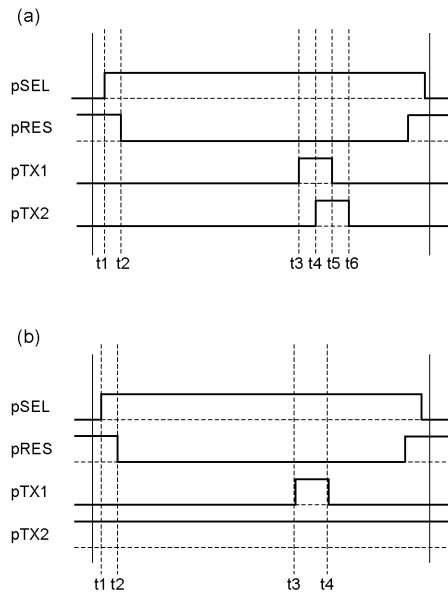
【図 3】



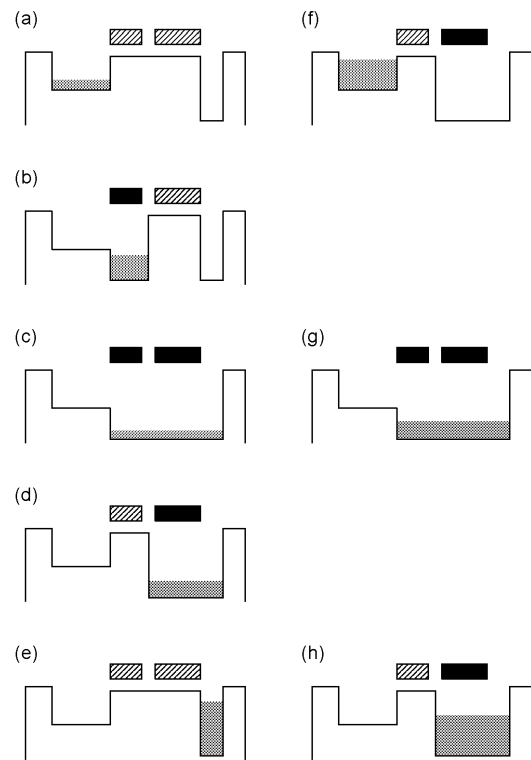
【図 4】



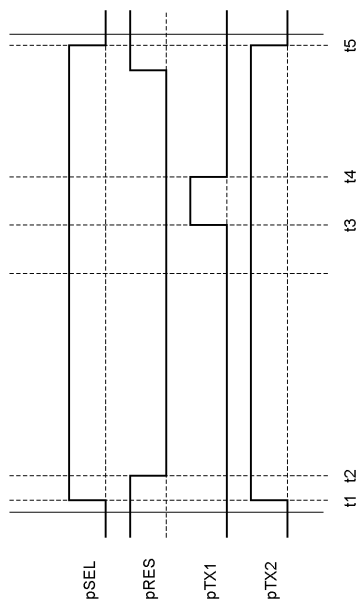
【図 5】



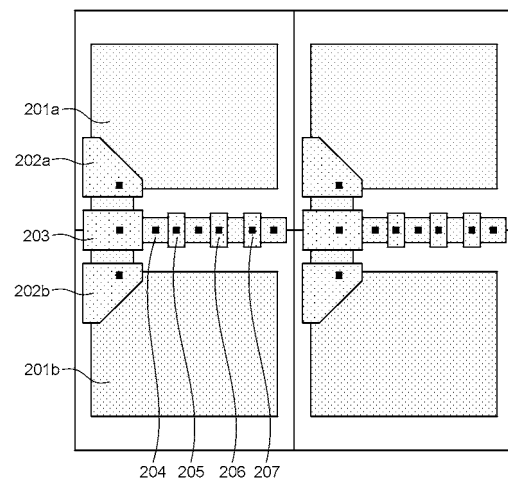
【図 6】



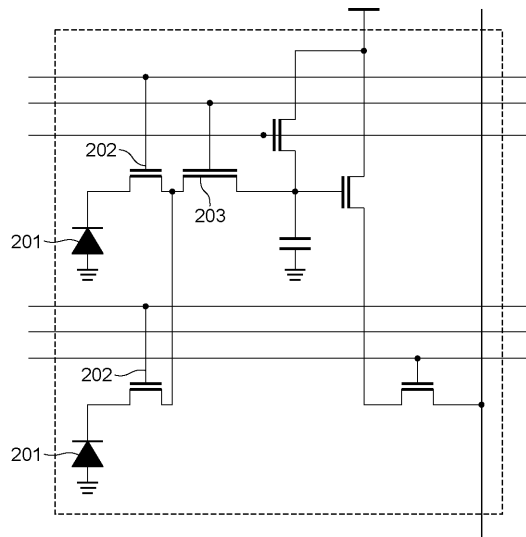
【図 7】



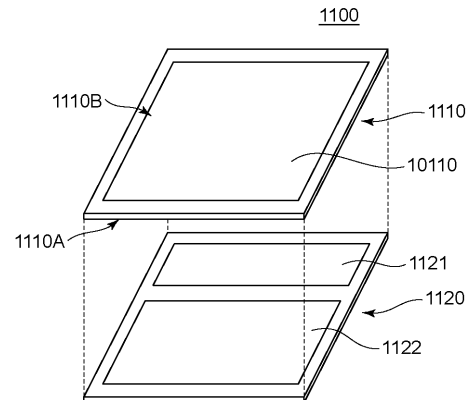
【図 8】



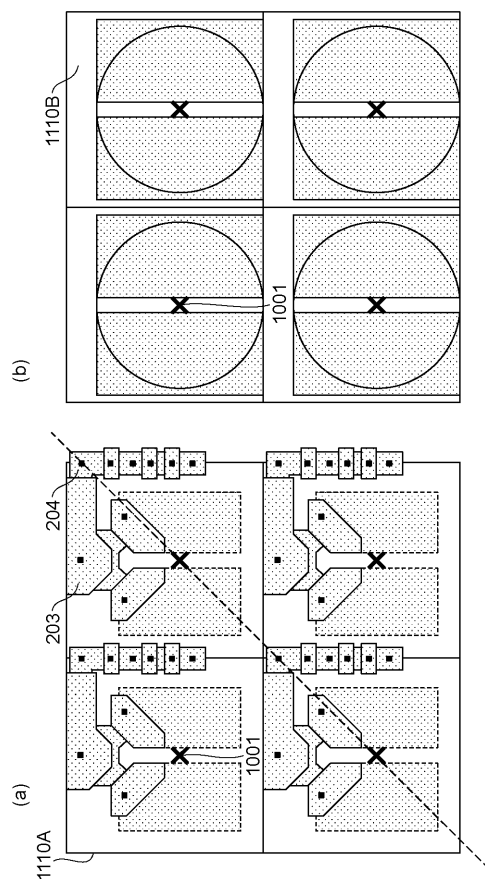
【図 9】



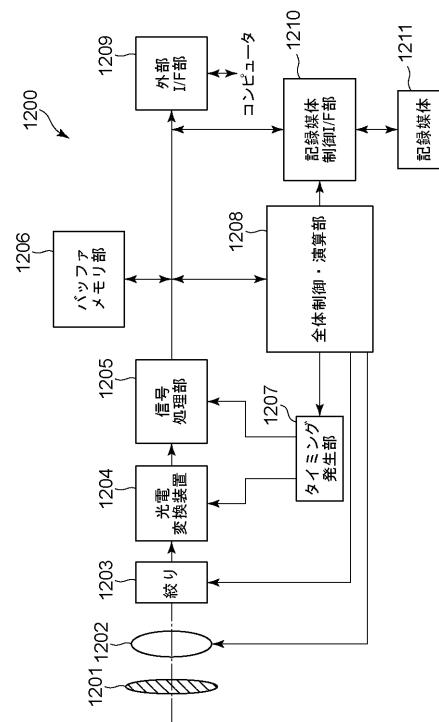
【図 10】



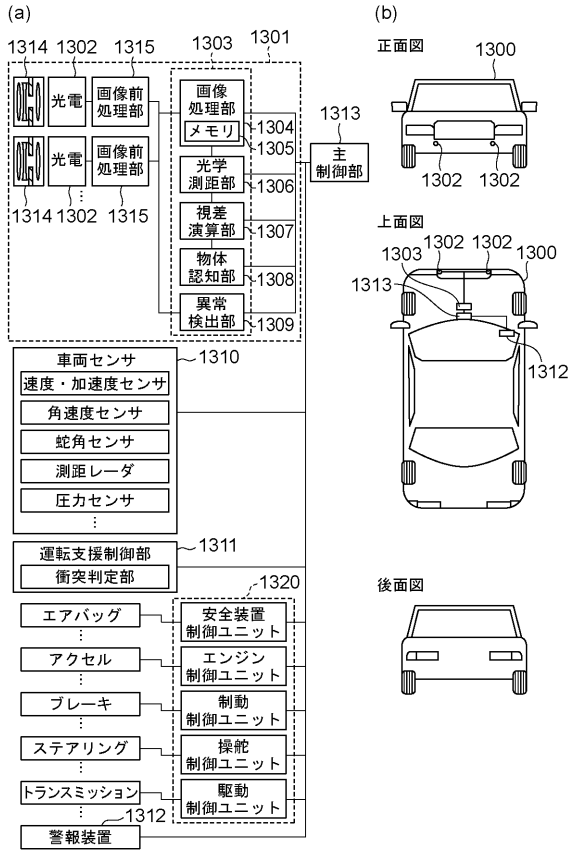
【図 11】



【図 12】



【図 13】



【図 14】

