

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3942902号
(P3942902)

(45) 発行日 平成19年7月11日(2007.7.11)

(24) 登録日 平成19年4月13日(2007.4.13)

(51) Int.C1.

F 1

H01L 21/336	(2006.01)	H01L 29/78	618Z
H01L 29/786	(2006.01)	H01L 21/265	H
H01L 21/265	(2006.01)	H01L 21/265	F
		H01L 29/78	627G

請求項の数 18 (全 24 頁)

(21) 出願番号 特願2002-19256 (P2002-19256)
 (22) 出願日 平成14年1月28日 (2002.1.28)
 (65) 公開番号 特開2002-313809 (P2002-313809A)
 (43) 公開日 平成14年10月25日 (2002.10.25)
 審査請求日 平成17年1月12日 (2005.1.12)
 (31) 優先権主張番号 特願2001-19293 (P2001-19293)
 (32) 優先日 平成13年1月26日 (2001.1.26)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 大沼 英人
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 河本 充雄

(56) 参考文献 特開2000-349025 (JP, A)

(58) 調査した分野 (Int.C1., DB名)
 H01L 29/786
 H01L 21/336
 H01L 21/265

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板上にシリコンを含む半導体膜を成膜し、
 前記半導体膜の表面にケミカル酸化膜を成膜し、
 前記半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングすること
 を特徴とする半導体装置の作製方法。

【請求項2】

絶縁性基板上にシリコンを含む半導体膜を成膜し、
 前記半導体膜をオゾン含有水で処理することによって前記半導体膜の表面に酸化膜を成
 膜し、
 前記半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングすること
 を特徴とする半導体装置の作製方法。

【請求項3】

絶縁性基板上にシリコンを含む半導体膜を成膜し、
 前記半導体膜を過酸化水素水で処理することによって前記半導体膜の表面に酸化膜を成
 膜し、
 前記半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングすること
 を特徴とする半導体装置の作製方法。

【請求項4】

絶縁性基板上にシリコンを含む半導体膜を成膜し、

10

20

前記半導体膜に酸素を含む雰囲気中で紫外線を照射することによって前記半導体膜の表面に酸化膜を成膜し、

前記半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングすることを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 乃至 請求項 4 のいずれか一項において、

前記シリコンを含む半導体膜として、非晶質半導体膜を成膜することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至 請求項 5 のいずれか一項において、

前記シリコンを含む半導体膜として、非晶質半導体膜を成膜し、前記非晶質半導体膜を熱処理して多結晶半導体膜を成膜することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至 請求項 5 のいずれか一項において、

前記シリコンを含む半導体膜として、非晶質半導体膜を成膜し、前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、前記非晶質半導体膜を熱処理して結晶質半導体膜を成膜することを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 7 において、

前記触媒元素として、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu 20
、Au から選択された少なくとも一つの元素を添加することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 請求項 8 のいずれか一項において、

前記不純物イオンとして、イオン源に水素を含む材料を使用することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 1 乃至 請求項 9 のいずれか一項において、

前記不純物イオンをイオンドーピング法を用いてドーピングすることによりチャネルドープを行うことを特徴とする半導体装置の作製方法。 30

【請求項 11】

絶縁性基板上にシリコンを含む非晶質半導体膜を成膜し、

前記非晶質半導体膜の表面にケミカル酸化膜を成膜し、

前記非晶質半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングし、

前記非晶質半導体膜を熱処理して多結晶半導体膜を形成し、

前記多結晶半導体膜をパターニングすることによって TFT のチャネル領域、ソース領域及びドレイン領域となる半導体層を形成し、

前記半導体層上にゲート絶縁膜を介してゲート電極を形成し、

前記ゲート電極をマスクとして、前記半導体層に不純物イオンをイオンドーピング法を用いてドーピングすることを特徴とする半導体装置の作製方法。 40

【請求項 12】

絶縁性基板上にシリコンを含む非晶質半導体膜を成膜し、

前記非晶質半導体膜を熱処理して多結晶半導体膜を形成し、

前記多結晶半導体膜の表面にケミカル酸化膜を成膜し、

前記多結晶半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングし、

前記多結晶半導体膜をパターニングすることによって TFT のチャネル領域、ソース領域及びドレイン領域となる半導体層を形成し、

前記半導体層上にゲート絶縁膜を介してゲート電極を形成し、

10

20

30

40

50

前記ゲート電極をマスクとして、前記半導体層に不純物イオンをイオンドーピング法を用いてドーピングすることを特徴とする半導体装置の作製方法。

【請求項 1 3】

絶縁性基板上にシリコンを含む非晶質半導体膜を成膜し、
前記非晶質半導体膜の表面にケミカル酸化膜を成膜し、
前記非晶質半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングし
、
前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理により結晶質半導体膜を形成し、

前記結晶質半導体膜をパターニングすることによって TFT のチャネル領域、ソース領域及びドレイン領域となる半導体層を形成し、

前記半導体層上にゲート絶縁膜を介してゲート電極を形成し、
前記ゲート電極をマスクとして、前記半導体層に不純物イオンをイオンドーピング法を用いてドーピングすることを特徴とする半導体装置の作製方法。

【請求項 1 4】

絶縁性基板上にシリコンを含む非晶質半導体膜を成膜し、
前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理により結晶質半導体膜を形成し、
前記結晶質半導体膜の表面にケミカル酸化膜を成膜し、
前記結晶質半導体膜に対して不純物イオンをイオンドーピング法を用いてドーピングし

、
前記結晶質半導体膜をパターニングすることによって TFT のチャネル領域、ソース領域及びドレイン領域となる半導体層を形成し、
前記半導体層上にゲート絶縁膜を介してゲート電極を形成し、
前記ゲート電極をマスクとして、前記半導体層に不純物イオンをイオンドーピング法を用いてドーピングすることを特徴とする半導体装置の作製方法。

【請求項 1 5】

請求項 1 3 または請求項 1 4 において、
前記触媒元素として、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu
、Au から選択された少なくとも一つの元素を添加することを特徴とする半導体装置の作製方法。

【請求項 1 6】

請求項 1 1 乃至請求項 1 5 のいずれか一項において、
前記ケミカル酸化膜は、前記半導体膜をオゾン含有水で処理することによって成膜されることを特徴とする半導体装置の作製方法。

【請求項 1 7】

請求項 1 1 乃至請求項 1 5 のいずれか一項において、
前記ケミカル酸化膜は、前記半導体膜を過酸化水素水で処理することによって成膜されることを特徴とする半導体装置の作製方法。

【請求項 1 8】

請求項 1 1 乃至請求項 1 5 のいずれか一項において、
前記ケミカル酸化膜は、前記半導体膜に酸素を含む雰囲気中で紫外線を照射することによって成膜されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、イオンドーピング法を利用した半導体装置の作製方法に関し、特にイオンドーピング工程の前処理の保護膜成膜方法に関する。尚、本明細書に於いて半導体装置とは、薄膜トランジスタ (Thin-Film-Transistor : 以下、TFT と略記) で回路構成される半導体装置全般を指し、例えばアクティブマトリクス形の液晶表示装置又は有機 EL (Electr

oluminescenceの略)表示装置等の半導体表示装置をその範疇に含むものである。

【0002】

【従来の技術】

近年、アクティブマトリクス型液晶表示装置の需要が急速に高まり、ガラス基板又は石英基板上に形成した半導体膜でTFTを作製する技術開発が盛んに行われている。ガラス基板等の絶縁性基板上に百数十万個もの単位で作製されるTFTは、構成する電気回路の機能に応じて、所定の電気特性を示すものでなければならない。TFTの電気特性の1つに、 V_{th} というパラメータがある。

【0003】

V_{th} とは、TFTのドレイン電流が流れ始める時のゲート電圧で、チャネル領域に反転層が形成される電圧として定義される。従って、 V_{th} が高い程、TFTの動作電圧が高いということができる。

【0004】

ところで、 V_{th} には、様々な外的要因によって変化し易いという問題がある。例えば、活性層中の汚染不純物、ゲート絶縁膜の固定電荷や可動電荷、活性層／ゲート絶縁膜界面の界面準位、ゲート電極と活性層との仕事関数差等が挙げられる。この場合、活性層中の汚染不純物やゲート絶縁膜中の可動電荷等はプロセスの清浄化により低減できるが、固定電荷や界面準位及び仕事関数差は素子の材質で決定されてしまう為、容易に変更できない。

【0005】

上記の外的要因により、TFTの V_{th} はプラス側／或いはマイナス側にシフトして、変化することになる。TFTの作製工程に於いては、変化し易い V_{th} の制御が重要な技術となっており、 V_{th} の制御技術としてチャネルドープ技術が知られている。チャネルドープとは、ゲート絶縁膜下の活性層中に所定濃度の不純物を添加して、意図的にTFTの V_{th} をシフトさせ、所望の V_{th} を制御する技術である。例えば、 V_{th} がマイナス側にシフトしている場合には、ドーパントにp型の不純物元素を用い、プラス側にシフトしている場合には、ドーパントにn型の不純物元素を用いて、 V_{th} の制御が行われている。

【0006】

この様なチャネルドープには、n型又はp型の不純物元素をドーピングするイオンドーピング法が利用されている。イオンドーピング法とは、質量分離せずに不純物元素を打ち込む方法で、質量分離手段を持たない為、大面積化が容易で、アクティブマトリクス型液晶表示装置の作製に一般に適用されている。尚、イオンドーピング法には、p型不純物としてB(ボロン), Ga(ガリウム), In(インジウム)が使用され、n型不純物としてP(リン), As(砒素), Sb(アンチモン)等が使用されている。

【0007】

【発明が解決しようとする課題】

TFTの活性層であるシリコン系半導体膜に直にチャネルドープ等のドーピング処理を行う場合、シリコン系半導体膜がエッティングされる問題が有る。従来、当該問題の対策として、ドーピング工程の前処理にCVD法によりシリコン酸化膜やシリコン酸窒化膜等の保護膜を堆積して、その上から不純物イオンをドーピング処理していたが、以下の難点が有り、好ましくない。

【0008】

先ず、单なる前処理にCVD法を適用することにより、前処理に掛かる時間が長くなり、不純物イオンのドーピング工程全体の処理時間も長くなる。この為、不純物イオンのドーピング工程全体にとって、単位時間当たりの基板の処理枚数が少なくなり、スループット的に好ましくない。また、プラズマCVD装置や減圧CVD装置等のCVD装置を前処理に適用する為、前処理に掛かる原価が高くなり、全体の生産原価が高くなる点でも好ましくない。従って、シリコン系半導体膜のエッティング防止策として、簡便で原価的に安いエッティング防止策が求められている。

10

20

30

40

50

【0009】

本発明は、上記従来技術の問題点を解決することを課題とする。より特定すれば、シリコン系半導体膜へのドーピング工程に於いて、シリコン系半導体膜のエッティング防止策として、簡便で原価的に安い前処理工程を提供することを課題とする。別言すると、当該前処理工程によるシリコン系半導体膜のエッティング防止策を施した半導体装置の作製方法を提供することを課題とする。

【0010】

【課題を解決する為の手段】

〔チャネルドープ前処理の実験〕

TFTの活性層は、非晶質シリコン膜又は多結晶シリコン膜、更には触媒元素を利用して成膜した結晶質シリコン膜等のシリコン系半導体膜からできている為、オゾン含有水処理等の簡便な処理工程により、極薄のシリコン酸化膜であるケミカル酸化膜を成膜することが可能である。当該ケミカル酸化膜がシリコン系半導体膜へのイオンドーピング工程の保護膜として機能できれば、上記従来技術が抱える問題点を解決できる為、表1の実験条件に基づき以下の実験を行った。尚、本明細書でケミカル酸化膜とは、オゾン含有水や過酸化水素水等の酸化作用を有する化学薬液を使用して成膜される酸化膜のことである。当該ケミカル酸化膜の膜厚は、一般に5nm以下である。

【表1】

表1. 非晶質シリコン膜へのチャネルドープ実験条件

基板No	酸化の有無	ソースガスの水素希釈率
1	無し	0.1%B2H6/H2
2	有り	0.1%B2H6/H2
3	無し	1.0%B2H6/H2
4	有り	1.0%B2H6/H2

10

20

【0011】

先ず、基板No 1～4の4枚のガラス基板上にプラズマCVD法により膜厚53nmの非晶質シリコン膜を300の堆積温度で堆積した。当該非晶質シリコン膜には、自然酸化膜が付いている為、希フッ酸で自然酸化膜を除去した。次に、基板No 2と基板No 4の2枚の基板について、非晶質シリコン膜の全面をオゾン含有水で酸化することにより、5nm以下のケミカル酸化膜（極薄のシリコン酸化膜）を成膜した。その後、イオンドーピング装置を用いて、基板No 1～4の4枚の基板について、 $1 \times 10^{13} \sim 1 \times 10^{14}$ atom s/cm²の範囲でB元素のドーズ量を振ってドーピング処理を行った。尚、B元素の原料ガスにはジボラン（B₂H₆）ガスを水素で希釈したものを用い、希釈率は0.1%と1.0%の場合について実験した。イオンドーピング後に、非晶質シリコン膜の残膜厚を測定して、ドーピング処理時のエッティング状態を調査した。

30

【0012】

本実験の結果を図1に示す。図1から判る様に、オゾン含有水処理により非晶質シリコン膜の表面にケミカル酸化膜を成膜しなかった場合には、非晶質シリコン膜がドーピング処理時にエッティングされること、一方、非晶質シリコン膜の表面にケミカル酸化膜を成膜した場合には、非晶質シリコン膜は殆どエッティングされないことが認められた。また、希釈率0.1%のジボランガスの場合、希釈率1.0%のジボランガスに比較して、非晶質シリコン膜のエッティングがより進行していること、即ち水素イオン比率の大きい方が、非晶質シリコン膜のエッティングが激しいことが認められた。従って、非晶質シリコン膜のエッティングは、水素イオンとの反応が関与しているものと考えられる（図1参照）。

40

【0013】

本実験の結果は、オゾン含有水による5nm以下のケミカル酸化膜が、ドーピング処理時の水素イオンによる非晶質シリコン膜のエッティングを防止できることを示している。この

50

ケミカル酸化膜の成膜は、オゾン含有水による処理に限らず、過酸化水素水による処理でも可能であり、またケミカル酸化膜ではないけれど、酸素を含む雰囲気中で紫外線（UV）を照射することによっても極薄のシリコン酸化膜を成膜することができる。何れの方法で成膜しても、水素イオンによる非晶質シリコン膜のエッティングを防止できると考えられる。

【0014】

本実験に於いては、5 nm以下のケミカル酸化膜について検討したが、イオンドーピング装置での水素イオン比率が低い場合は、非晶質シリコン膜表面のダングリングボンドを酸素で終端させることでも、ある程度エッティングを防止できると考えられる。酸素で終端した場合、ダングリングボンドは Si - O 結合になっており、Si - O 結合 (193.5 kcal/mol) の結合エネルギーが Si - H 結合 (-71.5 kcal/mol) に比べて大きい為、水素イオンが Si - O 結合に接近しても、水素イオンとの反応が抑制される為である。従って、非晶質シリコン膜表面に存在するダングリングボンドを Si - H 結合より結合エネルギーの大きい元素で終端することで、非晶質シリコン膜のエッティングを防止できることが示唆される。

【0015】

尚、Si - H 結合及び Si - O 結合の結合エネルギーは、応用物理データブック（応用物理学会編）の561頁に記載されている2原子分子の結合強度（表10.35）のデータより抜粋したものである。

【0016】

以上の実験により、水素イオンが発生する原料ガスを使用してドーピングする場合に有効な、以下の発明が導かれる。尚、水素イオンが発生する原料ガスとしては、ジボラン（B₂H₆）、ホスフィン（PH₃）及びアルシン（AsH₃）又はこれら材料を水素で希釈したものが挙げられる。また、質量分離手段を有するイオン注入装置でイオン注入する場合は、基本的に質量分離により水素イオンを無くすことができる為、シリコン膜のエッティングは生じないと考えられる。

【0017】

（発明1）シリコン系半導体膜へのイオンドーピング工程に於いて、CVD法による保護膜の成膜に代わって、前処理にシリコン系半導体膜の表面でのケミカル酸化膜の成膜工程を導入する。

（発明2）シリコン系半導体膜へのイオンドーピング工程に於いて、CVD法による保護膜の成膜に代わって、前処理にシリコン系半導体膜の表面のダングリングボンドを Si - H 結合 (-71.5 kcal/mol) より結合エネルギーの大きい元素で終端する工程（以下、ダングリングボンド終端工程と略記）を導入する。

【0018】

〔半導体装置の作製方法〕

上記従来技術の問題点を解決する為、半導体装置の作製方法の視点で本発明の構成を記載する。

【0019】

本発明の構成は、絶縁性基板上にシリコン系半導体膜を成膜する第1の工程と、前記シリコン系半導体膜に対して不純物イオンをドーピングする第2の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記シリコン系半導体膜の表面にケミカル酸化膜を成膜すること、又は前記シリコン系半導体膜の表面のダングリングボンドを酸素で終端すること、又は前記シリコン系半導体膜の表面のダングリングボンドを Si - H 結合より結合エネルギーの大きい元素で終端することを特徴としている。

【0020】

本発明の他の構成は、絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する第1の工程と、前記シリコンを含む非晶質半導体膜に対してチャネルドープを行う第2の工程と、前記シリコンを含む非晶質半導体膜を熱処理し、シリコンを含む多結晶半導体膜を成膜する第3の工程と、前記シリコンを含む多結晶半導体膜をパターン形成して、TFTの活性

10

20

30

40

50

層となる半導体層を形成する第4の工程と、前記半導体層上にゲート絶縁膜を堆積する第5の工程と、前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する第6の工程と、前記ゲート電極をマスクに、前記半導体層に不純物イオンをドーピングする第7の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記シリコンを含む非晶質半導体膜の表面にケミカル酸化膜を成膜すること、又は前記シリコンを含む非晶質半導体膜の表面のダングリングボンドを酸素で終端すること、又は前記シリコンを含む非晶質半導体膜の表面のダングリングボンドをSi-H結合より結合エネルギーの大きい元素で終端することを特徴としている。

【0021】

本発明の他の構成は、絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、熱処理によりシリコンを含む多結晶半導体膜を成膜する第1の工程と、前記シリコンを含む多結晶半導体膜に対してチャネルドープを行う第2の工程と、前記シリコンを含む多結晶半導体膜をパターン形成して、TFTの活性層となる半導体層を形成する第3の工程と、前記半導体層上にゲート絶縁膜を堆積する第4の工程と、前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する第5の工程と、前記ゲート電極をマスクに前記半導体層に不純物イオンをドーピングする第6の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記シリコンを含む多結晶半導体膜の表面にケミカル酸化膜を成膜すること、又は前記シリコンを含む多結晶半導体膜の表面のダングリングボンドを酸素で終端すること、又は前記シリコンを含む多結晶半導体膜の表面のダングリングボンドをSi-H結合より結合エネルギーの大きい元素で終端することを特徴としている。

【0022】

本発明の他の構成は、絶縁性基板上にシリコンを含む非晶質半導体膜を堆積し、前記非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結晶質半導体膜を成膜する第1の工程と、前記シリコンを含む結晶質半導体膜に対してチャネルドープを行う第2の工程と、前記シリコンを含む結晶質半導体膜をパターン形成して、TFTの活性層となる半導体層を形成する第3の工程と、前記半導体層上にゲート絶縁膜を堆積する第4の工程と、前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する第5の工程と、前記ゲート電極をマスクに前記半導体層に不純物イオンをドーピングする第6の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記シリコンを含む結晶質半導体膜の表面にケミカル酸化膜を成膜すること、又は前記シリコンを含む結晶質半導体膜の表面のダングリングボンドを酸素で終端すること、又は前記シリコンを含む結晶質半導体膜の表面のダングリングボンドをSi-H結合より結合エネルギーの大きい元素で終端することを特徴としている。

【0023】

本発明の他の構成は、絶縁性基板上にシリコンを含む非晶質半導体膜を堆積する第1の工程と、前記シリコンを含む非晶質半導体膜に対してチャネルドープを行う第2の工程と、前記シリコンを含む非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加し、熱処理によりシリコンを含む結晶質半導体膜を成膜する第3の工程と、前記シリコンを含む結晶質半導体膜をパターン形成して、TFTの活性層となる半導体層を形成する第4の工程と、前記半導体層上にゲート絶縁膜を堆積する第5の工程と、前記半導体層上に前記ゲート絶縁膜を挟んでゲート電極を形成する第6の工程と、前記ゲート電極をマスクに前記半導体層に不純物イオンをドーピングする第7の工程とを備えた半導体装置の作製方法に於いて、前記第2の工程は、前処理として、前記シリコンを含む非晶質半導体膜の表面にケミカル酸化膜を成膜すること、又は前記シリコンを含む非晶質半導体膜の表面のダングリングボンドを酸素で終端すること、又は前記シリコンを含む非晶質半導体膜の表面のダングリングボンドをSi-H結合より結合エネルギーの大きい元素で終端することを特徴としている。

【0024】

上記発明の構成に於いて、前記シリコン系半導体膜としては、シリコンを含む半導体膜であれば何でも良く、例えばシリコンを含む非晶質半導体膜でも良いし、シリコンを含む非

10

20

30

40

50

晶質半導体膜を熱処理して得られるシリコンを含む多結晶半導体膜でも良いし、シリコンを含む非晶質半導体膜に結晶化の助長作用を有する触媒元素を添加した後に熱処理して得られるシリコンを含む結晶質半導体膜でも良い。尚、本明細書に於いては、シリコンを含む非晶質半導体膜、シリコンを含む多結晶半導体膜、及びシリコンを含む結晶質半導体膜なる技術用語を區別して用いている為、技術用語の定義について明確にする。シリコンを含む非晶質半導体膜とは、結晶化により半導体特性を有するシリコンを含む非晶質膜のこととで、非晶質シリコン膜も当然に含まれるが、シリコンを含む非晶質半導体膜は全て含まれる。例えば、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < X < 1$) の形式で記載されるシリコンとゲルマニウムの化合物から成る非晶質膜も含まれる。また、シリコンを含む結晶質半導体膜とは、結晶化の助長作用を有する触媒元素を利用して得られる結晶質半導体膜のこととで、通常の多結晶半導体膜と比較し、結晶粒が概略同一方向に配向しており、高い電界効果移動度を有する等の特徴がある為、敢えて多結晶半導体膜と區別して、結晶質半導体膜と記載している。
10

【0025】

此處で、結晶化の助長作用を有する触媒元素について記載する。触媒元素とは、結晶化を助長する為に、シリコンを含む非晶質半導体膜に添加されるもので、Ni (ニッケル) 等の金属元素が適用されている。Ni元素以外の触媒元素としては、Fe (鉄) , Co (コバルト) , Ru (ルテニウム) , Rh (ロジウム) , Pd (パラジウム) , Os (オスミウム) , Ir (イリジウム) , Pt (白金) , Cu (銅) , Au (金) 等の金属元素が代表的である。当該触媒元素は、通常では選択された1つの元素が適用されるが、2以上の元素を組み合わせて適用しても構わない。尚、本発明者らの実験では、Ni元素が最も好適な触媒元素であることが判明している。
20

【0026】

また、上記発明の構成に於いて、前記不純物イオンとしては、P (リン) 元素とAs (ヒ素) 元素で代表されるn型不純物と、B (ボロン) 元素で代表されるp型不純物が挙げられる。P元素の場合はホスフィン (PH_3) を水素で希釈したイオン源が使用され、As元素の場合はアルシン (AsH_3) を水素で希釈したイオン源が使用され、B元素の場合はジボラン (B_2H_6) を水素で希釈したイオン源が使用されており、何れも水素で希釈している為、ドーピング時に水素イオンが生成される。これらの不純物イオンをシリコン系半導体膜へドーピングする際、当該水素イオンがシリコン系半導体膜のエッチャントとして作用することが考えられている。
30

【0027】

また、上記発明の構成に於いて、前記シリコン系半導体膜の表面に成膜される前記ケミカル酸化膜としては、オゾン含有水で処理することにより得られる膜厚5 nm以下のシリコン酸化膜が代表であるが、過酸化水素水による処理で成膜しても良い。また、厳密なケミカル酸化膜ではないけれど、酸素を含む雰囲気中で紫外線 (UV) を照射することによっても、ケミカル酸化膜と同様の作用を有する極薄のシリコン酸化膜を成膜することができる。また、前記ケミカル酸化膜の代わりに、前記シリコン系半導体膜の表面のダングリングボンドを酸素で終端することも考えられ、更にはSi-H結合より結合エネルギーの大きい元素で終端することも考えられる。
40

【0028】

以上の様に構成された発明によれば、シリコン系半導体膜に不純物イオンをドーピングする際、シリコン系半導体膜の保護膜に簡便な方法で成膜されるケミカル酸化膜を適用できる為、イオンドーピング工程全体のスループットの向上に有効である。また、イオンドーピング工程の前処理に高価格のプラズマCVD装置や減圧CVD装置が不要となる為、生産コストの低減に有効である。尚、ケミカル酸化膜の代わりに、シリコン系半導体膜の表面のダングリングボンドをSi-H結合より結合エネルギーの大きい元素、例えば酸素で終端する場合に於いても、当該終端工程がCVD工程に比較し簡便である為、ケミカル酸化膜と同様の効果を有するものと考える。

【0029】

10

20

30

40

50

【発明の実施の形態】

〔実施形態1〕

本実施形態では、結晶構造を有するシリコン系半導体膜に対してチャネルドープするTFT作製方法の例として、触媒元素を利用して結晶化される結晶質シリコン膜に対してチャネルドープするTFT作製方法を図2～3に基づき具体的に記載する。尚、チャネルドープは、nチャネル型TFTに対してのみ行うものとする。

【0030】

まず、ガラス基板101上に膜厚100nmのシリコン酸窒化膜から成る下地膜102をプラズマCVD法により堆積し、続けて膜厚15～70nm、より好ましくは膜厚30～60nmの非晶質シリコン膜103を堆積する。本実施形態では、膜厚50nmの非晶質シリコン膜103をプラズマCVD法により堆積した。堆積の際、非晶質シリコン膜103の表面には、空気中の酸素の影響により、自然酸化膜(図示せず)が付いている為、希フッ酸処理により洗浄する。その後、所定時間のオゾン含有水処理により、非晶質シリコン膜103の表面に極薄のシリコン酸化膜から成るケミカル酸化膜104を成膜する。このケミカル酸化膜104は、後にスピニ塗布法により添加される触媒元素を含んだ溶液(以下、触媒元素溶液と略記)であるNi水溶液の濡れ性改善を図る為に行われる。尚、本実施形態では、非晶質シリコン膜103を堆積したが、非晶質シリコン膜103以外にも、シリコンを含む非晶質半導体膜、例えば $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)の形式で記載されるシリコンとゲルマニウムの化合物から成る非晶質半導体膜を適用することも可能である。また、ケミカル酸化膜104は、オゾン含有水処理により成膜しているが、過酸化水素水による処理で成膜しても良い(図2-A参照)。

【0031】

次に、触媒元素溶液であるNi水溶液をスピニ塗布法により、非晶質シリコン膜103(厳密にはケミカル酸化膜104)の全面に添加する。Ni水溶液のNi濃度は、重量換算で0.1～50ppm、より好ましくは1～30ppm程度の濃度範囲が好適である。本実施形態では、Ni濃度が10ppmのNi水溶液をスピニ塗布法により添加した。スピニ塗布の際、基板を回転して、余分なNi水溶液を吹き飛ばして除去し、非晶質シリコン膜103(厳密にはケミカル酸化膜104)の全面に極薄のNi含有層105を成膜する(図2-B参照)。

【0032】

次に、専用の熱処理炉を使用して、窒素雰囲気中で非晶質シリコン膜103を熱処理する。当該熱処理は、結晶化を助長する触媒元素の作用により、450～750の温度範囲で熱処理することにより、結晶化が達成されるが、熱処理温度が低いと処理時間を長くしなければならず、生産効率が低下するという一般的な性質がある。また、600以上の熱処理は、基板として適用するガラス基板の耐熱性の問題が表面化してしまう。従って、ガラス基板を使用する場合には、上記熱処理工程の温度は450～600の範囲が妥当である。また、実際の熱処理は、非晶質シリコン膜103の堆積方法によても、好適な熱処理条件が異なっており、例えば減圧CVD法で堆積した場合は600～12時間程度の熱処理が好適であり、プラズマCVD法で堆積した場合は550～4時間程度の熱処理で十分なことが判っている。本実施形態に於いては、プラズマCVD法で膜厚50nmの非晶質シリコン膜103を堆積している為、550～4時間の熱処理を行うことにより結晶質シリコン膜106を成膜した。この様に、非晶質シリコン膜103の全面にNi水溶液を添加して熱処理する結晶成長法は、Ni元素を添加した非晶質シリコン膜103の表面から縦方向(基板面に対し垂直方向)へ結晶成長が進行する為、発明者らにより縦成長法と命名されている(図2-B参照)。

【0033】

次に、得られた結晶質シリコン膜106の結晶性を改善させる為、結晶質シリコン膜106に対しレーザー照射を行う。結晶質シリコン膜106は電熱炉による熱処理のみでは結晶化が不完全な状態となっており、非晶質成分が不規則に残存している。此处では、結晶化の不完全性を改善する目的で、結晶質シリコン膜106に対しパルス発振型のKrFエ

10

20

30

40

50

キシマレーザー（波長 248 nm）を適用している。このエキシマレーザーは紫外光を発振する為、被レーザー照射領域に於いて、瞬間的に溶融固化が繰り返される。この為、被レーザー照射領域に於いて、一種の非平衡状態が実現され、Ni 元素が非常に移動し易い状態となる。尚、このレーザー照射工程を省略することも可能であるが、当該レーザー照射工程により、結晶性の改善の他に、後のゲッタリング工程の効率を向上させる効果も有している為、当該レーザー照射工程は省略しない方が好ましい（図 2 - B 参照）。

【0034】

次に、得られた結晶質シリコン膜 106 の表面には、Ni 含有層 105 等の汚染層が付いている為、希フッ酸で洗浄し、結晶質シリコン膜 106 の表面を清浄化する。その後、チャネルドープの前処理として、所定時間のオゾン含有水処理により、結晶質シリコン膜 106 の表面に 5 nm 以下の極薄のシリコン酸化膜から成るケミカル酸化膜 107 を成膜する。尚、本実施形態に於いては、ケミカル酸化膜 107 をオゾン含有水処理により成膜しているが、過酸化水素水による処理で成膜しても良い。また、厳密なケミカル酸化膜ではないけれど、酸素を含む雰囲気中で紫外線（UV）を照射することによっても、ケミカル酸化膜と同様の作用を有する極薄のシリコン酸化膜を成膜することができる（図 2 - C 参照）。

【0035】

また、チャネルドープ工程で使用されるイオンドーピング装置での水素イオン比率が低い場合は、チャネルドープの前処理として、結晶質シリコン膜 106 表面のダングリングボンドを酸素等の Si - H 結合（71.5 kcal/mol）より結合エネルギーの大きい元素で終端させることも考えられる。

【0036】

次に、結晶質シリコン膜 106 の n チャネル型 TFT 対応する領域を開口領域とする、チャネルドープ用マスクとなるレジストパターン 108 を形成する。その後、イオンドーピング装置を使用して、前記レジストパターン 108 をマスクに、結晶質シリコン膜 106 の n チャネル型 TFT 対応する領域に p 型不純物である B 元素をドーピングし、チャネルドープを行う。チャネルドープでは、ジボラン (B_2H_6) ガスを水素で希釈したイオンソースが使用されている。チャネルドープは、通常、ジボラン希釈率 0.01 ~ 1.0%、加速電圧 1 ~ 50 kV、イオン電流 10 ~ 500 nA、ドーズ量 $1 \times 10^{11} \sim 1 \times 10^{14}$ atoms/cm² のドーピング条件で処理される。尚、本実施形態に於いては、ジボラン希釈率 0.1%、加速電圧 15 kV、イオン電流 50 nA、ドーズ量 4×10^{13} atoms/cm² のチャネルドープ条件でドーピング処理した（図 2 - C 参照）。

【0037】

次に、チャネルドープのマスクとなったレジストパターン 108 を除去する。その後、通常のフォトリソグラフィ処理とドライエッチング処理により、結晶質シリコン膜 106 をパターン形成して、n チャネル型 TFT 対応する半導体層 109n と p チャネル型 TFT 対応する半導体層 109p を形成する。此處で、前記半導体層 109n, 109p の表面には自然酸化膜（又はチャネルドープの前処理で成膜したケミカル酸化膜 107）が成膜されている為、希フッ酸処理により除去する。この様にして、結晶質シリコン膜 106 から成る半導体層 109n, 109p の表面を清浄化した後に、プラズマ CVD 法又は減圧 CVD 法により、膜厚 100 nm のシリコン酸化膜から成るゲート絶縁膜 110 を堆積する（図 2 - D 参照）。

【0038】

次に、ゲート電極材料である導電性膜（膜厚 400 nm）をスパッタ法又は CVD 法により堆積し、通常のフォトリソグラフィ処理とドライエッチング処理によりパターン形成し、n チャネル型 TFT 対応するゲート電極 111n と p チャネル型 TFT 対応するゲート電極 111p を形成する。此處で適用されるゲート電極材料としては、後工程である、半導体層 109n, 109p にドーピングされる不純物イオンの活性化を兼ねたゲッタリング用の熱処理温度（550 ~ 650 度）に耐え得る耐熱性材料が好ましい。耐熱性材料としては、例えば Ta（タンタル）、Mo（モリブデン）、Ti（チタン）、W（

10

20

20

30

40

50

タンゲステン) , Cr (クロム) 等の高融点金属、及び高融点金属とシリコンの化合物である金属シリサイド、及びn型又はp型の導電性を有する多結晶シリコン等が挙げられる。尚、本実施形態では、膜厚400nmのW金属膜を適用している(図2-E参照)。

【0039】

次に、ゲート電極111n, 111pをマスクに、イオンドーピング装置を使用して、n型不純物であるP元素をドーピングする。当該イオンドーピング処理は、加速電圧10~100kV、ドーザ量 1×10^{14} ~ 1×10^{16} atoms/cm²の条件で処理される。尚、本実施形態に於いては、加速電圧80kV、ドーザ量 1.7×10^{15} atoms/cm²の条件でドーピング処理した。当該イオンドーピング処理により、nチャネル型TFTに対応する半導体層109nには、ソース領域及びドレイン領域として機能するn型の導電型を有する高濃度不純物領域(n+領域)113nと、チャネル領域として機能する実質的に真性な領域112nが形成される。また、pチャネル型TFTに対応する半導体層109pには、n型の導電型を有する高濃度不純物領域(n+領域)113pと、チャネル領域として機能する実質的に真性な領域112pが形成されている(図2-E参照)。

【0040】

次に、pチャネル型TFTに対応する半導体層109pの全域を開口領域とするレジストパターン114を形成する。その後、前記レジストパターン114及びpチャネル型TFTに対応するゲート電極111pをマスクに、イオンドーピング装置を使用して、p型不純物であるB元素をドーピングする。当該イオンドーピング処理は、加速電圧10~100kV、ドーザ量 2×10^{14} ~ 5×10^{16} atoms/cm²の条件で処理される。尚、本実施形態に於いては、加速電圧60kV、ドーザ量 2.5×10^{15} atoms/cm²の条件でドーピング処理した。当該イオンドーピング処理により、pチャネル型TFTに対応するn型の高濃度不純物領域113pの導電型が反転し、ソース領域及びドレイン領域として機能するp型の導電型を有する高濃度不純物領域(p+領域)115pが形成される(図3-A参照)。

【0041】

次に、前記レジストパターン114を除去した後、膜厚100~300nmの無機膜から成る第1の層間絶縁膜116を堆積する。本実施形態では、膜厚150nmのシリコン酸窒化膜から成る第1の層間絶縁膜116をプラズマCVD法により堆積している。その後、半導体層109n, 109pにドーピングされた不純物元素(n型不純物とp型不純物)の熱活性化の為、電熱炉により600~-12時間の熱処理を行う。当該熱処理は不純物元素の熱活性化処理の為に行うものであるが、チャネル領域として機能する実質的に真性な領域112n, 112pに含まれる不要な触媒元素(Ni元素)のゲッタリング処理も兼ねている。この方法で製造された結晶質シリコン膜を有するTFTは、チャネル領域の不要な触媒元素(Ni元素)がゲッタリングされることにより、高い電界効果移動度を有しており、またオフ電流の低下等の良好な電気特性を有している。その後、半導体層109n, 109p表面のダングリングボンドを終端させる為、410~-1時間の水素化処理を水素3%含有の窒素雰囲気中で行う(図3-B参照)。

【0042】

次に、前記第1の層間絶縁膜116の上に、膜厚1~3μmの透明な有機膜から成る第2の層間絶縁膜117を成膜する。本実施形態では、膜厚1.6μmのアクリル樹脂膜から成る第2の層間絶縁膜117を成膜している。その後、通常のフォトリソグラフィ処理とドライエッチング処理により、第2の層間絶縁膜117と前記第1の層間絶縁膜116、更には前記第1の層間絶縁膜116の下層に存在するゲート絶縁膜110にコンタクトホール118を形成する(図3-C参照)。

【0043】

次に、導電性を有する膜厚200~800nmの金属膜を堆積する。本実施形態では、50nm厚のTi膜と500nm厚のAl-Ti合金膜の積層膜をスパッタ法により堆積する。その後、通常のフォトリソグラフィ処理とドライエッチング処理を行い、金属配線119を形成する。当該金属配線119は、前記コンタクトホール118を介してnチャネ

10

20

30

40

50

ル型 TFT に対応するソース領域及びドレイン領域 113n、及び p チャネル型 TFT に対応するソース領域及びドレイン領域 115p に各々接続されている（図 3 - D 参照）。

【0044】

以上の様に、触媒元素を利用した結晶質シリコン膜に対して、ケミカル酸化膜の成膜によるチャネルドープ前処理工程とチャネルドープを適用し、TFT を作製することが可能である。チャネルドープの前処理にケミカル酸化膜の成膜工程を適用する理由は、チャネルドープ時の結晶質シリコン膜のエッチングを防止する効果がある為であるが、結晶質シリコン膜表面のダングリングボンドを酸素等の Si - H 結合（71.5 kcal/mol）より結合エネルギーの大きい元素で終端させることでも、ケミカル酸化膜の成膜と同様のエッチング防止効果が期待される。尚、本実施形態では、触媒元素を利用した結晶質シリコン膜に対して、ケミカル酸化膜の成膜によるチャネルドープ前処理工程とチャネルドープを適用しているが、単なる熱処理のみ（触媒元素利用せず）により結晶化される通常の多結晶シリコン膜に対しても、勿論適用可能である。10

【0045】

〔実施形態 2〕

本実施形態は、非晶質シリコン膜に対してチャネルドープする TFT 作製方法の例を図 4 ~ 5 に基づき具体的に記載する。此処では、チャネルドープは、n チャネル型 TFT に対してのみ行うものとし、また、チャネルドープ後の非晶質シリコン膜結晶化工程は、触媒元素を利用して結晶化する場合について記載する。尚、ゲート絶縁膜の堆積以降の工程（実施形態 1 の図 3 に示す工程含む）については、基本的に実施形態 1 と同一である為、省略する。20

【0046】

先ず、ガラス基板 201 上に膜厚 100 nm のシリコン酸窒化膜から成る下地膜 202 をプラズマ CVD 法により堆積し、続けて膜厚 15 ~ 70 nm、より好ましくは膜厚 30 ~ 60 nm の非晶質シリコン膜 203 を堆積する。本実施形態では、膜厚 50 nm の非晶質シリコン膜 203 をプラズマ CVD 法により堆積した。堆積の際、非晶質シリコン膜 203 の表面には、空気中の酸素の影響により、自然酸化膜（図示せず）が付いている。尚、本実施形態では、非晶質シリコン膜 203 を堆積したが、非晶質シリコン膜 203 以外にも、シリコンを含む非晶質半導体膜、例えば $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$) の形式で記載されるシリコンとゲルマニウムの化合物から成る非晶質半導体膜を適用することも可能である（図 4 - A 参照）。30

【0047】

次に、非晶質シリコン膜 203 の表面に付いている自然酸化膜（図示せず）を希フッ酸で洗浄し、非晶質シリコン膜 203 の表面を清浄化する。その後、チャネルドープの前処理として、所定時間のオゾン含有水処理により、非晶質シリコン膜 203 の表面に 5 nm 以下の極薄のシリコン酸化膜から成るケミカル酸化膜 204 を成膜する。尚、本実施形態に於いては、ケミカル酸化膜 204 をオゾン含有水処理により成膜しているが、過酸化水素水による処理で成膜しても良い。また、厳密なケミカル酸化膜ではないけれど、酸素を含む雰囲気中で紫外線（UV）を照射することによっても、ケミカル酸化膜と同様の作用を有する極薄のシリコン酸化膜を成膜することができる（図 4 - B 参照）。40

【0048】

また、チャネルドープ工程で使用されるイオンドーピング装置での水素イオン比率が低い場合は、チャネルドープの前処理として、非晶質シリコン膜 203 表面のダングリングボンドを酸素等の Si - H 結合（71.5 kcal/mol）より結合エネルギーの大きい元素で終端させることも考えられる。

【0049】

次に、非晶質シリコン膜 203 の n チャネル型 TFT に対応する領域を開口領域とする、チャネルドープ用マスクとなるレジストパターン 205 を形成する。その後、イオンドーピング装置を使用して、前記レジストパターン 205 をマスクに、非晶質シリコン膜 203 の n チャネル型 TFT に対応する領域に p 型不純物である B 元素をドーピングし、チャ50

ネルドープを行う。チャネルドープでは、ジボラン(B_2H_6)ガスを水素で希釈したイオンソースが使用されている。チャネルドープは、通常、ジボラン希釈率0.01~1.0%、加速電圧1~50kV、イオン電流10~500nA、ドーズ量 1×10^{11} ~ 1×10^{14} atoms/cm²のドーピング条件で処理される。尚、本実施形態に於いては、ジボラン希釈率0.1%、加速電圧15kV、イオン電流50nA、ドーズ量 4×10^{13} atoms/cm²のチャネルドープ条件でドーピング処理した(図4-B参照)。

【0050】

次に、チャネルドープのマスクとなったレジストパターン205を除去する。その後、非晶質シリコン膜203の表面を清浄化する為、希フッ酸処理により洗浄する。その後、所定時間のオゾン含有水処理により、非晶質シリコン膜203の表面に極薄のシリコン酸化膜から成るケミカル酸化膜206を成膜する。このケミカル酸化膜206は、後にスピニ塗布法により添加される触媒元素溶液であるNi水溶液の濡れ性改善を図る為に行われる。尚、本実施形態に於いては、ケミカル酸化膜206は、オゾン含有水処理により成膜しているが、過酸化水素水による処理で成膜しても構わない(図4-C参照)。

【0051】

次に、触媒元素溶液であるNi水溶液をスピニ塗布法により、非晶質シリコン膜203(厳密にはケミカル酸化膜206)の全面に添加する。Ni水溶液のNi濃度は、重量換算で0.1~50ppm、より好ましくは1~30ppm程度の濃度範囲が好適である。本実施形態では、Ni濃度が10ppmのNi水溶液をスピニ塗布法により添加した。スピニ塗布の際、基板を回転して、余分なNi水溶液を吹き飛ばして除去し、非晶質シリコン膜203(厳密にはケミカル酸化膜206)の全面に極薄のNi含有層207を成膜する(図4-C参照)。

【0052】

次に、専用の熱処理炉を使用して、窒素雰囲気中で非晶質シリコン膜203を熱処理する。本実施形態に於いては、実施形態1と同様に、プラズマCVD法で膜厚50nmの非晶質シリコン膜203を堆積している為、550~-4時間の熱処理を行うことにより、縦成長法により結晶質シリコン膜208を成膜した。その後、得られた結晶質シリコン膜208の結晶性を改善させる為、結晶質シリコン膜208に対しレーザー照射を行う。当該レーザー照射により、結晶質シリコン膜208の結晶性は大幅に改善されている。本実施例では、パルス発振型のKrFエキシマレーザー(波長248nm)を適用している。このエキシマレーザーは結晶質シリコン膜208の結晶性の改善のみでなく、Ni元素が非常に移動し易い状態となる為、ゲッタリング源によるゲッタリング効率の向上という作用もある(図4-C参照)。

【0053】

次に、通常のフォトリソグラフィ処理とドライエッティング処理により、結晶質シリコン膜208をパターン形成して、nチャネル型TFTに対応する半導体層209nとpチャネル型TFTに対応する半導体層209pを形成する。その後、前記半導体層209n, 209pの表面を清浄化する為、希フッ酸処理により洗浄する。半導体層209n, 209pの表面を清浄化した後に、プラズマCVD法又は減圧CVD法により、膜厚100nmのシリコン酸化膜から成るゲート絶縁膜210を堆積する。尚、これ以降のTFT作製工程については、実施形態1と同じである為、省略する(図4-D参照)。

【0054】

[TFTの電気特性評価]

実施形態2のTFT作製工程に基づき、nチャネル型TFTを実際に試作し、電気特性の評価を行った。此处では、電気特性の評価結果について記載する。

【0055】

図5はnチャネル型TFTの I_D - V_G (電流-電圧)特性データーで、8個のnチャネル型TFTを半導体測定装置(4155B)で測定したものである。図5-Aは極薄のシリコン酸化膜から成るケミカル酸化膜の成膜工程が有る場合のデーターで、図5-Bはケミカル酸化膜の成膜工程が無い場合のデーターである。尚、測定したnチャネル型TFTの

10

20

30

40

50

チャネル長 (L) とチャネル幅 (W) は、L = 7 . 3 μm と W = 200 μm である。

【0056】

図5から判る様に、ケミカル酸化膜成膜が有る場合には、I_D - V_G 特性のnチャネル型 TFT 每のばらつきが小さいのに対し、ケミカル酸化膜成膜が無い場合には、I_D - V_G 特性のばらつきが大きい結果が得られた。I_D - V_G 特性ばらつきの原因としては、チャネルドープ時に非晶質シリコン膜が水素イオンでエッティングされ、非晶質シリコン膜の薄膜化が進行し、コンタクト抵抗のばらつきが起こる為と考えられる。

【0057】

上記のI_D - V_G 特性評価結果より、極薄のシリコン酸化膜から成るケミカル酸化膜は、チャネルドープの保護膜として全く問題のないことが認められた。

10

【0058】

以上の様に、非晶質シリコン膜に対して、ケミカル酸化膜成膜によるチャネルドープ前処理工程とチャネルドープを適用し、優れた電気特性を有するTFTを作製することが可能である。

【0059】

【実施例】

〔実施例1〕

本実施例は、非晶質シリコン膜に対しケミカル酸化膜を成膜するチャネルドープ前処理工程をアクティブマトリクス型液晶表示装置の製造工程に適用した例であり、図6～10に基づき具体的に記載する。また、チャネルドープ後の非晶質シリコン膜の結晶化工程は、触媒元素を利用して結晶化する場合を記載する。

20

【0060】

先ず、ガラス基板301上にプラズマCVD法により、各々組成比の異なる第1層目のシリコン酸化膜302aを50nmと第2層目のシリコン酸化膜302bを100nmの膜厚で堆積し、下地膜302を堆積する。尚、此處で用いるガラス基板301としては、石英ガラスまたはバリウムホウケイ酸ガラスまたはアルミニノホウケイ酸ガラス等が有る。次に前記下地膜302(302aと302b)上に、プラズマCVD法により、非晶質シリコン膜303aを55nmの膜厚で堆積する。堆積の際、非晶質シリコン膜303aの表面は、処理雰囲気中に混入した空気中の酸素の影響により極薄の自然酸化膜(図示せず)が付いている。尚、本実施例ではプラズマCVD法で非晶質シリコン膜303aを堆積しているが、減圧CVD法で堆積しても構わない(図6-A参照)。

30

【0061】

また、非晶質シリコン膜303aの堆積に於いては、空気中に存在する炭素、酸素及び窒素が混入する可能性がある。これらの不純物ガスの混入は、最終的に得られるTFT特性の劣化を引き起こすことが経験的に知られており、このことから前記不純物ガスの混入は結晶化の阻害要因として作用すると本発明者らは認識している。従って、前記不純物ガスの混入は徹底的に排除することが好ましく、具体的な濃度範囲としては、炭素及び窒素の場合は共に $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とし、酸素の場合は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とするのが好ましい(図6-A参照)。

【0062】

40

次に、非晶質シリコン膜303aの表面に付いている自然酸化膜(図示せず)を希フッ酸で洗浄し、非晶質シリコン膜303aの表面を清浄化する。その後、チャネルドープの前処理として、所定時間のオゾン含有水処理により、非晶質シリコン膜303aの表面に5nm以下の極薄のシリコン酸化膜から成るケミカル酸化膜304を成膜する。尚、本実施例に於いては、ケミカル酸化膜304をオゾン含有水処理により成膜しているが、過酸化水素水による処理で成膜しても良い。また、厳密なケミカル酸化膜ではないけれど、酸素を含む雰囲気中で紫外線(UV)を照射することによっても、ケミカル酸化膜と同様の作用を有する極薄のシリコン酸化膜を成膜することができる(図6-A参照)。

【0063】

また、チャネルドープ工程で使用されるイオンドーピング装置での水素イオン比率が低い

50

場合は、チャネルドープの前処理として、非晶質シリコン膜303a表面のダングリングボンドを酸素等のSi-H結合(71.5 kcal/mol)より結合エネルギーの大きい元素で終端させることも考えられる。

【0064】

次に、非晶質シリコン膜303aのnチャネル型TFT401,403に対応する領域と画素TFT404に対応する領域を開口領域とする、チャネルドープ用マスクとなるレジストパターン305～308を形成する。その後、イオンドーピング装置を使用して、前記レジストパターン305～308をマスクにp型不純物であるB元素をドーピングし、第1のイオンドーピング処理であるチャネルドープを行う。チャネルドープでは、ジボラン(B_2H_6)ガスを水素で希釈したイオンソースが使用されている。チャネルドープは、通常、ジボラン希釈率0.01～1.0%、加速電圧1～50kV、イオン電流10～500nA、ドーズ量 1×10^{11} ～ 1×10^{14} atoms/cm²のドーピング条件で処理される。尚、本実施例に於いては、ジボラン希釈率0.1%、加速電圧15kV、イオン電流50nA、ドーズ量 4×10^{13} atoms/cm²のチャネルドープ条件でドーピング処理した(図6-A参照)。10

【0065】

次に、チャネルドープのマスクとなったレジストパターン305～308を除去する。その後、非晶質シリコン膜303aの表面を清浄化する為、希フッ酸処理により洗浄する。その後、所定時間のオゾン含有水処理により、非晶質シリコン膜303aの表面に極薄のシリコン酸化膜から成るケミカル酸化膜(図示せず)を成膜する。このケミカル酸化膜(図示せず)は、後にスピニ塗布法により添加される触媒元素溶液であるNi水溶液の濡れ性改善を図る為に行われる。尚、本実施例に於いては、ケミカル酸化膜(図示せず)は、オゾン含有水処理により成膜しているが、過酸化水素水による処理成膜しても構わない(図6-B参照)。20

【0066】

次に、非晶質シリコン膜303aの全面に、結晶化の助長作用を有する触媒元素溶液であるNi水溶液を添加する。具体的には、Ni化合物であるニッケル酢酸塩を純水に溶解し、重量換算で10ppmの濃度に調整したNi水溶液をスピニ処理法により添加する(図6-B参照)。30

【0067】

次に、非晶質シリコン膜303a中の含有水素量を5atom%以下に制御する為、当該基板を電熱炉内の窒素雰囲気中で450～1時間の条件で熱処理し、非晶質シリコン膜303a中の含有水素の脱水素化処理を行う(図6-B参照)。30

【0068】

次に、電熱炉に於いて、550～4時間の条件で熱処理することにより、非晶質シリコン膜303aの結晶化を行い、結晶質シリコン膜303bを成膜する。その後、得られた結晶質シリコン膜303bの結晶性を改善させる為、結晶質シリコン膜303bに対しレーザー照射を行う。当該レーザー照射により、結晶質シリコン膜303bの結晶性は大幅に改善される。本実施例では、パルス発振型のKrFエキシマレーザー(波長248nm)を適用している。このエキシマレーザーは結晶質シリコン膜303bの結晶性の改善のみでなく、Ni元素が非常に移動し易い状態となる為、ゲッタリング源によるゲッタリング効率の向上という作用も有している(図6-B参照)。40

【0069】

次に、通常のフォトリソグラフィ処理及びドライエッチング処理により、結晶質シリコン膜303bをパターン形成し、TFTのチャネル領域及びソース領域及びドレイン領域と成る半導体層309～313を形成する(図7-A参照)。

【0070】

次に、前記半導体層309～313を覆う様に、プラズマCVD法により膜厚100nmのシリコン酸化膜から成るゲート絶縁膜314を堆積する。尚、ゲート絶縁膜314の堆積の際、半導体層309～313の表面を清浄化する為、希フッ酸処理により洗浄する50

。その後、ゲート絶縁膜314上にゲート電極材料である導電性膜をスパッタ法又はCVD法により堆積する。此処で適用されるゲート電極材料としては、後の不純物元素の活性化を兼ねたゲッタリング用の熱処理温度(550~650程度)に耐え得る耐熱性材料が好ましい。耐熱性材料としては、例えばTa(タンタル), Mo(モリブデン), Ti(チタン), W(タンクステン), Cr(クロム)等の高融点金属、及び高融点金属とシリコンの化合物である金属シリサイド、及びn型又はp型の導電型を有する多結晶シリコン等が挙げられる。尚、本実施例では、膜厚400nmのW膜から成るゲート電極膜315をスパッタ法により堆積した(図7-B参照)。

【0071】

上記構造の基板上に、ゲート電極形成用のフォトリソグラフィ処理とドライエッティング処理を行うことにより、ゲート電極322~325と保持容量用電極326とソース配線として機能する電極327を形成する。ドライエッティングの後、ゲート電極322~325上にはドライエッティングのマスクであるレジストパターン316~319が残膜し、同様に保持容量用電極326上にレジストパターン320とソース配線として機能する電極327上にレジストパターン321が残膜している。尚、ドライエッティングに伴い、下地のシリコン酸窒化膜から成るゲート絶縁膜314は膜減りにより、ゲート絶縁膜328の形状に変形している(図8-A参照)。

【0072】

次に、レジストパターン316~321を残した状態で、ゲート電極322~325と保持容量用電極326をマスクに、イオンドーピング装置を用いて、第2のイオンドーピング処理である低濃度n型不純物のドーピングを行う。当該イオンドーピング処理は、n型不純物であるP元素を用い、加速電圧10~100kV、ドーズ量 3×10^{12} ~ 3×10^{13} atoms/cm²の条件で処理される。この第2のイオンドーピング処理により、ゲート電極322~325と保持容量用電極326の外側に対応する半導体層309~313に、n型不純物の低濃度不純物領域(n-領域)334~338が形成される。同時に、ゲート電極322~325の真下には、TFTのチャネルとして機能する実質的に真性な領域329~332が形成される。また、保持容量用電極326の真下の半導体層313には、当該領域がTFT形成領域でなく、保持容量405の形成領域である為、容量形成用電極の片側として機能する真性な領域333が形成される(図8-A参照)。

【0073】

次に、当該基板を専用の剥離液で洗浄することにより、ドライエッティングのマスクとなつたレジストパターン316~321を除去する。除去した後、駆動回路406に於けるnチャネル型TFT401, 403と画素領域407に於ける画素TFT404をLDD構造にする為、当該領域に存在するゲート電極322, 324~325を被覆する様に、第3のイオンドーピング処理のマスクとなるn+領域形成用のレジストパターン339~341を形成する。そして、第3のイオンドーピング処理である高濃度n型不純物のドーピングを行う。当該イオンドーピング処理は、加速電圧10~100kV、ドーズ量 1×10^{14} ~ 1×10^{16} atoms/cm²の条件でドーピング処理される。尚、本実施形態に於いては、加速電圧80kV、ドーズ量 1.7×10^{15} atoms/cm²の条件でドーピング処理した。当該イオンドーピング処理により、前記レジストパターン339~341の外側領域に対応する半導体層309, 311~312にn型不純物の高濃度不純物領域(n+領域)342, 344~345が形成される。この高濃度不純物領域(n+領域)342, 344~345の形成に伴い、既に形成した低濃度不純物領域(n-領域)334, 336~337は、高濃度不純物領域(n+領域)342, 344~345と低濃度不純物領域(n-領域)347~349に分離され、LDD構造となるソース領域及びドレイン領域が形成される(図8-B参照)。

【0074】

この際、LDD構造形成領域以外の領域である駆動回路406のpチャネル型TFT402の領域と画素領域407の保持容量405の領域に於いては、ゲート電極323と保持容量用電極326をマスクに各々イオンドーピングされる為、ゲート電極323の外側領

10

20

30

40

50

域に対応する半導体層 310 に n 型不純物の高濃度不純物領域 (n+ 領域) 343 が形成され、保持容量用電極 326 の外側領域に対応する半導体層 313 にも n 型不純物の高濃度不純物領域 (n+ 領域) 346 が形成されている (図 8 - B 参照)。

【 0075 】

次に、通常のフォトリソグラフィ処理により、p チャネル型 TFT402 に対応する半導体層 310 の領域と保持容量 405 に対応する半導体層 313 の領域を開口領域とするレジストパターン 350 ~ 352 を形成する。その後、前記レジストパターン 350 ~ 352 をマスクに、イオンドーピング装置を用いて、第 4 のイオンドーピング処理である高濃度 p 型不純物のドーピングを行う。当該イオンドーピング処理により、p チャネル型 TFT402 に対応する半導体層 310 には、ゲート電極 323 をマスクに p 型不純物である B 元素がイオン注入される。10 この結果、ゲート電極 323 の外側領域に対応する半導体層 310 に、p 型の導電型を有する高濃度不純物領域 (p+ 領域) 353 が形成される。前記高濃度不純物領域 (p+ 領域) 353 には、既に n 型不純物である P 元素がドーピングされているが、B 元素のドーズ量が $2.5 \times 10^{15} \text{ atoms/cm}^2$ となる様に高濃度にドーピングされる為、p 型の導電型を有し、ソース領域及びドレイン領域として機能する高濃度不純物領域 (p+ 領域) 353 が形成される。また、保持容量 405 の形成領域に於いても、保持容量用電極 326 の外側領域に対応する半導体層 313 に p 型の導電型を有する高濃度不純物領域 (p+ 領域) 354 が同様に形成される (図 9 - A 参照)。

【 0076 】

次に、前記レジストパターン 350 ~ 352 を除去した後、膜厚 150 nm のシリコン酸窒化膜から成る第 1 の層間絶縁膜 355 をプラズマ CVD 法により堆積する。20 その後、半導体層 309 ~ 313 にドーピングされた不純物イオン (P 元素と B 元素) の熱活性化の為、電熱炉に於いて、600 ~ 12 時間の熱処理を行う。当該熱処理は不純物イオンの熱活性化処理の為に行うものであるが、チャネル領域として機能する実質的に真性な領域 329 ~ 332 及び容量形成用電極の片側として機能する真性な領域 333 に存在する Ni 元素を前記不純物イオンによりゲッタリングする目的も兼ねている。尚、前記熱活性化処理を第 1 の層間絶縁膜 355 の堆積前に行っても良いが、ゲート電極等の配線材料の耐熱性が弱い場合は、第 1 の層間絶縁膜 355 の堆積後に行う方が好ましい。30 その後、半導体層 309 ~ 313 のダングリングボンドを終端させる為、410 ~ 1 時間の水素化処理を水素 3 % 含有の窒素雰囲気中で行う (図 9 - B 参照)。

【 0077 】

次に、前記第 1 の層間絶縁膜 355 の上に、膜厚 1.6 μm のアクリル樹脂膜から成る第 2 の層間絶縁膜 356 を成膜する。その後、通常のフォトリソグラフィ処理とドライエッティング処理により、第 2 の層間絶縁膜 356 と第 1 の層間絶縁膜 355 、更に下層膜であるゲート絶縁膜 328 を貫通する様に、コンタクトホールを形成する。この際、コンタクトホールは、ソース配線として機能する電極 327 及び高濃度不純物領域 342, 344 ~ 345, 353 ~ 354 と接続する様に形成される (図 10 - A 参照)。

【 0078 】

次に、駆動回路 406 の高濃度不純物領域 342, 344, 353 と電気的に接続する様に、導電性の金属配線 357 ~ 362 を形成する。また、画素領域 407 の接続電極 363, 365 ~ 366 とゲート配線 364 を同じ導電性材料で形成する。本実施例では、金属配線 357 ~ 362、接続電極 363, 365 ~ 366 及びゲート配線 364 の構成材料として、膜厚 50 nm の Ti 膜と膜厚 500 nm の Al-Ti 合金膜の積層膜を適用している。そして、接続電極 363 は、不純物領域 345 とソース配線として機能する電極 327 とを電気的に接続する様に形成されている。接続電極 365 は、画素 TFT404 の不純物領域 345 と電気的に接続する様に形成されており、接続電極 366 は保持容量 405 の不純物領域 354 と電気的に接続する様に形成されている。また、ゲート配線 364 は、画素 TFT404 の複数のゲート電極 325 を電気的に接続する様に形成されている。40 その後、膜厚 80 ~ 120 nm の ITO (Indium-Ti-Oxide) 等の透明導電膜を堆積した後、フォトリソグラフィ処理とエッティング処理により、画素電極 367 を形成する50

。画素電極 367 は、接続電極 365 を介して、画素 TFT 404 のソース領域及びドレイン領域である不純物領域 345 と電気的に接続されており、更に接続電極 366 を介して、保持容量 405 の不純物領域 354 とも電気的に接続されている（図 10 - B 参照）。

【0079】

以上の様に、LCD 構造の n チャネル型 TFT とシングルドレン構造の p チャネル型 TFT を有するアクティブマトリクス型液晶表示装置の製造工程に、ケミカル酸化膜成膜によるチャネルドープ前処理工程を適用することが可能である。尚、チャネルドープ前処理工程に於けるケミカル酸化膜の適用は、チャネルドープ工程での処理能力の増強及び生産原価の低減に有利である。

10

【0080】

〔実施例 2〕

本発明は、TFT で回路構成される半導体装置の作製方法に関するものであり、様々なアクティブマトリクス型の半導体表示装置、例えば液晶表示装置及び EL 表示装置の製造に本発明を適用することが可能である。従って、本発明は、様々な分野のアクティブマトリクス型の半導体表示装置（液晶表示装置及び EL 表示装置）を組み込んだ電子機器の製造）に適用可能であり、此處では電子機器の具体例を図 11 ~ 13 に基づき記載する。尚、電子機器としては、ビデオカメラとデジタルカメラとプロジェクター（リア型またはフロント型）とヘッドマウントディスプレイ（ゴーグル型ディスプレイ）とゲーム機とカーナビゲーションとパーソナルコンピュータと携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）等が挙げられる。

20

【0081】

図 11 - A は、本体 1001 と映像入力部 1002 と表示装置 1003 とキーボード 1004 で構成されたパーソナルコンピューターである。本発明を表示装置 1003 及び他の回路に適用することができる。

【0082】

図 11 - B はビデオカメラであり、本体 1101 と表示装置 1102 と音声入力部 1103 と操作スイッチ 1104 とバッテリー 1105 と受像部 1106 で構成される。本発明を表示装置 1102 及び他の回路に適用することができる。

30

【0083】

図 11 - C はモバイルコンピュータ（モービルコンピュータ）であり、本体 1201 とカメラ部 1202 と受像部 1203 と操作スイッチ 1204 と表示装置 1205 で構成される。本発明を表示装置 1205 及び他の回路に適用することができる。

【0084】

図 11 - D はゴーグル型ディスプレイであり、本体 1301 と表示装置 1302 とアーム部 1303 で構成される。本発明を表示装置 1302 及び他の回路に適用することができる。

【0085】

図 11 - E はプログラムを記録した記録媒体（以下、記録媒体と略記）に用いるプレーヤーであり、本体 1401 と表示装置 1402 とスピーカー部 1403 と記録媒体 1404 と操作スイッチ 1405 で構成される。尚、この装置は記録媒体として DVD 及び CD 等が用いられ、音楽鑑賞またはゲームまたはインターネットに利用可能である。本発明を表示装置 1402 及び他の回路に適用することができる。

40

【0086】

図 11 - F は携帯電話であり、表示用パネル 1501 と操作用パネル 1502 と接続部 1503 と表示部 1504 と音声出力部 1505 と操作キー 1506 と電源スイッチ 1507 と音声入力部 1508 とアンテナ 1509 で構成される。表示用パネル 1501 と操作用パネル 1502 は、接続部 1503 で接続されている。表示用パネル 1501 の表示部 1504 が設置されている面と操作用パネル 1502 の操作キー 1506 が設置されている面との角度は、接続部 1503 に於いて任意に変えることができる。本発明を表示部

50

1504に適用することができる。

【0087】

図12-Aはフロント型プロジェクターであり、光源光学系及び表示装置1601とスクリーン1602で構成される。本発明を表示装置1601及び他の回路に適用することができる。

【0088】

図12-Bはリア型プロジェクターであり、本体1701と光源光学系及び表示装置1702とミラー1703～1704とスクリーン1705で構成される。本発明を表示装置1702及び他の回路に適用することができる。

【0089】

尚、図12-Cは、図12-Aの光源光学系及び表示装置1601と図12-Bの光源光学系及び表示装置1702に於ける構造の一例を示した図である。光源光学系及び表示装置1601, 1702は、光源光学系1801とミラー1802, 1804～1806とダイクロイックミラー1803と光学系1807と表示装置1808と位相差板1809と投射光学系1810で構成される。投射光学系1810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置1808を3個使用している為、三板式と呼ばれている。また同図の矢印で示した光路に於いて、実施者は光学レンズ及び偏光機能を有するフィルムまたは位相差を調整する為のフィルムまたはIRフィルム等を適宜に設けても良い。

【0090】

図12-Dは、図12-Cに於ける光源光学系1801の構造の一例を示した図である。本実施例に於いては、光源光学系1801はリフレクター1811と光源1812とレンズアレイ1813～1814と偏光変換素子1815と集光レンズ1816で構成される。尚、同図に示した光源光学系は一例であり、この構成に限定されない。例えば、実施者は光源光学系に光学レンズ及び偏光機能を有するフィルムまたは位相差を調整するフィルムまたはIRフィルム等を適宜に設けても良い。

【0091】

次の図13-Aは、単板式の例を示したものである。同図に示した光源光学系及び表示装置は、光源光学系1901と表示装置1902と投射光学系1903と位相差板1904で構成される。投射光学系1903は、投射レンズを備えた複数の光学レンズで構成される。同図に示した光源光学系及び表示装置は図12-Aと図12-Bに於ける光源光学系及び表示装置1601, 1702に適用できる。また光源光学系1901は図12-Dに示した光源光学系を用いれば良い。尚、表示装置1902にはカラーフィルター（図示しない）が設けられており、表示映像をカラー化している。

【0092】

図13-Bに示した光源光学系及び表示装置は、図13-Aの応用例であり、カラーフィルターを設ける代わりに、RGBの回転カラーフィルター円板1905を用いて表示映像をカラー化している。同図に示した光源光学系及び表示装置は図12-Aと図12-Bに於ける光源光学系及び表示装置1601, 1702に適用できる。

【0093】

図13-Cに示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置1916にマイクロレンズアレイ1915を設け、ダイクロイックミラー（緑）1912とダイクロイックミラー（赤）1913とダイクロイックミラー（青）1914を用いて表示映像をカラー化している。投射光学系1917は、投射レンズを備えた複数の光学レンズで構成される。同図に示した光源光学系及び表示装置は、図12-Aと図12-Bに於ける光源光学系及び表示装置1601, 1702に適用できる。また光源光学系1911としては、光源の他に結合レンズ及びコリメータレンズを用いた光学系を用いれば良い。

【0094】

以上の様に、本発明の半導体装置の作製方法は、その適用範囲が極めて広く、本発明は様

10

20

30

40

50

々な分野のアクティブマトリクス型の液晶表示装置及び E L 表示装置を組み込んだ電子機器に適用可能である。

【 0 0 9 5 】

【 発明の効果 】

本発明は、TFTで回路構成される半導体装置の作製方法に関し、特に TFT 活性層等のシリコン系半導体膜へ不純物イオンをドーピングする際の前処理に関するもので、以下の効果を有している。

【 0 0 9 6 】

(効果 1) イオンドーピング工程の前処理として、ケミカル酸化膜成膜等の簡便な前処理工程を適用することにより、イオンドーピング工程全体のスループットの向上に有効である。 10

(効果 2) イオンドーピング工程の前処理に高価格なプラズマ C V D 装置や減圧 C V D 装置が不要となる為、生産原価の低減に有効である。

【 図面の簡単な説明 】

【図 1】 非晶質シリコン残膜厚のドーザ量依存性を示す実験データーである。

【図 2】 TFT の作製工程を示す断面図である。

【図 3】 TFT の作製工程を示す断面図である。

【図 4】 TFT の作製工程を示す断面図である。

【図 5】 n チャネル型 TFT の $I_D - V_G$ (電流 - 電圧) 特性データーである。

【図 6】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。 20

【図 7】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図 8】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図 9】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

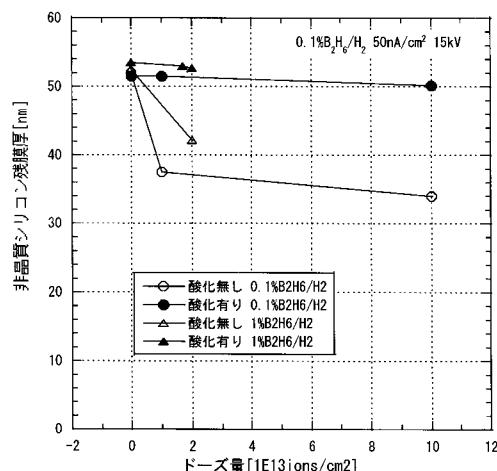
【図 10】 アクティブマトリクス型液晶表示装置の製造工程を示す断面図である。

【図 11】 半導体表示装置を組み込んだ電子機器の例を示す装置概略図である。

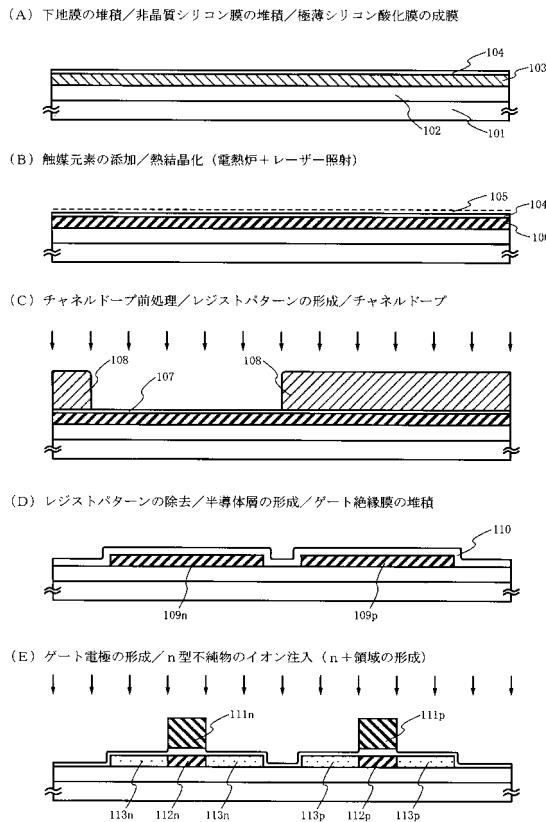
【図 12】 半導体表示装置を組み込んだ電子機器の例を示す装置概略図である。

【図 13】 半導体表示装置を組み込んだ電子機器の例を示す装置概略図である。

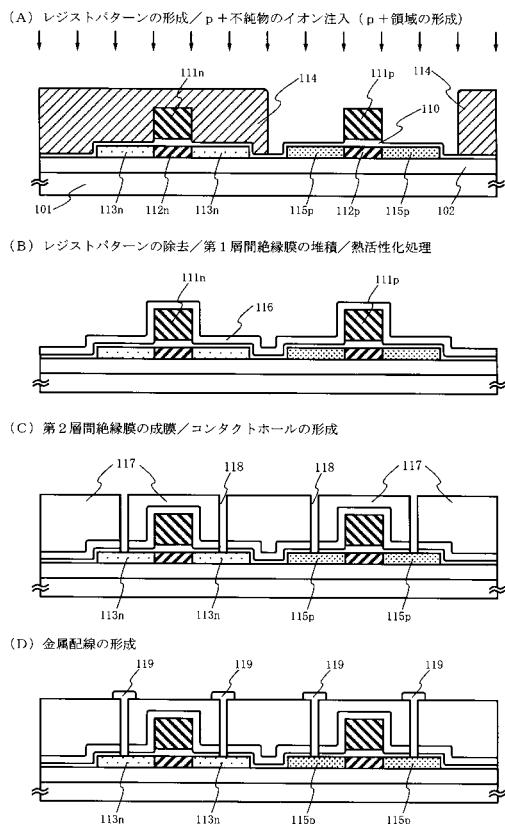
【図1】



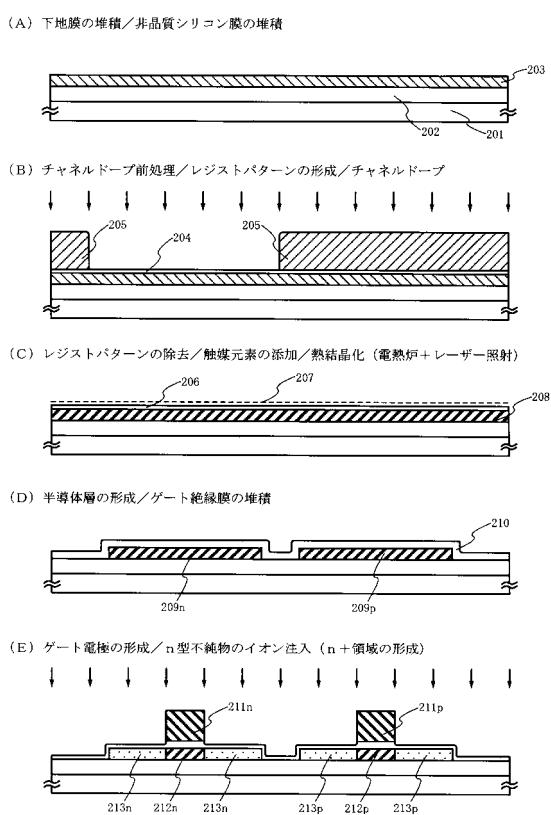
【図2】



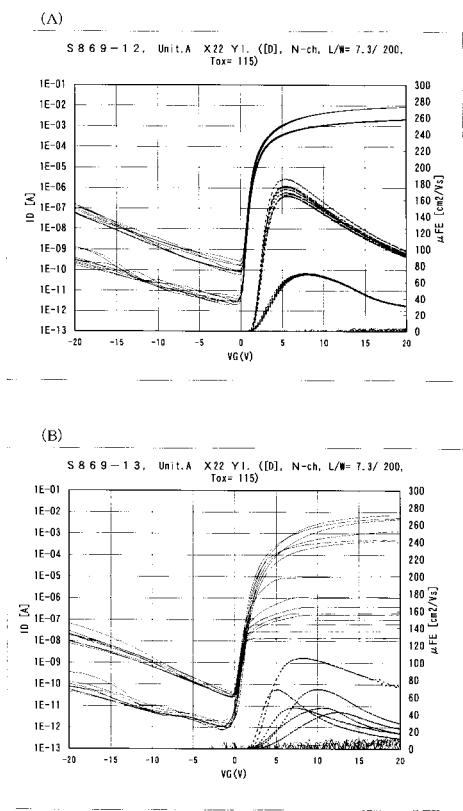
【図3】



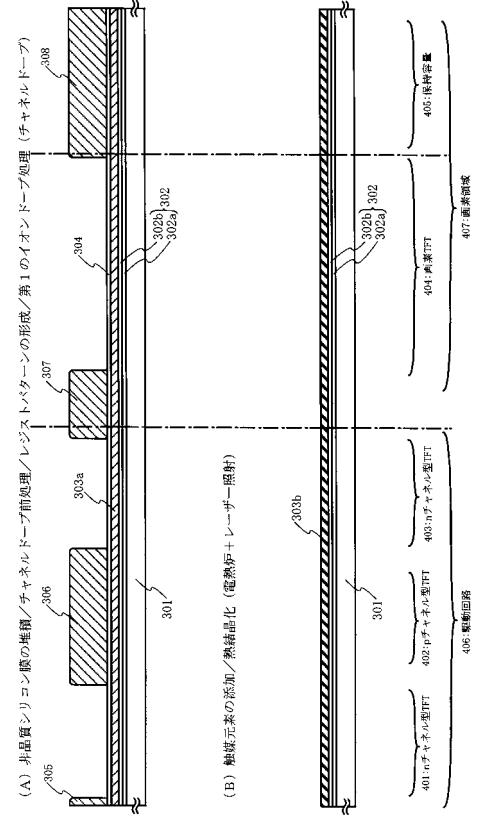
【図4】



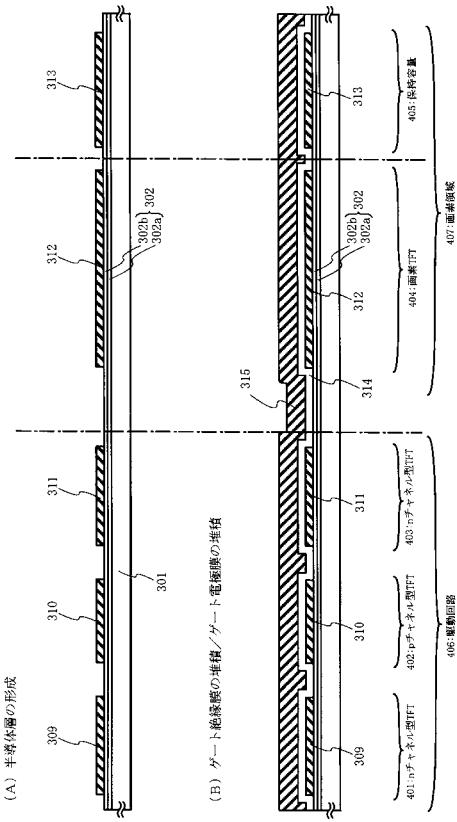
【 図 5 】



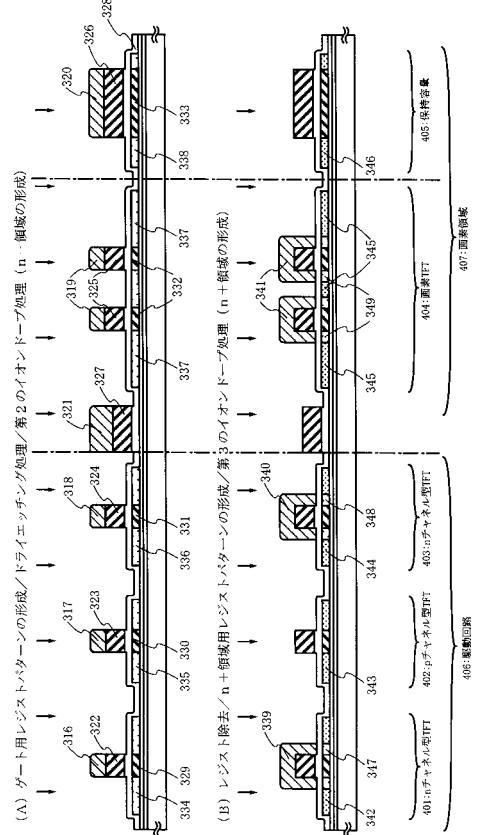
【 四 6 】



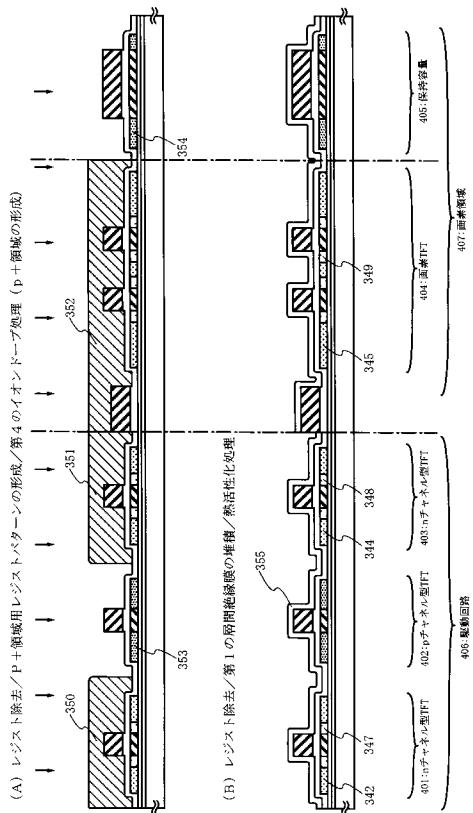
【図7】



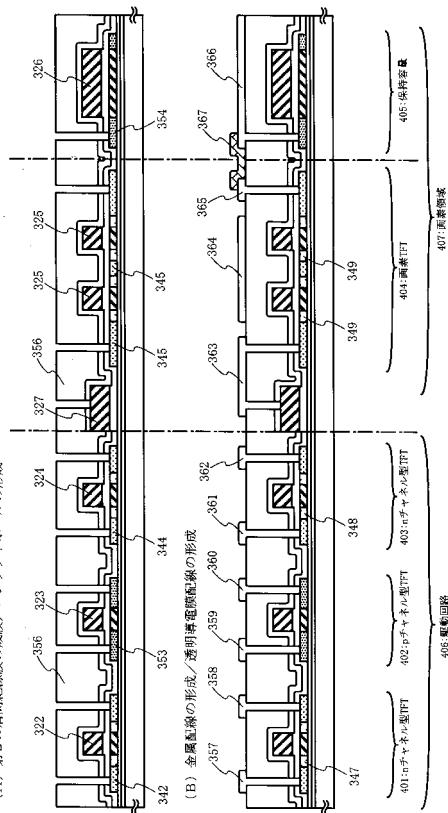
【 図 8 】



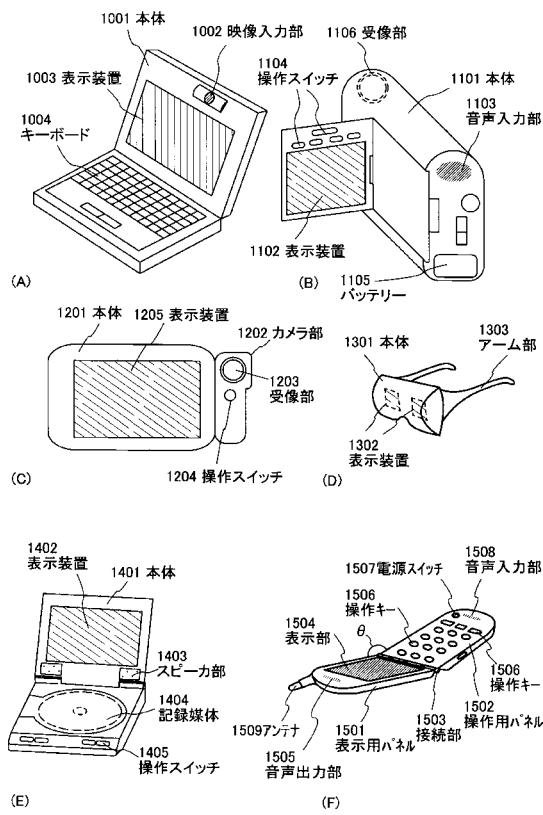
【図9】



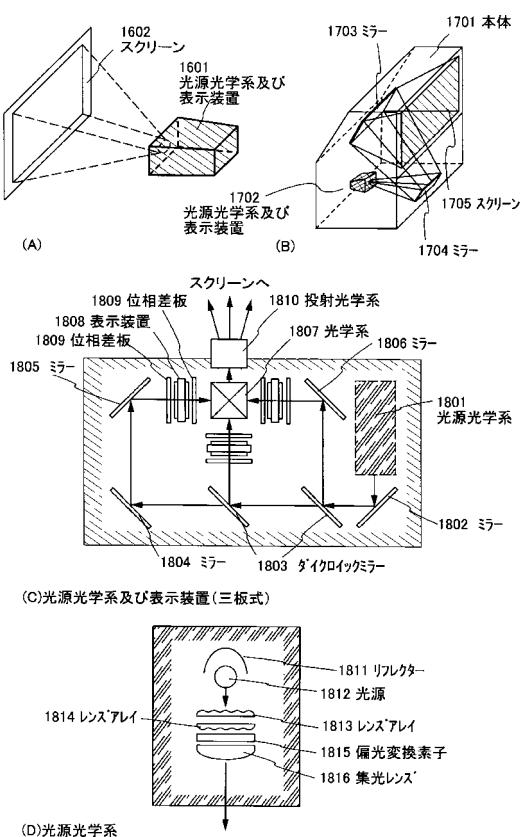
【図10】



【図11】



【図12】



【図13】

