

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月28日(28.12.2023)

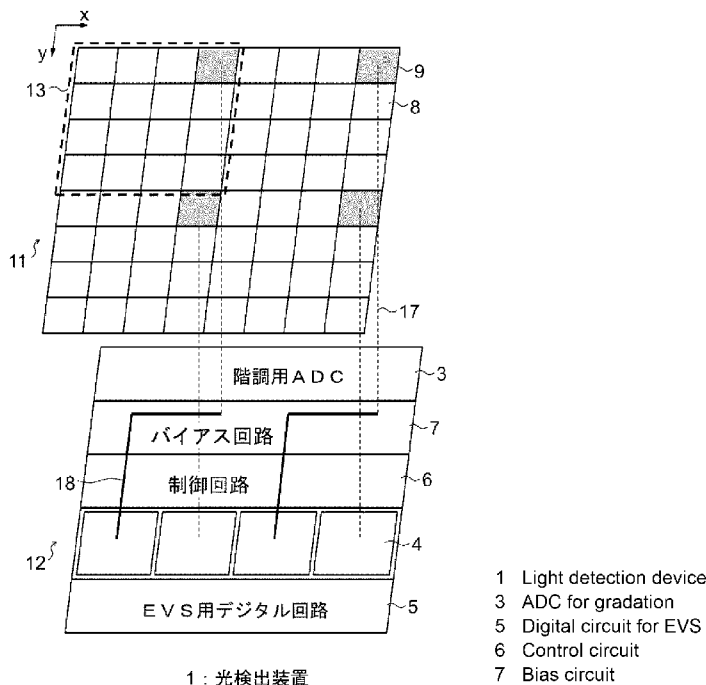


(10) 国際公開番号
WO 2023/248855 A1

- (51) 国際特許分類:
H04N 25/707 (2023.01) *H04N 25/77* (2023.01)
- (21) 国際出願番号: PCT/JP2023/021792
- (22) 国際出願日: 2023年6月12日(12.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-099104 2022年6月20日(20.06.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 望月 風太 (MOCHIZUKI Futa); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 丹羽 篤親 (NIWA Atsumi); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 宮嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) Title: LIGHT DETECTION DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 光検出装置及び電子機器



(57) Abstract: [Problem] Gradation information is acquired and an event is detected without increasing a circuit area. [Solution] A light detection device comprises a first substrate and a second substrate stacked on each other. The first substrate has a pixel group including a first pixel that generates a pixel signal according to the amount of incident light and a second pixel that detects a change in brightness of the incident light. The second substrate has an event detection circuit that detects an event based on a change in brightness of the second pixel, in which at least a portion of the event

WO 2023/248855 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

detection circuit is disposed in a region other than a region of the same size facing the pixel group on the second substrate.

(57) 要約: [課題] 回路面積を大きくせずに階調情報の取得とイベント検出を行う。[解決手段] 光検出装置は、互いに積層される第1基板及び第2基板を備え、前記第1基板は、入射光の光量に応じた画素信号を生成する第1画素と、入射光の輝度変化を検出する第2画素とを含む画素群を有し、前記第2基板は、前記第2画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、前記イベント検出回路の少なくとも一部は、前記第2基板上の前記画素群と対向する同一サイズの領域以外の領域に配置される。

明 細 書

発明の名称：光検出装置及び電子機器

技術分野

[0001] 本開示は、光検出装置及び電子機器に関する。

背景技術

[0002] 撮像シーンの中で、輝度の変化量の絶対値が所定の閾値を超えるイベントが発生したときに、当該イベントを検出する撮像装置が知られている（特許公報1参照）。この種の撮像装置は、EVS（Event base Vision Sensor）と呼ばれることがある。

[0003] また、個々の画素が階調情報を取得できるとともに、イベントを検出できるようにした撮像装置も提案されている（特許文献1）。

[0004] さらに、階調情報を取得する画素（以下、階調画素）と、イベントを検出する画素（以下、EVS画素）を別個に設けた撮像装置も提案されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2020-88724号公報

発明の概要

発明が解決しようとする課題

[0006] 撮像装置で、高解像度の撮像画像を生成するには画素数を増やす必要があり、画素数を増えるほど、各画素から出力された画素信号を処理するアナログ-デジタル（AD）変換器、及び信号処理回路などの周辺回路の回路規模が大きくなる。

[0007] そこで、例えば二つのチップを積層した撮像装置が実用化されている。この種の撮像装置では、例えば、上チップに画素アレイ部を配置し、下チップにAD変換器及び信号処理回路などの周辺回路を配置する。

[0008] 上述したEVS画素は、画素回路の他に、イベント検出回路が必要になる。イベント検出回路は、下チップに配置されることが多い。画素アレイ部内

に階調画素と同程度の数だけEVS画素を設ける場合、画素アレイ部に対向する下チップの領域のほぼすべてにイベント検出回路を配置しなければならなくなり、その他の周辺回路は、イベント検出回路の外側に配置せざるを得なくなり、チップサイズが大きくなる。

[0009] そこで、本開示では、回路面積を大きくせずに階調情報の取得とイベント検出を行うことができる光検出装置及び電子機器を提供するものである。

課題を解決するための手段

- [0010] 上記の課題を解決するために、本開示によれば、
互いに積層される第1基板及び第2基板を備え、
前記第1基板は、入射光の光量に応じた画素信号を生成する第1画素と、
入射光の輝度変化を検出する第2画素とを含む画素群を有し、
前記第2基板は、前記第2画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、
前記イベント検出回路の少なくとも一部は、前記第2基板上の前記画素群と対向する同一サイズの領域以外の領域に配置される、光検出装置が提供される。
- [0011] 前記第1基板は、複数の前記第1画素と複数の前記第2画素とを含む複数の前記画素群を有し、
前記第2基板は、それぞれが隣接して配置される複数の前記イベント検出回路を有し、
前記複数のイベント検出回路の少なくとも一部は、前記第2基板上の前記複数の画素群と対向する同一サイズの領域以外の領域に配置されてもよい。
- [0012] 前記第1基板は、前記複数の画素群を含む画素アレイ部を有し、
前記イベント検出回路は、前記第2基板上の前記画素アレイ部に対向する同一サイズの領域内に配置されてもよい。
- [0013] 前記イベント検出回路は、予め定めたフレーム周期に同期させて、前記複数の第2画素のそれぞれが前記イベントを検出したか否かを示す信号を出力してもよい。

- [0014] 前記イベント検出回路は、輝度変化の方向が異なる2つの前記第2画素で光電変換された電気信号をそれぞれ時間微分する第1微分器及び第2微分器を有してもよい。
- [0015] 前記イベント検出回路は、フレーム周期とは無関係に、前記イベント検出回路が前記イベントを検出するたびに、前記イベントを検出したことを示すイベント信号を出力してもよい。
- [0016] 前記第2画素の少なくとも一部は、前記第2基板に配置されてもよい。
- [0017] 前記第2画素は、
光電変換素子と、
前記光電変換素子で光電変換された電荷を対数変換した電圧信号を生成する電荷電圧変換部と、
前記電圧信号をバッファリングするバッファ回路と、を有し、
前記光電変換素子、前記電荷電圧変換部、及び前記バッファ回路の一部分は、前記第1基板に配置され、
前記バッファ回路の前記一部分以外は前記第2基板に配置されてもよい。
- [0018] 前記第2画素は、
光電変換素子と、
前記第2画素で光電変換された電荷を対数変換した電圧信号に変換する電荷電圧変換部と、を有し、
前記電荷電圧変換部は、前記光電変換素子のカソードと電源電圧ノードとの間に接続されるダイオードを有してもよい。
- [0019] 前記第2画素は、
光電変換素子と、
前記第2画素で光電変換された電荷を対数変換した電圧信号に変換する電荷電圧変換部と、を有し、
前記電荷電圧変換部は、
前記光電変換素子のカソードに接続される増幅器と、
前記増幅器にバイアス電流を供給するバイアス回路と、を有してもよい。

- [0020] 前記電荷電圧変換部は、前記バイアス回路を含めて、同一の導電型の複数のトランジスタを有してもよい。
- [0021] 前記電荷電圧変換部内の前記バイアス回路以外は、第1導電型の複数のトランジスタを有し、
前記バイアス回路は、第2導電型のトランジスタを有してもよい。
- [0022] 前記イベント検出回路は、前記第1基板に配置される第1回路部分と、前記第2基板に配置される第2回路部分とを有してもよい。
- [0023] 前記イベント検出回路は、
前記第2画素から出力された電圧信号を時間微分する微分器と、
前記微分器の出力ノードに接続されるソースフォロワ回路と、
前記ソースフォロワ回路の出力ノードに接続され、前記ソースフォロワ回路の出力信号を所定の基準信号と比較した結果に基づいて前記イベントを検出する比較器と、を有し、
前記第1回路部分は、前記微分器及び前記ソースフォロワ回路を有し、
前記第2回路部分は、前記比較器を有してもよい。
- [0024] 前記イベント検出回路は、
前記第2画素から出力された電圧信号を時間微分する微分器と、
前記微分器の出力ノードに接続されるソースフォロワ回路と、
前記ソースフォロワ回路の出力ノードに接続され、前記ソースフォロワ回路の出力信号を所定の基準信号と比較した結果に基づいて前記イベントを検出する比較器と、を有し、
前記第1回路部分は、前記微分器及び前記ソースフォロワ回路と、前記比較器の一部分とを有し、
前記第2回路部分は、前記比較器の前記一部分以外を有してもよい。
- [0025] 2以上の第2画素に接続される2以上の前記第1回路部分は、1つの前記第2回路部分を共有してもよい。
- [0026] 前記2以上の第1回路部分の出力ノードに接続される切替器を備え、
前記切替器は、前記2以上の第1回路部分のいずれか一つの出力ノードを

前記第 2 回路部分の入力ノードに接続してもよい。

[0027] 前記切替器は、前記第 1 基板又は前記第 2 基板に配置されてもよい。

[0028] 前記イベント検出回路は、前記複数の第 2 画素のそれぞれごとに設けられ、
複数の前記イベント検出回路は、前記第 2 基板上の一部の領域内に近接して配置されてもよい。

[0029] 本開示によれば、光検出装置と、
前記光検出装置から出力された画素信号及びイベント信号に基づいて信号処理を行う信号処理部と、を備え、
前記光検出装置は、
互いに積層される第 1 基板及び第 2 基板を備え、
前記第 1 基板は、入射光の光量に応じた画素信号を生成する第 1 画素と、入射光の輝度変化を検出する第 2 画素とを含む画素群を有し、
前記第 2 基板は、前記第 2 画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、
前記イベント検出回路の少なくとも一部は、前記第 2 基板上の前記画素群と対向する同一サイズの領域以外の領域に配置される、電子機器が提供される。

図面の簡単な説明

- [0030] [図1]第 1 の実施形態による光検出装置の概略構成を示すブロック図。
[図2]第 1 の実施形態による光検出装置のチップ構成を模式的に示す図。
[図3]階調画素の回路構成を示す回路図。
[図4]E V S 画素とイベント検出回路の内部構成を示す回路図。
[図5]第 1 の実施形態による光検出装置の駆動タイミングを示す図。
[図6]図 2 のチップ構成の一変形例を示す図。
[図7]図 4 のイベント検出回路の一変形例の回路図。
[図8]図 7 のイベント検出回路を備えた光検出装置 1 の駆動タイミングを示す図。

[図9]一比較例による光検出装置のチップ構成を示す図。

[図10]図9のEVS画素、イベント検出回路、読出し回路、及びEVS用デジタル回路の内部構成を示す回路図。

[図11]第2の実施形態による光検出装置のチップ構成を示す図。

[図12]第2の実施形態によるEVS画素とイベント検出回路の内部構成を示す回路図。

[図13A]EVS画素とイベント検出回路の第1の切り分けを示す回路図。

[図13B]EVS画素とイベント検出回路の第2の切り分けを示す回路図。

[図13C]EVS画素とイベント検出回路の第3の切り分けを示す回路図。

[図13D]EVS画素とイベント検出回路の第4の切り分けを示す回路図。

[図13E]EVS画素とイベント検出回路の第5の切り分けを示す回路図。

[図14]イベント検出回路の少なくとも一部を複数のEVS画素で共有する一例を示す回路図。

[図15]切替器を上チップに配置するチップ構成を示す図。

[図16]図15に対応する回路図。

[図17]上チップと下チップの回路配置例を示す回路図。

[図18]3層構造の光検出装置の一例を示す回路図。

[図19]複数のイベント検出回路を列方向に配置した図。

[図20]車両制御システムの概略的な構成の一例を示すブロック図。

[図21]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

発明を実施するための形態

[0031] 以下、図面を参照して、光検出装置及び電子機器の実施形態について説明する。以下では、光検出装置及び電子機器の主要な構成部分を中心に説明するが、光検出装置及び電子機器には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0032] (第1の実施形態)

図1は第1の実施形態による光検出装置1の概略構成を示すブロック図で

ある。図1の光検出装置1は、画素アレイ部2と、階調用ADC (Analog-Digital Converter) 3と、イベント検出回路4と、EVS用デジタル回路5と、制御回路6と、バイアス回路7とを備えている。

[0033] 画素アレイ部2は、複数の階調画素8と、複数のEVS画素9とを有する。画素アレイ部2内の階調画素8の数は、EVS画素9の数よりも多いことを想定しているが、階調画素8の数とEVS画素9の数の割合は任意である。

[0034] 階調画素8とEVS画素9は、画素アレイ部2の行方向x及び列方向yに複数個ずつ配置されている。図1では、画素アレイ部2を複数の画素群13に分ける例を示している。各画素群13は、2以上の階調画素8と1つのEVS画素9とを有する。なお、画素アレイ部2内の画素群13の数には特に制限はない。

[0035] 階調画素8とEVS画素9はいずれも、光電変換素子14 (フォトダイオード) と、画素回路とを有する。階調画素8用の画素回路は、階調画素8の光電変換素子14で光電変換された電荷を電圧に変換して画素信号を生成する。画素信号は、階調情報を含んでいる。EVS用の画素回路は、EVS画素9の光電変換素子14で光電変換された電荷に応じた電圧信号を生成する。この電圧信号は、輝度の変化量を検出するために用いられる。階調画素8とEVS画素9の具体的な回路構成については後述する。

[0036] 階調画素8で光電変換された画素信号は、列方向yに延びる信号線を介して階調用ADC3に伝送される。EVS画素9で光電変換された電荷に応じた電圧信号は、イベント検出回路4に伝送される。

[0037] 階調用ADC3は、行方向xに沿って所定間隔で配置される複数の信号線上の画素信号をAD変換してデジタル画素信号を生成する。

[0038] 図1では、一つのイベント検出回路4を図示しているが、実際には、イベント検出回路4は、個々のEVS画素9ごとに設けられ、対応するEVS画素9で光電変換された電荷に応じた電圧信号をしきい値電圧と比較することで、イベントが発生したか否かを検出する。より具体的には、イベント検出

回路4は、イベントが発生したか否かを示すイベント信号を出力する。イベント信号は、例えばオンイベント信号とオフイベント信号を含んでいる。オンイベント信号は、EVS画素9の輝度変化量が所定の閾値を超えたことを示すオンイベントを検出する信号である。例えば、オンイベント信号がハイ論理になると、オンイベントが発生したことを示す。オフイベント信号は、EVS画素9の輝度変化量が所定の閾値を下回ったことを示すオフイベントを検出する信号である。例えば、オフイベント信号がハイ論理になると、オフイベントが発生したことを示す。

[0039] 本実施形態では、画素アレイ部2内の全EVS画素9が検出したオンイベント信号を同時に出力し、別のタイミングで、画素アレイ部2内の全EVS画素9が検出したオフイベント信号を同時に出力する。本明細書では、オンイベント信号とオフイベント信号を総称してイベント信号と呼ぶ。

[0040] イベント検出回路4は、オンイベントとオフイベントを同時に検出して、オンイベント信号とオフイベント信号を同時に出力してもよい。この場合、イベント信号は2ビットになり、一方のビットはオンイベント信号を表し、他方のビットはオフイベント信号を表す。

[0041] EVS用デジタル回路5は、画素アレイ部2内の複数のEVS画素9で検出された複数のイベント信号をAD変換したデジタル信号を生成する。

[0042] 制御回路6は、図1の光検出装置1内の各部が使用する各種の制御信号を生成して、各部に供給する。バイアス回路7は、図1の光検出装置1内の各部が使用する各種のバイアス信号を生成する。

[0043] 図2は第1の実施形態による光検出装置1のチップ構成を模式的に示す図である。図2に示すように、第1の実施形態による光検出装置1は、複数のチップを積層して構成される。図2では、上チップ（第1基板）11と下チップ（第2基板）12を積層して光検出装置1を構成する例を示している。

[0044] 上チップ11は、光入射側に配置されることを想定している。よって、上チップ11には、図1の画素アレイ部2が配置される。下チップ12には、

図1の階調用ADC3と、イベント検出回路4と、EVS用デジタル回路5と、制御回路6と、バイアス回路7とが配置される。なお、図2の下チップ12に配置される一部の回路を上チップ11に配置してもよい。また、後述するように、図1の光検出装置1は、3つ以上のチップを積層して構成してもよい。

[0045] 図2は、画素アレイ部2が4つの画素群13を有し、各画素群13が複数の階調画素8と1つのEVS画素9を有する例を示しているが、画素アレイ部2が有する画素群13の数は任意である。図2の下チップ12には、上チップ11内の4つのEVS画素9に対応する4つのイベント検出回路4が設けられている。4つのイベント検出回路4は、例えば行方向xに沿って1列に隣接して配置されている。

[0046] このように、図2のイベント検出回路4の少なくとも一部は、下チップ12における画素群13と対向する同一サイズの領域以外の領域に配置されている。よって、下チップ12における画素群13の直下の領域には、イベント検出回路4以外の回路（例えば、階調用ADC3、制御回路6、バイアス回路7、EVS用デジタル回路5など）を配置でき、下チップ12のサイズを小さくできる。なお、図2の例では、上チップ11上の画素アレイ部2の直下にある下チップ12の領域内の一部領域にイベント検出回路4を集約して配置している。

[0047] 図2では、下チップ12の列方向yに沿って、階調用ADC3、バイアス回路7、制御回路6、イベント検出回路4、及びEVS用デジタル回路5を配置しているが、これは一例であり、任意に変更してもよい。

[0048] 上チップ11と下チップ12は、Cu-Cu接合、ビア、バンプなどにより接合されて、信号伝送を行う。図2では、4つのEVS画素9と4つのイベント検出回路4とを接続する配線経路17を図示している。各EVS画素9から、例えばCu-Cu接合を介して鉛直方向に下チップ12まで配線経路17が延びて、対応するイベント検出回路4に直接接続されるか、又は、下チップ12上の配線パターン18を介して、対応するイベント検出回路4

に接続される。

[0049] 図3は階調画素8の回路構成を示す回路図である。図3に示すように、階調画素8は、光電変換素子14と画素回路15とを有する。階調画素8の画素回路15は、転送トランジスタQ1と、リセットトランジスタQ2と、増幅トランジスタQ3と、選択トランジスタQ4とを有する。画素回路15内の全トランジスタQ1～Q4がNMOSトランジスタである。

[0050] 光電変換素子14のアノードは基準電圧ノードに設定され、カソードは転送トランジスタQ1のソースに接続されている。転送トランジスタQ1のドレインはフローティングディフュージョンと、リセットトランジスタQ2のソースと、増幅トランジスタQ3のゲートに接続されている。増幅トランジスタQ3のドレインは電源電圧ノードに接続され、増幅トランジスタQ3のソースは選択トランジスタQ4のドレインに接続されている。選択トランジスタQ4のソースは信号線に接続されている。

[0051] なお、図3は階調画素8の画素回路15の回路構成の一例であり、図3とは異なる種々の回路構成も取りうる。

[0052] 図4はEVS画素9とイベント検出回路4の内部構成を示す回路図である。EVS画素9は、対数応答部21とバッファ22を有する。対数応答部21は、光電変換素子14で光電変換された電荷を対数変換した電圧信号を生成する。対数変換することにより、EVS画素9の光電変換時のダイナミックレンジを広げることができ、感度を向上できる。

[0053] 対数応答部21は、NMOSトランジスタQ21～Q23と、PMOSトランジスタQ24とを有する。トランジスタQ22はゲートとドレインが接続されており、ダイオードとして機能する。トランジスタQ21のドレインは電源電圧ノードに接続され、トランジスタQ21のソースはトランジスタQ22のゲートとドレインに接続されている。トランジスタQ21のゲートは、トランジスタQ23のドレインとトランジスタQ24のドレインとに接続されており、この接続ノードが対数応答部21の出力ノードである。トランジスタQ24のソースは電源電圧ノードに接続され、トランジスタQ24

のゲートには所定のバイアス電圧 V_{log} が印加される。

[0054] バッファ22は、電源電圧ノードと接地電圧ノードの間にカスコード接続されるNMOSトランジスタQ25、Q26を有する。トランジスタQ25のゲートには、対数応答部21の出力ノードが接続される。トランジスタQ26のゲートには基準電圧SFが印加される。トランジスタQ25のソース及びトランジスタQ26のドレインがバッファ22の出力ノードである。トランジスタQ26はソースフォロワ回路として機能し、トランジスタQ24のソース電圧に応じた波形の電圧信号がトランジスタQ25のソースから出力される。

[0055] 図4は、EVS画素9内の対数応答部21とバッファ22内のトランジスタQ25を上チップ11に配置し、バッファ22内のトランジスタQ26を下チップ12に配置する例を示している。これは一例であり、例えばバッファ22内のトランジスタQ26を上チップ11に配置してもよいし、あるいは、バッファ22を構成するトランジスタQ25、Q26を下チップ12に配置してもよい。

[0056] 図4のイベント検出回路4は、同期式の構成であり、予め定めたフレーム周期に同期させて、複数のEVS画素9のそれぞれがイベントを検出したか否かを示すイベント信号を出力する。図4のイベント検出回路4は、微分回路23と、コンパレータ24と、出力回路25を有する。微分回路23は、キャパシタC1と、NMOSトランジスタQ27、Q28と、PMOSトランジスタQ29とを有する。

[0057] キャパシタC1は、バッファ22の出力ノードとトランジスタQ29のゲートとの間に接続されている。キャパシタC1は、バッファ22から出力された電圧信号 V_p の時間微分である電圧信号 V_p の変化量に応じた電流をトランジスタQ29のゲートに供給する。トランジスタQ29とQ28は、電源電圧ノードと接地電圧ノードの間にカスコード接続されている。トランジスタQ28のゲートには、3種類のバイアス電圧を選択する切替器26が接続されている。切替器26は、制御回路6から出力された切替制御信号B1

A S__SWに基づいて、オートゼロ用のバイアス電圧AZ、正極性のイベント検出用のバイアス電圧POS、負極性のイベント検出用のバイアス電圧NEGのいずれかを選択する。切替器26の切替制御により、トランジスタQ28のゲートは、最適なバイアス電圧に設定される。

[0058] 微分回路23は、トランジスタQ28のドレイン及びトランジスタQ29のソースから微分信号を出力する。この微分信号はコンパレータ24に入力される。

[0059] コンパレータ24は、電源電圧ノードと接地電圧ノードの間にカスコード接続されるPMOSトランジスタQ31及びNMOSトランジスタQ30を有する。トランジスタQ30のゲートには、閾値信号2NDCOMPが印加される。トランジスタQ31のゲートは、トランジスタQ29のソースに接続されており、トランジスタQ31のゲートには、微分回路23から出力された微分信号が入力される。コンパレータ24は、微分信号の電圧レベルが閾値信号2NDCOMPの電圧レベルよりも高ければ、イベントを検出したことを示すハイレベルのイベント信号を出力する。

[0060] 図4のコンパレータ24は、トランジスタQ28のゲート電圧を切替器26で切り替えることで、トランジスタQ31のソースからオンイベント信号又はオフイベント信号を切り替えて出力できる。

[0061] 出力回路25は、論理ゲート及びフリップフロップなどで構成されるロジック回路 (Logic) 27を有する。ロジック回路27には、制御回路6から出力された制御信号LATCH_EN、POLARITYが入力される。制御信号LATCH_ENはイベント信号をラッチするタイミングを規定する信号である。制御信号POLARITYは、イベント信号の極性を指定する信号である。ロジック回路27は、フレーム周期に同期させて、イベント信号を出力する。ロジック回路27から出力されたイベント信号は、EVS用デジタル回路5に入力される。

[0062] EVS用デジタル回路5は、画素アレイ部2内のすべてのEVS画素9で検出されたイベント信号に基づいてデジタル信号を生成する。

[0063] 図5は第1の実施形態による光検出装置1の駆動タイミングを示す図であ

る。図5には、3フレーム分の階調画素8とEVS画素9の駆動タイミングが図示されている。第1の実施形態による光検出装置1は、フレーム同期信号XVSに同期して階調画素8とEVS画素9の読出しを行う。

[0064] 図5の例では、1フレーム期間内に、まず、画素アレイ部2内の全EVS画素9のオンイベントの検出を同時に行う(期間T1)。次に、画素アレイ部2内の全EVS画素9のリセット動作を行う(期間T2)。次に、画素アレイ部2内の全EVS画素9のオンイベント信号の読出しを同時に行う(期間T3)。次に、画素アレイ部2内の全EVS画素9のオフイベントの検出を行う(期間T4)。次に、画素アレイ部2内の全EVS画素9のリセット動作を行う(期間T5)。次に、画素アレイ部2内の全EVS画素9のオフイベント信号の読出しを行う(期間T6)。その後、画素アレイ部2内の全階調画素8の読出しを行う(期間T7)。

[0065] 図2では、上チップ11に配置されたEVS画素9からCu-Cu接合等で下チップ12に配線経路17を設け、下チップ12上の配線パターン18にて、対応するイベント検出回路4と接続する例を示したが、上チップ11側に配線パターンを設けてもよい。図6は図2のチップ構成の一変形例を示す図である。図6では、上チップ11に配置されたEVS画素9から、上チップ11上の配線パターンを、下チップ12上の対応するイベント検出回路4の直上位置まで配置し、この位置からCu-Cu接合等で下チップ12のイベント検出回路4に直接接続する。上チップ11には、画素アレイ部2だけが配置されているため、画素アレイ部2の内部、又は画素アレイ部2の外側の空き領域に配線パターンを配置することで、図6のチップ構成を実現できる。

[0066] 図5のタイミング図に示したように、図4のイベント検出回路4は、微分回路23とコンパレータ24を一つずつ有し、タイミングをずらしてオンイベント信号とオフイベント信号を検出する。図4の一変形例として、イベント検出回路4内にオンイベント信号用の微分回路23及びコンパレータ24と、オフイベント信号用の微分回路23及びコンパレータ24を設けてもよ

い。

[0067] 図7は図4のイベント検出回路4の一変形例の回路図である。図7のイベント検出回路4には、図4と同様の構成のEVS画素9が接続される。図7のイベント検出回路4は、オンイベント信号を検出する第1イベント検出部31と、オフイベント信号を検出する第2イベント検出部32とを有する。

[0068] 第1イベント検出部31と第2イベント検出部32はそれぞれ、図4のイベント検出回路4と同じ回路構成を有する。このため、図7では、第1イベント検出部31と第2イベント検出部32内の各トランジスタに、図4のイベント検出回路4と同じ符号を付している。

[0069] 第1イベント検出部31と第2イベント検出部32には、EVS画素9内のバッファ22から出力された電圧信号が入力される。第1イベント検出部31内の微分回路（第1微分器）23内のトランジスタQ28のゲートには、オンイベント信号用のバイアス信号が入力される。また、第1イベント検出部31内のコンパレータ24内のトランジスタQ30のゲートには、オンイベント信号用の閾値電圧が入力される。同様に、第2イベント検出部32内の微分回路（第2微分器）23内のトランジスタQ28のゲートには、オフイベント信号用のバイアス信号が入力される。また、第2イベント検出部32内のコンパレータ24内のトランジスタQ30のゲートには、オフイベント信号用の閾値電圧が入力される。第1イベント検出部31で検出されたオンイベント信号と第2イベント検出部32で検出されたオフイベント信号は、出力回路25に入力される。

[0070] 第1イベント検出部31と第2イベント検出部32は同時に動作する。よって、EVS画素9がオンイベントを検出した場合には、第1イベント検出部31はオンイベント信号を出力し、同じタイミングで別のEVS画素9がオフイベントを検出した場合には、第2イベント検出部32はオフイベント信号を出力する。

[0071] 図8は図7のイベント検出回路4を備えた光検出装置1の駆動タイミングを示す図である。1フレーム期間内に、まず、画素アレイ部2内の全EVS

画素9のオンイベントとオフイベントを同時に検出する（期間T1）。次に、画素アレイ部2内の全EVS画素9のリセット動作を行う（期間T2）。次に、画素アレイ部2内の全EVS画素9のオンイベント信号とオフイベント信号を同時に読み出す（期間T3）。EVS画素9がオンイベントを検出した場合には、対応するイベント検出回路4内の第1イベント検出部31はオンイベント信号を出力する。EVS画素9がオフイベントを検出した場合には、対応するイベント検出回路4内の第2イベント検出部32はオフイベント信号を出力する。

[0072] このように、イベント検出回路4内にオンイベント用の第1イベント検出部31と、オフイベント用の第2イベント検出部32とを設けることで、オンイベントとオフイベントを同時に検出して、オンイベント信号とオフイベント信号を同時に出力できる。これにより、オンイベント及びオフイベントの検出時間を短縮できる。

[0073] 図9は一比較例による光検出装置1のチップ構成を示す図である。図9の光検出装置1は、上チップ11と下チップ12を積層して構成されている。上チップ11に配置される画素アレイ部2は、3つの階調画素8に対して1個の割合でEVS画素9を有する。このように、図9の画素アレイ部2は、図2の画素アレイ部2よりも多くのEVS画素9を有する。このため、画素アレイ部2に対向する下チップ12上の領域のほとんどすべてにイベント検出回路4が配置され、イベント検出回路4の外側に、階调用ADC3、読出し回路33、EVS用デジタル回路5、制御回路6、及びバイアス回路7が設けられる。

[0074] 図2には存在しなかった読出し回路33は、イベント検出回路4から出力されたイベント信号のドライブ能力を高めるために設けられている。読出し回路33から出力されたイベント信号は、EVS用デジタル回路5に入力される。

[0075] 図9の光検出装置1内に読出し回路33が必要になる理由は、イベント検出回路4が広い面積に配置されており、イベント検出回路4からEVS用デ

デジタル回路5までの距離が長くなるためである。図2の光検出装置1では、画素アレイ部2内のEVS画素9の数が図9よりも少ないことから、イベント検出回路4を下チップ12のEVS用デジタル回路5の近傍に一系列に配置できる。このため、図9の光検出装置1では、イベント検出回路4とEVS用デジタル回路5との距離が図2よりも短くなり、読出し回路33でイベント信号のドライブ能力を高める必要はない。よって、図9の光検出装置1は、下チップ12に読出し回路33を設ける必要がなくなることから、下チップ12のサイズを小型化できる。

[0076] このように、図9の光検出装置1では、下チップ12に配置されるイベント検出回路4の面積が大きくなり、かつ読出し回路33も必要になるため、下チップ12のサイズを大きくせざるを得ず、光検出装置1も大型化してしまう。

[0077] 図10は図9のEVS画素9、イベント検出回路4、読出し回路33、及びEVS用デジタル回路5の内部構成を示す回路図である。

[0078] 図10のEVS画素9は、図4のEVS画素9と同様の回路で構成されている。図4では、EVS画素9内のトランジスタQ21～Q25を上チップ11に配置し、トランジスタQ26を下チップ12に配置するのに対し、図10では、EVS画素9内のトランジスタQ21～Q23を上チップ11に配置し、トランジスタQ24～Q26を下チップ12に配置している。

[0079] 図10のイベント検出回路4は、図4のイベント検出回路4と同様の回路で構成される微分回路23及びコンパレータ24を有する。コンパレータ24の後段に設けられる出力回路25は、図4の出力回路25とは回路構成が異なっている。図10の出力回路25は、図4のロジック回路27と同様に構成されるロジック回路27を有する他に、図4の出力回路25に存在しなかった構成として、NMOSトランジスタQ32、Q33を有する。

[0080] 図10の読出し回路33は、PMOSトランジスタQ34と、ラッチ回路(Latch)34とを有する。トランジスタQ34のソースは電源電圧ノードに接続され、トランジスタQ34のドレインはラッチ回路34と、イベント検

出回路4内のトランジスタQ32のドレインとに接続されている。

[0081] ラッチ回路34は、イベント検出回路4から出力されたイベント信号に応じたトランジスタQ34のドレイン電圧をラッチして出力する。ラッチ回路34の出力信号はEVS用デジタル回路5に入力される。

[0082] 上述したように、図10のイベント検出回路4は、図4のイベント検出回路4の回路構成に加えて、トランジスタQ32、Q33を有する。また、図10のイベント検出回路4とデジタル回路の間には読出し回路33が設けられている。このため、図10の下チップ12は、図2及び図3の下チップ12よりもサイズが大きくなり、光検出装置1の小型化の障害になる。

[0083] このように、第1の実施形態では、画素アレイ部2内のEVS画素9の数を階調画素8の数よりも少なくし、画素アレイ部2内の複数のEVS画素9用の複数のイベント検出回路4を下チップ12内のEVS用デジタル回路5の近傍に集約させる。これにより、上チップ11に配置される画素アレイ部2に対向する下チップ12の領域に、イベント検出回路4以外の回路を配置できる。また、イベント検出回路4がEVS用デジタル回路5に間近に配置されるため、イベント検出回路4とEVS用デジタル回路5の間に読出し回路33を設ける必要がなくなるため、下チップ12のサイズをより小型化でき、ひいては光検出装置1を小型化できる。

[0084] (第2の実施形態)

第1の実施形態による光検出装置1は、イベント信号をフレーム周期に同期させて読み出す同期式であるのに対し、以下に説明する第2の実施形態による光検出装置1は、非同期式である。

[0085] 図11は第2の実施形態による光検出装置1のチップ構成を示す図である。図11の光検出装置1は、第1の実施形態と同様に、上チップ11と下チップ12を積層して構成される。上チップ11の構成は図2と同様であり、上チップ11には、階調画素8とEVS画素9を有する画素アレイ部2が配置されている。EVS画素9の数が階調画素8の数よりも少ない点でも第2の実施形態は第1の実施形態と共通する。

- [0086] 図11の下チップ12は、階調用ADC3と、イベント検出回路4と、EVS用デジタル回路5と、バイアス回路7とを有する。図2の下チップ12に設けられていた制御回路6は省略されており、図2の下チップ12よりもさらにサイズを小型化できる。
- [0087] 図12は第2の実施形態によるEVS画素9とイベント検出回路4の内部構成を示す回路図である。図12のEVS画素9の内部構成は図4と同様である。
- [0088] 図12のイベント検出回路4は、フレーム周期とは無関係に、イベント検出回路4がイベントを検出するたびに、イベントを検出したことを示すイベント信号を出力する。より具体的には、図12のイベント検出回路4は、第1イベント検出部31と、第2イベント検出部32と、制御信号生成部35とを有する。
- [0089] 図12の第1イベント検出部31及び第2イベント検出部32の回路構成は、図7の第1イベント検出部31及び第2イベント検出部32の回路構成と同様である。このため、図12では、図7の第1イベント検出部31及び第2イベント検出部32を構成する各回路素子に図7と同一の符号を付している。
- [0090] 制御信号生成部35は、PMOSトランジスタQ41と、NMOSトランジスタQ42と、キャパシタC2とを有する。トランジスタQ41、Q42は電源電圧ノードと接地電圧ノードの間にカスコード接続されている。トランジスタQ41のゲートには、EVS用デジタル回路5からの第1制御信号が入力される。トランジスタQ42のゲートには、制御信号SLOPEが入力される。トランジスタQ41のドレイン及びトランジスタQ42のドレインの接続ノードからは、図4と同様の制御信号AZ_SLOPEが出力される。この制御信号AZ_SLOPEは、第1イベント検出部31内のトランジスタQ27のゲートと、第2イベント検出部32内のトランジスタQ27のゲートに入力される。EVS用デジタル回路5は、切替器26を切替制御するための切替制御信号BIAS_SWを出力する。この切替制御信号BIAS_SWにより、切替器26はトランジ

スタQ 2 8のゲート電圧を切り替える。

[0091] このように、第2の実施形態による光検出装置1は、イベント検出回路4内で制御信号AZ_SLOPEを生成するとともに、EVS用デジタル回路5で切替器26の切替制御信号BIAS_SWを生成するため、図4の制御回路6が不要になる。よって、下チップ12のチップサイズをより小型化できる。図11の光検出装置1は、制御回路6を持たないことから、フレーム周期とは非同期にオンイベント信号とオフイベント信号を出力することができる。

[0092] (第3の実施形態)

第1及び第2の実施形態で説明したように、光検出装置1に含まれるEVS画素9とイベント検出回路4の一部は上チップ11に配置され、残りは下チップ12に配置される。EVS画素9とイベント検出回路4のうち、上チップ11に配置される回路と、下チップ12に配置される回路の切り分け方は、一通りだけではなく、複数通りの切り分け方がある。

[0093] 図13AはEVS画素9とイベント検出回路4の第1の切り分けを示す回路図である。図13Aは図4と同様に、EVS画素9内のトランジスタQ21~Q25を上チップ11に配置し、EVS画素9内のトランジスタQ26と、イベント検出回路4を下チップ12に配置する例を示す。このように、EVS画素9は、対数応答部21とバッファ22を有するが、図13Aの例では、対数応答部21とバッファ22の一部分は上チップ11に配置され、バッファ22の残りの部分は下チップ12に配置される。よって、図13AのEVS画素9は、上チップ11と下チップ12に分かれて配置される。

[0094] 図13BはEVS画素9とイベント検出回路4の第2の切り分けを示す回路図である。図13Bは図13Aと同様に切り分けているが、図13BのEVS画素9の回路構成は図13AのEVS画素9の回路構成とは一部異なっている。図13BのEVS画素9内の対数応答部21は、トランジスタQ22が省略され、トランジスタQ21はダイオード接続されている。これにより、図13Aよりも対数応答部21の内部構成を簡略化できる。

[0095] 図13CはEVS画素9とイベント検出回路4の第3の切り分けを示す回

路図である。図13CのEVS画素9内の対数応答部21は、PMOSトランジスタQ24の代わりに、NMOSトランジスタQ24aを有する。PMOSトランジスタQ24からNMOSトランジスタQ24aに置換することで、リーク電流でバイアス電流を生成できる。また、NMOSのトランジスタQ24aを設けることで、上チップ11に配置されるEVS画素9の全トランジスタQ21~Q25をNMOSで統一させることができ、製造プロセスを簡略化できる。

[0096] 図13DはEVS画素9とイベント検出回路4の第4の切り分けを示す回路図である。図13Dは、EVS画素9だけでなく、イベント検出回路4内の微分回路23の少なくとも一部までを上チップ11に配置している。なお、イベント検出回路4内のコンパレータ24の少なくとも一部までを上チップ11に配置してもよい。

[0097] 図13Eは、EVS画素9とイベント検出回路4の第5の切り分けを示す回路図である。図13Eは、コンパレータ24の一部までを上チップ11に配置する例を示している。図13Eでは、コンパレータ24内のトランジスタQ30を上チップ11に配置し、トランジスタQ31を下チップ12に配置する例を示しているが、トランジスタQ31を上チップ11に配置し、トランジスタQ30を下チップ12に配置してもよい。

[0098] 図13A、図13B、図13C、及び図13Dは、イベント検出回路4内に一組の微分回路23とコンパレータ24を設ける例を示したが、イベント検出回路4内に複数組の微分回路23及びコンパレータ24を設ける場合にも、上チップ11と下チップ12に配置する回路を任意に切り分けることが考えられる。

[0099] 上述した図7は、イベント検出回路4内に第1イベント検出部31と第2イベント検出部32を設ける場合の上チップ11と下チップ12の切り分け方の一例を示す図である。図7は、EVS画素9内のトランジスタQ21~Q25までを上チップ11に配置し、EVS画素9内のトランジスタQ26と、イベント検出回路4の全体を下チップ12に配置する例を示す。

- [0100] 上述した光検出装置1では、EVS画素9とイベント検出回路4が一对一に対応する例を示したが、複数のEVS画素9で1つのイベント検出回路4を共有する構成も採用可能である。
- [0101] 図14はイベント検出回路4の少なくとも一部を複数のEVS画素9で共有する一例を示す回路図である。図14は、EVS画素9とイベント検出回路4の第1部分を含む複数の個別画素部41と、イベント検出回路4の第1部分を除いた残りの第2部分を含む共有部42を有する。複数の個別画素部41は上チップ11に配置され、共有部42は下チップ12に配置される。
- [0102] 複数の個別画素部41のそれぞれは、EVS画素9内のトランジスタQ21～Q26と、イベント検出回路4内のトランジスタQ27、Q28及びキャパシタC3を有する。共有部42は、トランジスタQ29～Q31と、切替器43とを有する。切替器43は、複数の個別画素部41を切替制御して、いずれか一つの個別画素部41を共有部42に接続する。
- [0103] 図14は、切替器43を下チップ12に設ける例を示しているが、図15のように切替器43を上チップ11に配置してもよい。図16は図15に対応する回路図である。
- [0104] 図14に示すように、下チップ12にはイベント検出回路4の一部である共有部42が設けられ、共有部42は上チップ11に配置される複数の個別画素部41で共有されるため、個別画素部41に対向する下チップ12上の領域に、共有部42以外の回路（例えば、階調用ADC3、EVS用デジタル回路5、制御回路6、及びバイアス回路7などを配置でき、下チップ12のチップサイズを小型化できる。
- [0105] このように、第3の実施形態では、EVS画素9とイベント検出回路4を任意に切り分けて上チップ11と下チップ12に配置できるため、上チップ11と下チップ12の回路面積を最適化でき、情報処理装置全体を小型化できる。また、場合によっては、3つ以上のチップを積層させて情報処理装置を構成することも可能である。
- [0106] (第4の実施形態)

第1～第3の実施形態による光検出装置1は、上チップ11と下チップ12に分けて構成される。上述したように、光検出装置1内の各回路を上チップ11と下チップ12に区分けする分け方は任意である。例えば、図17はEVS画素9と、イベント検出回路4内のトランジスタQ25とを上チップ11に配置し、それ以外の回路部分を下チップ12に配置する例を示している。

[0107] また、上チップ11と下チップ12の間に1つ以上の中間チップ13を積層させて、3層以上の積層構造の光検出装置1を作製してもよい。

[0108] 図18は3層構造の光検出装置1の一例を示す回路図である。図18では、上チップ11に光電変換素子14とトランジスタQ21～Q23を配置し、中間チップ10にトランジスタQ24及びQ25を配置し、下チップ12にイベント検出回路4の残りの回路部分と出力回路25を配置している。光検出装置1を3層以上の積層構造にする場合は、各チップ間をCu-Cu接合、ビア又はバンプで接続することになるが、各チップ内の配線パターンができるだけ短くなるように各回路素子を配置するのが望ましい。

[0109] 上述した図2では、行方向xに沿って複数のイベント検出回路4を配置する例を示したが、図19に示すように、複数のイベント検出回路4を列方向に配置してもよい。複数のイベント検出回路4を下チップ12上の一部の領域内に集約して配置することで、その他の領域を他の回路を配置するために有効利用でき、下チップ12のサイズを小型化できる。

[0110] (応用例)

本開示に係る技術は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット、建設機械、農業機械（トラクター）などのいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0111] 図20は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システム7000の概略的な構成例を示すブロック図である。

車両制御システム7000は、通信ネットワーク7010を介して接続された複数の電子制御ユニットを備える。図20に示した例では、車両制御システム7000は、駆動系制御ユニット7100、ボディ系制御ユニット7200、バッテリー制御ユニット7300、車外情報検出ユニット7400、車内情報検出ユニット7500、及び統合制御ユニット7600を備える。これらの複数の制御ユニットを接続する通信ネットワーク7010は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network) 又はFlexRay (登録商標) 等の任意の規格に準拠した車載通信ネットワークであってよい。

[0112] 各制御ユニットは、各種プログラムにしたがって演算処理を行うマイクロコンピュータと、マイクロコンピュータにより実行されるプログラム又は各種演算に用いられるパラメータ等を記憶する記憶部と、各種制御対象の装置を駆動する駆動回路とを備える。各制御ユニットは、通信ネットワーク7010を介して他の制御ユニットとの間で通信を行うためのネットワークI/Fを備えるとともに、車内外の装置又はセンサ等との間で、有線通信又は無線通信により通信を行うための通信I/Fを備える。図20では、統合制御ユニット7600の機能構成として、マイクロコンピュータ7610、汎用通信I/F7620、専用通信I/F7630、測位部7640、ビーコン受信部7650、車内機器I/F7660、音声画像出力部7670、車載ネットワークI/F7680及び記憶部7690が図示されている。他の制御ユニットも同様に、マイクロコンピュータ、通信I/F及び記憶部等を備える。

[0113] 駆動系制御ユニット7100は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット7100は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。駆動系制御ユニット7100は、ABS (Anti lock

Brake System) 又はESC (Electronic Stability Control) 等の制御装置としての機能を有してもよい。

- [0114] 駆動系制御ユニット7100には、車両状態検出部7110が接続される。車両状態検出部7110には、例えば、車体の軸回転運動の角速度を検出するジャイロセンサ、車両の加速度を検出する加速度センサ、あるいは、アクセルペダルの操作量、ブレーキペダルの操作量、ステアリングホイールの操舵角、エンジン回転数又は車輪の回転速度等を検出するためのセンサのうちの少なくとも一つが含まれる。駆動系制御ユニット7100は、車両状態検出部7110から入力される信号を用いて演算処理を行い、内燃機関、駆動用モータ、電動パワーステアリング装置又はブレーキ装置等を制御する。
- [0115] ボディ系制御ユニット7200は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット7200は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット7200には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット7200は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0116] バッテリ制御ユニット7300は、各種プログラムにしたがって駆動用モータの電力供給源である二次電池7310を制御する。例えば、バッテリ制御ユニット7300には、二次電池7310を備えたバッテリ装置から、バッテリ温度、バッテリ出力電圧又はバッテリの残存容量等の情報が入力される。バッテリ制御ユニット7300は、これらの信号を用いて演算処理を行い、二次電池7310の温度調節制御又はバッテリ装置に備えられた冷却装置等の制御を行う。
- [0117] 車外情報検出ユニット7400は、車両制御システム7000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット7400には

、撮像部7410及び車外情報検出部7420のうちの少なくとも一方が接続される。撮像部7410には、ToF (Time of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラ及びその他のカメラのうちの少なくとも一つが含まれる。車外情報検出部7420には、例えば、現在の天候又は気象を検出するための環境センサ、あるいは、車両制御システム7000を搭載した車両の周囲の他の車両、障害物又は歩行者等を検出するための周囲情報検出センサのうちの少なくとも一つが含まれる。

[0118] 環境センサは、例えば、雨天を検出する雨滴センサ、霧を検出する霧センサ、日照度合いを検出する日照センサ、及び降雪を検出する雪センサのうちの少なくとも一つであってよい。周囲情報検出センサは、超音波センサ、レーダ装置及びLIDAR (Light Detection and Ranging, Laser Imaging Detection and Ranging) 装置のうちの少なくとも一つであってよい。これらの撮像部7410及び車外情報検出部7420は、それぞれ独立したセンサないし装置として備えられてもよいし、複数のセンサないし装置が統合された装置として備えられてもよい。

[0119] ここで、図21は、撮像部7410及び車外情報検出部7420の設置位置の例を示す。撮像部7910、7912、7914、7916、7918は、例えば、車両7900のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部のうちの少なくとも一つの位置に設けられる。フロントノーズに備えられる撮像部7910及び車室内のフロントガラスの上部に備えられる撮像部7918は、主として車両7900の前方の画像を取得する。サイドミラーに備えられる撮像部7912、7914は、主として車両7900の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部7916は、主として車両7900の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部7918は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0120] なお、図21には、それぞれの撮像部7910、7912、7914、7

916の撮影範囲の一例が示されている。撮像範囲aは、フロントノーズに設けられた撮像部7910の撮像範囲を示し、撮像範囲b, cは、それぞれサイドミラーに設けられた撮像部7912, 7914の撮像範囲を示し、撮像範囲dは、リアバンパ又はバックドアに設けられた撮像部7916の撮像範囲を示す。例えば、撮像部7910, 7912, 7914, 7916で撮像された画像データが重ね合わせられることにより、車両7900を上方から見た俯瞰画像が得られる。

[0121] 車両7900のフロント、リア、サイド、コーナ及び車室内のフロントガラスの上部に設けられる車外情報検出部7920, 7922, 7924, 7926, 7928, 7930は、例えば超音波センサ又はレーダ装置であってよい。車両7900のフロントノーズ、リアバンパ、バックドア及び車室内のフロントガラスの上部に設けられる車外情報検出部7920, 7926, 7930は、例えばLIDAR装置であってよい。これらの車外情報検出部7920~7930は、主として先行車両、歩行者又は障害物等の検出に用いられる。

[0122] 図20に戻って説明を続ける。車外情報検出ユニット7400は、撮像部7410に車外の画像を撮像させるとともに、撮像された画像データを受信する。また、車外情報検出ユニット7400は、接続されている車外情報検出部7420から検出情報を受信する。車外情報検出部7420が超音波センサ、レーダ装置又はLIDAR装置である場合には、車外情報検出ユニット7400は、超音波又は電磁波等を発信させるとともに、受信された反射波の情報を受信する。車外情報検出ユニット7400は、受信した情報に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット7400は、受信した情報に基づいて、降雨、霧又は路面状況等を認識する環境認識処理を行ってもよい。車外情報検出ユニット7400は、受信した情報に基づいて、車外の物体までの距離を算出してもよい。

[0123] また、車外情報検出ユニット7400は、受信した画像データに基づいて

、人、車、障害物、標識又は路面上の文字等を認識する画像認識処理又は距離検出処理を行ってもよい。車外情報検出ユニット7400は、受信した画像データに対して歪補正又は位置合わせ等の処理を行うとともに、異なる撮像部7410により撮像された画像データを合成して、俯瞰画像又はパノラマ画像を生成してもよい。車外情報検出ユニット7400は、異なる撮像部7410により撮像された画像データを用いて、視点変換処理を行ってもよい。

[0124] 車内情報検出ユニット7500は、車内の情報を検出する。車内情報検出ユニット7500には、例えば、運転者の状態を検出する運転者状態検出部7510が接続される。運転者状態検出部7510は、運転者を撮像するカメラ、運転者の生体情報を検出する生体センサ又は車室内の音声を集音するマイク等を含んでもよい。生体センサは、例えば、座面又はステアリングホイール等に設けられ、座席に座った搭乗者又はステアリングホイールを握る運転者の生体情報を検出する。車内情報検出ユニット7500は、運転者状態検出部7510から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。車内情報検出ユニット7500は、集音された音声信号に対してノイズキャンセリング処理等の処理を行ってもよい。

[0125] 統合制御ユニット7600は、各種プログラムにしたがって車両制御システム7000内の動作全般を制御する。統合制御ユニット7600には、入力部7800が接続されている。入力部7800は、例えば、タッチパネル、ボタン、マイクロフォン、スイッチ又はレバー等、搭乗者によって入力操作され得る装置によって実現される。統合制御ユニット7600には、マイクロフォンにより入力される音声を音声認識することにより得たデータが入力されてもよい。入力部7800は、例えば、赤外線又はその他の電波を利用したリモートコントロール装置であってもよいし、車両制御システム7000の操作に対応した携帯電話又はPDA (Personal Digital Assistant) 等の外部接続機器であってもよい。入力部7800は、例えばカメラであ

ってもよく、その場合搭乗者はジェスチャにより情報を入力することができる。あるいは、搭乗者が装着したウェアラブル装置の動きを検出することで得られたデータが入力されてもよい。さらに、入力部7800は、例えば、上記の入力部7800を用いて搭乗者等により入力された情報に基づいて入力信号を生成し、統合制御ユニット7600に出力する入力制御回路などを含んでもよい。搭乗者等は、この入力部7800を操作することにより、車両制御システム7000に対して各種のデータを入力したり処理動作を指示したりする。

[0126] 記憶部7690は、マイクロコンピュータにより実行される各種プログラムを記憶するROM (Read Only Memory)、及び各種パラメータ、演算結果又はセンサ値等を記憶するRAM (Random Access Memory) を含んでもよい。また、記憶部7690は、HDD (Hard Disc Drive) 等の磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス又は光磁気記憶デバイス等によって実現してもよい。

[0127] 汎用通信I/F7620は、外部環境7750に存在する様々な機器との間の通信を仲介する汎用的な通信I/Fである。汎用通信I/F7620は、GSM (登録商標) (Global System of Mobile communications)、WiMAX (登録商標)、LTE (登録商標) (Long Term Evolution) 若しくはLTE-A (LTE-Advanced) などのセルラー通信プロトコル、又は無線LAN (Wi-Fi (登録商標) ともいう)、Bluetooth (登録商標) などのその他の無線通信プロトコルを実装してよい。汎用通信I/F7620は、例えば、基地局又はアクセスポイントを介して、外部ネットワーク (例えば、インターネット、クラウドネットワーク又は事業者固有のネットワーク) 上に存在する機器 (例えば、アプリケーションサーバ又は制御サーバ) へ接続してもよい。また、汎用通信I/F7620は、例えばP2P (Peer To Peer) 技術を用いて、車両の近傍に存在する端末 (例えば、運転者、歩行者若しくは店舗の端末、又はMTC (Machine Type Communication) 端末) と接続してもよい。

- [0128] 専用通信 I / F 7 6 3 0 は、車両における使用を目的として策定された通信プロトコルをサポートする通信 I / F である。専用通信 I / F 7 6 3 0 は、例えば、下位レイヤの IEEE 8 0 2 . 1 1 p と上位レイヤの IEEE 1 6 0 9 との組合せである WAVE (Wireless Access in Vehicle Environment)、DSRC (Dedicated Short Range Communications)、又はセルラー通信プロトコルといった標準プロトコルを実装してよい。専用通信 I / F 7 6 3 0 は、典型的には、車車間 (Vehicle to Vehicle) 通信、路車間 (Vehicle to Infrastructure) 通信、車両と家との間 (Vehicle to Home) の通信及び歩車間 (Vehicle to Pedestrian) 通信のうちの 1 つ以上を含む概念である V 2 X 通信を遂行する。
- [0129] 測位部 7 6 4 0 は、例えば、GNSS (Global Navigation Satellite System) 衛星からの GNSS 信号 (例えば、GPS (Global Positioning System) 衛星からの GPS 信号) を受信して測位を実行し、車両の緯度、経度及び高度を含む位置情報を生成する。なお、測位部 7 6 4 0 は、無線アクセスポイントとの信号の交換により現在位置を特定してもよく、又は測位機能を有する携帯電話、PHS 若しくはスマートフォンといった端末から位置情報を取得してもよい。
- [0130] ビーコン受信部 7 6 5 0 は、例えば、道路上に設置された無線局等から発信される電波あるいは電磁波を受信し、現在位置、渋滞、通行止め又は所要時間等の情報を取得する。なお、ビーコン受信部 7 6 5 0 の機能は、上述した専用通信 I / F 7 6 3 0 に含まれてもよい。
- [0131] 車内機器 I / F 7 6 6 0 は、マイクロコンピュータ 7 6 1 0 と車内に存在する様々な車内機器 7 7 6 0 との間の接続を仲介する通信インタフェースである。車内機器 I / F 7 6 6 0 は、無線 LAN、Bluetooth (登録商標)、NFC (Near Field Communication) 又は WUSB (Wireless USB) といった無線通信プロトコルを用いて無線接続を確立してもよい。また、車内機器 I / F 7 6 6 0 は、図示しない接続端子 (及び、必要であればケーブル) を介して、USB (Universal Serial Bus)、HDMI (登録商

標) (High-Definition Multimedia Interface、又はMHL (Mobile High-definition Link) 等の有線接続を確立してもよい。車内機器 7760は、例えば、搭乗者が有するモバイル機器若しくはウェアラブル機器、又は車両に搬入され若しくは取り付けられる情報機器のうちの少なくとも1つを含んでいてもよい。また、車内機器 7760は、任意の目的地までの経路探索を行うナビゲーション装置を含んでいてもよい。車内機器 I/F 7660は、これらの車内機器 7760との間で、制御信号又はデータ信号を交換する。

[0132] 車載ネットワーク I/F 7680は、マイクロコンピュータ 7610と通信ネットワーク 7010との間の通信を仲介するインタフェースである。車載ネットワーク I/F 7680は、通信ネットワーク 7010によりサポートされる所定のプロトコルに則して、信号等を送受信する。

[0133] 統合制御ユニット 7600のマイクロコンピュータ 7610は、汎用通信 I/F 7620、専用通信 I/F 7630、測位部 7640、ビーコン受信部 7650、車内機器 I/F 7660及び車載ネットワーク I/F 7680のうちの少なくとも一つを介して取得される情報に基づき、各種プログラムにしたがって、車両制御システム 7000を制御する。例えば、マイクロコンピュータ 7610は、取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 7100に対して制御指令を出力してもよい。例えば、マイクロコンピュータ 7610は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行ってもよい。また、マイクロコンピュータ 7610は、取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行ってもよい。

[0134] マイクロコンピュータ 7610は、汎用通信 I/F 7620、専用通信 I

／F 7 6 3 0、測位部 7 6 4 0、ビーコン受信部 7 6 5 0、車内機器 1／F 7 6 6 0 及び車載ネットワーク 1／F 7 6 8 0 のうちの少なくとも一つを介して取得される情報に基づき、車両と周辺の構造物や人物等の物体との間の 3次元距離情報を生成し、車両の現在位置の周辺情報を含むローカル地図情報を作成してもよい。また、マイクロコンピュータ 7 6 1 0 は、取得される情報に基づき、車両の衝突、歩行者等の近接又は通行止めの道路への進入等の危険を予測し、警告用信号を生成してもよい。警告用信号は、例えば、警告音を発生させたり、警告ランプを点灯させたりするための信号であってよい。

[0135] 音声画像出力部 7 6 7 0 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 2 0 の例では、出力装置として、オーディオスピーカ 7 7 1 0、表示部 7 7 2 0 及びインストルメントパネル 7 7 3 0 が例示されている。表示部 7 7 2 0 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。表示部 7 7 2 0 は、AR (Augmented Reality) 表示機能を有していてもよい。出力装置は、これらの装置以外の、ヘッドホン、搭乗者が装着する眼鏡型ディスプレイ等のウェアラブルデバイス、プロジェクタ又はランプ等の他の装置であってもよい。出力装置が表示装置の場合、表示装置は、マイクロコンピュータ 7 6 1 0 が行った各種処理により得られた結果又は他の制御ユニットから受信された情報を、テキスト、イメージ、表、グラフ等、様々な形式で視覚的に表示する。また、出力装置が音声出力装置の場合、音声出力装置は、再生された音声データ又は音響データ等からなるオーディオ信号をアナログ信号に変換して聴覚的に出力する。

[0136] なお、図 2 0 に示した例において、通信ネットワーク 7 0 1 0 を介して接続された少なくとも二つの制御ユニットが一つの制御ユニットとして一体化されてもよい。あるいは、個々の制御ユニットが、複数の制御ユニットにより構成されてもよい。さらに、車両制御システム 7 0 0 0 が、図示されてい

ない別の制御ユニットを備えてもよい。また、上記の説明において、いずれかの制御ユニットが担う機能の一部又は全部を、他の制御ユニットに持たせてもよい。つまり、通信ネットワーク7010を介して情報の送受信がされるようになっていれば、所定の演算処理が、いずれかの制御ユニットで行われるようになってもよい。同様に、いずれかの制御ユニットに接続されているセンサ又は装置が、他の制御ユニットに接続されるとともに、複数の制御ユニットが、通信ネットワーク7010を介して相互に検出情報を送受信してもよい。

[0137] なお、本技術は以下のような構成を取ることができる。

(1) 互いに積層される第1基板及び第2基板を備え、

前記第1基板は、入射光の光量に応じた画素信号を生成する第1画素と、入射光の輝度変化を検出する第2画素とを含む画素群を有し、

前記第2基板は、前記第2画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、

前記イベント検出回路の少なくとも一部は、前記第2基板上の前記画素群と対向する同一サイズの領域以外の領域に配置される、光検出装置。

(2) 前記第1基板は、複数の前記第1画素と複数の前記第2画素とを含む複数の前記画素群を有し、

前記第2基板は、それぞれが隣接して配置される複数の前記イベント検出回路を有し、

前記複数のイベント検出回路の少なくとも一部は、前記第2基板上の前記複数の画素群と対向する同一サイズの領域以外の領域に配置される、(1)に記載の光検出装置。

(3) 前記第1基板は、前記複数の画素群を含む画素アレイ部を有し、

前記イベント検出回路は、前記第2基板上の前記画素アレイ部に対向する同一サイズの領域内に配置される、(2)に記載の光検出装置。

(4) 前記イベント検出回路は、予め定めたフレーム周期に同期させて、前記複数の第2画素のそれぞれが前記イベントを検出したか否かを示す信号

を出力する、(2)又は(3)に記載の光検出装置。

(5) 前記イベント検出回路は、輝度変化の方向が異なる2つの前記第2画素で光電変換された電気信号をそれぞれ時間微分する第1微分器及び第2微分器を有する、(1)乃至(3)のいずれか一項に記載の光検出装置。

(6) 前記イベント検出回路は、フレーム周期とは無関係に、前記イベント検出回路が前記イベントを検出するたびに、前記イベントを検出したことを示すイベント信号を出力する、(5)に記載の光検出装置。

(7) 前記第2画素の少なくとも一部は、前記第2基板に配置される、(1)乃至(6)のいずれか一項に記載の光検出装置。

(8) 前記第2画素は、

光電変換素子と、

前記光電変換素子で光電変換された電荷を対数変換した電圧信号を生成する電荷電圧変換部と、

前記電圧信号をバッファリングするバッファ回路と、を有し、

前記光電変換素子、前記電荷電圧変換部、及び前記バッファ回路の一部分は、前記第1基板に配置され、

前記バッファ回路の前記一部分以外は前記第2基板に配置される、(7)に記載の光検出装置。

(9) 前記第2画素は、

光電変換素子と、

前記第2画素で光電変換された電荷を対数変換した電圧信号に変換する電荷電圧変換部と、を有し、

前記電荷電圧変換部は、前記光電変換素子のカソードと電源電圧ノードとの間に接続されるダイオードを有する、(1)乃至(7)のいずれか一項に記載の光検出装置。

(10) 前記第2画素は、

光電変換素子と、

前記第2画素で光電変換された電荷を対数変換した電圧信号に変換する電

荷電圧変換部と、を有し、

前記電荷電圧変換部は、

前記光電変換素子のカソードに接続される増幅器と、

前記増幅器にバイアス電流を供給するバイアス回路と、を有する、(1)乃至(7)のいずれか一項に記載の光検出装置。

(11) 電圧変換部は、前記バイアス回路を含めて、同一の導電型の複数のトランジスタを有する、(10)に記載の光検出装置。

(12) 電圧変換部内の前記バイアス回路以外は、第1導電型の複数のトランジスタを有し、

前記バイアス回路は、第2導電型のトランジスタを有する、(10)に記載の光検出装置。

(13) 前記イベント検出回路は、前記第1基板に配置される第1回路部分と、前記第2基板に配置される第2回路部分とを有する、(1)乃至(12)のいずれか一項に記載の光検出装置。

(14) 前記イベント検出回路は、

前記第2画素から出力された電圧信号を時間微分する微分器と、

前記微分器の出力ノードに接続されるソースフォロワ回路と、

前記ソースフォロワ回路の出力ノードに接続され、前記ソースフォロワ回路の出力信号を所定の基準信号と比較した結果に基づいて前記イベントを検出する比較器と、を有し、

前記第1回路部分は、前記微分器及び前記ソースフォロワ回路を有し、

前記第2回路部分は、前記比較器を有する、(13)に記載の光検出装置

。

(15) 前記イベント検出回路は、

前記第2画素から出力された電圧信号を時間微分する微分器と、

前記微分器の出力ノードに接続されるソースフォロワ回路と、

前記ソースフォロワ回路の出力ノードに接続され、前記ソースフォロワ回路の出力信号を所定の基準信号と比較した結果に基づいて前記イベントを検

出する比較器と、を有し、

前記第 1 回路部分は、前記微分器及び前記ソースフォロワ回路と、前記比較器の一部分とを有し、

前記第 2 回路部分は、前記比較器の前記一部分以外を有する、(13)に記載の光検出装置。

(16) 2 以上の第 2 画素に接続される 2 以上の前記第 1 回路部分は、1 つの前記第 2 回路部分を共有する、(13)乃至(15)のいずれか一項に記載の光検出装置。

(17) 前記 2 以上の第 1 回路部分の出力ノードに接続される切替器を備え、

前記切替器は、前記 2 以上の第 1 回路部分のいずれか一つの出力ノードを前記第 2 回路部分の入力ノードに接続する、(16)に記載の光検出装置。

(18) 前記切替器は、前記第 1 基板又は前記第 2 基板に配置される、(17)に記載の光検出装置。

(19) 前記イベント検出回路は、前記複数の第 2 画素のそれぞれごとに設けられ、

複数の前記イベント検出回路は、前記第 2 基板上の一部の領域内に近接して配置される、(3)乃至(15)のいずれか一項に記載の光検出装置。

(20) 光検出装置と、

前記光検出装置から出力された画素信号及びイベント信号に基づいて信号処理を行う信号処理部と、を備え、

前記光検出装置は、

互いに積層される第 1 基板及び第 2 基板を備え、

前記第 1 基板は、入射光の光量に応じた画素信号を生成する第 1 画素と、入射光の輝度変化を検出する第 2 画素とを含む画素群を有し、

前記第 2 基板は、前記第 2 画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、

前記イベント検出回路の少なくとも一部は、前記第 2 基板上の前記画素群

と対向する同一サイズの領域以外の領域に配置される、電子機器。

[0138] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0139] 1 光検出装置、2 画素アレイ部、4 イベント検出回路、5 EVS用デジタル回路、6 制御回路、7 バイアス回路、8 階調画素、9 EVS画素、11 上チップ、12 下チップ、13 画素群、14 光電変換素子、15 画素回路、17 配線経路、18 配線パターン、21 対数応答部、22 バッファ、23 微分回路、24 コンパレータ、25 出力回路、26 切替器、27 ロジック回路、31 第1イベント検出部、32 第2イベント検出部、34 ラッチ回路、35 制御信号生成部、41 個別画素部、42 共有部、43 切替器

請求の範囲

- [請求項1] 互いに積層される第1基板及び第2基板を備え、
前記第1基板は、入射光の光量に応じた画素信号を生成する第1画素と、入射光の輝度変化を検出する第2画素とを含む画素群を有し、
前記第2基板は、前記第2画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、
前記イベント検出回路の少なくとも一部は、前記第2基板上の前記画素群と対向する同一サイズの領域以外の領域に配置される、光検出装置。
- [請求項2] 前記第1基板は、複数の前記第1画素と複数の前記第2画素とを含む複数の前記画素群を有し、
前記第2基板は、それぞれが隣接して配置される複数の前記イベント検出回路を有し、
前記複数のイベント検出回路の少なくとも一部は、前記第2基板上の前記複数の画素群と対向する同一サイズの領域以外の領域に配置される、請求項1に記載の光検出装置。
- [請求項3] 前記第1基板は、前記複数の画素群を含む画素アレイ部を有し、
前記イベント検出回路は、前記第2基板上の前記画素アレイ部に対向する同一サイズの領域内に配置される、請求項2に記載の光検出装置。
- [請求項4] 前記イベント検出回路は、予め定めたフレーム周期に同期させて、前記複数の第2画素のそれぞれが前記イベントを検出したか否かを示す信号を出力する、請求項2に記載の光検出装置。
- [請求項5] 前記イベント検出回路は、輝度変化の方向が異なる2つの前記第2画素で光電変換された電気信号をそれぞれ時間微分する第1微分器及び第2微分器を有する、請求項1に記載の光検出装置。
- [請求項6] 前記イベント検出回路は、フレーム周期とは無関係に、前記イベント検出回路が前記イベントを検出するたびに、前記イベントを検出し

たことを示すイベント信号を出力する、請求項 5 に記載の光検出装置。

[請求項7] 前記第 2 画素の少なくとも一部は、前記第 2 基板に配置される、請求項 1 に記載の光検出装置。

[請求項8] 前記第 2 画素は、
光電変換素子と、
前記光電変換素子で光電変換された電荷を対数変換した電圧信号を生成する電荷電圧変換部と、
前記電圧信号をバッファリングするバッファ回路と、を有し、
前記光電変換素子、前記電荷電圧変換部、及び前記バッファ回路の一部分は、前記第 1 基板に配置され、
前記バッファ回路の前記一部分以外は前記第 2 基板に配置される、
請求項 7 に記載の光検出装置。

[請求項9] 前記第 2 画素は、
光電変換素子と、
前記第 2 画素で光電変換された電荷を対数変換した電圧信号に変換する電荷電圧変換部と、を有し、
前記電荷電圧変換部は、前記光電変換素子のカソードと電源電圧ノードとの間に接続されるダイオードを有する、請求項 1 に記載の光検出装置。

[請求項10] 前記第 2 画素は、
光電変換素子と、
前記第 2 画素で光電変換された電荷を対数変換した電圧信号に変換する電荷電圧変換部と、を有し、
前記電荷電圧変換部は、
前記光電変換素子のカソードに接続される増幅器と、
前記増幅器にバイアス電流を供給するバイアス回路と、を有する、
請求項 1 に記載の光検出装置。

- [請求項11] 前記電荷電圧変換部は、前記バイアス回路を含めて、同一の導電型の複数のトランジスタを有する、請求項10に記載の光検出装置。
- [請求項12] 前記電荷電圧変換部内の前記バイアス回路以外は、第1導電型の複数のトランジスタを有し、
前記バイアス回路は、第2導電型のトランジスタを有する、請求項10に記載の光検出装置。
- [請求項13] 前記イベント検出回路は、前記第1基板に配置される第1回路部分と、前記第2基板に配置される第2回路部分とを有する、請求項1に記載の光検出装置。
- [請求項14] 前記イベント検出回路は、
前記第2画素から出力された電圧信号を時間微分する微分器と、
前記微分器の出力ノードに接続されるソースフォロワ回路と、
前記ソースフォロワ回路の出力ノードに接続され、前記ソースフォロワ回路の出力信号を所定の基準信号と比較した結果に基づいて前記イベントを検出する比較器と、を有し、
前記第1回路部分は、前記微分器及び前記ソースフォロワ回路を有し、
前記第2回路部分は、前記比較器を有する、請求項13に記載の光検出装置。
- [請求項15] 前記イベント検出回路は、
前記第2画素から出力された電圧信号を時間微分する微分器と、
前記微分器の出力ノードに接続されるソースフォロワ回路と、
前記ソースフォロワ回路の出力ノードに接続され、前記ソースフォロワ回路の出力信号を所定の基準信号と比較した結果に基づいて前記イベントを検出する比較器と、を有し、
前記第1回路部分は、前記微分器及び前記ソースフォロワ回路と、前記比較器の一部分とを有し、
前記第2回路部分は、前記比較器の前記一部分以外を有する、請求

項 1 3 に記載の光検出装置。

[請求項16] 2 以上の第 2 画素に接続される 2 以上の前記第 1 回路部分は、1 つの前記第 2 回路部分を共有する、請求項 1 3 に記載の光検出装置。

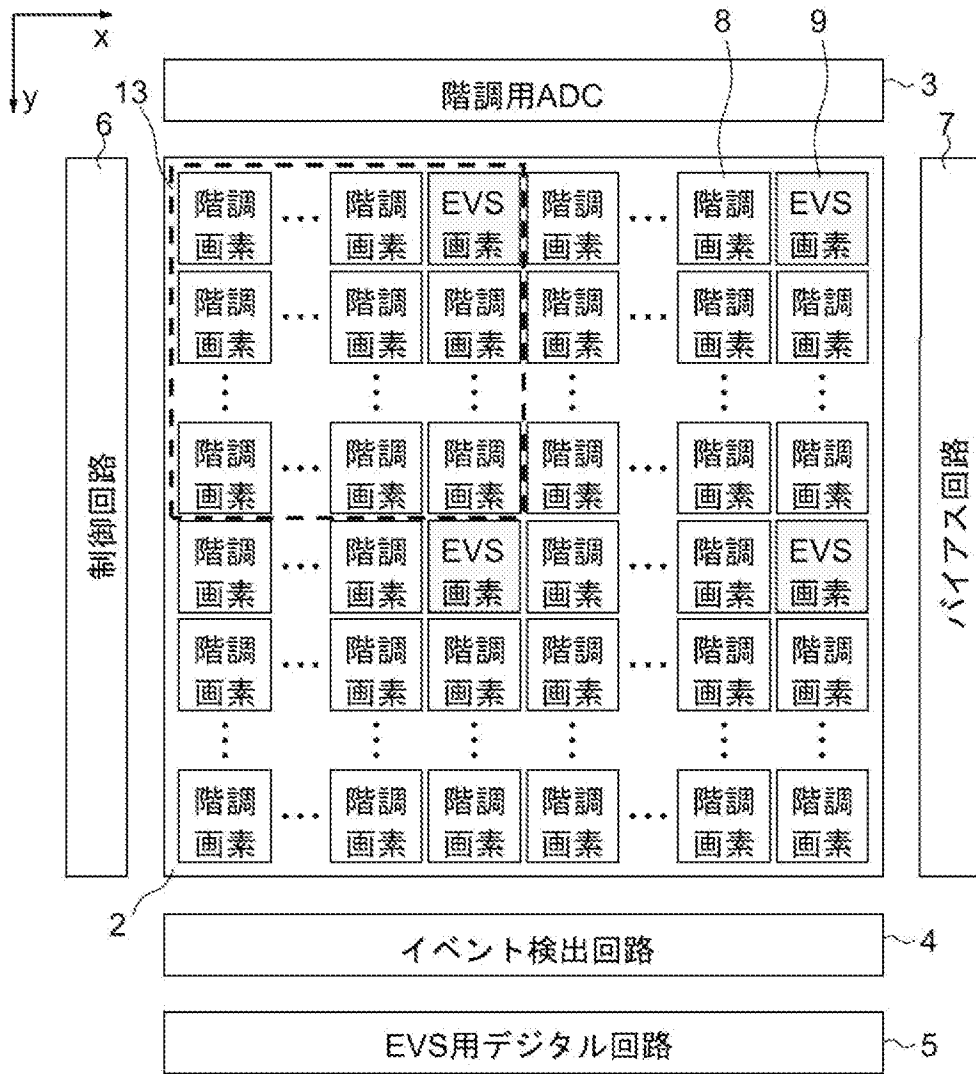
[請求項17] 前記 2 以上の第 1 回路部分の出力ノードに接続される切替器を備え、
前記切替器は、前記 2 以上の第 1 回路部分のいずれか一つの出力ノードを前記第 2 回路部分の入力ノードに接続する、請求項 1 6 に記載の光検出装置。

[請求項18] 前記切替器は、前記第 1 基板又は前記第 2 基板に配置される、請求項 1 7 に記載の光検出装置。

[請求項19] 前記イベント検出回路は、前記複数の第 2 画素のそれぞれごとに設けられ、
複数の前記イベント検出回路は、前記第 2 基板上の一部の領域内に近接して配置される、請求項 3 に記載の光検出装置。

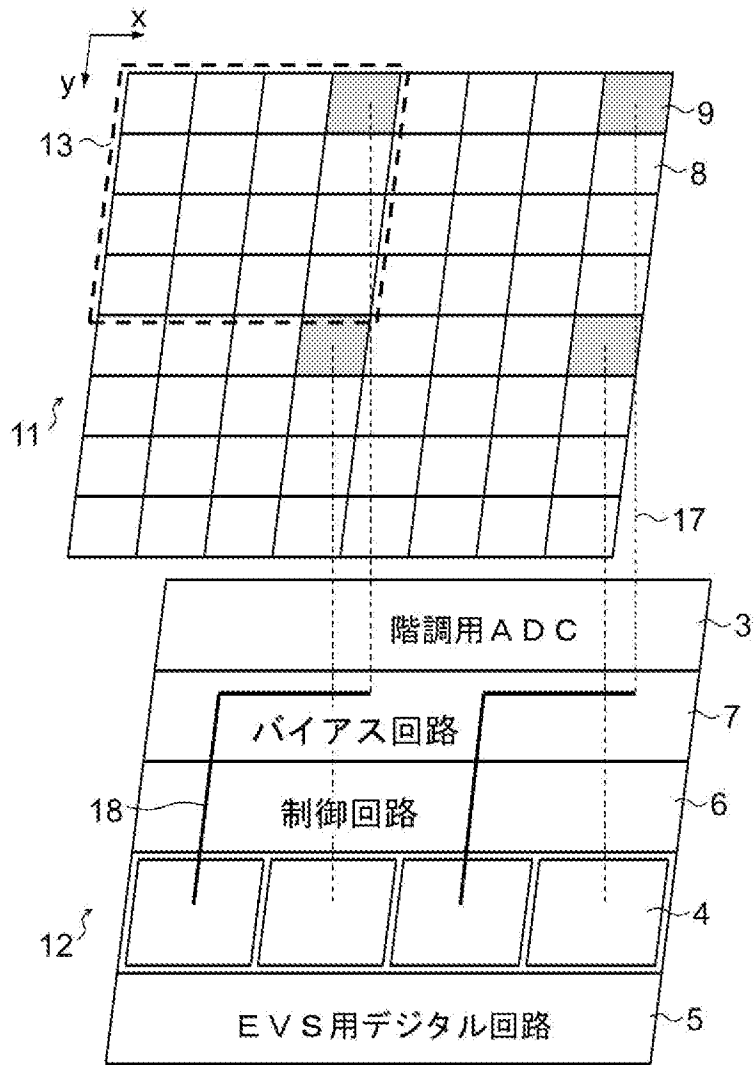
[請求項20] 光検出装置と、
前記光検出装置から出力された画素信号及びイベント信号に基づいて信号処理を行う信号処理部と、を備え、
前記光検出装置は、
互いに積層される第 1 基板及び第 2 基板を備え、
前記第 1 基板は、入射光の光量に応じた画素信号を生成する第 1 画素と、入射光の輝度変化を検出する第 2 画素とを含む画素群を有し、
前記第 2 基板は、前記第 2 画素の輝度変化に基づくイベントを検出するイベント検出回路を有し、
前記イベント検出回路の少なくとも一部は、前記第 2 基板上の前記画素群と対向する同一サイズの領域以外の領域に配置される、電子機器。

[図1]



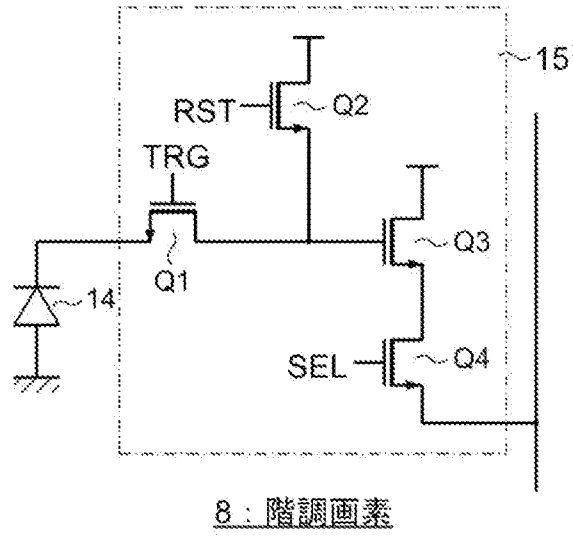
1: 光検出装置

[図2]

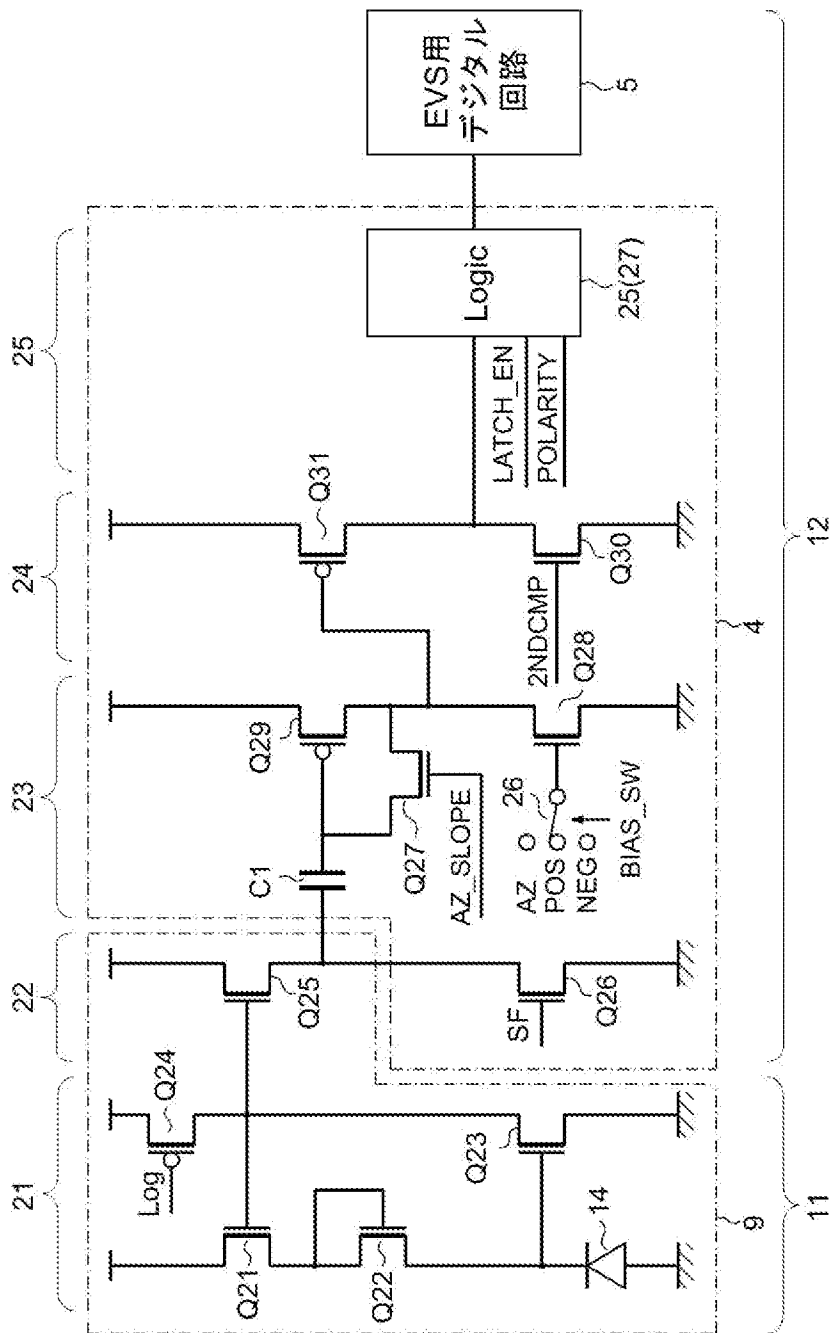


1: 光検出装置

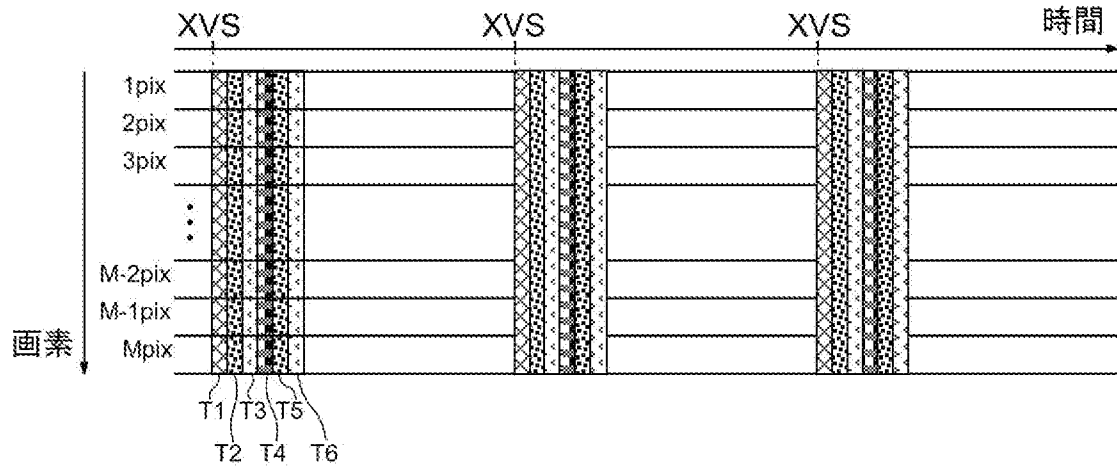
[図3]



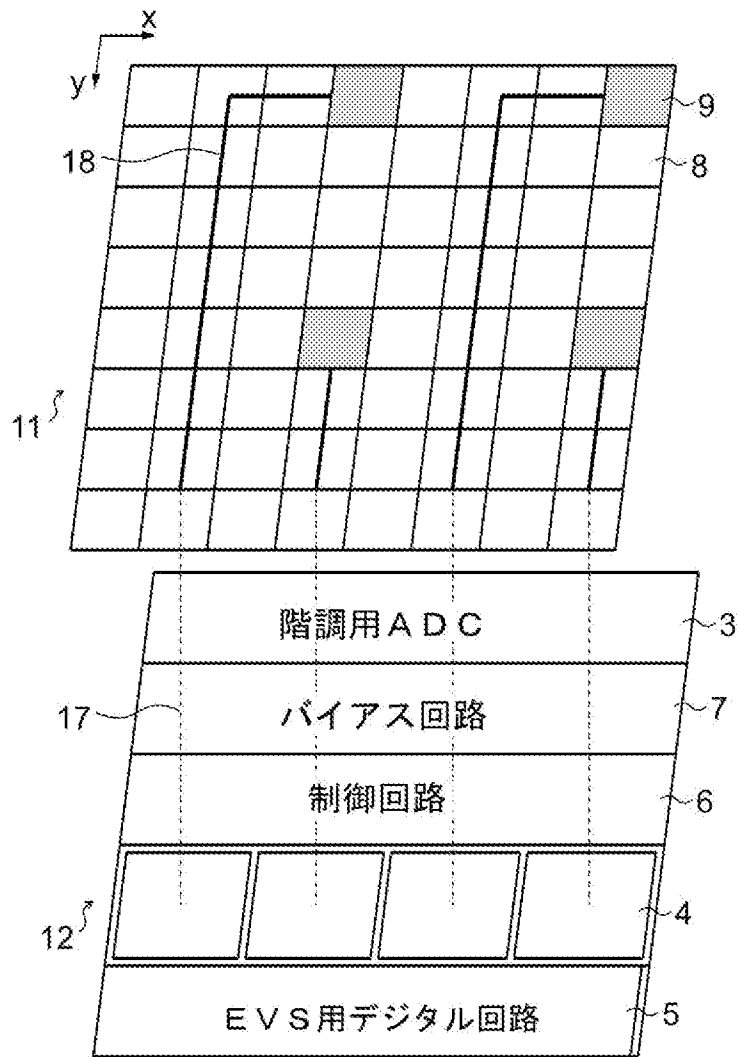
[図4]



[図5]

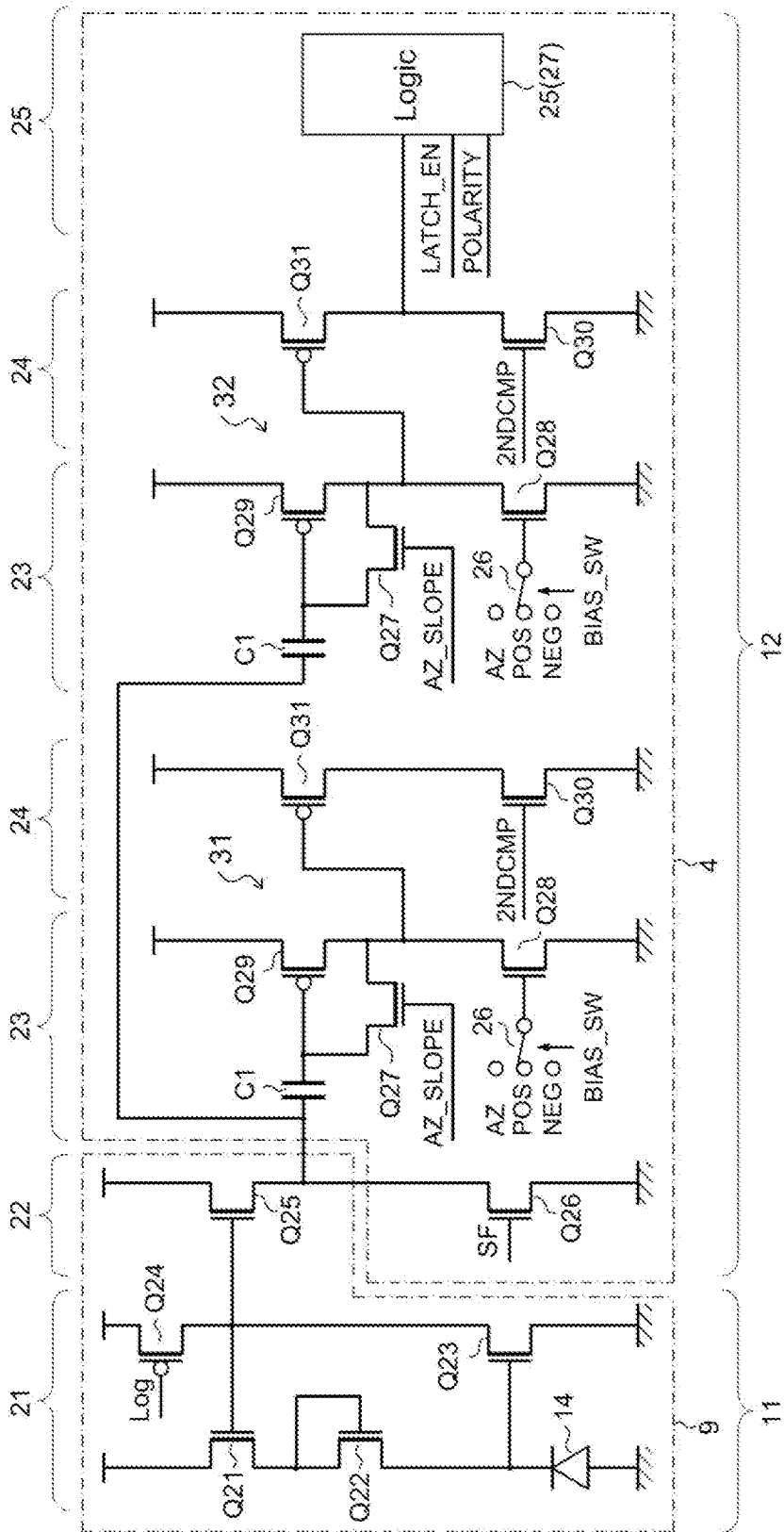


[図6]

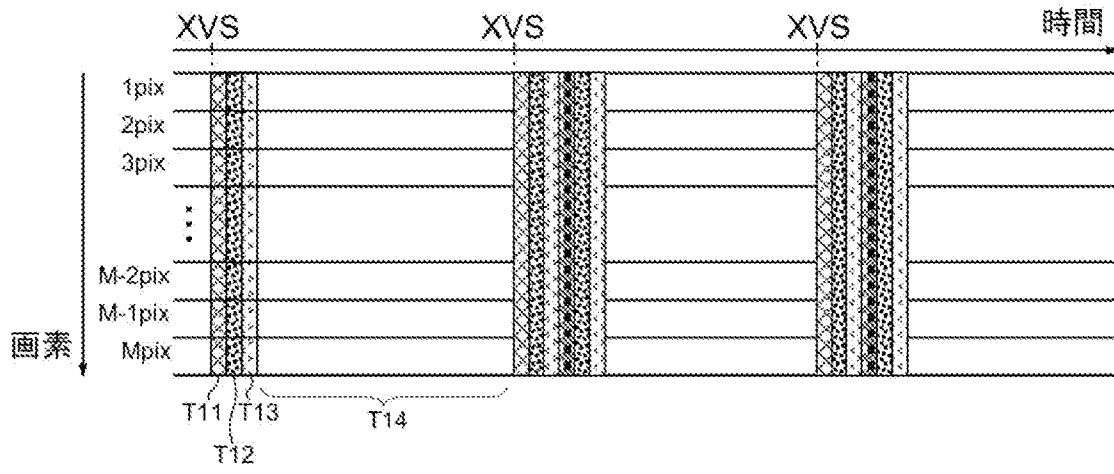


1: 光検出装置

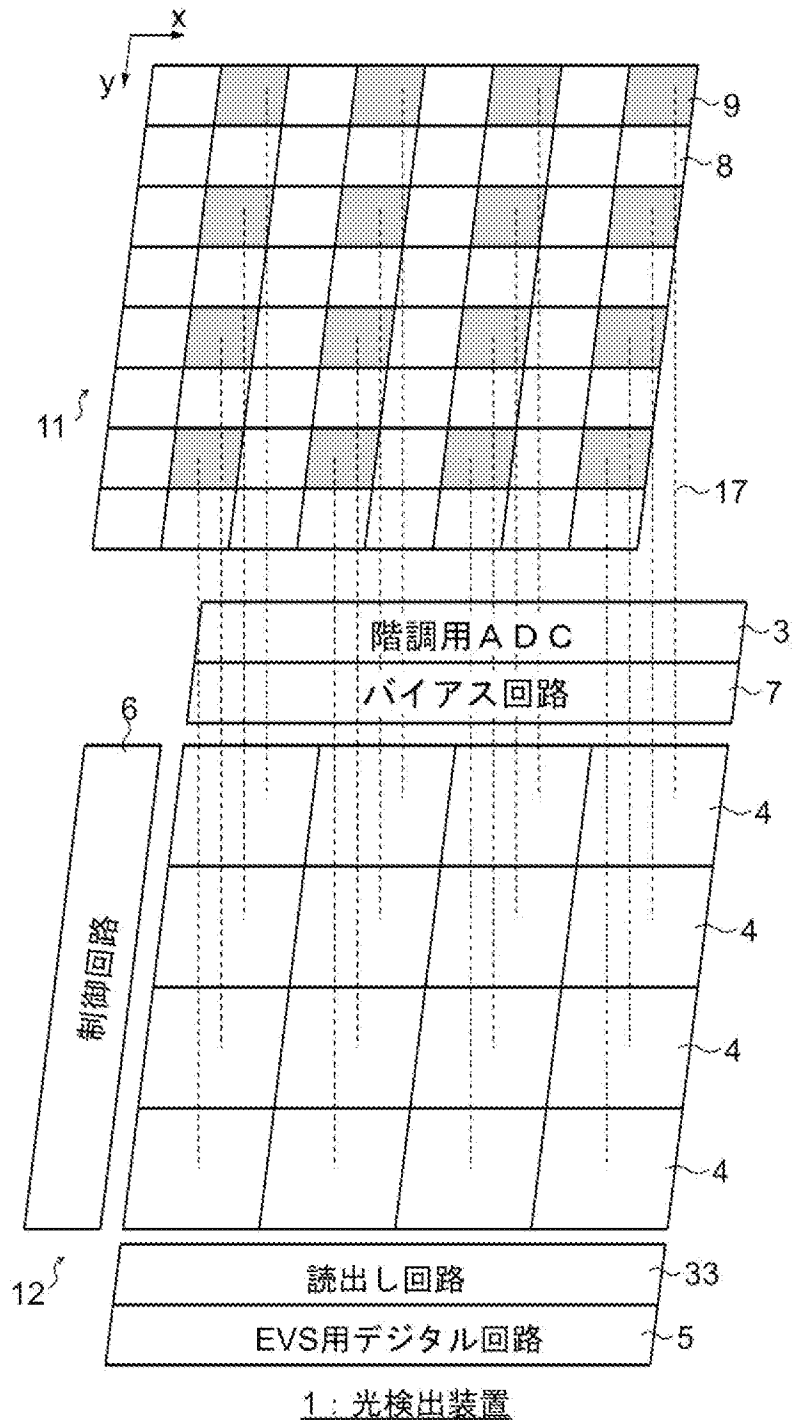
[7]



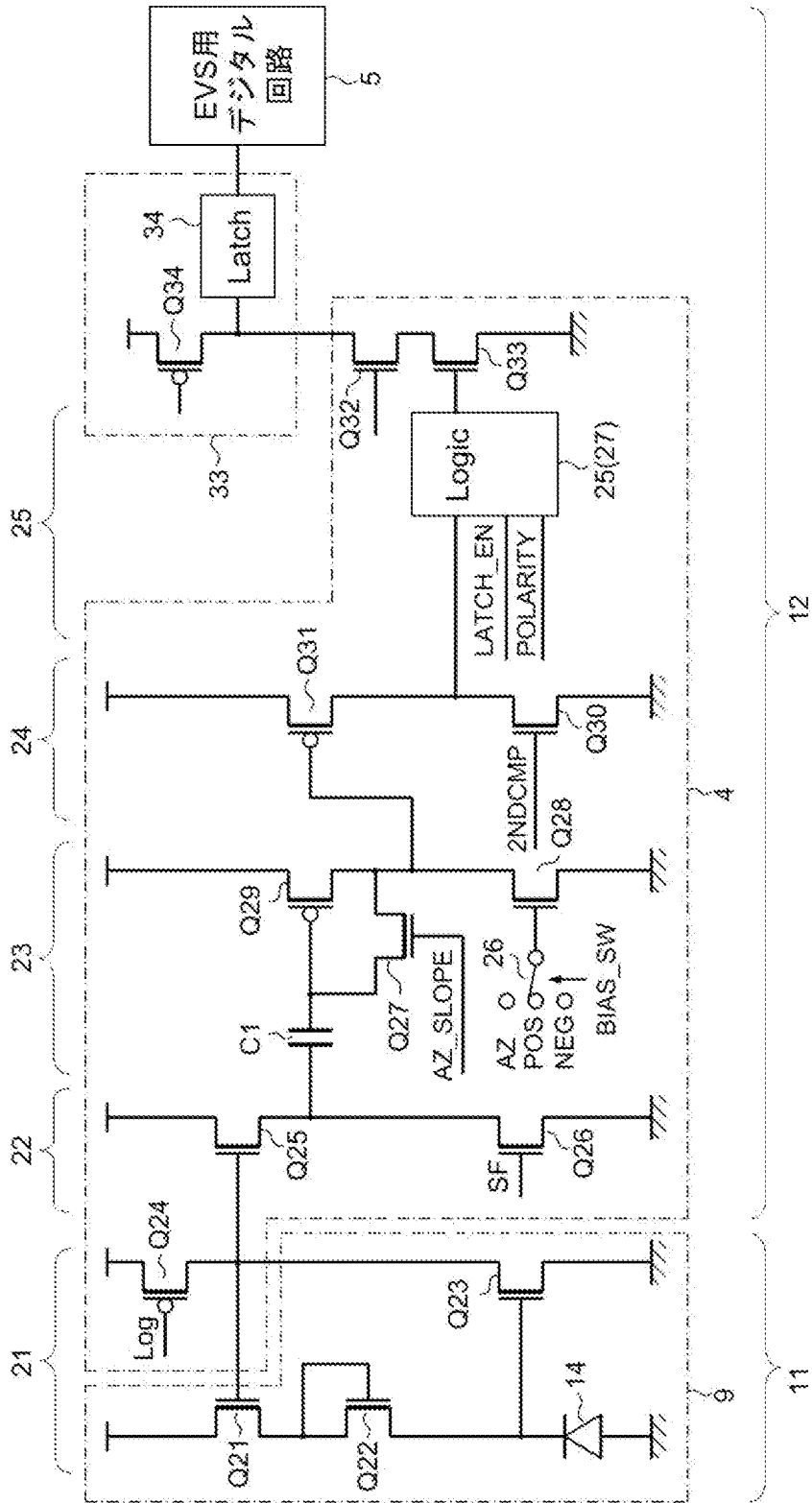
[図8]



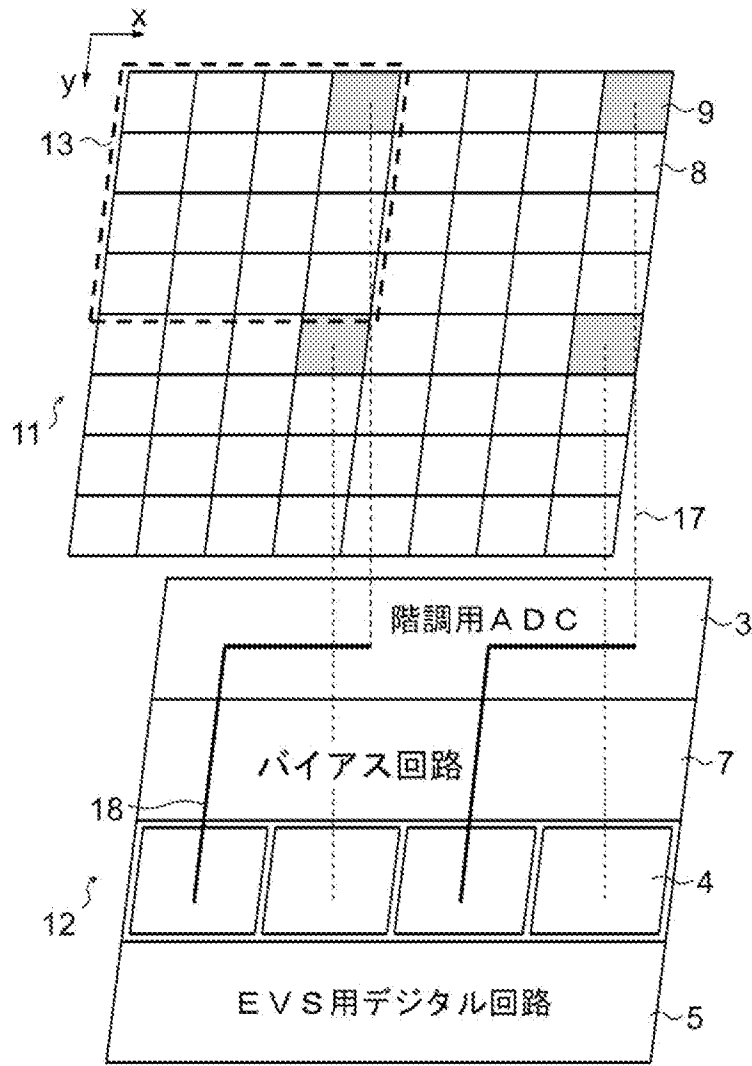
[図9]



[図10]

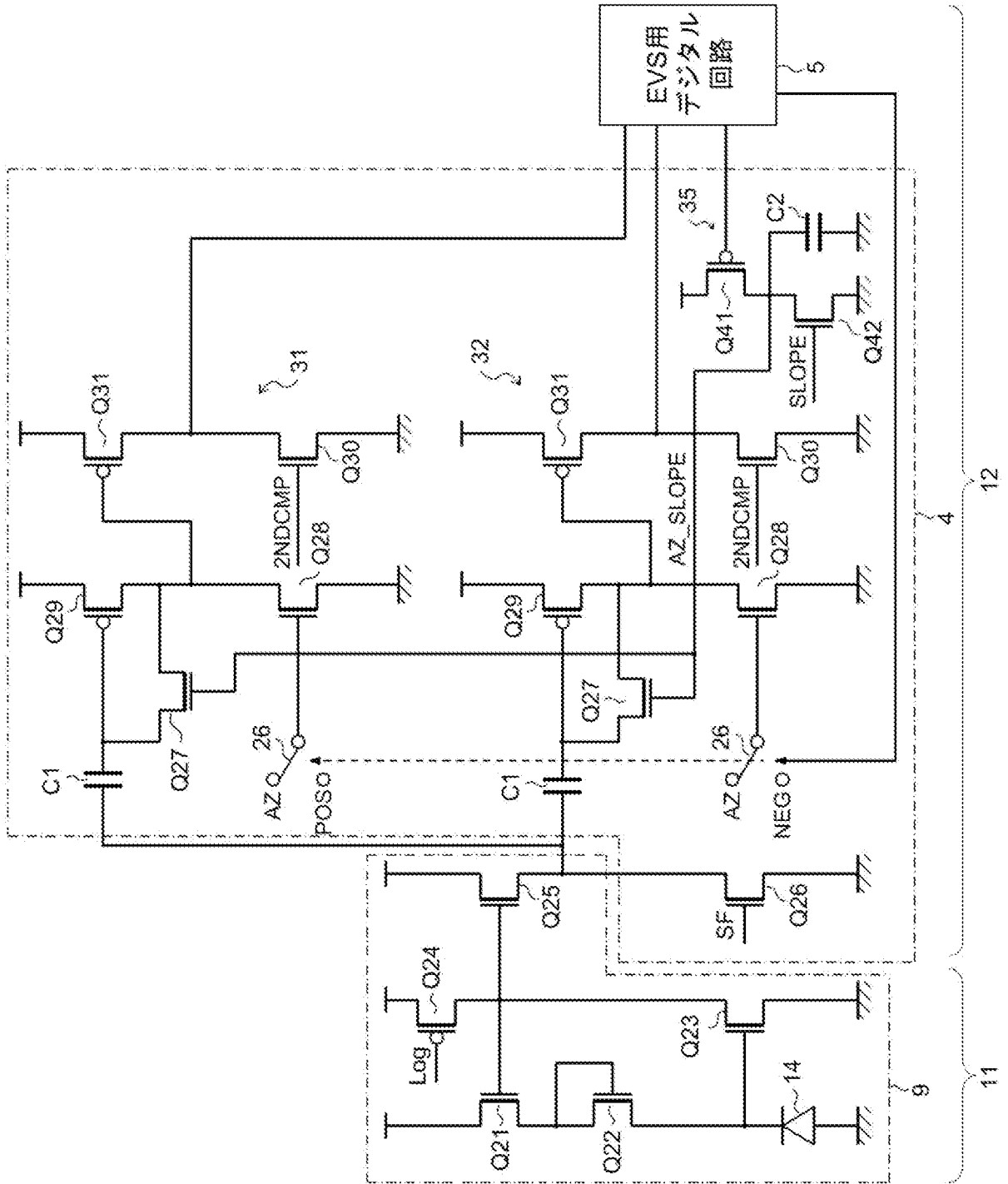


[図11]

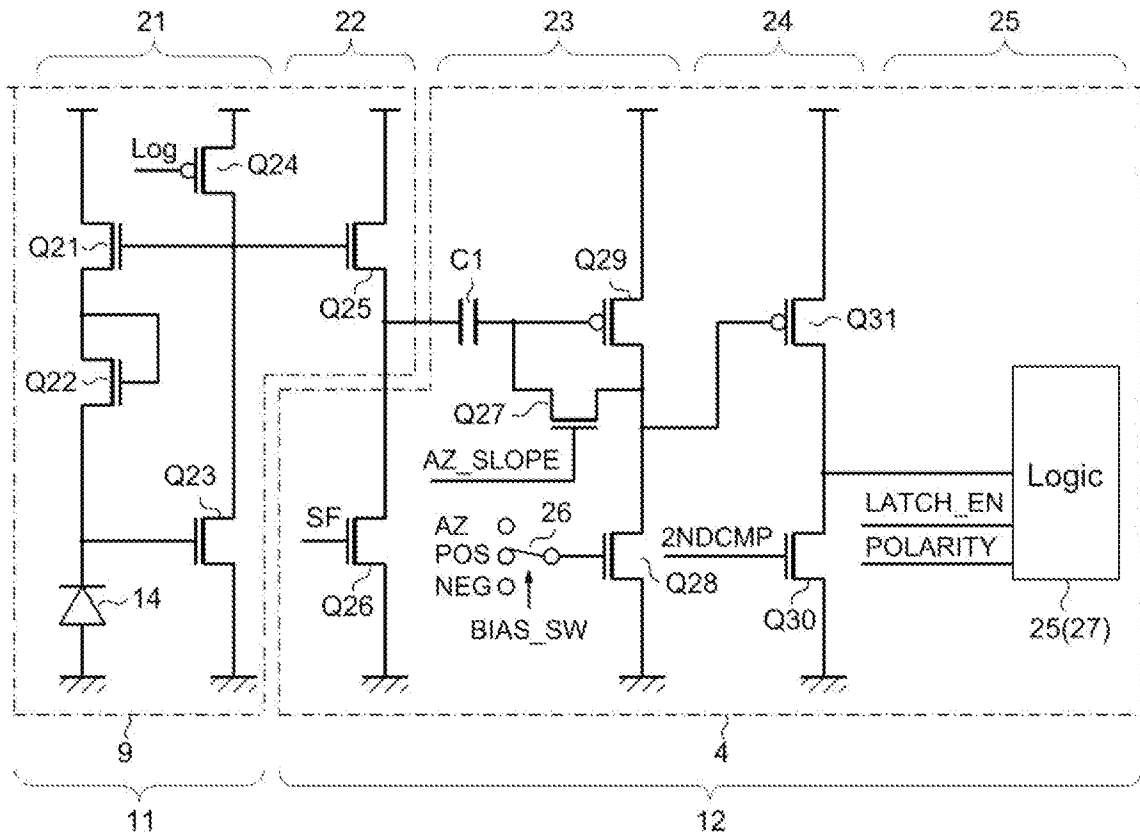


1: 光検出装置

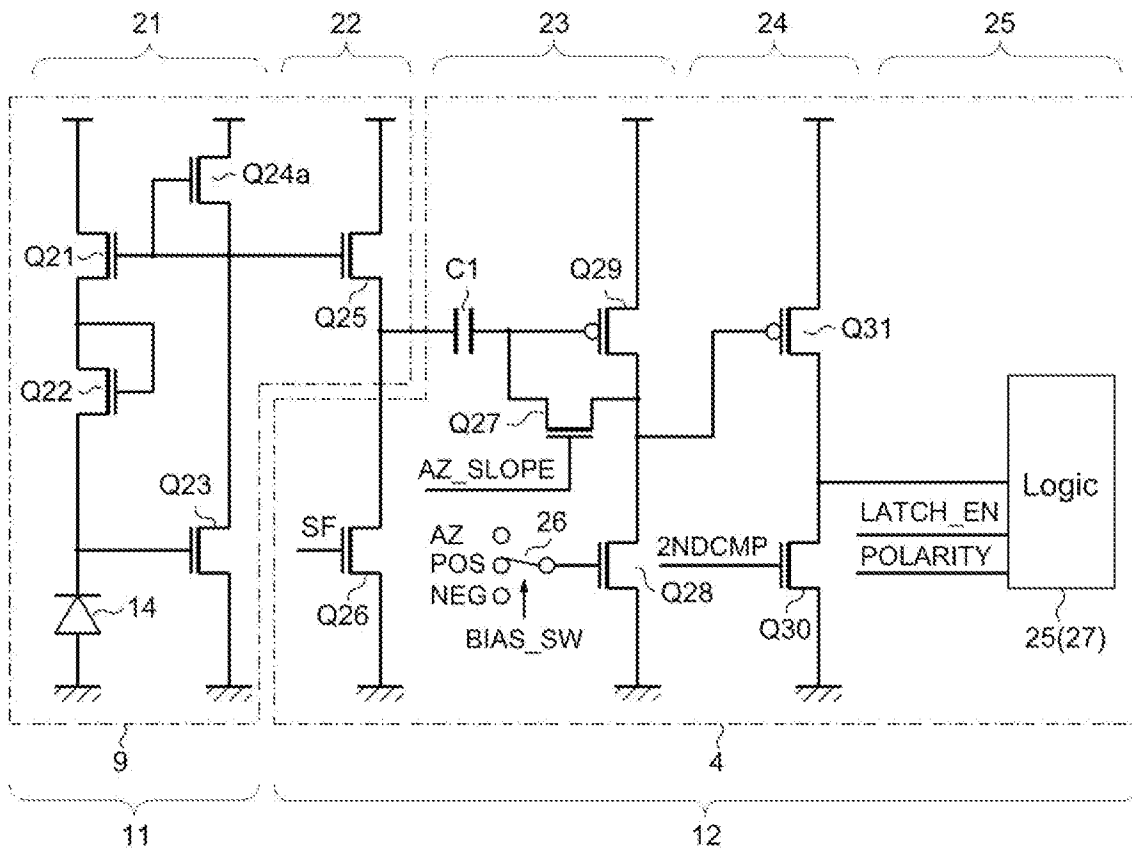
[図12]



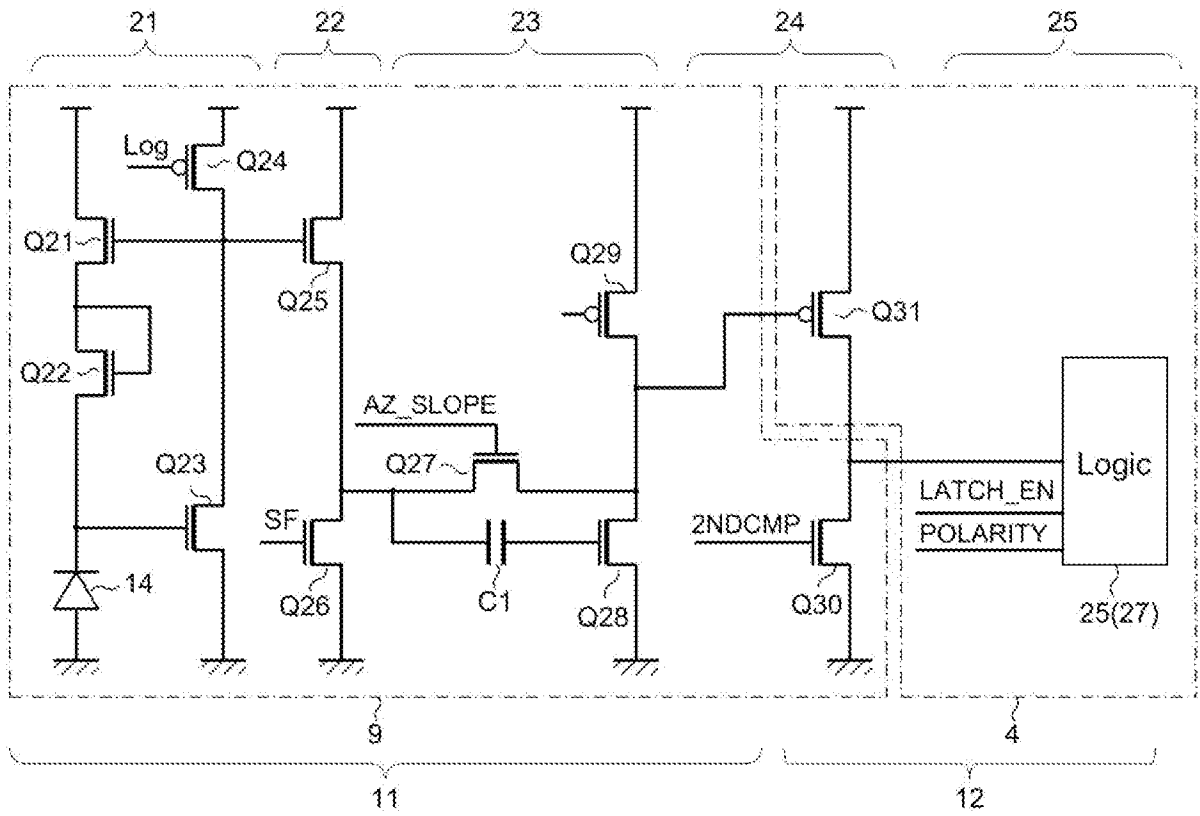
[図13A]



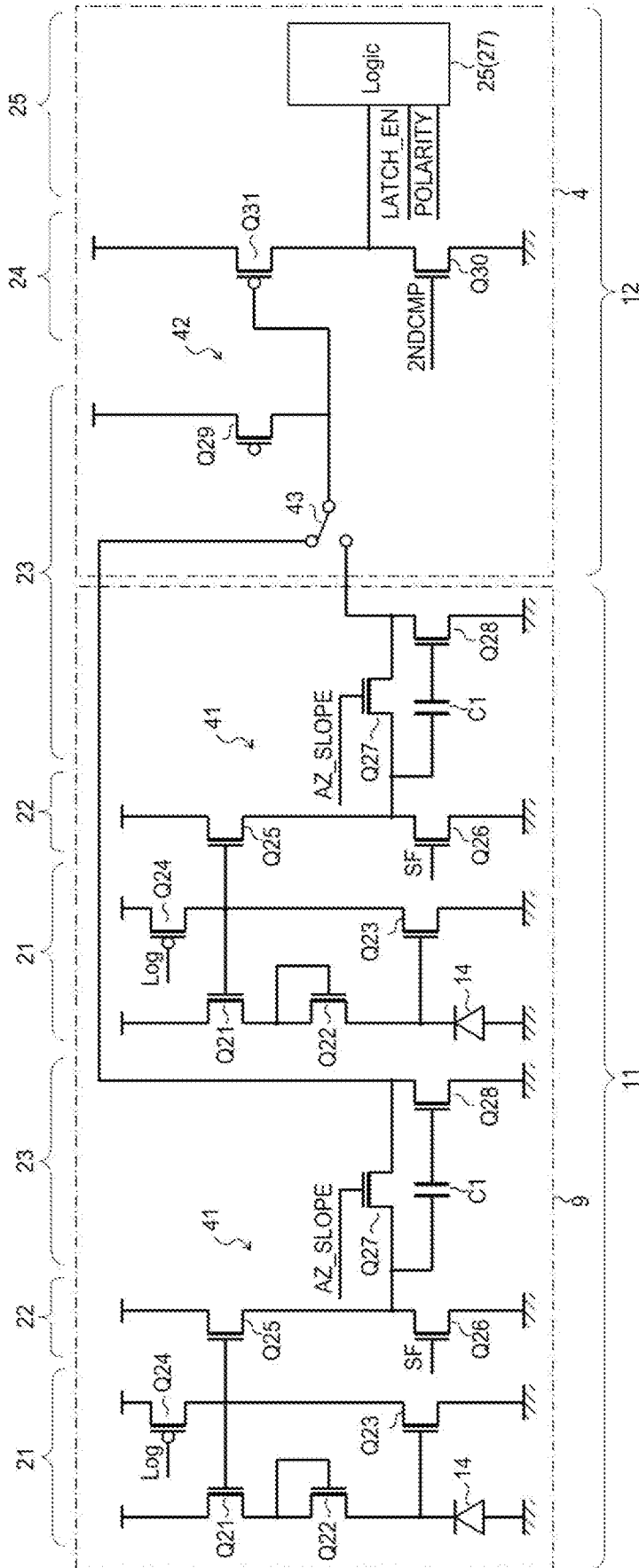
[図13C]



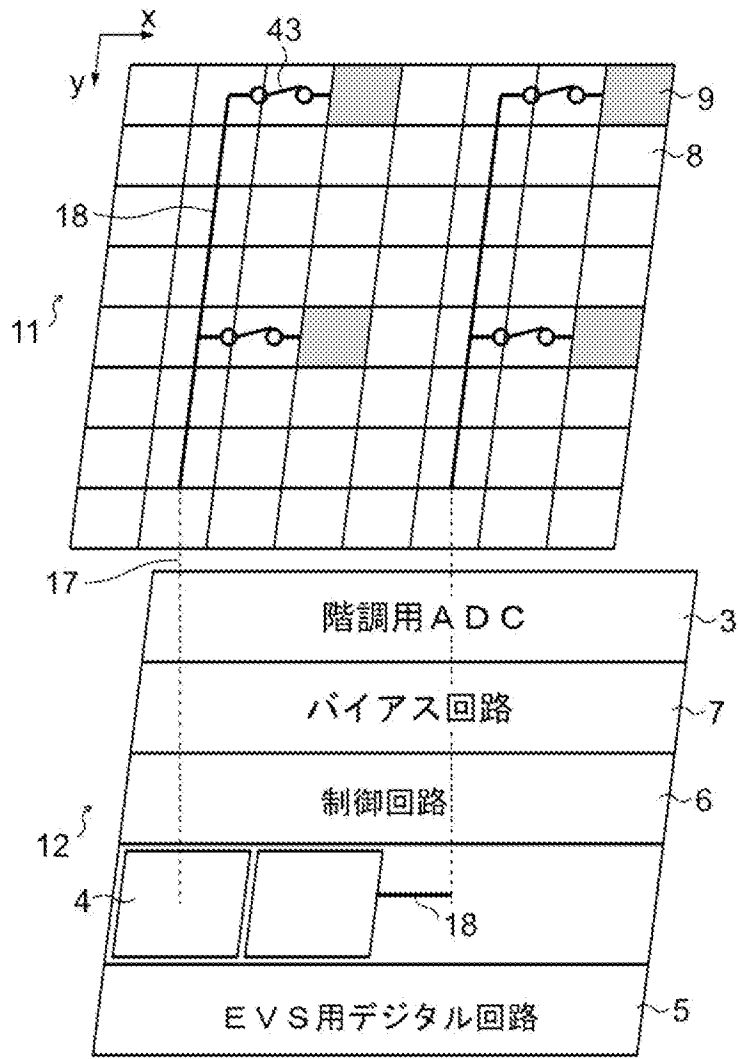
[図13E]



[図14]

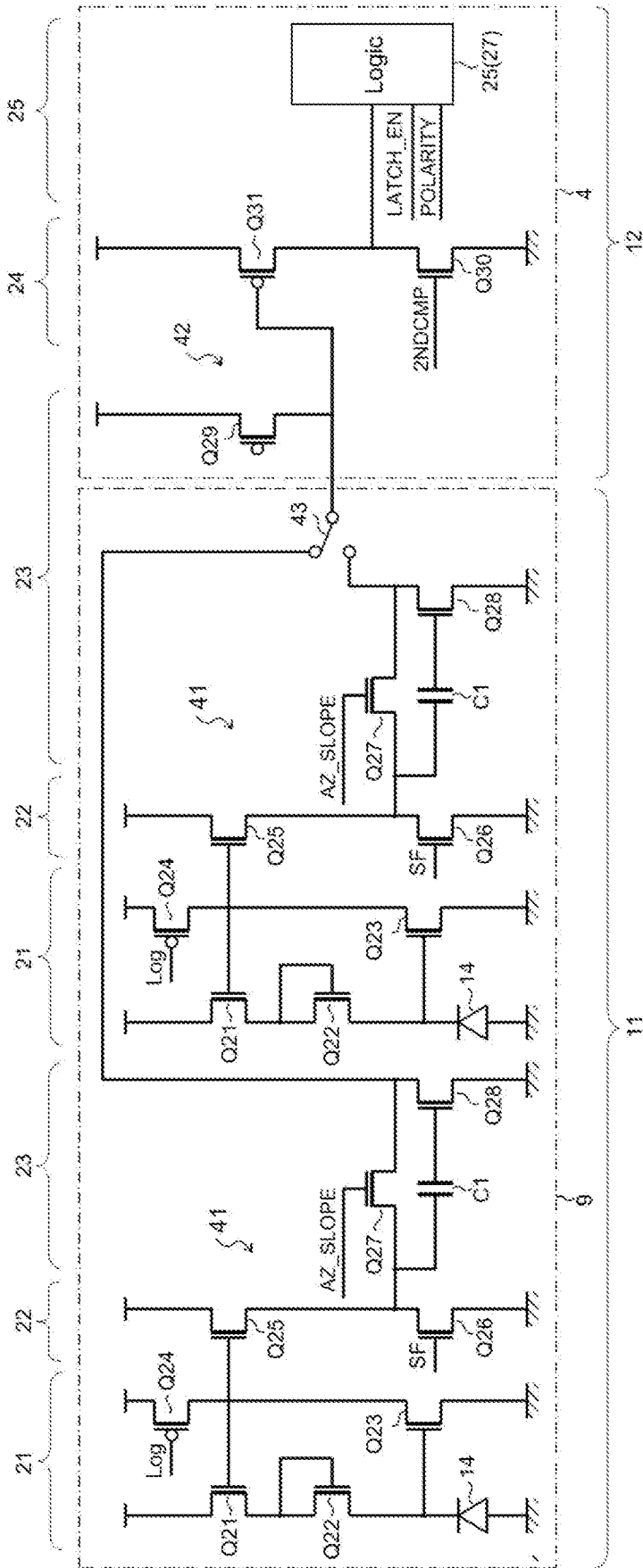


[図15]

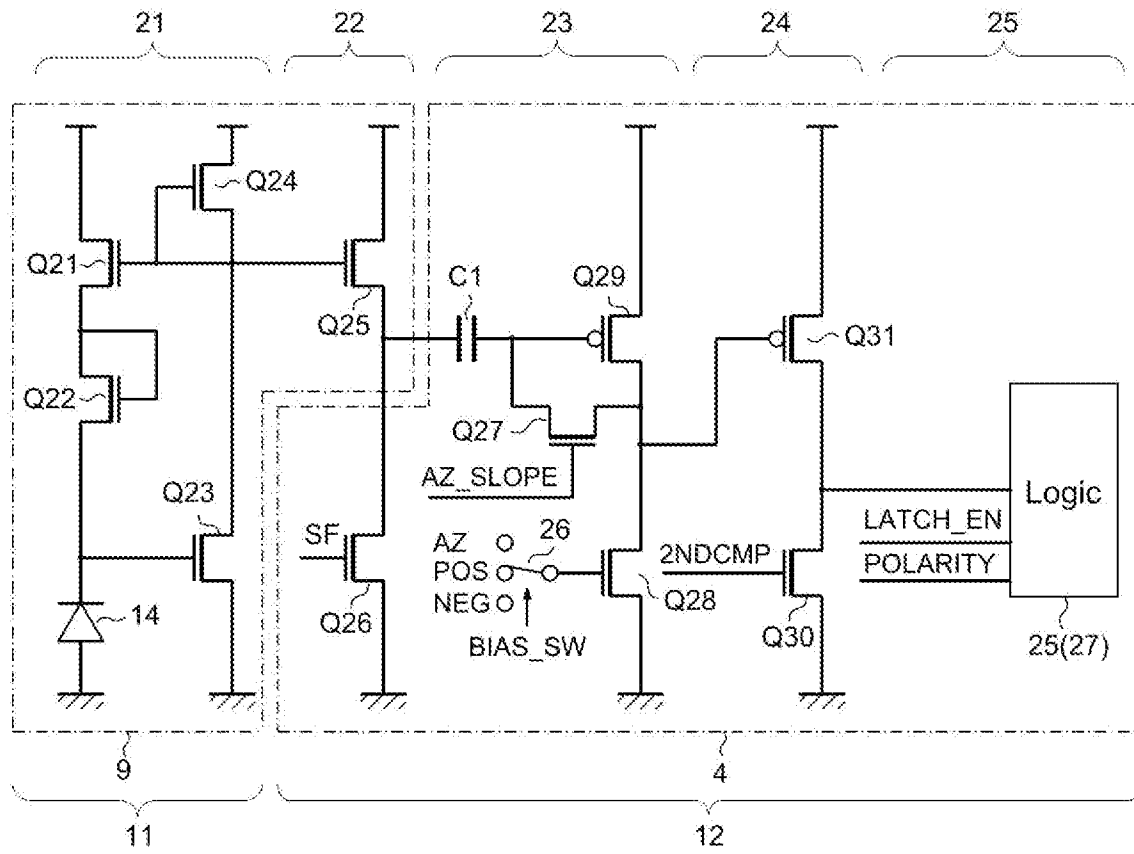


1: 光検出装置

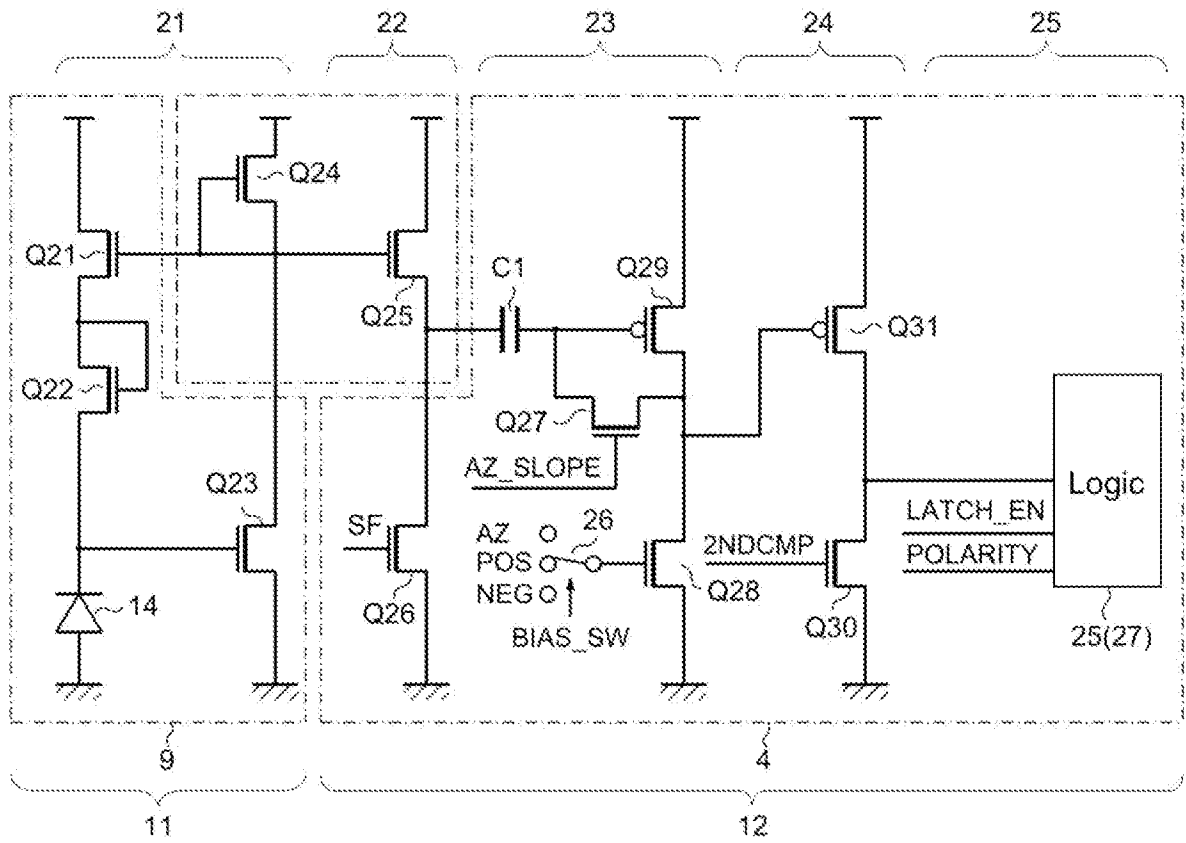
[16]



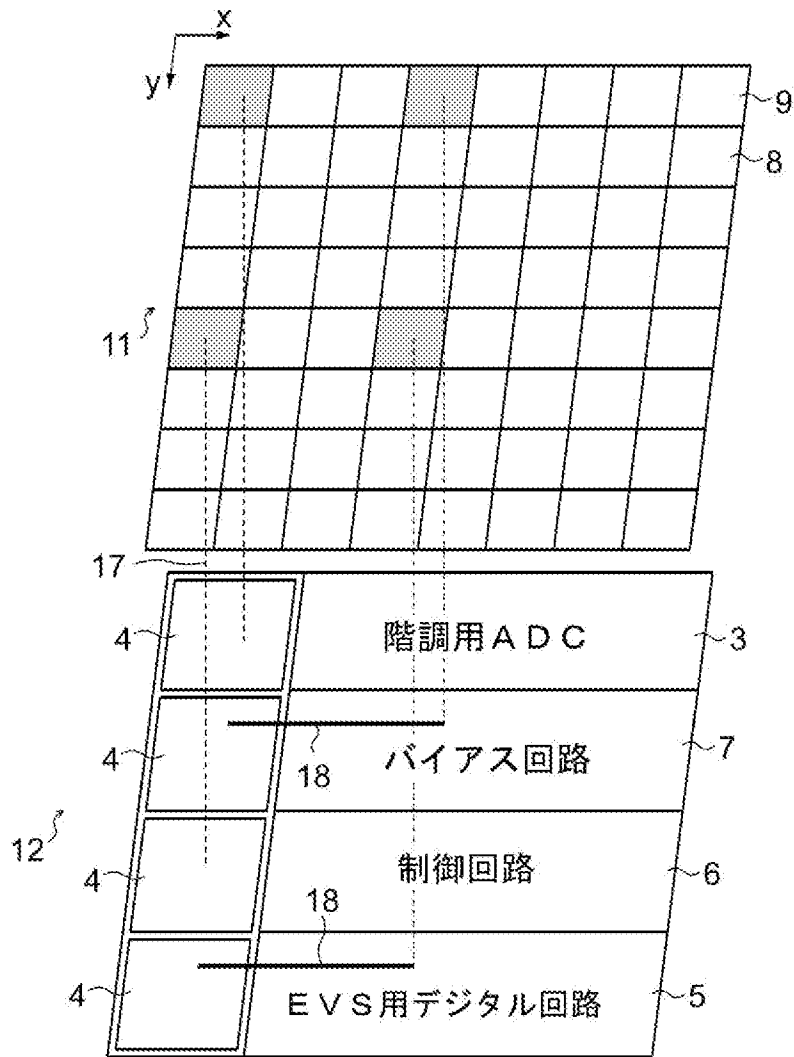
[図17]



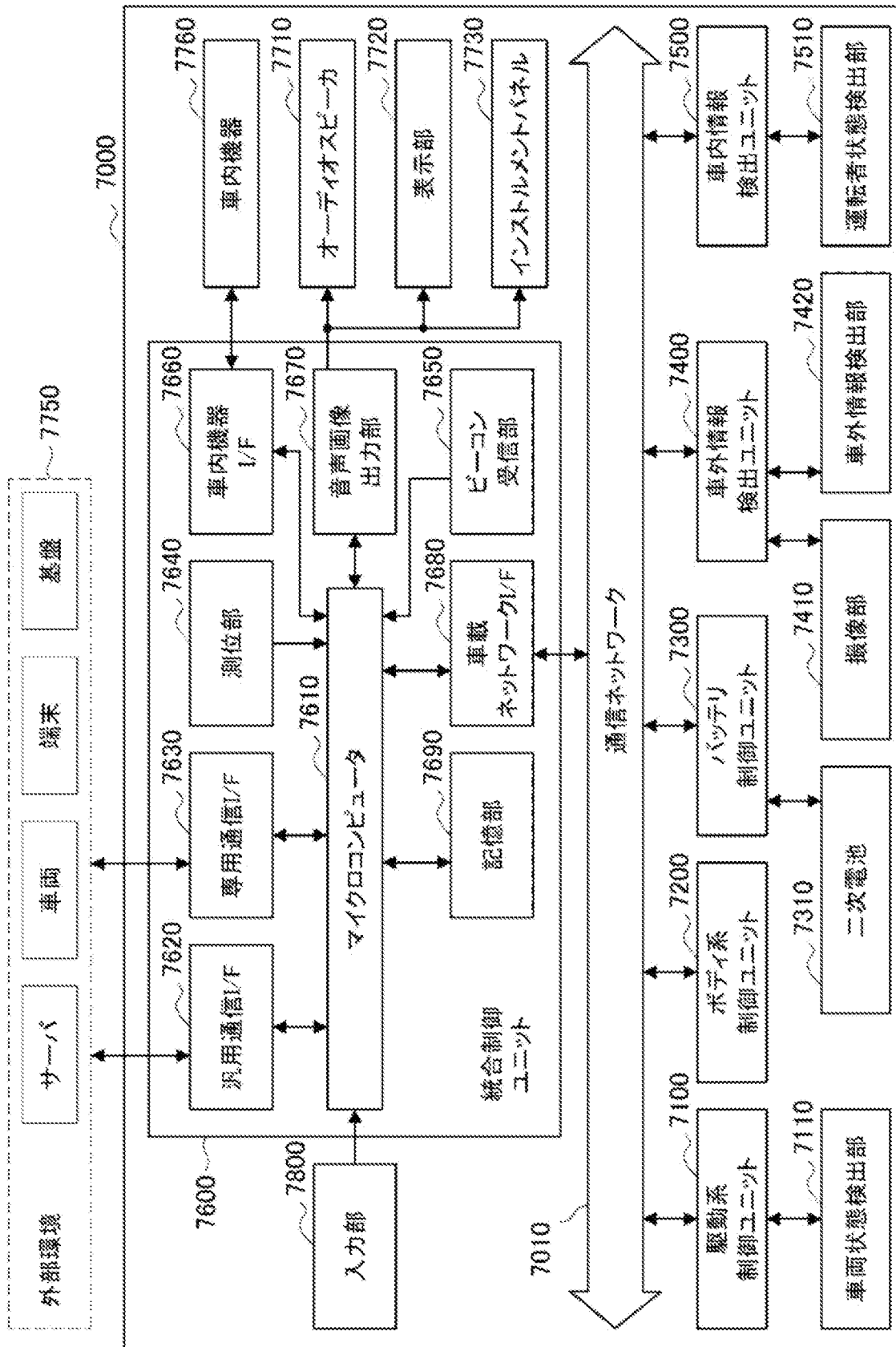
[図18]



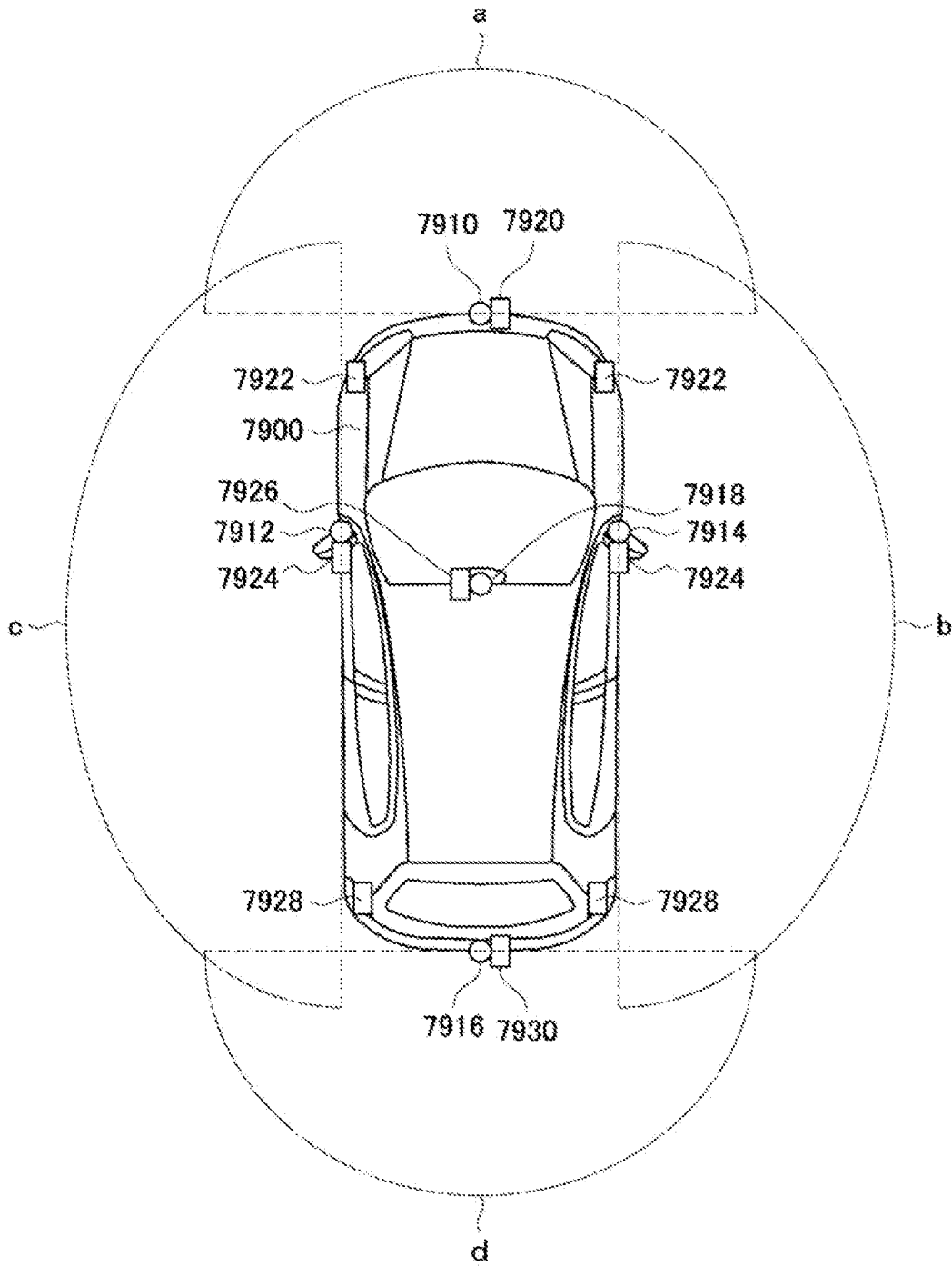
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/021792

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H04N 25/707</i> (2023.01)i; <i>H04N 25/77</i> (2023.01)i FI: H04N25/707; H04N25/77		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H04N25/707; H04N25/77		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2021-040294 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 11 March 2021 (2021-03-11) paragraphs [0030]-[0143], fig. 2-24	1-3, 5-8, 10-20
Y	entire text, all drawings	4, 9
Y	WO 2022/009664 A1 (SONY GROUP CORPORATION) 13 January 2022 (2022-01-13) paragraphs [0112]-[0119]	4
Y	WO 2019/087471 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 09 May 2019 (2019-05-09) paragraphs [0088]-[0095], fig. 13-14	9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 August 2023		Date of mailing of the international search report 15 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/021792

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2021-040294	A	11 March 2021	US 2022/0264036 A1 paragraphs [0060]-[0181], fig. 2-24	
				WO 2021/039142 A1	
				EP 4024850 A1	
				CN 114245986 A	
				KR 10-2022-0053562 A	
				TW 202119805 A	
<hr/>					
WO	2022/009664	A1	13 January 2022	(Family: none)	
<hr/>					
WO	2019/087471	A1	09 May 2019	US 2020/0260039 A1 paragraphs [0124]-[0131], fig. 13-14	
				EP 3582491 A1	
				DE 112018005712 T	
				KR 10-2020-0073170 A	
				CN 208707784 U	
				CN 109729292 A	
<hr/>					

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/707(2023.01)i; H04N 25/77(2023.01)i FI: H04N25/707; H04N25/77		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/707; H04N25/77 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2021-040294 A (ソニーセミコンダクタソリューションズ株式会社) 11.03.2021 (2021 - 03 - 11) 段落[0030]-[0143], 図2-24	1-3, 5-8, 10-20
Y	全文, 全図	4, 9
Y	WO 2022/009664 A1 (ソニーグループ株式会社) 13.01.2022 (2022 - 01 - 13) 段落[0112]-[0119]	4
Y	WO 2019/087471 A1 (ソニーセミコンダクタソリューションズ株式会社) 09.05.2019 (2019 - 05 - 09) 段落[0088]-[0095], 図13-14	9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.08.2023	国際調査報告の発送日 15.08.2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 三沢 岳志 5V 2590 電話番号 03-3581-1101 内線 3571	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2023/021792

引用文献	公表日	パテントファミリー文献	公表日
JP 2021-040294 A	11.03.2021	US 2022/0264036 A1 段落[0060]-[0181], 図2-24 WO 2021/039142 A1 EP 4024850 A1 CN 114245986 A KR 10-2022-0053562 A TW 202119805 A	
WO 2022/009664 A1	13.01.2022	(ファミリーなし)	
WO 2019/087471 A1	09.05.2019	US 2020/0260039 A1 段落[0124]-[0131], 図 13-14 EP 3582491 A1 DE 112018005712 T KR 10-2020-0073170 A CN 208707784 U CN 109729292 A	