



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월07일
(11) 등록번호 10-0811263
(24) 등록일자 2008년02월29일

(51) Int. Cl.

G11C 8/00 (2006.01)

(21) 출원번호 10-2006-0059881

(22) 출원일자 2006년06월29일

심사청구일자 2006년06월29일

(65) 공개번호 10-2008-0001432

(43) 공개일자 2008년01월03일

(56) 선행기술조사문헌

KR1020050055925 A

(뒷면에 계속)

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김수현

충북 청주시 흥덕구 향정동 125번지 하이닉스여자
기숙사 324호

유민영

충북 청주시 흥덕구 복대1동 세원APT 103동 903호

(74) 대리인

특허법인아주

전체 청구항 수 : 총 14 항

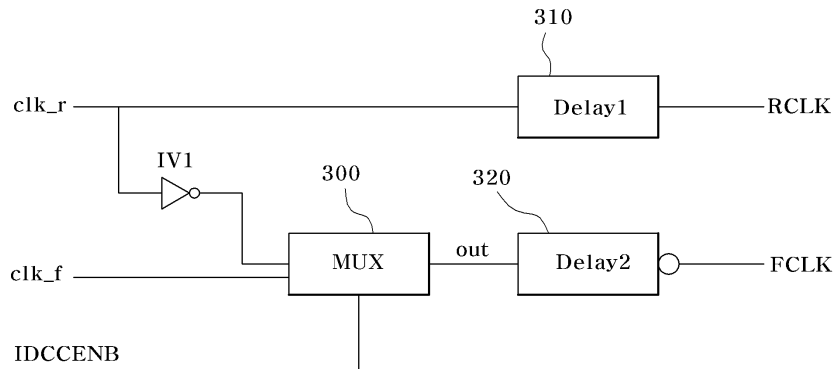
심사관 : 김세영

(54) 듀티사이클 보정회로 및 이를 이용한 지연고정루프 회로

(57) 요약

본 발명은 제1 클럭입력신호로부터 제1 내부클럭신호를 생성하고, 제2 클럭입력신호로부터 제2 내부클럭신호를 생성하되, 지연고정루프가 락킹될 때 인에이블되는 인에이블 신호에 응답하여 상기 지연고정루프의 락킹 후 제1 클럭입력신호의 반전신호로부터 상기 제2 내부클럭신호를 생성하는 클럭입력부; 및 상기 제1 및 제2 내부클럭신호의 위상을 혼합하는 듀티사이클 혼합부를 포함하는 듀티사이클 보정회로를 제공한다.

대표도 - 도3



(56) 선행기술조사문헌
KR1020050082637 A
KR1020050087286 A
KR1020060037564 A
KR1020040021478 A
KR1020050079801 A

특허청구의 범위

청구항 1

제1 클럭입력신호로부터 제1 내부클럭신호를 생성하고, 제2 클럭입력신호로부터 제2 내부클럭신호를 생성하되, 지연고정루프가 락킹될 때 인에이블되는 인에이블 신호에 응답하여 상기 지연고정루프의 락킹 후 제1 클럭입력신호의 반전신호로부터 상기 제2 내부클럭신호를 생성하는 클럭입력부; 및

상기 제1 및 제2 내부클럭신호의 위상을 혼합하는 듀티사이클 혼합부를 포함하는 듀티사이클 보정회로.

청구항 2

제1항에 있어서, 상기 클럭입력부는

상기 제1 클럭입력신호를 소정구간 지연시켜 상기 제1 내부클럭신호를 생성하는 제1 지연부와;

상기 제1 클럭입력신호의 반전 신호와 제2 클럭입력신호를 입력받아 상기 인에이블 신호의 인에이블에 따라 멀티플렉싱하는 멀티플렉서 및;

상기 멀티플렉서의 출력신호를 소정구간 지연시켜 상기 제2 내부클럭신호를 생성하는 제2 지연부를 포함하여 구성되는 것을 특징으로 하는 듀티사이클 보정회로.

청구항 3

제2항에 있어서, 상기 멀티플렉서는

상기 인에이블 신호에 응답하여 상기 제1 클럭입력신호의 반전 신호를 출력노드로 전달하는 제1 전달게이트 및;

상기 인에이블 신호에 응답하여 상기 제2 클럭입력신호를 상기 출력노드로 전달하는 제2 전달게이트를 포함하여 구성되되,

상기 제1 및 제2 전달게이트는 상기 인에이블 신호에 따라 선택적으로 턴온되는 것을 특징으로 하는 듀티사이클 보정회로.

청구항 4

제3항에 있어서, 상기 멀티플렉서는

상기 제1 클럭입력신호의 반전 신호를 버퍼링하는 제1 버퍼와;

상기 제2 클럭입력신호를 버퍼링하는 제2 버퍼와;

상기 출력노드의 신호를 버퍼링하는 제3 버퍼를 더 포함하는 것을 특징으로 하는 듀티사이클 보정회로.

청구항 5

제4항에 있어서, 상기 제1 내지 제3 버퍼는 인버터인 것을 특징으로 하는 듀티사이클 보정회로.

청구항 6

외부클럭을 버퍼링하여 내부클럭을 생성하는 클럭버퍼와;

상기 내부클럭을 이용하여 제1 클럭입력신호를 생성하는 제1 지연고정루프와;

상기 내부클럭을 이용하여 제2 클럭입력신호를 생성하는 제2 지연고정루프와;

제1 클럭입력신호로부터 제1 내부클럭신호를 생성하고, 제2 클럭입력신호로부터 제2 내부클럭신호를 생성하되, 인에이블 신호에 응답하여 제1 클럭입력신호의 반전신호로부터 상기 제2 내부클럭신호를 생성하는 클럭입력부 및;

상기 클럭입력부에서 생성된 제1 및 제2 내부클럭신호의 위상을 혼합하여 위상혼합신호를 생성하는 듀티사이클 혼합부를 포함하는 지연고정루프 회로.

청구항 7

제6항에 있어서, 상기 제1 지연고정루프는

상기 내부클럭의 위상을 상기 제1 지연구간만큼 지연시켜 상기 제1 클럭입력신호를 생성하는 지연라인과;

상기 제1 클럭입력신호의 위상을 상기 DLL회로 내부의 지연요소에 의해 결정되는 제2 지연구간만큼 지연시켜 피드백클럭을 생성하는 내부지연부 및;

상기 피드백클럭과 상기 내부클럭의 위상을 비교하여 상기 제1 지연구간을 조절하는 제어신호를 생성하는 위상감지부를 포함하여 구성되는 것을 특징으로 하는 지연고정루프 회로.

청구항 8

제6항에 있어서, 상기 제2 지연고정루프는

상기 내부클럭의 위상을 상기 제1 지연구간만큼 지연시킨 후 버퍼링하여 상기 제1 클럭입력신호와 위상이 반대인 제2 클럭입력신호를 생성하는 지연라인과;

상기 제2 클럭입력신호의 위상을 상기 DLL회로 내부의 지연요소에 의해 결정되는 제2 지연구간만큼 지연시켜 피드백클럭을 생성하는 내부지연부 및;

상기 피드백클럭과 상기 내부클럭의 위상을 비교하여 상기 제1 지연구간을 조절하는 제1 제어신호를 생성하는 위상감지부를 포함하여 구성되는 것을 특징으로 하는 지연고정루프 회로.

청구항 9

제6항에 있어서, 상기 클럭입력부는

상기 제1 클럭입력신호를 소정구간 지연시켜 상기 제1 내부클럭신호를 생성하는 제1 지연부와;

상기 제1 클럭입력신호의 반전 신호와 제2 클럭입력신호를 입력받아 상기 인에이블 신호의 인에이블에 따라 멀티플렉싱하는 멀티플렉서 및;

상기 멀티플렉서의 출력신호를 소정구간 지연시켜 상기 제2 내부클럭신호를 생성하는 제2 지연부를 포함하여 구성되는 것을 특징으로 하는 지연고정루프 회로.

청구항 10

제9항에 있어서, 상기 멀티플렉서는

상기 인에이블 신호에 응답하여 상기 제1 클럭입력신호의 반전 신호를 출력노드로 전달하는 제1 전달게이트 및;

상기 인에이블 신호에 응답하여 상기 제2 클럭입력신호를 상기 출력노드로 전달하는 제2 전달게이트를 포함하여 구성되며,

상기 제1 및 제2 전달게이트는 상기 인에이블 신호에 따라 선택적으로 턴온되는 것을 특징으로 하는 지연고정루프 회로.

청구항 11

제10항에 있어서, 상기 멀티플렉서는

상기 제1 클럭입력신호의 반전 신호를 버퍼링하는 제1 버퍼와;

상기 제2 클럭입력신호를 버퍼링하는 제2 버퍼와;

상기 출력노드의 신호를 버퍼링하는 제3 버퍼를 더 포함하는 것을 특징으로 하는 지연고정루프 회로.

청구항 12

제11항에 있어서, 상기 제1 내지 제3 버퍼는 인버터인 것을 특징으로 하는 지연고정루프 회로.

청구항 13

제6항에 있어서, 상기 인에이블 신호는 지연고정루프가 락킹 상태일 경우 인에이블되는 것을 특징으로 하는 지연고정

루프 회로.

청구항 14

제1항에 있어서, 상기 인에이블 신호는 지연고정루프가 락킹 상태일 경우 인에이블되는 것을 특징으로 듀티사이클 보정회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 듀티사이클 보정회로 및 이를 이용한 지연고정루프회로에 관한 것으로, 더욱 구체적으로는 전원전압 변동과 같은 외부 영향에 의해 발생된 내부의 지연요소의 변화가 제대로 반영되지 않은 내부클럭이 생성되는 것을 방지할 수 있는 듀티사이클 보정회로 및 이를 이용한 지연고정루프회로에 관한 것이다.

<14> 반도체 메모리장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속적으로 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리칩 외부에서 주어지는 클럭과 동기되어 동작할 수 있는 소위 동기식(Synchronous) 메모리 장치가 등장하였다.

<15> 그런데, 동기식 메모리 장치의 경우 데이터를 외부클럭에 동기시켜 출력하면 tAC(output data Access time from Clk)만큼의 지연(delay)이 발생하여 유효데이터창(valid data window)이 줄어들고, 그 결과 고주파수(high frequency)로 동작 시 오류가 유발되는 문제가 있었다. 따라서, 데이터가 클럭의 라이징에지와 폴딩에지에 정확하게 동기되어 출력될 수 있도록 외부클럭을 소정구간(tCK-tAC)만큼 지연시킨 DLL클럭을 생성하는 지연고정루프(DLL)를 사용하게 되었다. 이와 같이 지연고정루프(DLL)는 외부클럭에 대해 디램(DRAM) 내부의 지연요소를 보상한 내부클럭을 생성하게 되는데 이를 락킹(locking) 과정이라고 한다.

<16> 도 1은 종래기술에 따른 지연고정루프(DLL)의 구성을 도시한 것이다.

<17> 도 1에 도시된 지연고정루프(DLL)는 듀티사이클 보정(DCC, Duty Cycle Correction)이 가능한 구조로서, 클럭버퍼(1), 제1 및 제2 지연고정루프(2), 듀티사이클 보정부(3) 및, 드라이버부(4)를 포함한다. 상기 듀티사이클 보정부(3)의 클럭입력부(30)는 도 2에서 도시한 바와 같이, 제1 및 제2 클럭입력신호(clk_r, clk_f)를 각각 제1 및 제2 지연부(310, 320)을 통해 소정구간 지연시켜 제1 및 제2 내부클럭신호(RCLK, FCLK)를 생성한다.

<18> 이와 같이 구성된 지연고정루프(DLL)는 기준클럭(Ref clk)과 피드백클럭(feedback clk) 사이의 위상을 비교하여, 상기 클럭간의 위상차가 소정의 지연구간이하이면 지연고정루프(2)에서 락킹(locking)이 이루어졌다고 판단한다. 이때, 지연고정루프(2)에서의 전류 소모량을 줄이기 위해 제2 클럭입력신호(clk_f)를 생성하는 제2 지연고정루프(22)를 오프(Off)시킨다.

<19> 이와 같은 상황에서, 전원전압(VDD)의 급격한 변화가 있는 경우 디램(DRAM) 내부의 지연요소에 변화가 나타나 상기 지연고정루프(2)의 락킹(locking) 상태가 깨지게 된다. 락킹(locking) 상태가 깨지면 온(ON) 상태의 제1 지연고정루프(20)는 업데이트(update)과정을 통해 락킹(locking)상태를 회복하여 상기 내부의 지연요소의 변화를 반영한 제1 클럭입력신호(clk_r)를 생성하지만, 오프(OFF) 상태의 제2 지연고정루프(22)는 락킹(locking)상태를 회복하지 못하므로, 상기 내부의 지연요소의 변화를 반영하지 못한 제2 클럭입력신호(clk_f)를 생성하게 된다. 그 결과, 내부 지연요소가 제대로 반영되지 않고 생성된 제2 내부클럭신호(FCLK)에 의해 생성된 DLL 클럭에 데이터를 동기시켜 출력함으로써, tAC(output data Access time from Clk)가 증가하는 문제가 발생하였다.

발명이 이루고자 하는 기술적 과제

<20> 따라서, 본 발명이 이루고자 하는 기술적 과제는 전원전압 변동과 같은 외부 영향에 의해 발생된 내부의 지연요소의 변화가 제대로 반영되지 않은 내부클럭이 생성되는 것을 방지할 수 있는 듀티사이클 보정회로 및 이를 이용한 지연고정루프회로를 제공하는데 있다.

발명의 구성 및 작용

- <21> 상기 기술적 과제를 달성하기 위하여, 본 발명은 제1 클럭입력신호로부터 제1 내부클럭신호를 생성하고, 제2 클럭입력신호로부터 제2 내부클럭신호를 생성하되, 지연고정루프가 락킹될 때 인에이블되는 인에이블 신호에 응답하여 상기 지연고정루프의 락킹 후 제1 클럭입력신호의 반전신호로부터 상기 제2 내부클럭신호를 생성하는 클럭입력부; 및 상기 제1 및 제2 내부클럭신호의 위상을 혼합하는 듀티사이클 혼합부를 포함하는 듀티사이클 보정회로를 제공한다.
- <22> 본 발명에서, 상기 클럭입력부는 상기 제1 클럭입력신호를 소정구간 지연시켜 상기 제1 내부클럭신호를 생성하는 제1 지연부와; 상기 제1 클럭입력신호의 반전 신호와 제2 클럭입력신호를 입력받아 상기 인에이블 신호의 인에이블에 따라 멀티플렉싱하는 멀티플렉서 및; 상기 멀티플렉서의 출력신호를 소정구간 지연시켜 상기 2 내부클럭신호를 생성하는 제2 지연부를 포함하여 구성되는 것이 바람직하다.
- <23> 본 발명에서, 상기 멀티플렉서는 상기 인에이블 신호에 응답하여 상기 제1 클럭입력신호의 반전 신호를 출력노드로 전달하는 제1 전달게이트 및; 상기 인에이블 신호에 응답하여 상기 제2 클럭입력신호를 상기 출력노드로 전달하는 제2 전달게이트를 포함하여 구성되되, 상기 제1 및 제2 전달게이트는 상기 인에이블 신호에 따라 선택적으로 턴온되는 것이 바람직하다.
- <24> 본 발명에서, 상기 멀티플렉서는 상기 제1 클럭입력신호의 반전 신호를 버퍼링하는 제1 버퍼와; 상기 제2 클럭입력신호를 버퍼링하는 제2 버퍼와; 상기 출력노드의 신호를 버퍼링하는 제3 버퍼를 더 포함하는 것이 바람직하다.
- <25> 본 발명에서, 상기 제1 내지 제3 버퍼는 인버터인 것이 바람직하다.
- <26> 또한, 본 발명은 외부클럭을 버퍼링하여 내부클럭을 생성하는 클럭버퍼와; 상기 내부클럭을 이용하여 제1 클럭입력신호를 생성하는 제1 지연고정루프와; 상기 내부클럭을 이용하여 제2 클럭입력신호를 생성하는 제2 지연고정루프와; 제1 클럭입력신호로부터 제1 내부클럭신호를 생성하고, 제2 클럭입력신호로부터 제2 내부클럭신호를 생성하되, 인에이블 신호에 응답하여 제1 내부클럭신호의 반전신호로부터 상기 제2 내부클럭신호를 생성하는 클럭입력부 및; 상기 클럭입력부에서 생성된 제1 및 제2 내부클럭신호의 위상을 혼합하여 위상혼합신호를 생성하는 듀티사이클 혼합부를 포함하는 것이 바람직하다.
- <27> 본 발명에서, 상기 제1 지연고정루프는 상기 내부클럭의 위상을 상기 제1 지연구간만큼 지연시켜 상기 제1 클럭입력신호를 생성하는 지연라인과; 상기 제1 클럭입력신호의 위상을 상기 DLL회로 내부의 지연요소에 의해 결정되는 제2 지연구간만큼 지연시켜 피드백클럭을 생성하는 내부지연부 및; 상기 피드백클럭과 상기 내부클럭의 위상을 비교하여 상기 제1 지연구간을 조절하는 제어신호를 생성하는 위상감지부를 포함하여 구성되는 것이 바람직하다.
- <28> 본 발명에서, 상기 상기 제2 지연고정루프는 상기 내부클럭의 위상을 상기 제1 지연구간만큼 지연시킨 후 버퍼링하여 상기 제1 클럭입력신호와 위상이 반대인 제2 클럭입력신호를 생성하는 지연라인과; 상기 제2 클럭입력신호의 위상을 상기 DLL회로 내부의 지연요소에 의해 결정되는 제2 지연구간만큼 지연시켜 피드백클럭을 생성하는 내부지연부 및; 상기 피드백클럭과 상기 내부클럭의 위상을 비교하여 상기 제1 지연구간을 조절하는 제1 제어신호를 생성하는 위상감지부를 포함하여 구성되는 것이 바람직하다.
- <29> 본 발명에서, 상기 클럭입력부는 상기 제1 클럭입력신호를 소정구간 지연시켜 상기 제1 내부클럭신호를 생성하는 제1 지연부와; 상기 제1 클럭입력신호의 반전 신호와 제2 클럭입력신호를 입력받아 상기 인에이블 신호의 인에이블에 따라 멀티플렉싱하는 멀티플렉서 및; 상기 멀티플렉서의 출력신호를 소정구간 지연시켜 상기 2 내부클럭신호를 생성하는 제2 지연부를 포함하여 구성되는 것을 특징으로 하는 것이 바람직하다.
- <30> 본 발명에서, 상기 멀티플렉서는 상기 인에이블 신호에 응답하여 상기 제1 클럭입력신호의 반전 신호를 출력노드로 전달하는 제1 전달게이트 및; 상기 인에이블 신호에 응답하여 상기 제2 클럭입력신호를 상기 출력노드로 전달하는 제2 전달게이트를 포함하여 구성되되, 상기 제1 및 제2 전달게이트는 상기 인에이블 신호에 따라 선택적으로 턴온되는 것이 바람직하다.
- <31> 본 발명에서, 상기 멀티플렉서는 상기 제1 클럭입력신호의 반전 신호를 버퍼링하는 제1 버퍼와; 상기 제2 클럭입력신호를 버퍼링하는 제2 버퍼와; 상기 출력노드의 신호를 버퍼링하는 제3 버퍼를 더 포함하는 것이 바람직하다.
- <32> 본 발명에서, 상기 제1 내지 제3 버퍼는 인버터인 것이 바람직하다.

- <33> 본 발명에서, 상기 인에이블 신호는 지연고정루프가 락킹 상태일 경우 인에이블되는 것이 바람직하다.
- <34> 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.
- <35> 도 3은 본 발명에 의한 일 실시예에 따른 듀티사이클 보정회로의 클럭입력부의 구성을 도시한 것이고, 도 4는 도3에 도시된 멀티플렉서의 회로도이다.
- <36> 도 1을 참고하면, 본 발명의 DLL회로는 외부클럭(CLK, CLKB)을 버퍼링하여 내부클럭(Clk in)을 생성하는 클럭버퍼(1)와; 상기 내부클럭(Clk in)의 위상을 소정구간 지연시켜 제1 클럭입력신호(clk_r) 및 위상이 반대인 제2 클럭입력신호(clk_f)를 생성하는 지연고정루프(2)와; 상기 제1 및 제2 클럭입력신호(clk_r, clk_f)와 상기 지연고정루프(2)가 락킹 상태일 경우 인에이블되는 인에이블 신호(IDCCENB)를 입력받아 제1 및 제2 내부클럭신호(RCLK, FCLK)를 생성하되, 상기 인에이블 신호(IDCCENB)가 인에이블되는 경우 제1 클럭입력신호(clk_r) 및 그 반전신호로부터 상기 제1 및 제2 내부클럭신호(RCLK, FCLK)를 생성하는 클럭입력부(30)와, 상기 클럭입력부(30)에서 생성된 제1 및 제2 내부클럭신호(RCLK, FCLK)의 위상을 혼합하여 위상혼합신호를 생성하는 듀티사이클 혼합부(32)를 포함하는 듀티사이클 보정부(3) 및; 상기 위상혼합신호를 분리하여 듀티사이클이 조정된 제1 및 제2 DLL클럭(rclkd11, fclkd11)을 생성하는 드라이버부(4)를 포함한다.
- <37> 상기 지연고정루프(2) 중 제1 지연고정루프(20)는 상기 내부클럭(Clk in)의 위상을 제1 지연구간만큼 지연시켜 상기 제1 클럭입력신호(clk_r)를 생성하는 지연라인(200)과; 상기 제1 클럭입력신호(clk_r)의 위상을 상기 DLL 회로 내부의 지연요소에 의해 결정되는 제2 지연구간만큼 지연시켜 피드백클럭(feedback clk)을 생성하는 내부지연부(202) 및; 상기 피드백클럭(feedback clk)과 상기 내부클럭(Clk in)으로부터 생성된 기준클럭(Ref clk)의 위상을 비교하여 상기 제1 지연구간을 조절하는 제어신호를 생성하는 위상감지부(204)를 포함하여 구성된다. 여기서, 상기 제2 지연구간을 결정하는 내부 지연요소는 외부클럭(CLK, CLKB)이 입력되어 상기 지연라인(200) 전까지, 그리고, 내부클럭이 생성되어 외부로 나갈 때까지의 지연요소들을 말한다. 그리고, 상기 제어신호는 상기 지연라인(200)에 포함된 제어블록(control block)에 입력되어 제1 지연구간을 결정한다.
- <38> 상기 지연고정루프(2) 중 상기 제2 지연고정루프(22)는 상기 내부클럭(Clk in)의 위상을 제1 지연구간만큼 지연시켜 상기 제2 클럭입력신호(clk_f)를 생성하는 지연라인(220)과; 상기 제2 클럭입력신호(clk_f)의 위상을 상기 DLL회로 내부의 지연요소에 의해 결정되는 제2 지연구간만큼 지연시켜 피드백클럭(feedback clk)을 생성하는 내부지연부(222) 및; 상기 피드백클럭(feedback clk)과 상기 내부클럭(Clk in)으로부터 생성된 기준클럭(Ref clk)의 위상을 비교하여 상기 제1 지연구간을 조절하는 제어신호를 생성하는 위상감지부(224)를 포함하여 구성된다.
- <39> 도3을 참고하면, 상기 클럭입력부(30)는 상기 제1 클럭입력신호(clk_r)를 소정구간 지연시켜 상기 제1 내부클럭신호(RCLK)를 생성하는 제1 지연부(310)와; 상기 제1 내부클럭신호(RCLK)를 버퍼링한 신호와 제2 클럭입력신호(FCLK)를 입력받아 상기 인에이블 신호(IDCCENB)의 인에이블에 따라 멀티플렉싱하는 멀티플렉서(300) 및; 상기 멀티플렉서(300)의 출력신호(out)를 소정구간 지연시켜 상기 2 내부클럭신호(FCLK)를 생성하는 제2 지연부(320)를 포함하여 구성된다.
- <40> 여기서, 상기 멀티플렉서(300)는 도4를 참고하면, 상기 제1 클럭입력신호를 버퍼링한 신호(clk_rb)를 버퍼링하는 제1 인버터(IV2)와; 상기 제2 클럭입력신호(clk_f)를 버퍼링하는 제2 인버터(IV4)와; 상기 인에이블 신호(IDCCENB)를 버퍼링한 신호에 응답하여 상기 제1 인버터(IV2)의 출력신호를 출력노드(a)로 전달하는 제1 전달게이트(T1) 및; 상기 인에이블 신호(IDCCENB)를 버퍼링한 신호에 응답하여 상기 인버터(IV4)의 출력신호를 상기 출력노드(a)로 전달하는 제2 전달게이트(T2) 및, 상기 출력노드(a)로부터의 신호를 반전 버퍼링하는 제3 인버터(IV5)를 포함하여 구성된다.
- <41> 이와 같이 구성된 본 발명에 따른 DLL회로의 동작을 구체적으로 설명하면 다음과 같다.
- <42> 우선, 락킹(locking)과정을 살펴보면 다음과 같다.
- <43> 도1을 참고하면, 클럭버퍼(Clk buffer, 1)는 외부클럭(CLK, CLKB)을 입력받아, 내부클럭(Clk in)을 생성한다. 생성된 내부클럭(Clk in)은 제1 및 제2 지연라인(200, 220)에 입력되어 각각 기설정된 지연구간만큼 지연된다. 상기 제1 및 제2 지연라인(200, 220)은 위상이 반대인 제1 및 제2 클럭입력신호(clk_r, clk_f)를 생성하는데, 이는 상기 제2 지연라인(220)에서만 소정 구간 지연시킨 내부클럭(Clk in)을 반전(제2 지연라인(220)의 출력단에 붙은 버블이 출력신호를 반전시켜 출력하는 것을 의미한다.)시켜 출력하기 때문이다.

- <44> 도3 및 도4를 참고하면, 클럭입력부(30)는 상기 제1 및 제2 클럭입력신호(clk_r, clk_f)를 입력받아 제1 및 제2 내부클럭신호(RCLK, FCLK)를 생성한다. 이때, 생성되는 제1 내부클럭신호(RCLK)는 제1 클럭입력신호(clk_r)가 제1지연부(310)를 통해 소정구간 지연된 신호이다. 또한, 생성되는 제2 내부클럭신호(FCLK)는 종래기술과 동일하게 제2 클럭입력신호(clk_f)가 제2지연부(320)를 통해 소정구간 지연된 신호가 된다. 이는 락킹(locking)되기 전까지 하이레벨의 인에이블 신호(IDCCENB)에 의해 멀티플렉서(300)의 전달게이트(T2)가 턴온되고, 턴온된 전달게이트(T2)를 통해 제2 클럭입력신호(clk_f)가 전달되기 때문이다. 상기 듀티싸이클 위상혼합부(36,37)는 락킹(locking)되기 전까지는 하이레벨의 인에이블신호(IDCCENB)를 입력받아 비활성화 상태이므로, 상기 듀티싸이클 위상혼합부(36,37)에 입력되는 제1 및 제2 내부클럭신호(RCLK, FCLK)는 바이패스(bypss)되어, 제1 및 제2 내부지연부(202, 222)에 입력된다. 상기 제1 및 제2 내부지연부(202, 222)는 제1 및 제2 내부클럭신호(RCLK, FCLK)를 소정구간만큼 지연시켜 각각 피드백클럭(feedback clk)을 생성한다. 상기 제1 및 제2 내부지연부(202, 222)에서 생성된 피드백클럭(feedback clk)은 각각 위상감지부(204, 224)에 입력되고, 상기 위상감지부(204, 224)는 입력된 피드백클럭(feedback clk)과 클럭버퍼(1)로부터 생성된 기준클럭(Ref clk)의 위상을 비교하여 상기 제1 및 제2 지연라인(200, 220)의 지연구간을 조절하는 제어신호를 생성한다. 상기 제어신호는 제1 및 제2 지연라인(200, 220)에 포함된 제어블록(control block)에 입력되어 상기 제1 및 제2 지연라인(200, 220)에 입력된 내부클럭(Clk in)의 지연구간을 결정하는데 이용된다. 다만, 상기 비교결과 피드백클럭(feedback clk)과 기준클럭(Ref clk)의 위상이 기설정된 소정 지연구간 이내에 있는 경우 상기 위상감지부(204, 224)는 락킹(locking)으로 판단하고, 상기 인에이블신호(IDCCENB)를 인에이블 시킨다. 이와 같은 락킹(locking) 후 클럭입력부(30)에서 생성되는 제1 및 제2 내부클럭신호(RCLK, FCLK)의 상승에지(rising edge)는 일치하는 반면, 그들의 듀티싸이클은 서로 정반대가 된다.
- <45> 한편, 종래 기술에서는 상기 락킹 과정 후 듀티싸이클이 조정되는 과정에서 전류 소모량을 줄이기 위해 제2 내부클럭신호(clk_f)를 생성하는 제2 지연고정루프(22)를 오프(Off)시켜 왔다. 그런데, 전원전압(VDD)의 급격한 변화에 의해 디램(DRAM) 내부의 지연요소에 변화가 나타나 상기 지연고정루프(2)의 락킹(locking) 상태가 깨지는 경우, 오프(OFF) 상태의 제2 지연고정루프(22)는 락킹(locking)상태를 회복하지 못하고, 상기 내부의 지연요소의 변화를 반영하지 못한 제2 클럭입력신호(clk_f)를 생성하는 문제가 있었다. 이에 본 발명의 실시예에서는 온(ON) 상태의 제1 지연고정루프(20)에서 생성되는 제1 클럭입력신호(clk_r)를 이용하여 상기 제2 내부클럭신호(FCLK)를 생성함으로써, 상기 문제점을 해결하고 있다. 이와 같은, 본 발명의 동작을 구체적으로 살펴보면 다음과 같다.
- <46> 상기 제1 및 제2 지연고정루프(20, 22)가 락킹(locking)되면, 듀티싸이클 보정부(3)를 활성화시키는 인에이블신호(IDCCENB)가 로우레벨이 된다. 이때, 인에이블신호(IDCCENB)는 듀티싸이클 조정 제어부(35)에서 발생되며, 듀티싸이클 위상혼합부(36, 37)와 클럭입력부(30)에 입력된다.
- <47> 상기 클럭입력부(30)는 제1 및 제2 클럭입력신호(clk_r, clk_f) 및 상기 인에이블신호(IDCCENB)를 입력받아 제1 및 제2 내부클럭신호(RCLK, FCLK)를 생성한다. 도3을 참고하면, 상기 클럭입력부(30)는 제1 클럭입력신호(clk_r)를 상기 제1 지연부(310)를 통해 소정구간 지연시켜 제1 내부클럭신호(RCLK)를 생성한다. 또한, 상기 클럭입력부(30)는 멀티플렉서(300)에서 인에이블신호(IDCCENB)에 따라 제1 클럭입력신호의 반전신호(clk_rb)와 제2 클럭입력신호(clk_f)를 멀티플렉싱(multiplexing)한 후, 상기 멀티플렉서(300)의 출력신호(out)를 제2 지연부(320)를 통해 소정구간 지연시켜 제2 내부클럭신호(FCLK)를 생성한다. 상기 제2 내부클럭신호(FCLK)의 생성과정을 좀 더 구체적으로 살펴보면, 락킹(locking)후에는 인에이블신호(IDCCENB)가 로우레벨이므로 전달게이트(T1)가 턴-온되어, 제1 클럭입력신호의 반전신호(clk_rb)가 멀티플렉서(300)로부터 출력된다. 따라서, 생성되는 제2 내부클럭신호(FCLK)는 제1 클럭입력신호의 반전신호(clk_rb)가 소정구간 지연된 신호이다.
- <48> 이상 살펴본 바와 같이, 클럭입력부(30)는 락킹(locking) 상태에서는 전류 소모량을 줄이기 위해 오프(off)되는 제2 지연고정루프(22)에서 생성되는 제2 클럭입력신호(clk_f) 대신에 온(ON) 상태에 있는 제1 지연고정루프(20)에서 생성되는 제1 클럭입력신호의 반전신호(clk_rb)를 이용하여 제2 내부클럭신호(FCLK)를 생성한다. 이는, 제1 지연고정루프(20)가 전원전압(VDD)의 급격한 변화가 있어 디램(DRAM) 내부의 지연요소에 변화가 나타나는 경우에도 업데이트(update)를 통해 락킹(locking) 상태를 회복할 수 있기 때문이다. 즉, 락킹(locking) 상태를 유지할 수 있는 제1 지연고정루프(20)에서 생성된 제1 클럭입력신호(clk_r) 및 그 반전신호(clk_rb)를 이용하여 제1 및 제2 내부클럭신호(RCLK, FCLK)를 생성하므로, 디램(DRAM) 내부의 지연요소의 변화를 상기 제1 및 제2 내부클럭신호(RCLK, FCLK)에 반영할 수 있게 된다.
- <49> 앞서, 생성된 제1 및 제2 내부클럭신호(RCLK, FCLK)는 상기 인에이블신호(IDCCENB)에 의해 인에이블되는 듀티싸이클 혼합부(32)에 입력되어 위상이 혼합되어, 위상혼합신호로 출력된다. 그리고, 드라이버부(4)는 상기 위상혼

합신호를 입력받고, 위상별로 분리하여 듀티사이클이 조정된 제1 및 제2 DLL 클럭(rclk_{d11}, fclk_{d11})을 생성한다. 이와 같이 위상 혼합 동작에 의해 생성된 제1 및 제2 DLL 클럭(rclk_{d11}, fclk_{d11})은 정확히 50% 듀티비를 갖는 신호가 된다.

발명의 효과

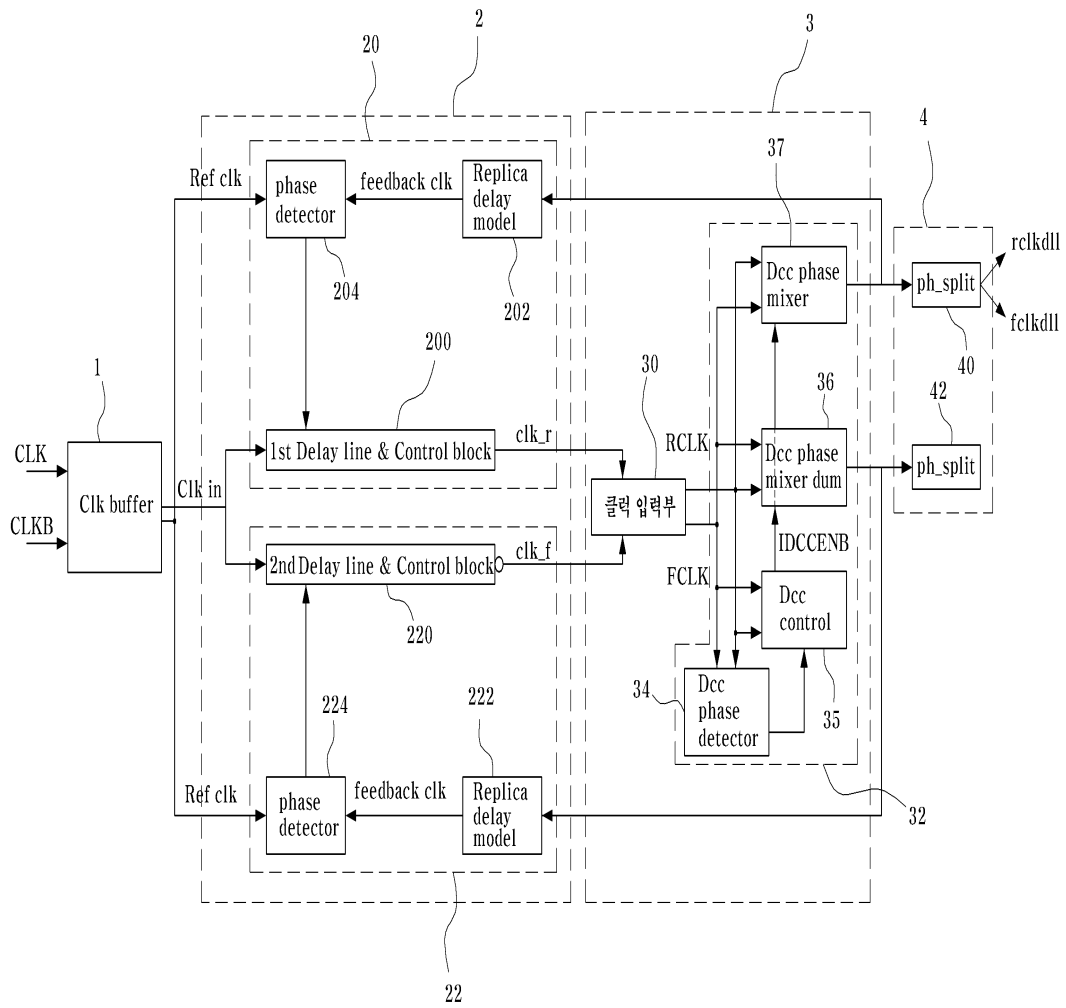
- <50> 이상 설명한 바와 같이, 본 발명에 따른 듀티사이클 보정회로 및 이를 이용한 지연고정루프회로는 락킹(locking) 상태에서 온(ON) 상태의 지연고정루프에서 생성되는 클럭입력신호 및 그 반전신호를 이용하여 듀티사이클 보정회로에 입력되는 내부클럭신호를 생성함으로써, 전원전압 변동과 같은 외부 영향에 의해 발생된 내부의 지연요소의 변화가 제대로 반영되지 않은 내부클럭이 생성되는 것을 방지할 수 있는 이점을 가진다.
- <51> 또한, 내부의 지연요소를 적절히 반영한 내부클럭에 의해 생성된 DLL 클럭에 데이터를 동기시켜 출력함으로써, tAC가 증가되는 현상을 방지할 수 있는 이점도 가진다.

도면의 간단한 설명

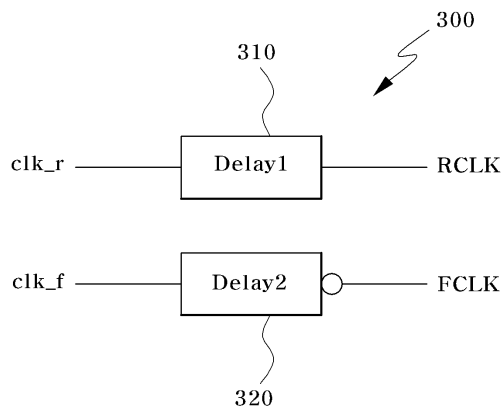
- <1> 도 1은 종래기술에 따른 지연고정루프(DLL) 회로의 구성을 도시한 것이다.
- <2> 도 2는 종래기술에 따른 듀티사이클 보정회로의 클럭입력부의 구성을 도시한 것이다.
- <3> 도 3은 본 발명에 의한 일 실시예에 따른 듀티사이클 보정회로의 클럭입력부의 구성을 도시한 것이다.
- <4> 도 4는 도3에 도시된 멀티플렉서의 회로도이다.
- <5> <도면의 주요부분에 대한 부호의 설명>
- <6> 1 : 클럭버퍼 2 : 지연고정루프
- <7> 20: 제1 지연고정루프 22: 제2 지연고정루프
- <8> 200: 제1 지연라인 220: 제2 지연라인
- <9> 202, 222: 내부지연부 204, 224: 위상감지부
- <10> 3: 듀티사이클 보정부 30: 클럭입력부
- <11> 32: 듀티사이클 혼합부 4: 드라이버부
- <12> T1, T2: 전달게이트

도면

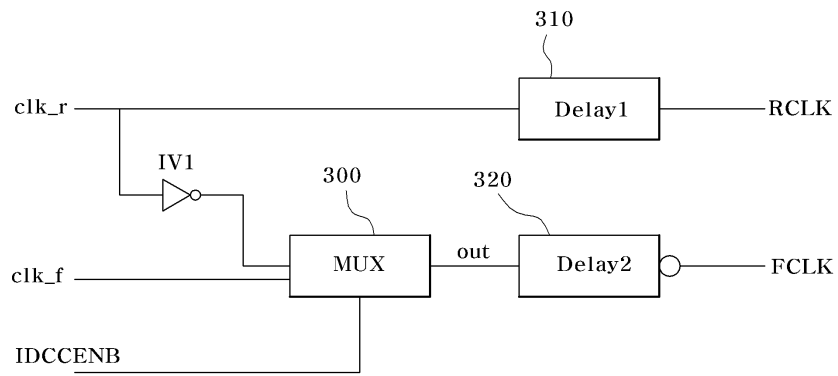
도면1



도면2



도면3



도면4

