



(12) 发明专利

(10) 授权公告号 CN 102315190 B

(45) 授权公告日 2016.03.16

(21) 申请号 201110192482.1

US 2009/0127686 A1, 2009. 05. 21,

(22) 申请日 2011.06.29

US 2010/0108371 A1, 2010. 05. 06,

(30) 优先权数据

审查员 王雪梅

12/826359 2010.06.29 US

(73) 专利权人 通用电气公司

地址 美国纽约州

(72)发明人 P·A·麦克康奈利 K·M·迪罗歇

S · 史密斯 D · P · 坎宁安

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 柯广华 朱海煜

(51) Int. Cl.

H01L 23/488(2006.01)

(56) 对比文件

CN 1808711 A, 2006. 07. 26,

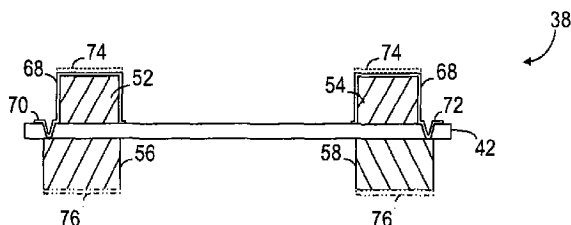
权利要求书1页 说明书6页 附图6页

(54) 发明名称

用于集成电路封装的电互连及其制造方法

(57) 摘要

本发明名称是“用于集成电路封装的电互连及其制造方法”。用于嵌入式芯片封装的互连部件(38)包括:介电层(42)、包括上接触焊盘(52,54)的第一金属层、包括下接触焊盘(56,58)的第二金属层、以及通过介电层(42)形成并且与上和下接触焊盘(52-58)接触以形成其间的电连接的金属化连接(62)。上接触焊盘(52,54)的第一表面固定到介电层(42)的顶面,并且下接触焊盘(56,58)的第一表面固定到介电层(42)的底面。互连部件(38)的第一侧的输入/输出(I/O)在与下接触焊盘(56,58)的第一表面相对的下接触焊盘(56,58)的表面上形成,并且互连部件(38)的第二侧的I/O在与上接触焊盘(52,54)的第一表面相对的上接触焊盘(52,54)的表面上形成。



1. 一种用于嵌入式芯片封装的互连部件 (38), 所述互连部件 (38) 包括:

介电层 (42);

包括多个上接触焊盘 (52, 54) 的第一金属层, 其中所述多个上接触焊盘的第一表面固定到所述介电层 (42) 的顶面 (44);

包括多个下接触焊盘 (56, 58) 的第二金属层, 其中所述多个下接触焊盘的第一表面固定到所述介电层 (42) 的底面 (46);

多个金属化连接 (62), 它通过所述介电层 (42) 形成, 并且与所述多个上接触焊盘 (52, 54) 和所述多个下接触焊盘 (56, 58) 接触以形成它们之间的电连接, 其中所述多个金属化连接的底面的一部分与所述介电层的顶面直接耦合;

其中, 所述互连部件 (38) 的第一侧的至少一个输入 / 输出 (I/O) 在与所述多个下接触焊盘 (56, 58) 的所述第一表面相对的所述多个下接触焊盘 (56, 58) 的第二表面上形成; 以及

其中, 所述互连部件 (38) 的第二侧的至少一个输入 / 输出 (I/O) 在与所述多个上接触焊盘 (52, 54) 的所述第一表面相对的所述多个上接触焊盘 (52, 54) 的第二表面上形成。

2. 如权利要求 1 所述的互连部件 (38), 其中, 所述介电层 (42) 包括聚酰亚胺膜。

3. 如权利要求 1 所述的互连部件 (38), 其中, 所述第一金属层和第二金属层包括铜。

4. 如权利要求 1 所述的互连部件 (38), 还包括耦合到所述多个上接触焊盘 (52, 54) 的所述第二表面的钛层。

5. 如权利要求 1 所述的互连部件 (38), 其中, 所述多个金属化连接 (62) 从所述多个上接触焊盘 (52, 54) 的所述第一表面延伸到所述多个下接触焊盘 (56, 58) 的所述第二表面。

6. 如权利要求 1 所述的互连部件 (38), 其中, 所述多个金属化连接 (62) 从所述多个下接触焊盘 (56, 58) 的所述第一表面延伸到所述介电层 (42) 的所述顶面。

7. 如权利要求 6 所述的互连部件 (38), 其中, 所述多个金属化连接在与所述多个上接触焊盘 (52, 54) 的安装位置相邻的位置延伸到所述介电层 (42) 的所述底面。

用于集成电路封装的电互连及其制造方法

技术领域

[0001] 一般来说,本发明的实施例涉及集成电路封装,更具体来说,涉及制造用于集成电路封装的预制电互连的设备和方法。

背景技术

[0002] 随着集成电路变得越来越小并且产生更好的工作性能,用于集成电路(IC)封装的封装技术对应地从引线封装演变到基于层压的球栅格阵列(BGA)封装,并且最终演变到芯片级封装(CSP)。对于实现更好性能、更高小型化和更高可靠性的不断增加的需求推动了IC芯片封装技术的进步。为了大规模制造、由此允许规模经济的目的,新的封装技术必须进一步为批量生产的可能性作准备。

[0003] 标准CSP制造过程通常开始于将一个或多个管芯放到硅IC衬底的顶面上。然后将多个再分布层沉积到IC衬底和管芯上,并且形成图案以形成薄膜金属重布线和互连系统。再分布层通常由例如苯并环丁烯(BCB)或聚酰亚胺材料形成,并且经由旋涂或层压施加过程来施加。层压再分布层与管芯之间的电连接形成至/自管芯的输入/输出(I/O)系统。

[0004] IC封装要求的进步对现有嵌入式芯片装配工艺提出挑战。也就是说,在许多当前嵌入式芯片封装中希望具有一种向最终IC封装的两侧提供输入和输出的I/O系统。为了实现这种双侧I/O系统,到管芯的电互连必须在管芯周围布线到IC封装的顶面和底面。

[0005] 已经开发了若干不同方法来形成双侧I/O系统。例如,多层压或再分布层可施加到IC衬底以实现预期I/O系统。但是,以逐层方式施加再分布层的过程会导致重布线和互连系统中的翘曲,从而要求使用模制环氧树脂应力平衡层或金属硬化剂来保持平坦或平面IC封装。

[0006] 此外,由于IC封装的小尺寸和复杂度,用于制造IC封装的过程通常费用高并且费时。添加附加再分布层以创建预期双侧I/O系统增加了处理步骤的数量,从而进一步增加制造过程的成本和复杂度。

[0007] 因此,需要一种用于制造IC封装的双侧I/O系统的简化方法。还需要一种用于将双侧I/O系统集成在IC封装中、同时保持IC封装的平坦度的方法。

[0008] 因此,希望具有制造用于集成电路封装的预制电互连的设备和方法。

发明内容

[0009] 按照本发明的一个方面,一种用于嵌入式芯片封装的互连部件包括:介电层、包括多个上接触焊盘的第一金属层、以及包括多个下接触焊盘的第二金属层。多个上接触焊盘的第一表面固定到介电层的顶面,并且多个下接触焊盘的第一表面固定到介电层的底面。嵌入式芯片封装还包括多个金属化连接,它们通过介电层形成,并且与多个上接触焊盘和多个下接触焊盘接触以形成它们之间的电连接。互连部件的第一侧的至少一个输入/输出(I/O)在与多个下接触焊盘的第一表面相对的多个下接触焊盘的第二表面上形成,并且互连部件的第二侧的至少一个I/O在与多个上接触焊盘的第一表面相对的多个上接触焊盘

的第二表面上形成。

[0010] 按照本发明的另一个方面,提出一种用于制造嵌入式芯片封装的方法。该方法包括下列步骤:提供金属化安装衬底;将管芯耦合到安装衬底的第一表面;以及将预制互连结构的第一侧耦合到安装衬底的第一表面。预制互连结构包括绝缘衬底,绝缘衬底具有在其顶面和底面上形成的多个金属化接触焊盘,其中衬底的顶面上的金属化接触焊盘经由多个金属互连电连接到衬底的底面上的金属化接触焊盘。该方法还包括在管芯与预制互连结构之间形成多个电连接的步骤,其中多个电连接在与第一表面相对的安装衬底的第二表面上创建来自管芯的至少一个输入/输出(I/O),以及在预制互连结构的第二侧上创建来自管芯的至少一个 I/O。

[0011] 按照本发明的另一个方面,嵌入式芯片封装包括:安装衬底,所述安装衬底具有在其第一表面上形成的再分布层;以及第一管芯,所述第一管芯安装在与第一表面相对的安装衬底的第二表面上。嵌入式芯片封装还包括预制互连部件,其中包括在镀金属的绝缘衬底上形成图案的上和下接触层。预制互连部件的上和下接触层经由它们之间的金属化连接来电连接。预制互连部件的上接触层固定到安装衬底的第二表面,并且形成图案以电连接到再分布层和第一管芯。

[0012] 通过以下详细描述和附图,各种其它特征和优点会显而易见。

附图说明

[0013] 附图示出当前预期用于实现本发明的实施例。

[0014] 附图中:

[0015] 图 1 是按照本发明的一个实施例的馈通互连的顶视图。

[0016] 图 2 是图 1 的馈通互连的一部分的放大视图。

[0017] 图 3 是图 2 所示的馈通互连的部分的截面图。

[0018] 图 4 是按照本发明的一个实施例的馈通互连的板的顶视图。

[0019] 图 5-12 是示出按照本发明的一个实施例制作馈通互连的步骤的示意图。

[0020] 图 13-17 是示出按照本发明的一个实施例制作结合了馈通互连的 IC 封装的步骤的示意图。

[0021] 图 18 是按照本发明的一个实施例集成到 IC 封装部件中的预制互连的简图。

[0022] 图 19 是按照本发明的另一个实施例集成到 IC 封装部件中的预制互连的简图。

具体实施方式

[0023] 图 1 是按照本发明的一个实施例的互连部件或插入机构 10 的顶视图。在图 2 中提供插入机构 10 的一部分 12 的放大视图,以便说明插入机构 12 的细节。图 3 是沿图 2 的线 3-3 的插入机构 12 的截面图。如图 1-3 所示,插入机构 10 包括耦合到例如诸如 Kapton 之类的聚酰亚胺材料的介电或绝缘膜层 18 的上表面 16 的多个铜馈通焊盘 14。多个铜馈通焊盘 20 耦合到膜 18 的下表面 22。如图 2-3 所示,每个上馈通焊盘 14 具有与其对齐的对应下馈通焊盘 20。本领域的技术人员会知道,馈通焊盘 14、20 的数量、形状和图案可按照给定设计规范而改变。

[0024] 通孔 24 通过膜层 18 形成,并且在膜 18 的顶面 16 和底面 22 之间延伸。金属化通

路 26 在膜 18 的顶面 16 上形成,并且贯穿通孔 24,使得上馈通焊盘 14 电耦合到相应下馈通焊盘 20。在一个实施例中,金属化通路 26 可使用溅射和电镀技术、然后采用光刻工艺来形成。虽然图 2 示出每个焊盘 14 的单个通孔 24 和对应金属化通路 26,但是例如在高电流应用中可包括第二通孔和金属化通路(未示出)。而且,开口 28 可在膜 18 的中心部分形成,以便在插入机构 10 集成到 IC 封装中时容纳一个或多个管芯(未示出),这在下面针对图 5-12 更详细地描述。

[0025] 现在参照图 4,按照一个实施例,与图 1-3 的互连 10 相似的多个馈通互连 30 可制作为插入机构 32 的板,以便提高生产速度并且降低制造成本。在处理板 32 之后,从板 32 激光分割单个互连模块 34 和 / 或多个互连模块 36。模块 34、36 可放置于具有嵌入式管芯的柔性电路上,如针对图 13-17 所述。

[0026] 参照图 5-12,按照本发明的一个实施例提出一种用于制造插入机构或互连部件 38 的技术。互连 38 的制造开始于包括绝缘膜材料 42(例如诸如 Kapton 之类的聚酰亚胺膜)的预金属化柔性片 40。如图 5 所示,膜 42 的顶面 44 和底面 46 镀有轧制退火(roll-annealed)铜的相应层 48、50。铜层 48、50 的厚度可根据诸如例如管芯厚度之类的设计要求来选择。铜层 48、50 被形成图案和蚀刻,以便定义顶面 44 上的多个上馈通焊盘 52、54 以及底面 46 上的多个下馈通焊盘 56、58,如图 6 所示。可为如图 4 所示的单个模块或多个模块布置馈通焊盘 52-58 的图案。

[0027] 按照一个实施例,膜 42 大约为 55 微米厚,并且铜层 48、50 各大约为 110 微米厚。但是,柔性层 40 的尺寸可基于设计规范而有所不同。例如,如下面更详细描述,铜层 48、50 的厚度可选择为近似等于或大于对应管芯的厚度。此外,预金属化柔性片 40 的长度和宽度可基于给定处理方法和可用处理工具来选择。

[0028] 参照图 7,通孔 60、62 靠近凹陷部分 64、66 形成,并且贯穿膜层 42。可通过 UV 激光钻孔或蚀刻来形成通孔 60、62。按照各种实施例,一个或多个通孔 60、62 可在每对下焊盘和上焊盘 52-58 之间形成。图 8 和图 9 示出已经形成通孔 60、62 之后的互连 38 的一部分的相应顶视图和底视图。如图所示,形成具有凹陷部分 64、66 的上馈通焊盘 52、54,并且将下馈通焊盘 56、58 确定尺寸为包围通孔 60、62。按照一个实施例,下馈通焊盘 56、58 比上馈通焊盘 52、54 要宽,如图 8 和图 9 所示。但是,本领域的技术人员会知道,馈通焊盘 52-58 的几何尺寸能够基于通孔布置和设计规范来选择。

[0029] 现在参照图 10,在钻出并且清洁通孔 60、62 之后,将金属化层 68 施加到膜层 42 的顶面 44,使得它贯穿通孔 60、62。粘合层 68 可包括铜和钛或铬的初始金属化籽层,例如,在籽层顶部电镀的镀铜层,以及例如溅射在镀铜层之上以便以后在制造过程中充当粘合层的诸如钛或铬之类的金属顶层。然后,金属化层 68 被形成图案和蚀刻,如图 11 所示。所产生的金属化通孔 70、72 形成下焊盘和上焊盘 52-58 之间的电连接。按照一个实施例,例如,诸如钛或铬之类的可选附加金属 74(以阴影示出)可在金属化层 68 顶部形成,从而创建供以后在组装过程期间使用的粘合层。

[0030] 可选地,诸如例如镍金层之类的金属附加层 76(以阴影示出)可基于设计要求、使用非电镀或电镀技术施加到下通孔焊盘 56、58。参照图 12,取决于管芯厚度和设计要求,膜层 42 的一部分可以可选地采用激光去除,以便在其中创建开口 78,留下空隙以用于管芯放置。

[0031] 现在参照图 13-17, 按照本发明的一个实施例提出一种用于制造 IC 封装 80 (图 17) 的技术。在组装到 IC 封装 80 中之前, IC 封装 80 结合诸如图 1 的互连 10 或者如针对图 5-12 所述制造的互连 38 之类的馈通互连 82。互连 82 包括定位在绝缘膜层 92 上的多个上馈通焊盘 84、86 和下馈通焊盘 88、90。金属化通孔 94、96 创建上与下馈通焊盘 84-90 之间的电连接。

[0032] 如图 13 所示, IC 封装 80 的制造开始于将管芯或半导体芯片 98 定位在绝缘片 100 上, 绝缘片 100 在制造过程期间可在框架 (未示出) 上伸展以控制变形。按照一个实施例, 片 100 包括诸如例如厚度大约为 1-2mil 的 Kapton 膜之类的预先形成图案的介电柔性材料。施加环氧树脂粘合剂层 102 以涂敷片 100 的顶面 104。然后, 环氧树脂粘合剂 102 使用低温烘焙来经过 B 阶段, 这留下胶粘状态的环氧树脂粘合剂 102。随后, 使用贴片系统将管芯 98 面朝下定位到环氧树脂粘合剂 102 中。在定位管芯 98 之后, 将互连 82 放入环氧树脂粘合剂 102 中, 并且围绕管芯 98 和柔性层 100 的金属化图案对齐。如图 14 所示, 互连 82 与管芯 98 对齐, 使得管芯 98 贯穿膜层 92 中的开口 106。一旦定位管芯 98 和互连 82, 将环氧树脂粘合剂 102 完全固化。

[0033] 现在参照图 15, 制造技术继续进行嵌入式芯片装配过程。通过柔性层 100 形成多个通孔 108 到管芯 98 上的多个接触表面 110、互连 82 上的多个接触表面 112 以及柔性层 100 内的多个接触表面 114。例如, 可通过 UV 激光钻孔或干蚀刻来形成通孔 108。在清洁通孔 108 之后, 金属化通路 116 在膜 100 的顶面 101 上形成。金属化通路 116 贯穿相应通孔 108, 并且在相应接触表面 110、112 电耦合到管芯 98 和上馈通焊盘 84、86。在一个实施例中, 金属化通路 116 可包括铜层, 并且可使用溅射和电镀技术、然后采用光刻工艺来形成。柔性层 100、通孔 108 和金属化通路 116 共同形成第一再分布层 118。可选地, 附加再分布层 120 可层叠在第一再分布层 118 顶部。虽然图 16 示出两个再分布层 118、120, 但是本领域的技术人员易于理解, 再分布层的数量和配置可基于设计规范来选择。

[0034] 如图 17 所示, 制造技术继续进行, 施加焊接掩模层 122 以涂敷再分布层 118、120 的顶面 124。例如, 还围绕管芯 98 和互连 82 来施加诸如环氧树脂或其它填充剂之类的底部填充材料 126, 以便提供附加结构强度和焊盘 84-90 之间的隔离。备选地, 可施加底部填充材料 126, 使得它没有覆盖管芯 98 的背面 128。按照备选实施例, 可在制造过程的早期, 在环氧树脂粘合剂 102 已经固化之后添加底部填充材料 126。所产生的 IC 封装 80 在 IC 封装 80 的顶侧 130 和底侧 132 上都具有来自管芯 98 的至少一个输入 / 输出。

[0035] 虽然针对单个 IC 封装来描述图 13-17, 但是本领域的技术人员会知道, IC 封装的制造技术同样可适用于预制形式的多个 IC 封装的同时制造。在这种实施例中, 多个馈通互连在绝缘片上围绕多个管芯定位。为了减少制造时间, 可使用诸如模块 36 (图 4) 之类的多个互连模块。一旦完成制造, 能够将 IC 封装板激光分割为单个 IC 封装。

[0036] 参照图 18, 按照本发明的一个备选实施例, 示出 IC 封装 134。IC 封装 134 包括预制的互连部件 136, 其中包括安装在介电层 146 上的上和下馈通焊盘对 138-144。按照与针对图 7-11 所述不同的备选方式来形成的金属化通孔 148、150 贯穿上馈通焊盘 138、140 和介电层 146, 从而创建与下馈通焊盘 142、144 的电连接。由于金属化通孔 148、150 贯穿上馈通焊盘 138、140, 所以可形成具有相似几何尺寸的上和下馈通焊盘 138-144。IC 封装 134 还包括固定到一个或多个第一再分布层 154 的管芯 152。互连 136 围绕管芯 152 定位。由

于管芯 152 的厚度 156 小于下馈通焊盘 142、144 的厚度 158, 所以介电层 146 可保持不变, 从而创建所示的内埋管芯配置。

[0037] 备选地, 互连 136 的厚度可通过减小馈通焊盘 138-144 的厚度来调整, 如图 19 所示。此外, 按照一个备选实施例, 第二管芯 160 可靠近管芯 152 安装, 以便形成多芯片模块 162。本领域的技术人员会知道, 任何数量的附加管芯可包含在多芯片模块 162 中。

[0038] 再次参照图 18, IC 封装 134 还包括与针对图 17 所述相似的焊接掩模 164。底部填充材料层 166 围绕下馈通焊盘 142、144 和管芯 152 施加。按照一个实施例, 热沉 168 (以阴影示出) 可以可选地固定到介电层 146。备选地, 热沉 170 (以阴影示出) 可与管芯 152 配对以用于散热。

[0039] 因此, 本发明的实施例包括互连部件, 它可结合到 IC 封装中, 以便允许在互连部件的顶侧和底侧上都产生来自管芯的输入 / 输出。互连部件的实施例可与超薄管芯 (例如 50 μm 或以下) 配合使用, 并且以减少的层间图案化和金属化步骤的数量来实现与常规集成芯片封装相似的电连接。

[0040] 另外, 本文所述的互连部件的实施例可按照各种厚度来预制, 以便适应各种管芯尺寸和装置结构, 例如内埋管芯和堆叠管芯配置。通过预制互连部件, 互连可在结合到 IC 封装中之前经过测试, 从而提高最终组装的 IC 封装的产量。

[0041] 此外, 使用上述方法和预制互连部件所组装的 IC 封装在组装之后保持比使用常规方法制造的 IC 封装更平坦。由于互连部件的结构设计和预制性质, IC 封装中的互连部件的使用在已组装 IC 封装中产生较少应力和平面翘曲。因此, 使用预制互连部件所组装的 IC 封装的管芯和安装衬底在与管芯的安装表面平行的平面中保持相对较平坦 (即, 与平面偏差小于大约 5%)。

[0042] 因此, 按照本发明的一个实施例, 用于嵌入式芯片封装的互连部件包括: 介电层、包括多个上接触焊盘的第一金属层、以及包括多个下接触焊盘的第二金属层。多个上接触焊盘的第一表面固定到介电层的顶面, 并且多个下接触焊盘的第一表面固定到介电层的底面。嵌入式芯片封装还包括多个金属化连接, 它们通过介电层形成, 并且与多个上接触焊盘和多个下接触焊盘接触以形成它们之间的电连接。互连部件的第一侧的至少一个输入 / 输出 (I/O) 在与多个下接触焊盘的第一表面相对的多个下接触焊盘的第二表面上形成, 并且互连部件的第二侧的至少一个 I/O 在与多个上接触焊盘的第一表面相对的多个上接触焊盘的第二表面上形成。

[0043] 按照本发明的另一个实施例, 提出一种用于制造嵌入式芯片封装的方法。该方法包括下列步骤: 提供金属化安装衬底; 将管芯耦合到安装衬底的第一表面; 以及将预制互连结构的第一侧耦合到安装衬底的第一表面。预制互连结构包括绝缘衬底, 绝缘衬底具有在其顶面和底面上形成的多个金属化接触焊盘, 其中衬底的顶面上的金属化接触焊盘经由多个金属互连电连接到衬底的底面上的金属化接触焊盘。该方法还包括在管芯与预制互连结构之间形成多个电连接的步骤, 其中多个电连接在与第一表面相对的安装衬底的第二表面上创建来自管芯的至少一个输入 / 输出 (I/O), 以及在预制互连结构的第二侧创建来自管芯的至少一个 I/O。

[0044] 按照本发明的又一个实施例, 嵌入式芯片封装包括: 安装衬底, 所述安装衬底具有在其第一表面上形成的再分布层; 以及第一管芯, 所述第一管芯安装在与第一表面相对的

安装衬底的第二表面上。嵌入式芯片封装还包括预制互连部件,其中包括在镀金属的绝缘衬底上形成图案的上和下接触层。预制互连部件的上和下接触层经由它们之间的金属化连接来电连接。预制互连部件的上接触层固定到安装衬底的第二表面,并且形成图案以电连接到再分布层和第一管芯。

[0045] 本书面描述使用示例来公开本发明,其中包括最佳模式,并且还使本领域的技术人员能够实施本发明,包括制作和使用任何装置或系统以及执行任何结合的方法。本发明的可专利范围由权利要求来定义,并且可包括本领域的技术人员想到的其它示例。如果这类其它示例具有与权利要求的文字语言完全相同的结构要素,或者如果它们包括具有与权利要求的文字语言的非实质差异的等效结构要素,则它们意在落入权利要求的范围之内。

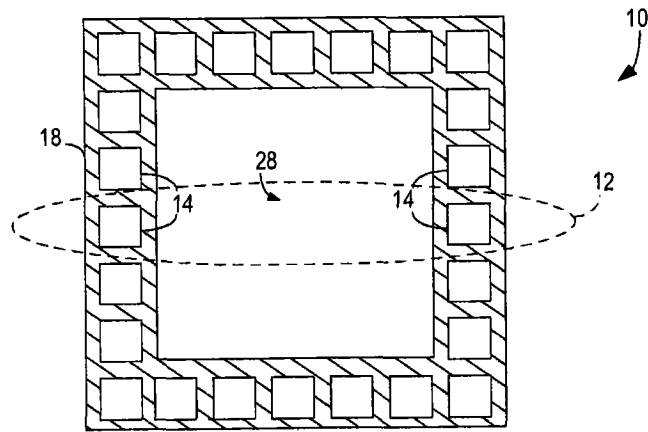


图 1

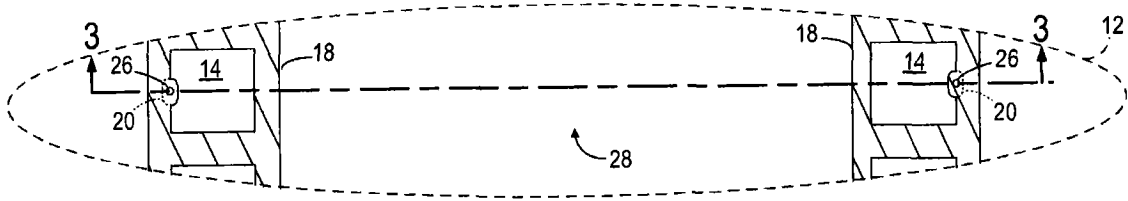


图 2

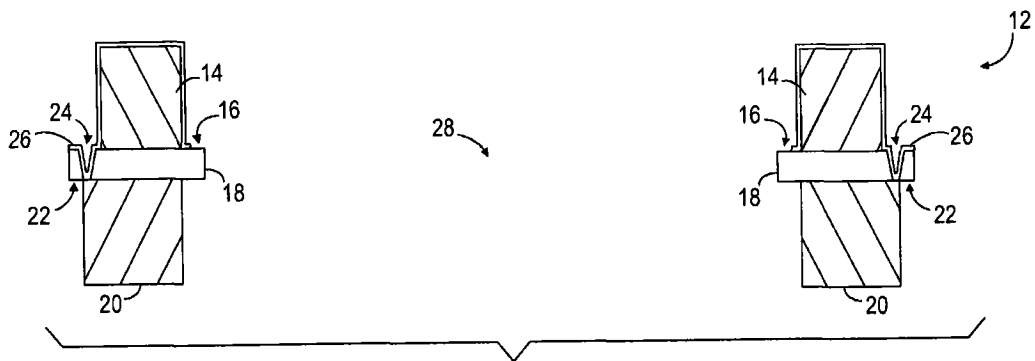


图 3

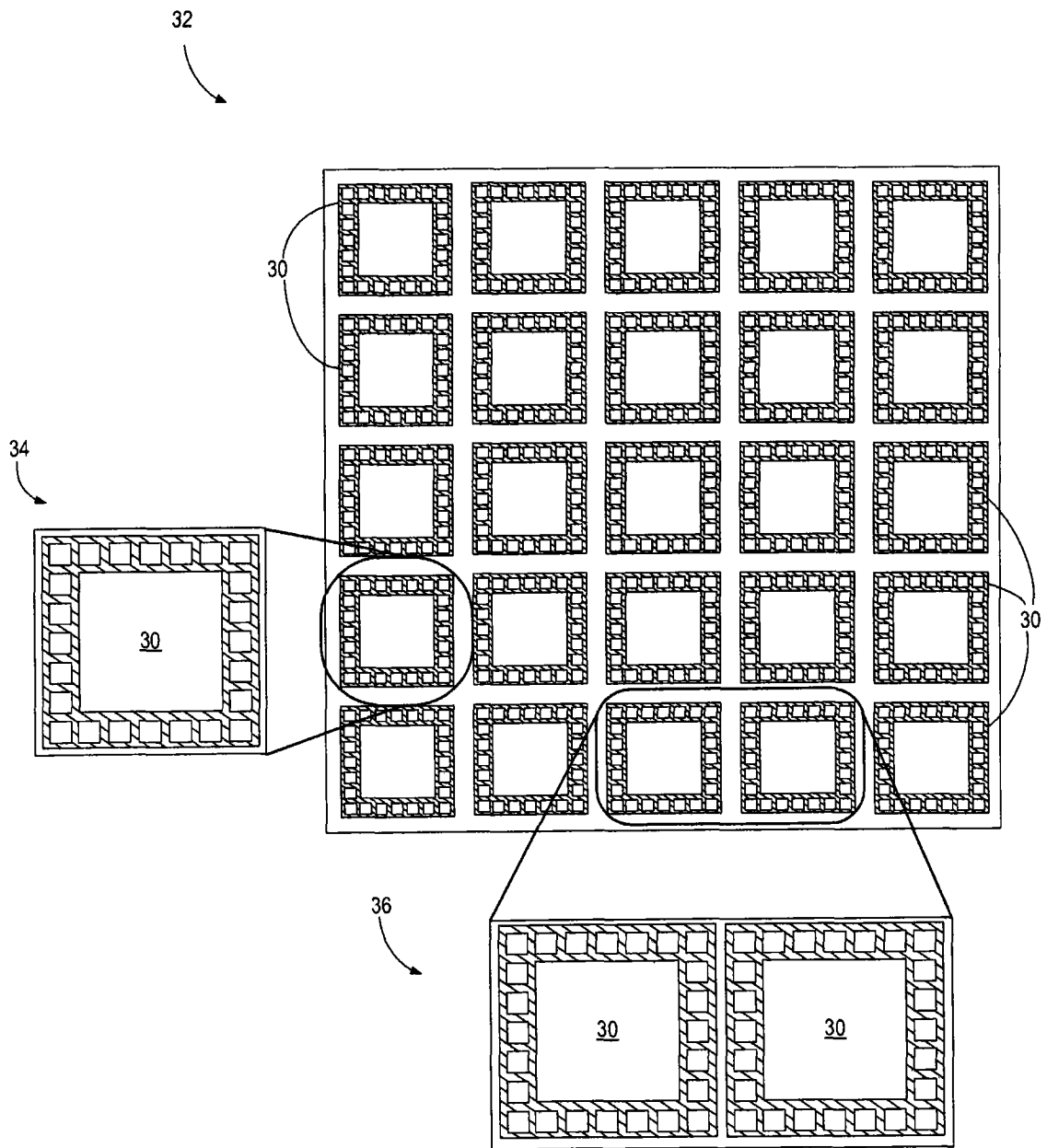


图 4

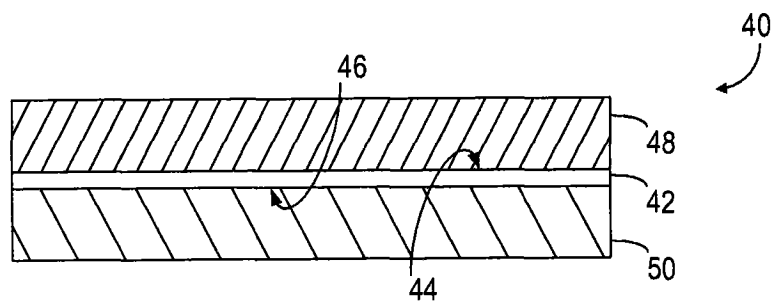


图 5

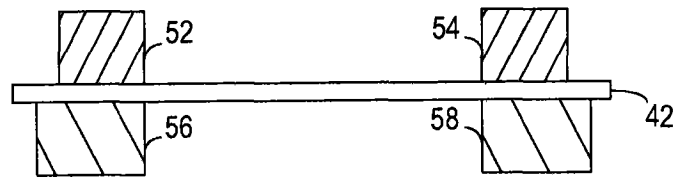


图 6



图 7

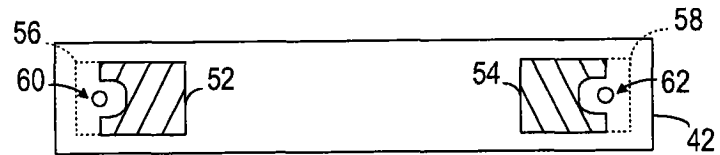


图 8

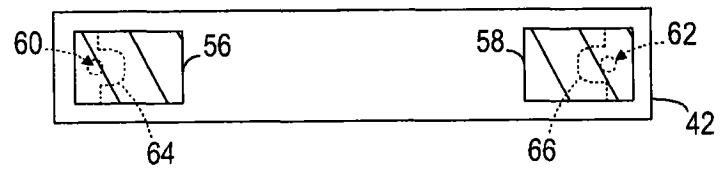


图 9

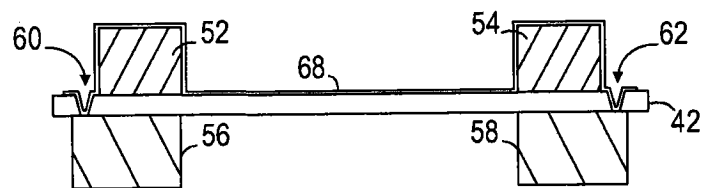


图 10

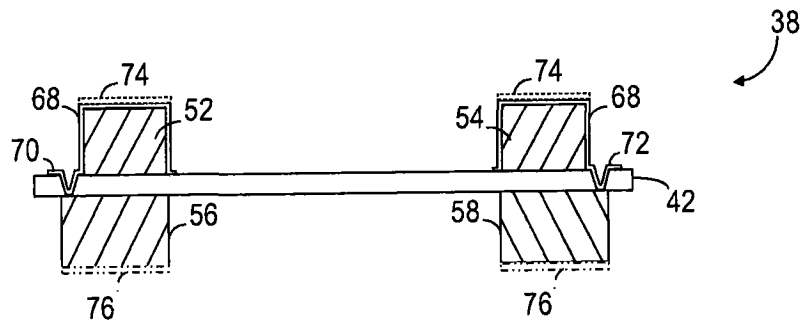


图 11

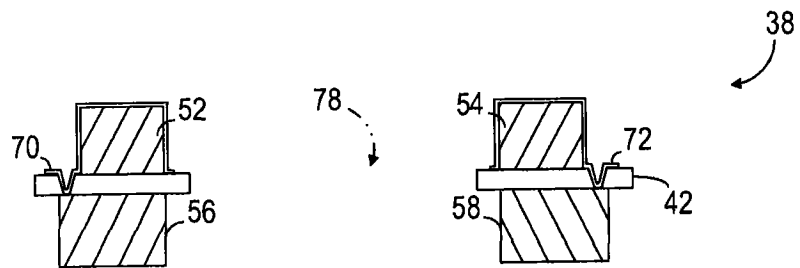


图 12

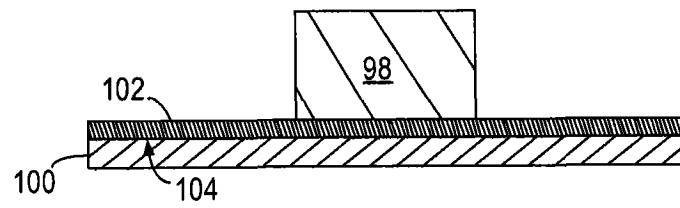


图 13

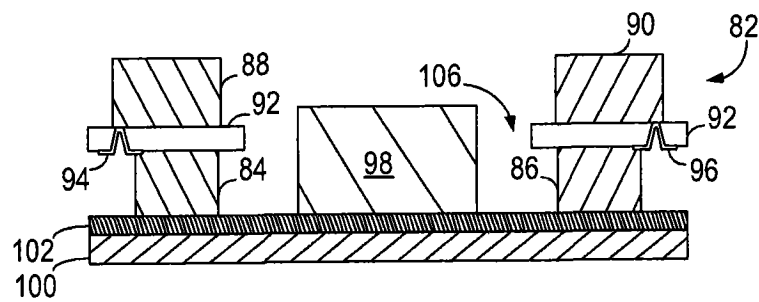


图 14

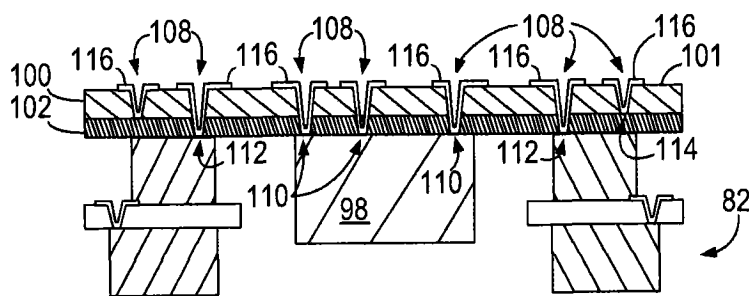


图 15

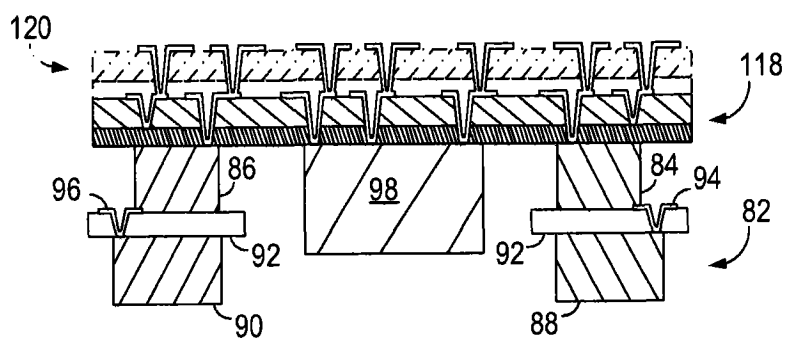


图 16

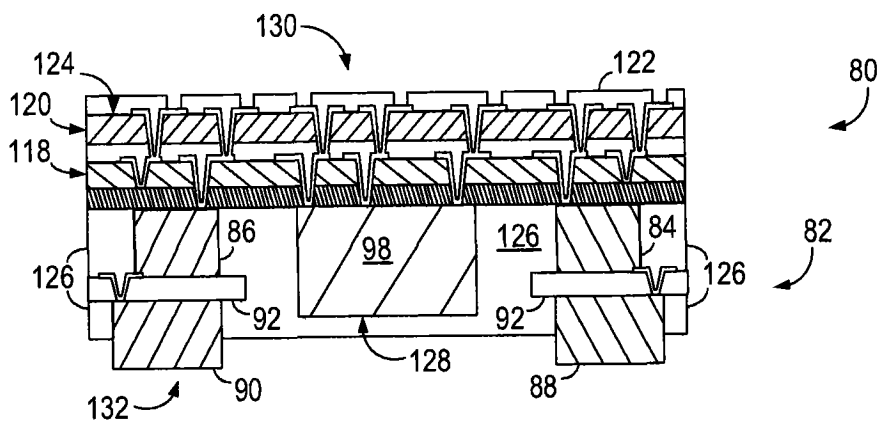


图 17

