



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

240293

(11)

(B1)

(22) Přihlášeno 20 04 84
(21) (PV 3021-84)

(40) Zveřejněno 16 07 85

(45) Vydáno 15 06 87

(51) Int. Cl.⁴
H 03 K 3/86

(75)

Autor vynálezu

PĚCHOUČEK MIROSLAV ing. CSc.; ŠINDELÁŘ BEDŘICH ing. CSc.,
PRAHA

(54) Časovací jednotka testovacího systému

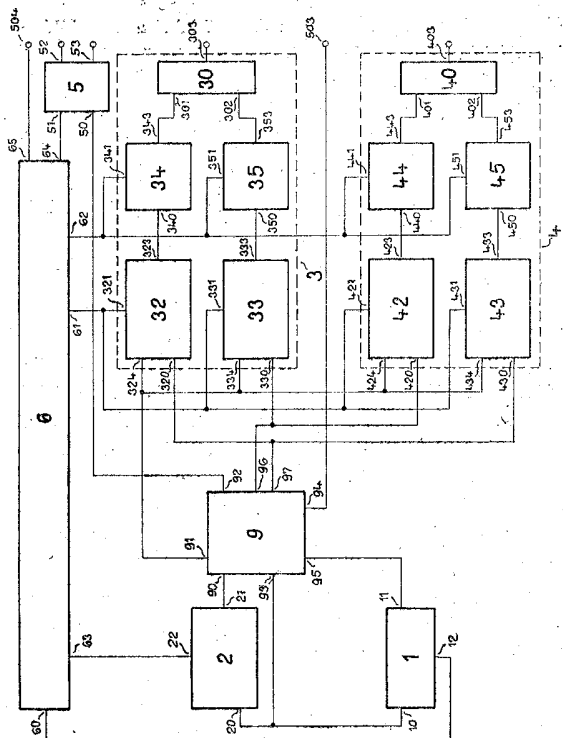
1

2

Časovací jednotky systému pro testování
číslíkových obvodů.

Řešen je problém zapojení časovací jednotky, která umožňuje programování šířek a vzájemných zpoždění dynamických stimulů s krokem 1 ns, opakovací periody dynamických stimulů s krokem 5 ns a je realizována s dostupnými integrovanými obvody.

Systémy pro testování paměťových a logických obvodů a desek s paměťovými, logickými, případně mikroprocesorovými obvody.



Časovací jednotka podle vynálezu řeší problém realizace rychlého systému pro testování číslicových obvodů, jehož časovací jednotka umožňuje zadávat dynamické stimuly a časově vyhodnocovat odezvy ve velkém časovém rozsahu, s programovacím krokem řádově 1 ns, pracovním kmitočtem do 25 MHz a jejíž činnost lze dočasně nebo trvale zastavovat na základě odezvy z testovaného obvodu nebo z testovacího adaptéru.

Až dosud jsou známy testovací systémy sice s programovatelným krokem řádově 1 ns, ale realizované s nedostupnými rychlými obvody typu ECL. Jsou také známy systémy pro testování například paměťových obvodů, které obsahují společnou část a řadu adaptérů pro jednotlivé typy testovaných obvodů.

Tyto adaptéry jsou vybaveny například monostabilními obvody, které nelze jednoduše programovat, tím méně s programovacím krokem řádově 1 ns.

Uvedené nevýhody známých testovacích systémů odstraňuje časovací jednotka testovacího systému podle vynálezu.

Podstata zapojení podle vynálezu spočívá v tom, že generátor periody, oscilátor, generátor testovacích vektorů, alespoň jeden generátor stimulů a synchronizační blok, které jsou vzájemně a k řídicí jednotce a generátoru testovacích vektorů testovacího systému zapojeny tak, že výstupní svorka oscilátoru je spojena se synchronizační svorkou generátoru periody a se synchronizační vstupní svorkou synchronizačního bloku, výstupní svorka generátoru periody je spojena s řídicí svorkou synchronizačního bloku, jehož první výstupní svorka je připojena ke spouštěcím svorkám alespoň jednoho generátoru stimulů a jehož druhá výstupní svorka je spojena se synchronizační svorkou generátoru testovacích vektorů a jehož třetí výstupní svorka je připojena k zastavovací svorce oscilátoru, přičemž alespoň jeden z generátorů stimulů obsahuje hrubě programovatelný generátor vzestupné hrany, jehož výstupní svorka je spojena se vstupní svorkou jemně programovatelného zpoždovacího obvodu vzestupné hrany, jehož výstupní svorka je připojena k první vstupní svorce výstupního klopného obvodu, jehož druhá vstupní svorka je spojena s výstupní svorkou jemně programovatelného zpoždovacího obvodu sestupné hrany, jehož vstupní svorka je připojena k výstupní svorce hrubě programovatelného generátoru sestupné hrany, přičemž programovací vstupy hrubě programovatelných generátorů vzestupné a sestupné hrany jsou připojeny k prvnímu výstupu řídicí jednotky, jejíž druhý výstup je připojen k programovacím vstupům jemně programovatelných zpoždovacích obvodů vzestupné a sestupné hrany, třetí výstup řídicí jednotky je připojen k programovacímu vstupu generátoru periody, čtvrtý výstup řídicí jednotky je připojen

k ovládacímu vstupu generátoru testovacích vektorů, přičemž k synchronizační první výstupní svorce synchronizačního bloku jsou připojeny synchronizační svorky těch hrubě programovatelných generátorů vzestupné, respektive sestupné hrany, které při referenčním hrubém i jemném naprogramování vykazují výstupní zpoždění větší než je stanovená mez a k synchronizační druhé výstupní svorce synchronizačního bloku jsou připojeny synchronizační svorky těch hrubě programovatelných generátorů vzestupné, respektive sestupné hrany, které vykazují toto výstupní zpoždění menší než je stanovená mez, přičemž výstupní svorky generátoru testovacích vektorů tvoří svorky pro výstup statických vektorů a výstupní svorky výstupních klopných obvodů v generátorech stimulů tvoří svorky pro výstup dynamických stimulů z testovacího systému a zastavovací svorka synchronizačního bloku tvoří zastavovací svorku časovací jednotky testovacího systému.

Výhody časovací jednotky testovacího systému podle vynálezu spočívají v tom, že je realizována s dostupnými obvody rychlé řady STTL, její generátory dynamických stimulů jsou programovatelné po krocích 1 ns a její činnost lze přerušovat nebo zastavovat na konci každého naprogramovaného pracovního cyklu.

Testovací adaptéry lze tím podstatně zjednodušit a adaptér pro testování dynamických pamětí může samostatně provádět periodické obnovování obsahu testované paměti, na jehož dobu přeruší činnost testovacího systému. Tím se testovaná dynamická paměť jeví systému jako statická a lze pro ni využít tytéž testovací vektory jako pro statickou paměť.

Další výhodou je, že kompenzaci rozptylu vlastního výstupního zpoždění jednotlivých generátorů stimulů lze provést programovým způsobem, bez použití nákladných nebo rozměrných kompenzačních zpoždovacích linek. Časovací jednotka testovacího systému podle vynálezu umožňuje programovat jemnějším způsobem i opakovací periodu, a to v krocích například 5 ns.

Příklady zapojení podle vynálezu jsou znázorněny na připojených vyobrazeních, kde na obrázku 1 je blokové schéma časovací jednotky a jejího spojení s řídicí jednotkou a generátorem testovacích vektorů testovacího systému podle vynálezu, na obrázku 2 je příklad provedení jednoho generátoru dynamických stimulů, na obrázku 3 je příklad provedení synchronizačního bloku 9, na obrázku 4 jsou znázorněny časové diagramy činnosti časovací jednotky testovacího systému podle vynálezu, na obrázku 5 je jiný příklad provedení synchronizačního bloku 9 a příklad provedení oscilátoru 1 pro jemné programování opakovací periody, na obrázku 6 je časový diagram oscilátoru 1 z obrázku 5 a na obrázku 7 je jiný

příklad provedení oscilátoru pro jemné programování opakovací doby.

Blokové schéma časovací jednotky a její připojení k řídicí jednotce 6 a ke generátoru testovacích vektorů 5 testovacího systému podle vynálezu je znázorněno na obrázku 1. Oscilátor 1 je vybaven výstupní svorkou 10, startovací svorkou 12 a zastavovací svorkou 11. Generátor periody 2 je tvořen známým zapojením s programovatelnými čítači, jejichž vstupní datové svorky jsou souhrnně označeny jako programovací vstup 22 generátoru periody 2, který je připojen k třetímu výstupu 63 řídicí jednotky 6.

Synchronizační svorka 20 generátoru 2 je připojena k výstupní svorce 10 oscilátoru 1.

Výstupní svorka 21 generátoru periody 2 je připojena na řídicí svorku 90 synchronizačního bloku 9, jehož synchronizační vstupní svorka 93 je připojena k výstupní svorce 10 oscilátoru 1. Generátor stimulů 3 obsahuje výstupní klopný obvod 30, hrubě programovatelný generátor vzestupné hrany 32, k jehož výstupní svorce 323 je připojena vstupní svorka 340 jemně programovatelného zpožďovacího obvodu vzestupné hrany 34 a dále obsahuje hrubě programovatelný generátor sestupné hrany 33, k jehož výstupní svorce 333 je připojena vstupní svorka 350 jemně programovatelného zpožďovacího obvodu sestupné hrany 35.

Výstupní svorka 343 jemně programovatelného zpožďovacího obvodu vzestupné hrany 34 je připojena k první vstupní svorce 301 výstupního klopného obvodu 30, jehož druhá vstupní svorka 302 je připojena k výstupní svorce 353 jemně programovatelného zpožďovacího obvodu sestupné hrany 35.

Generátor stimulů 4 je shodným způsobem zapojen s hrubě programovatelným generátorem vzestupné hrany 42 a sestupné hrany 43 a s jemně programovatelným zpožďovacím obvodem vzestupné hrany 44 a sestupné hrany 45 a s výstupním klopným obvodem 40. Hrubě programovatelné generátory vzestupné, respektive sestupné hrany 32, 42, respektive 33, 43 obsahují neznázorněné programovatelné čítače, jejichž vstupní datové svorky jsou souhrnně označeny jako programovací vstupy 321, 421, respektive 331, 431 a jsou připojeny k prvnímu výstupu 61 řídicí jednotky 6.

K jejímu druhému výstupu 62 jsou připojeny souhrnně označené programovací vstupy 341, 351, 441, 451 jemně programovatelných zpožďovacích obvodů vzestupné hrany 34, 44 a sestupné hrany 35, 45. Čtvrtý výstup 64 řídicí jednotky 6 je připojen k ovládací svorce 51 generátoru testovacích vektorů 5. Jeho synchronizační svorka 50 je připojena ke druhé výstupní svorce 92 synchronizačního bloku 9, jehož první výstupní svorka 91 je připojena ke spouštěcím svorkám 324, 334, 424, 434 všech hrubě programovatelných generátorů v generátorech stimulů 3 a 4.

Synchronizační svorka 330 a 420 hrubě programovatelného generátoru vzestupné hrany 33 a sestupné hrany 42 je připojena k synchronizační první výstupní svorce 96 synchronizačního bloku 9. Synchronizační svorka 320 a 430 hrubě programovatelného generátoru sestupné hrany 32 a vzestupné hrany 43 je připojena k synchronizační druhé výstupní svorce 97.

Zastavovací svorka 94 synchronizačního bloku 9 tvoří současně i zastavovací svorku 503 časovací jednotky. Třetí výstupní svorka 95 synchronizačního bloku 9 je spojena se zastavovací svorkou 11 oscilátoru 1, jehož startovací svorka 12 je připojena k startovacímu výstupu 60 řídicí jednotky 6. Její indikační svorka 65 je připojena k indikačnímu výstupu neznázorněného vyhodnocovacího bloku.

Výstupní svorky 303 a 403 generátorů stimulů 3 a 4 slouží pro výstup dynamických stimulů a výstupní svorky 52 a 53 generátoru testovacích vektorů 5 slouží pro výstup statických testovacích vektorů z testovacího systému. Zastavovací svorka 94 časovací jednotky testovacího systému je připojena k výstupní svorce neznázorněného vyhodnocovacího bloku testovacího systému.

Generátor periody 2 je programovatelný v požadovaném rozsahu, a to po hrubých krocích rovných taktu T synchronizačního signálu, přiváděného z výstupní svorky 10 oscilátoru 1. Hrubě programovatelné generátory vzestupné, respektive sestupné hrany jsou programovatelné rovněž v krocích rovných taktu T synchronizačního signálu, který je přes synchronizační blok 9 rozváděn na jejich synchronizační svorky 320, 330, 420 a 430. Jemně programovatelné zpožďovací obvody 34, 35, 44, 45 jsou programovatelné v rozsahu jednoho taktu T v jemných krocích, například 1 ns.

Před spuštěním činnosti oscilátoru 1 provede řídicí jednotka 6 naprogramování požadovaných hodnot do generátorů stimulů 3 a 4 a naprogramování požadované opakovací periody pracovních cyklů do generátoru periody 2.

Pomocí ovládací svorky 51 řídicí jednotka 5 připraví generátor testovacích vektorů 5 na požadovaný sled testovacích vektorů, načež pomocí startovací svorky 12 spustí oscilátor 1. Ten začne generovat synchronizační signály s taktom T , například 20 ns, které jsou čítány v neznázorněných programovatelných čítačích generátoru periody 2. Ten na své výstupní svorce 21 vydá po každých $p + 1$ taktech T výstupní impuls označující počátek pracovního cyklu.

Tento impuls projde synchronizačním blokem 9 přes jeho první výstupní svorku 91 na spouštěcí svorky 324, 334, 424, 434 obou generátorů stimulů 3 a 4. Takto spuštěné generátory stimulů vytvoří na svých výstupních svorkách 303, 403 dynamické stimuly, jakožto impulsy se vzestupnými a

sestupnými hranami, jejichž poloha v pracovním cyklu je naprogramována s hrubým krokem T a s jemným krokem K, například 1 ns.

Na začátku prvního spuštěného pracovního cyklu se klopné výstupní obvody 30 a 40 nacházejí v neznámém stavu, na jeho konci již v potřebném stavu, tj. ve stavu 1 pro záporné impulsy a ve stavu 0 pro kladné impulsy. Průchod spouštěcího signálu z řídicí svorky 90 na druhou výstupní svorku 92 synchronizačního bloku 9 je proto v prvním pracovním cyklu blokován. Teprve druhý spouštěcí signál projde i na výstupní svorku 92 a na synchronizační svorku 50 generátoru testovacích vektorů 5, který vytvoří na svých výstupních svorkách 52, 53 potřebnou kombinaci bitů, trvající po celý pracovní cyklus. Těchto výstupních svorek může být libovolný počet.

Neznázorněný vyhodnocovací blok testovacího systému vyhodnotí odezvu testovacího obvodu na vytvořený testovací statický vektor a na vytvořené dynamické stimuly. Z chybné odezvy vytvoří chybový signál, který vyše přes indikační vstup 504 do řídicí jednotky 6. Kromě toho jej vyše přes zastavovací vstup 503 do synchronizačního bloku 9, který pomocí své třetí výstupní svorky 95 zastaví oscilátor 1. Tento oscilátor se zastaví tak, že všechny generátory stimulů ještě vyšlou výstupní stimuly naprogramované nejpozději na konec pracovního cyklu a že generátor testovacích vektorů 5 zůstane ve stavu, kdy vysílá testovací vektor, při němž byl chybový signál vytvořen.

V odezvu na přijatý indikační signál provede řídicí jednotka 6 příslušné servisní a diagnostické akce a pak vydá do vyhodnocovacího bloku povel k ukončení chybového signálu, načež případně spustí zastavený oscilátor 1. K testovacímu systému může být také připojen adaptér pro testování dynamických pamětí, který sám provádí periodické obnovování obsahu testované paměti. Po tuto dobu adaptér vysílá čekací signál, který je veden pouze na zastavovací vstup 503 a vyvolá pouze dočasné zastavení oscilátoru 1. Blíže bude činnost jednotlivých bloků objasněna v souvislosti s dalšími vyobrazeními.

Na obrázku 2 je znázorněn možný příklad vnitřního zapojení generátoru stimulů 3. Jeho hrubě programovatelný generátor vzeštné hrany 32 obsahuje omezeně programovatelný generátor impulsů 322, jehož vnitřní zapojení je s výhodou shodné například s kombinovaným programovatelným generátorem impulsů podle PV 6194-83, z něhož je na obrázku 2 znázorněn pouze nastavovací klopný obvod 3221, detekční klopný obvod 3222 a výstupní klopný obvod 3223.

Vstupní svorka nastavovacího klopného obvodu 3221, tvoří vstupní svorku 324 hrubě programovatelného generátoru 32. Přímá

výstupní svorka klopného obvodu 3221, zapojeného jako monostabilní obvod, slouží k nastavení neznázorněných programovatelných čítačů, jejichž datové vstupní svorky jsou souhrnně označeny jako programovací vstup 321 generátoru 32.

Negační výstupní svorka nastavovacího klopného obvodu 3221 je připojena k nulovací svorce detekčního klopného obvodu 3222, jehož výstupní svorky jsou připojeny ke vstupním svorkám výstupního klopného obvodu 3223, jehož výstupní svorka tvoří výstupní svorku 328 omezeně programovatelného generátoru impulsů 322.

Hodinové svorky nastavovacího klopného obvodu 3221 a výstupního klopného obvodu 3223 jsou přes invertor 3290 připojeny k synchronizační svorce 320 hrubě programovatelného generátoru 32. K výstupní svorce 328 omezeně programovatelného generátoru impulsů 322 je připojena vstupní svorka zpožďovacího klopného obvodu 325 a první vstupní svorka první části výběrového multiplexoru 326, jejíž druhá vstupní svorka je připojena k výstupní svorce zpožďovacího klopného obvodu 325.

Výstupní svorka první části výběrového multiplexoru 326 je připojena ke vstupní svorce přídavného klopného obvodu 327, jehož negační výstupní svorka tvoří výstupní svorku 323 hrubě programovatelného generátoru 32. Obdobně je zapojena i druhá část výběrového multiplexoru 326. Hodinová svorka přídavného klopného obvodu 327 a hodinová svorka zpožďovacího klopného obvodu 325 jsou spojeny s hodinovou svorkou nastavovacího klopného obvodu 3221.

Adresová svorka výběrového multiplexoru je přes registr 329 připojena k přídavné programovací svorce 3211 hrubě programovatelného generátoru 32. Jemně programovatelný zpožďovací obvod 34 má k výstupní svorce 323 hrubě programovatelného generátoru 32 připojení svou vstupní svorku 340, k níž je přes první zesilovač 342 připojena první zpožďovací linka 343. Její jednotlivé odbočky jsou spojeny s odpovídajícími vstupními svorkami prvního multiplexoru 344.

Jeho výstupní svorka je přes druhý zesilovač 345 připojena na vstup druhé zpožďovací linky 346. K jejím jednotlivým odbočkám jsou připojeny odpovídající vstupní svorky druhého multiplexoru 347. Jeho výstupní svorka tvoří výstupní svorku 343 jemně programovatelného zpožďovacího obvodu 34 a je připojena k první vstupní svorce 301 výstupního klopného obvodu 30. Ten je zapojen známým způsobem se dvěma negačními hradly, jeho výstupní svorka 303 tvoří výstupní svorku celého generátoru stimulů 3 a je navíc připojena k ovládací svorce 349 prvního multiplexoru 344.

Adresové svorky prvního a druhého multiplexoru 344 a 347 jsou připojeny k odpovídajícím výstupním svorkám registru 348,

jehož datové vstupní svorky tvoří souhrnně označený programovací vstup **341** jemně programovatelného zpožďovacího obvodu **34**.

Obdobně je uvnitř zapojen i hrubě programovatelný generátor **33** se spouštěcí svorkou **334**, synchronizační svorkou **330**, programovacím vstupem **331**, přídavnou programovací svorkou **3311** a výstupní svorkou **333**. Ta je spojena se vstupní svorkou **350** jemně programovatelného zpožďovacího obvodu **35** s programovacím vstupem **351** a výstupní svorkou **353**. Ta je připojena ke druhé vstupní svorce **302** výstupního klopného obvodu **30**, jehož negační výstupní svorka **304** je připojena k ovládací svorce **359** prvního multiplexoru uvnitř jemně programovatelného zpožďovacího obvodu **35**, jehož vnitřní zapojení je stejné jako u zpožďovacího obvodu **34**.

Omezeně programovatelný generátor **322** pracuje známým způsobem tak, že ze signálu na spouštěcí svorce **324** vytvoří jeho nastavovací klopný obvod **3221** impuls pro nastavení neznázorněných programovatelných čítačů na hodnotu zadanou přes programovací vstup **321** a pro vynulování detekčního klopného obvodu **3222**.

Tyto čítače začnou čítat impulsy přivedené na synchronizační svorku **320** a jejich dočítání, například do stavu nula, sleduje detekční klopný obvod **3222**. Jeho výstupní signál zablokuje čítače ve stavu nula a přeneše se na výstup výstupního klopného obvodu **3223**. Protože nastavení čítačů trvá jeden synchronizační takt **T**, lze neznázorněné čítače naprogramovat na hodnotu nejvýše p taktů **T** při opakovací periodě spouštěcího signálu rovné $p + 1$ taktů **T**, tedy pouze omezeně.

Naprogramování na zbývající takt odpovídající konci, respektive počátku pracovního cyklu se proto provádí tak, že se sice naprogramuje hodnota p taktů **T**, ale výběrový multiplexor **326** se pomocí přídavné programovací svorky **3211** a registru **329** přepne tak, aby na výstup přídavného klopného obvodu **327** prošel signál z výstupu zpožďovacího klopného obvodu **325** zpožděný o jeden takt **T**.

Při programování ostatních hodnot 1 až p , zůstává výběrový multiplexor **326** přepnut přímo na výstup z výstupní svorky **328** omezeně programovatelného generátoru **322**. Přídavný klopný obvod **327** slouží k tomu, aby signál na výstupní svorce **323** měl stále zpoždění vzhledem k synchronizačnímu signálu na svorce **320**, bez ohledu na případné rozdílnosti vlastního zpoždění klopných obvodů **325** a **328**. Hrubě programovatelný generátor **32** má tím zpoždění mezi spouštěcím signálem na spouštěcí svorce **321** a sestupnou hranou signálu na své výstupní svorce **323** programovatelné v hrubých krocích **T** v plném rozsahu 1 až $p + 1$ zvolené opakovací periody $(p + 1)T$. Jemně programovatelný zpožďovací obvod

34 pracuje tak, že odbočky na první zpožďovací lince **343** jsou nastaveny na zpoždění, například 0, 2, 4, 6, 8 a 10 ns a odbočky na druhé zpožďovací lince **347** na zpoždění 0, 1, 9 a 10 ns.

Vhodným naprogramováním registru **438** z programovacího vstupu **341** a tím i odpovídajícím adresováním obou multiplexorů **344** a **347** lze dosáhnout volbu libovolné zpoždění v rozsahu **T**, například 20 ns po krocích **K**, například 1 ns.

Sestupnou hranou impulsu na výstupní svorce **343** se pak vytvoří vzestupná hrana dynamického stimulu na výstupní svorce **303** výstupního klopného obvodu **30**, jejíž poloha je určena součtem počtu taktů **T** nastavených v hrubě programovatelném generátoru vzestupné hrany **32**, počtu kroků **K** nastavených v jemně programovatelném zpožďovacím obvodu vzestupné hrany **34** a výstupního zpoždění t_z .

Toto výstupní zpoždění je součtem vlastních zpoždění invertoru **3290**, klopného obvodu **327**, obou zesilovačů **342**, **345** a obou multiplexorů **344**, **347**. Vytvořenou vzestupnou hranou dynamického stimulu se také uzavírá pomocí své ovládací svorky **349** první multiplexor **344**. Tím se ukončuje trvání překlápěcího impulsu na vstupní svorce **301** tak, aby nebránil vytvoření sestupné hrany dynamického stimulu, která je obdobným způsobem naprogramována v hrubě programovatelném generátoru sestupné hrany **33** a v jemně programovatelném zpožďovacím obvodu sestupné hrany **35**.

Zapojení na obrázku 3 znázorňuje jedno možné provedení generátoru periody **2**, synchronizačního bloku **9** a oscilátoru **1**. Generátor periody **2** je tvořen omezeně programovatelným generátorem impulsů **222**, který se od omezeně programovatelného generátoru impulsů **322**, na obrázku 2 liší pouze tím, že vstupní svorka nastavovacího klopného obvodu **223** je připojena k výstupní svorce detekčního klopného obvodu **224**.

Výstupní svorka výstupního klopného obvodu **225** tvoří výstupní svorku **21** generátoru periody **2**, k níž je připojena řídicí svorka **90** synchronizačního bloku **9**. Ten obsahuje známým způsobem zapojenou kaskádu tří klopných obvodů **901**, **902**, **903**, jejichž hodinové svorky jsou spolu s hodinovou svorkou blokovacího klopného obvodu **905** připojeny k výstupní svorce zpožďovacího členu **7**. Jeho vstupní svorka tvoří synchronizační vstupní svorku **93**, připojenou k výstupní svorce **21** generátoru periody **2** a k výstupní svorce **10** oscilátoru **1**.

Výstupní svorka prvního klopného obvodu **901** tvoří první výstupní svorku **91** a výstupní svorka posledního klopného obvodu **903** je připojena k druhé výstupní svorce **92** synchronizačního bloku **9**. Výstupní svorka **70** zpožďovacího členu **7** je dále spojena se vstupní svorkou **810** prvního zpožďovacího obvodu **81**, jehož výstupní svorka tvoří

synchronizační první výstupní svorku **96**, k níž je připojena vstupní svorka druhého zpožďovacího obvodu **82**, jejíž výstupní svorka tvoří synchronizační druhou výstupní svorku **97** synchronizačního bloku **9**.

Třetí výstupní svorku **95** synchronizačního bloku **9**, k níž je připojena také nulovací svorka blokovacího klopného obvodu **905**, tvoří výstupní svorka zastavovacího klopného obvodu **904**, jehož nulovací svorka tvoří zastavovací svorku **94** synchronizačního bloku **9**.

Vstupní svorky klopného obvodu **904** jsou připojeny k vstupním svorkám prvního klopného obvodu **901** a jeho hodinová svorka je spojena s pomocnou výstupní svorkou **13** oscilátoru **1**. Vstupní svorka blokovacího klopného obvodu **905** je spojena se vstupní svorkou posledního klopného obvodu **903**, k jehož nulovací svorce je připojena výstupní svorka blokovacího klopného obvodu **905**.

Zpožďovací člen **7** i zpožďovací obvody **81** a **82** mají shodné vnitřní zapojení se zpožďovací linkou mezi dvěma invertory. Zpoždění zpožďovacích obvodů **81**, **82** je nastaveno na hodnotu rovnou taktu **T**, zpoždění zpožďovacího členu **7** je nastaveno s ohledem na správnou spolupráci klopných obvodů **225** a **901**.

Činnost synchronizačního bloku **9** je pro případ dočasného zastavení oscilátoru **1** znázorněna na časovém diagramu na obrázku 4, kde průběhy **U13**, **U10**, **U90**, **U94**, **U95**, **U96**, **U97**, **U70**, **U91**, **U92** znázorňují signály na odpovídajících svorkách **13**, **10**, **90**, **94**, **95**, **96**, **97**, **70**, **91**, **92**, průběhy **U3221**, **U3222**, **U324**, **U328**, **U323** znázorňují signály na výstupních svorkách klopných obvodů **3221**, **3222**, **325** a na svorkách **328**, **323** hrubě programovatelného generátoru **32** z obrázku 3.

Zastavovací signál **U94** uvolní klopný obvod **904** tak, že ten může přijmout signál **U90** z řídicí svorky **90** synchronizačního bloku **9**. Na výstupní svorce klopného obvodu **904** tím vznikne nulový signál **U95**, jímž se uzavře negační hradlo **14** oscilátoru **1** a přestanou se tím vytvářet signály **U10**, **U13**.

Signálem **U90** se ještě vytvoří vzestupná hrana signálu **U91**, a to poslední aktivní hranou signálu **U70**. Spouštěcí signál **U91** přivedený na spouštěcí svorky generátorů stimulů **3**, **4** vyvolá nastavovací signál **U3221**, jímž se ukončí kladný signál **U3222**. Jeho sestupná hrana představuje takt, na nějž nelze omezeně programovatelný generátor impulsů **322** naprogramovat. Této sestupné hraně předchází nejvýše programovatelná hrana „p“ a následuje za ní nejnižší programovatelná hrana „l“.

U signálu **U328** jsou odpovídající hrany, například „p“, „X“, „l“ o takt zpožděny, o další takt je pak zpožděna hrana „O“ signálu **U325** proti hraně „p“ signálu **U328**. U signálu **U323** je pak hrana „p“ vytvořena ze signálu **U328** předposlední aktivní hra-

nou, hrana „O“ ze signálu **U325** poslední aktivní hranou a hrana „l“ opět ze signálu **U328** první aktivní hranou signálu **U97** po opětovném spuštění oscilátoru **1**, k němuž dojde ukončením zastavovacího signálu **U94**.

V době zastavení oscilátoru, kdy je signál **U95** nulový, je i signál **U905** na výstupní svorce blokovacího klopného obvodu **905** nulový a blokuje poslední klopný obvod **903** tak, že na jeho výstupu vznikne signál **U92** až ze druhého impulsu signálu **U902**, odpovídajícího začátku druhého pracovního cyklu po opětovném spuštění oscilátoru **1**. Signálem **U92** se synchronizuje činnost generátoru testovacích vektorů **5**. Je tedy zřejmé, že v době zastavení oscilátoru vysílá tento generátor trvale testovací vektor, přičemž byl vyslán chybový signál, jak to vyžaduje řídicí jednotka **6**.

Také je zřejmé, že i z poslední naprogramované hrany „O“ signálu **U323** v konci pracovního cyklu, po němž došlo k zastavení oscilátoru, by vytvořil jemně programovatelný zpožďovací obvod **34** odpovídající vzestupnou hranu „O“ na výstupu **303** celého generátoru stimulů **3**, zpožděnou ovšem o jemně naprogramovatelný počet kroků **K** a o výstupní zpoždění t_z .

Pokud by například i hrubě programovatelný generátor vzestupné hrany **42** vykazoval stejné výstupní zpoždění t_z , mohl by i na jeho synchronizační svorku **420** být přiveden synchronizační signál **U97** a jeho činnost by byla shodná s výše popsanou činností. Takovýto případ může nastat tehdy, jestliže výstupní zpoždění t_z jsou například pomocí kompenzační zpožďovací linky vyrovnána na stejnou hodnotu u všech generátorů stimulů.

Při praktické realizaci generátoru stimulů **3** z obrázku 2, například s integrovanými obvody rychlé řady STTL může výstupní zpoždění t_z být v teoretických mezích **17** až **50** ns a v praktických mezích **25** až **40** ns. Praktický rozptyl tedy nepřekračuje hodnotu taktu **T**, například **20** ns. Vykazuje-li například generátor stimulů **3** pro uvažovanou vzestupnou hranu výstupní zpoždění t_{z32} menší než například **30** ns, je výhodné programovat ji s kladnou korekcí, tedy s přičtením kladné hodnoty $k_{32} = 30 - t_{z32}$.

Je-li rozsah jemného programování v krocích **K** roven taktu **T**, například **20** ns, pak bude takto zkorigovaná vzestupná hrana „O“ stimulu **U303** na výstupní svorce **303** vytvořena z hrany „p“ nebo „O“ signálu **U323**. To znamená, že bude vytvořena vždy před zastavením oscilátoru.

Vykazuje-li například generátor stimulů **4** pro vzestupnou hranu výstupní zpoždění t_{z42} větší než **30** ns, je výhodné programovat ji se zápornou korekcí, tedy s přičtením záporné hodnoty $k_{42} = 30 - t_{z42}$. Zkorigovaná vzestupná hrana „O“ stimulu **U403** na výstupní svorce **403** bude pak vytvořena z hrany „p-1“ nebo „p“ signálu **U423**.

Protože hrubě programovatelný generátor 42 je řízen synchronizačním signálem U96, který předchází o takt T signálu U97, je jako poslední před zastavením oscilátoru vytvořena hrana „p“ signálu U423. To znamená, že i u generátoru stimulů 4 bude zkorrigovaná hrana „O“ výstupního stimulu U403 vytvořena před zastavením oscilátoru, stejně jako tomu bylo u generátoru stimulů 3, s uvážením rozdílných výstupních zpoždění t_{z42} a t_{z32} , tedy prakticky současně.

Podobně je zkorrigovaná hrana „l“ výstupního stimulu U303 vytvořena u generátoru 3 z hrany „O“ nebo „l“ a u generátoru 4 z hrany „p“ nebo „O“, což ovšem znamená u obou současně až ve druhém pracovním cyklu po spuštění oscilátoru. Proto je signál U92 pro generátor testovacích vzorků 5 uvolněn blokovacím klopným obvodem 905 také až na začátku tohoto druhého pracovního cyklu.

Korekci naprogramovaných hodnot pro vzestupnou i sestupnou hranu výstupního stimulu u každého generátoru stimulů provádí například neznázorněný výpečetní obvod a paměť korekcí, které například v sobě obsahuje řídicí jednotka 6.

Synchronizační blok 9 lze také zjednodušit tím, že se vypustí první zpožďovací obvod 81 a synchronizační výstupní svorka 96 se připojí přímo k výstupní svorce 79 zpožďovacího členu 7.

V tomto případě se všechny použité korekční hodnoty k_i zmenší na hodnoty $k_i - T$. Následkem toho je na výstupních svorkách 303, 403 generátorů stimulů 3 a 4 před zastavením oscilátoru naposledy vytvořena hrana „p“ místo hrany „O“, což pouze znamená, že konec, respektive začátek pracovního cyklu o délce $p + 1$ taktů T označuje hrana „p“ a že hrana „O“ je první programovatelnou hranou v novém pracovním cyklu. Sestupná hrana signálu U92 na výstupní svorce 92 synchronizačního bloku 9 tedy i v tomto případě zhruba označuje konec, respektive začátek pracovního cyklu. Přesného označování lze dosáhnout vhodným nastavením zpoždění, například zpožďovací linky, zapojené na výstupní svorku posledního klopného obvodu 903 zpožďovací kaskády.

Tento případ je znázorněn na obrázku 5, na němž se synchronizační blok 9 liší od synchronizačního bloku na obrázku 3 ještě tím, že je doplněn programovacím klopným obvodem 906, jehož výstupní svorka tvoří třetí výstupní svorku 98 synchronizačního bloku 9, připojenou k ovládací svorce 19 výběrového negačního součinnového hradla 18 v oscilátoru 1.

Hodinová svorka klopného obvodu 906 je připojena k pomocné výstupní svorce 13 oscilátoru 1, jeho vstupní svorky jsou připojeny ke vstupním svorkám prvního klopného obvodu 901 zpožďovací kaskády.

Nulovací svorka klopného obvodu 906 je přes registr 220 připojena k přídavné pro-

gramovací svorce 221 generátoru periody 2. Zastavovací svorka 11, respektive výstupní svorka 10, jsou připojeny ke třetí výstupní svorce 95, respektive k synchronizační vstupní svorce 93 synchronizačního bloku 9.

V oscilátoru je známým způsobem zapojena zpětnovazební smyčka přes zesilovač 15, první odbočku 161 zpožďovací linky 16 a první vstupní svorku negačního součinnového hradla 14. Jeho třetí vstupní svorka je připojena k výstupní svorce 182 výběrového hradla 18, jehož první vstupní svorka 181 je přes pomocnou zpožďovací linku 17 a inverter připojena k druhé odbočce zpožďovací linky 16.

Oscilátor 1 pracuje v soulase s časovým diagramem na obrázku 6, kde signály U90, U98, U13, U10, U181, U182 odpovídají napětovým průběhům na svorkách 90, 98, 13, 10, 181, 182 pro případ, že na přídavné programovací svorce 221 je naprogramováno napětí $U_{221} = 1$.

Signál U90 indikující konec opakovací periody a vydávaný generátorem periody 2 je nejprve zasynchronizován programovacím klopným obvodem 906. Vzniklý signál U98 dovolí, aby se ze signálu U181 vytvořil jediný impuls U182.

Vzestupná hrana tohoto impulsu má pomocí druhé odbočky 162 a pomocí zpožďovací linky 17 nastaveno zpoždění proti vzestupné hraně signálu U13 na hodnotu T/2. Oscilátor pak pokračuje v činnosti obvyklým způsobem, signál U98 se ukončí a po $(p + 1)$ taktech T vyšle generátor 2 další signál U90.

Hrubě naprogramovaná opakovací perioda $(p + 1) \cdot T$ se tímto způsobem zvětší o hodnotu T/2, čímž je umožněno její programování s jemnějším krokem T/2, například 10 ns. Je-li na přídavné programovací svorce 221, která je připojena k příslušnému výstupu řídicí jednotky 6, nulové napětí, zůstává programovací klopný obvod 906 stále ve stavu, kdy uzavírá výběrové hradlo 18, takže k prodloužení opakovací periody $(p + 1)T$ nedojde.

V činnosti synchronizačního bloku 9 a generátorů stimulů 3 a 4 se uvedené jemné prodloužení opakovací periody, respektive pracovního cyklu projeví stejně, jako by v časovém diagramu na obrázku 4 trval zastavovací signál U94 jen krátkou dobu. To znamená, že například výstupní stimul na výstupní svorce 303 naprogramovaný se vzestupnou hranou „O“ a sestupnou hranou „l“, se rovněž zvětší o hodnotu T/2. Před koncem pracov. cyklu o délce $(p + 1)T + 0,5T$ tedy vznikne oblast o šířce 0,5T, do níž nelze výstupní hrany naprogramovat. Vhodným naprogramováním generátorů stimulů se však lze této oblasti prakticky vždy vyhnout.

Ještě jemnějšího programování generátoru periody 2, například po 0,25T, lze do-

sáhnout pomocí výběrového hradla 18 v oscilátoru 1 na obrázku 7. Ten se od oscilátoru na obrázku 5 liší pouze tím, že výběrovou svorku 19 tvoří propojené druhé vstupní svorky všech tří součtových sekcí hradla 18, první vstupní svorky každé sekce jsou připojeny k odpovídajícím odbočkám 171, 172, 173 zpožďovací linky 17 a třetí vstupní svorky druhé a třetí součtové sekce hradla 18 jsou přes registr 2220 připojeny k souhrnně označenému přídavnému programovacímu vstupu 222 generátoru periody 2.

Je-li na výběrové svorce 19 kladné napětí a registr 2220 je naprogramován tak, že uzavírá druhou i třetí součtovou sekci hradla 18, projde na jeho výstupní svorku 182 signál z první odbočky 171, který způsobí dříve popsaným způsobem prodloužení opakovací periody $(p+1)T$ o hodnotu $T/4$, například 5 ns.

Je-li registr 2220 naprogramován tak, že uzavírá pouze třetí součtovou sekci, projde

na výstup hradla 18 signál z první i z druhé odbočky 171 a 172 a vzniklým signálem U182 se opakovací perioda prodlouží o hodnotu $T/2$, například 10 ns.

Je-li registr 2220 naprogramován tak, že neuzavírá žádnou součtovou sekci hradla 18, vytvoří se na jeho výstupní svorce signál U182 s tak zpožděnou vzestupnou hranou, že se opakovací perioda prodlouží o hodnotu $3T/4$, například 15 ns. Sestupná hrana signálu U182 přitom zůstává neposunutá tak, aby vždy předcházela vzestupné hraně signálu U13 a nedošlo k nežádoucí koincidenci těchto hran.

Časovací jednotku testovacího signálu podle vynálezu lze výhodně využít nejen v systémech pro testování paměťových obvodů statického i dynamického typu, ale i v systémech pro testování desek s logickými obvody, které mezi zadávanými stimuly mohou provádět vlastní samostatnou činnost.

PŘEDMĚT VYNÁLEZU

1. Časovací jednotka testovacího systému vyznačená tím, že obsahuje generátor periody (2), oscilátor (1), alespoň jeden generátor stimulů (3, 4) a synchronizační blok (9), které jsou vzájemně a k řídicí jednotce (6) a generátoru testovacích vektorů (5) testovacího systému zapojeny tak, že výstupní svorka (10) oscilátoru (1) je spojena se synchronizační svorkou (20) generátoru periody (2) a se synchronizační vstupní svorkou (93) synchronizačního bloku (9), výstupní svorka (21) generátoru periody (2) je spojena s řídicí svorkou (90) synchronizačního bloku (9), jehož první výstupní svorka (91) je připojena ke spouštěcím svorkám (324, 334, 424, 434) alespoň jednoho generátoru stimulů (3, 4) a jehož druhá výstupní svorka (92) je spojena se synchronizační svorkou (50) generátoru testovacích vektorů (5) a jehož třetí výstupní svorka (95) je připojena k zastavovací svorce (11) oscilátoru (1), přičemž alespoň jeden z generátorů stimulů (3, 4) obsahuje hrubě programovatelný generátor vzestupné hrany (32, 42), jehož výstupní svorka (323, 423) je spojena se vstupní svorkou (340, 440) jemně programovatelného zpožďovacího obvodu vzestupné hrany (34, 44), jehož výstupní svorka (343, 443) je připojena k první vstupní svorce (30, 401) výstupního klopného obvodu (30, 40), jehož druhá vstupní svorka (302, 402) je spojena s výstupní svorkou (353, 453) jemně programovatelného zpožďovacího obvodu sestupné hrany (35, 45), jehož vstupní svorka (350, 450) je připojena k výstupní svorce (333, 433) hrubě programovatelného generátoru sestupné hrany (33, 43), přičemž programovací vstupy (321, 331, 421, 431) hrubě programovatelných generátorů vzestupné a sestupné hrany (32, 42 a 33, 43) jsou připojeny k prv-

nímu výstupu (61) řídicí jednotky (6), jejíž druhý výstup (62) je připojen k programovacím vstupům (341, 351, 441, 541) jemně programovatelných zpožďovacích obvodů vzestupné a sestupné hrany (34, 44 a 35, 45), třetí výstup (63) řídicí jednotky (6) je připojen k programovacímu vstupu (22) generátoru periody (2), čtvrtý výstup (64) řídicí jednotky (6) je připojen k ovládacímu vstupu (51) generátoru testovacích vektorů (5), přičemž k synchronizační první výstupní svorce (96) synchronizačního bloku (9) jsou připojeny synchronizační svorky (330, 420) těchto hrubě programovatelných generátorů vzestupné, respektive sestupné hrany (33, 42), které při referenčním hrubém i jemném naprogramování vykazují výstupní zpoždění větší než je stanovená mez a k synchronizační druhé výstupní svorce (97) synchronizačního bloku (9) jsou připojeny synchronizační svorky (320, 430) těchto hrubě programovatelných generátorů vzestupné, respektive sestupné hrany (32, 43), které vykazují toto výstupní zpoždění menší než je stanovená mez, přičemž výstupní svorky (52, 53) generátoru testovacích vektorů (5) tvoří svorky pro výstup statických vektorů a výstupní svorky (303, 403) výstupních klopných obvodů (30, 40) v generátorech stimulů (3, 4) tvoří svorky pro výstup dynamických stimulů z testovacího systému a zastavovací svorka (94) synchronizačního bloku (9) tvoří zastavovací svorku (503) časovací jednotky testovacího systému.

2. Časovací jednotka testovacího systému podle bodu 1, vyznačená tím, že alespoň jeden jemně programovatelný zpožďovací obvod vzestupné, respektive sestupné hrany (34), respektive (35) je zapojen tak, že k

jeho vstupní svorce (340, 350) je přes první zesilovač (342) připojena první zpožďovací linka (343), k jejíž jednotlivým odbočkám jsou připojeny odpovídající vstupní svorky prvního multiplexoru (344), k jehož výstupní svorce je přes druhý zesilovač (345) připojena druhá zpožďovací linka (346), k jejíž jednotlivým odbočkám jsou připojeny odpovídající vstupní svorky druhého multiplexoru (347), jehož výstupní svorka tvoří výstupní svorku (343), respektive (353) jemně programovatelného zpožďovacího obvodu vzestupné, respektive sestupné hrany (34), respektive (35), jehož programovací vstup (341) je přes registr (348) připojen k adresovým svorkám obou multiplexorů (344, 347).

3. Časovací jednotka testovacího systému podle bodů 1 nebo 2, vyznačená tím, že alespoň jeden hrubě programovatelný generátor vzestupné, respektive sestupné hrany (32, 42, respektive 33, 43) obsahuje omezeně programovatelný generátor impulsů (322), k jehož výstupní svorce (328) je připojena vstupní svorka zpožďovacího klopného obvodu (325) a první vstupní svorka výběrového multiplexoru (326), jehož druhá vstupní svorka je připojena k výstupní svorce zpožďovacího klopného obvodu (325), přičemž výstupní svorka výběrového multiplexoru (326) je připojena ke vstupní svorce přídavného klopného obvodu (327), jehož výstupní svorka tvoří výstupní svorku (323), respektive (33) hrubě programovatelného generátoru vzestupné, respektive sestupné hrany (32), respektive (33), jehož přídavná programovací svorka (3211) je připojena k pátému výstupu řídicí jednotky (6) a přes registr (329) k adresové svorce výběrového multiplexoru (326).

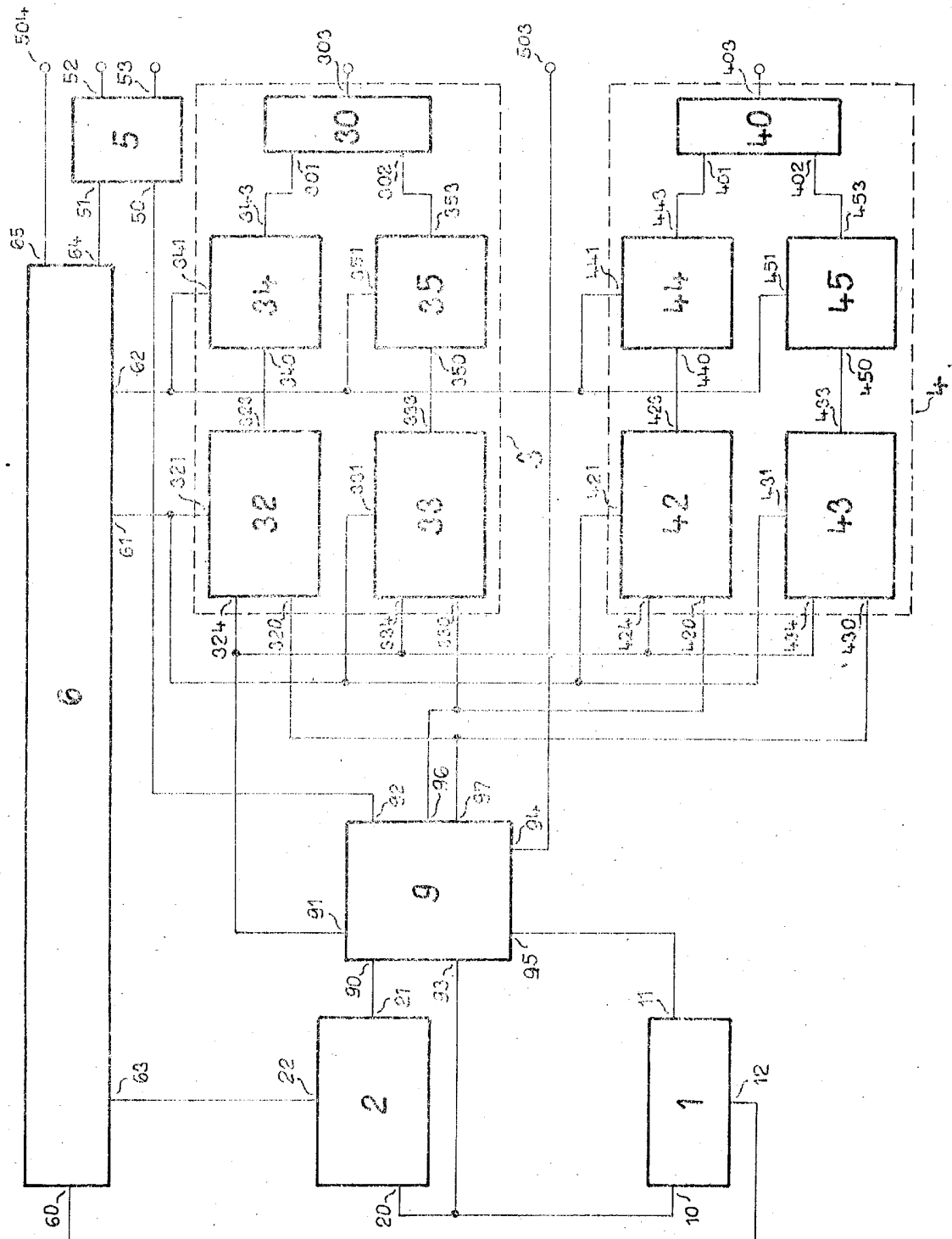
4. Časovací jednotka testovacího systému podle bodů 1 nebo 2 nebo 3, vyznačená tím, že synchronizační blok (9) obsahuje zpožďovací kaskádu klopných obvodů (901, 902, 903), u níž vstupní, respektive výstupní svorka prvního klopného obvodu (901) tvoří řídicí, respektive první výstupní svorku (90), respektive (91) synchronizačního bloku (9) a výstupní svorka posledního klopného obvodu (903) tvoří druhou výstupní svorku (92) synchronizačního bloku (9), nulovací svorka posledního klopného obvodu (903) zpožďovací kaskády je připojena k výstupní svorce blokovacího klopného obvodu (905), jehož vstupní, respektive hodinová svorka je spojena se vstupní, respektive hodinovou svorkou posledního klopného obvodu (903) zpožďovací kaskády a jehož nulovací svorka je připojena k výstupní svorce zastavovacího klopného obvodu (904),

tvořící současně třetí výstupní svorku (95) synchronizačního bloku (9), přičemž vstupní, respektive nulovací svorka zastavovacího klopného obvodu (904) je připojena k řídicí, respektive zastavovací svorce (90), respektive (94) synchronizačního bloku (9), jehož synchronizační první výstupní svorka (96) je přes první zpožďovací obvod (82) připojena k synchronizační druhé výstupní svorce (97) a je přes případný druhý zpožďovací obvod (81) spojena s hodinovými svorkami klopných obvodů (901, 902, 903) zpožďovací kaskády, které jsou přes případný zpožďovací člen (7) připojeny k synchronizační vstupní svorce (93) synchronizačního bloku (9).

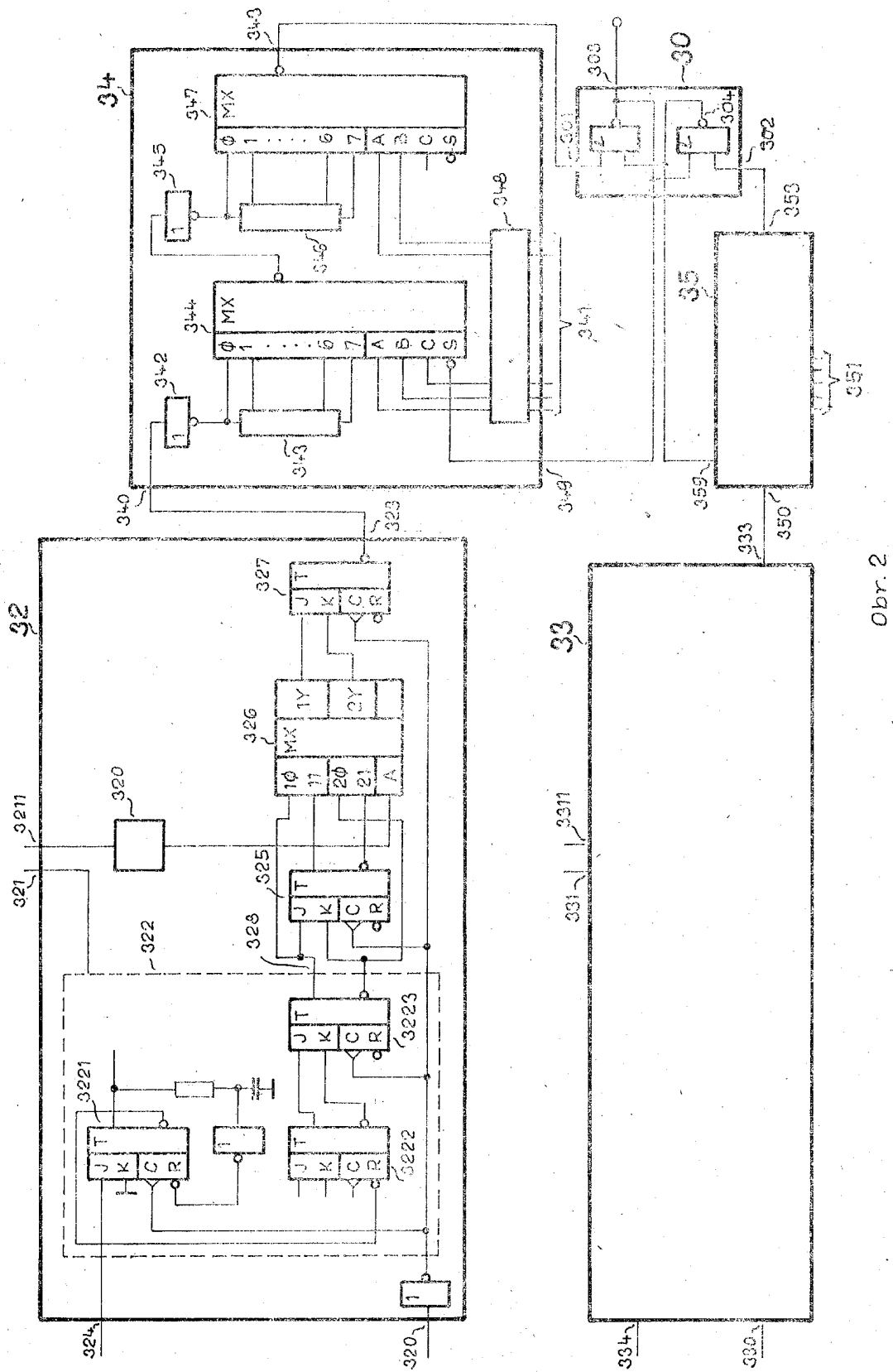
5. Časovací jednotka testovacího systému podle bodů 1 nebo 2 nebo 3 nebo 4, vyznačená tím, že ve zpětnovazební smyčce oscilátoru (1) je zapojen rychlý nemvertující zesilovač (15) se zpožďovací linkou (16), k jejíž první odbočce (161) tvořící současně pomocnou výstupní svorku (13) oscilátoru (1) je připojena první vstupní svorka negačního hradla (14) a k jejíž druhé odbočce (162) je přes invertor připojena pomocná zpožďovací linka (17), k jejíž alespoň jedné odbočce (171, 172, 173) je svou alespoň jednou první vstupní svorkou (181) připojeno výběrové hradlo (18), jehož výstupní svorka (182) je připojena ke druhé vstupní svorce negačního hradla (14) a jehož výběrová svorka (19) je připojena k výstupní svorce programovacího klopného obvodu (906), jehož hodinová svorka je připojena k pomocné výstupní svorce (13) oscilátoru (1) a jehož vstupní svorka je připojena k řídicí svorce (90) synchronizačního bloku (9) a jehož nulovací svorka je přes registr (220) připojena k přídavné programovací svorce (221) generátoru periody (2), připojené k šestému výstupu řídicí jednotky (6).

6. Časovací jednotka testovacího systému podle bodů 1 a 5, vyznačená tím, že výběrovým hradlem (18) je negační součinnové hradlo, jehož výběrovou svorku (19) tvoří jeho druhá vstupní svorka.

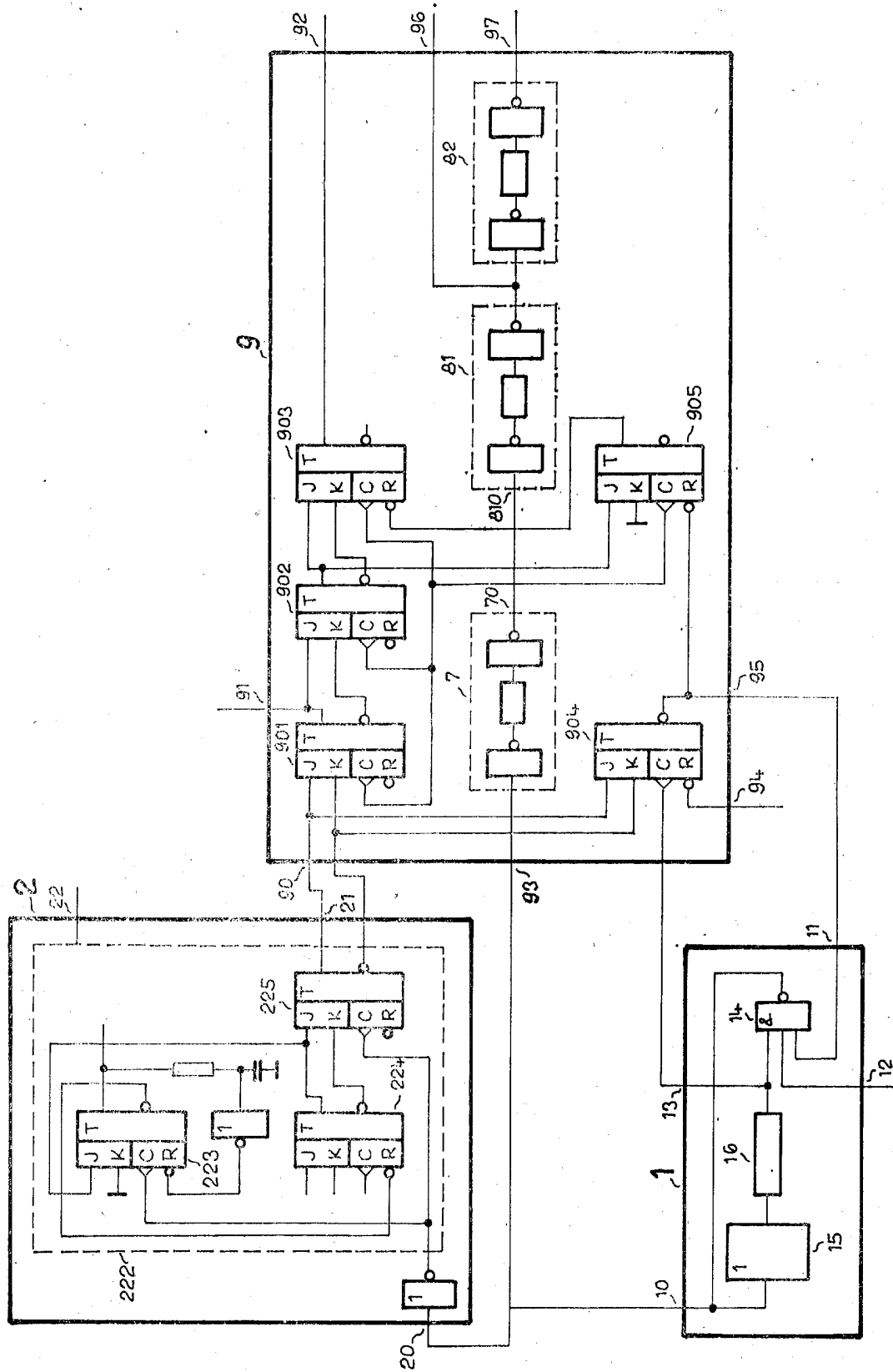
7. Časovací jednotka testovacího systému podle bodů 1 a 5, vyznačená tím, že výběrovým hradlem (18) je negační součinnové-součtové hradlo, jehož výběrovou svorku (19) tvoří propojené druhé vstupní svorky první, druhé a třetí součtové sekce, přičemž třetí vstupní svorky druhé a třetí součtové sekce jsou přes registr (220) připojeny k druhému přídavnému programovacímu vstupu (222) generátoru periody (2), připojenému k sedmému výstupu řídicí jednotky (6).



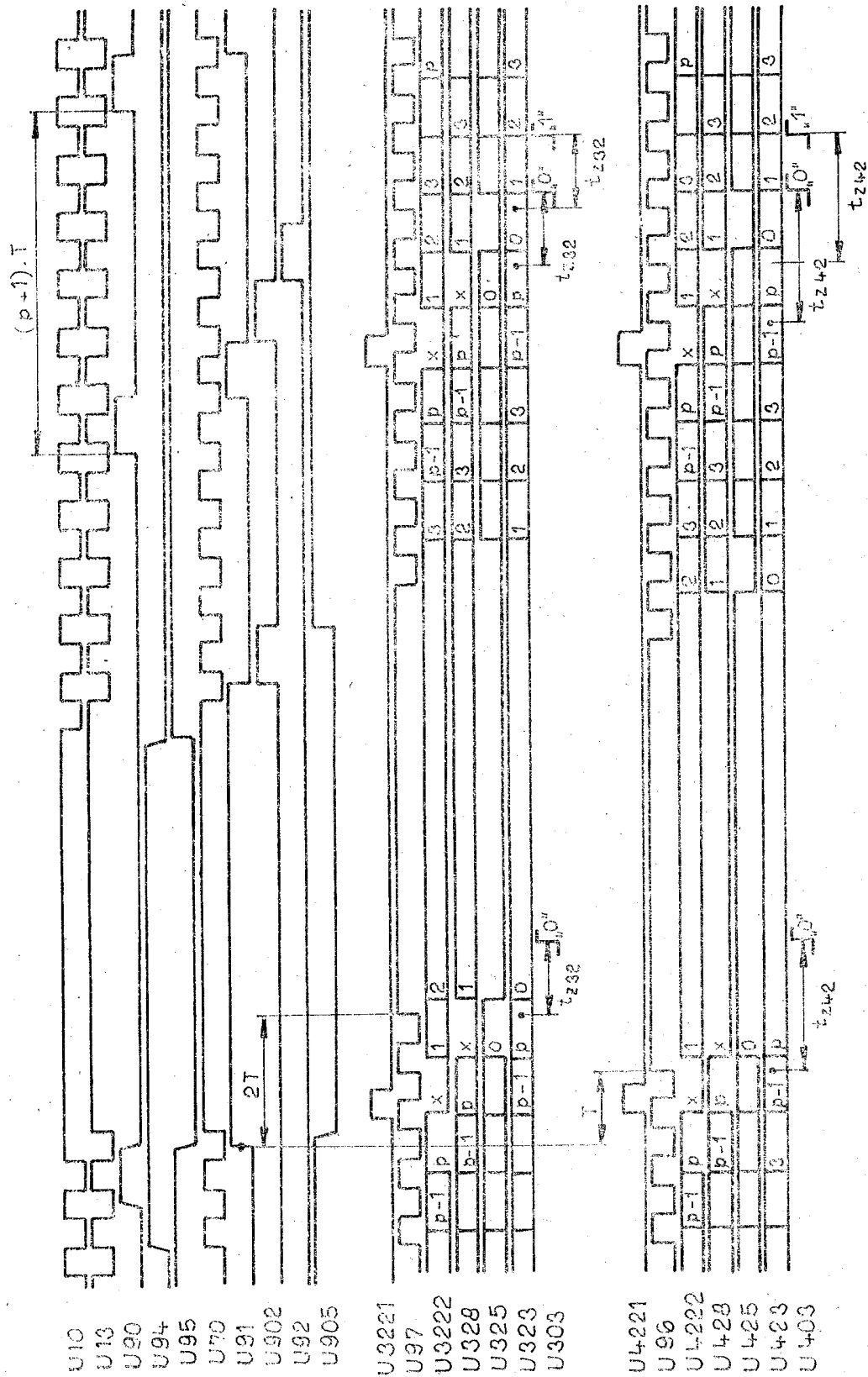
Obr. 1



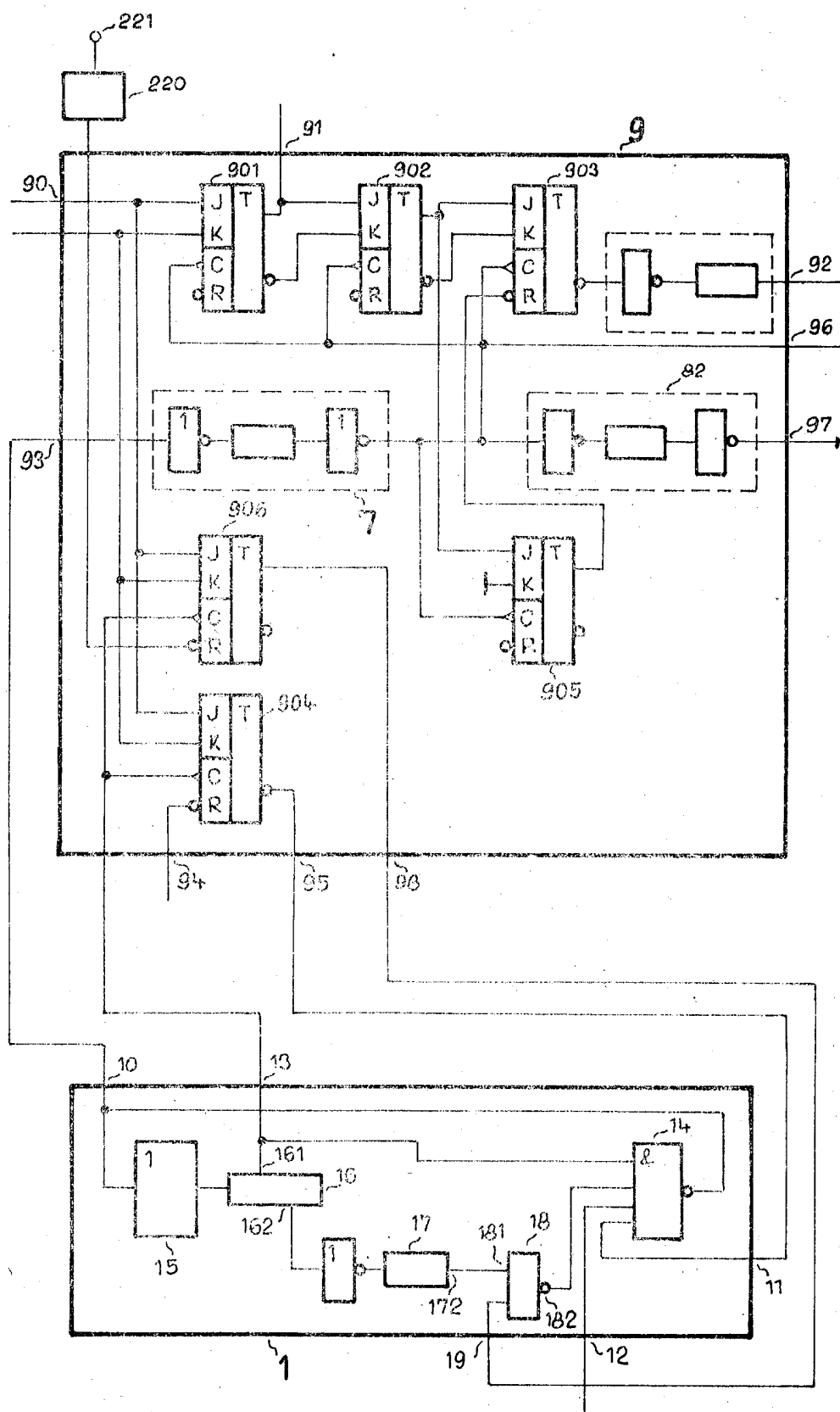
Obr. 2

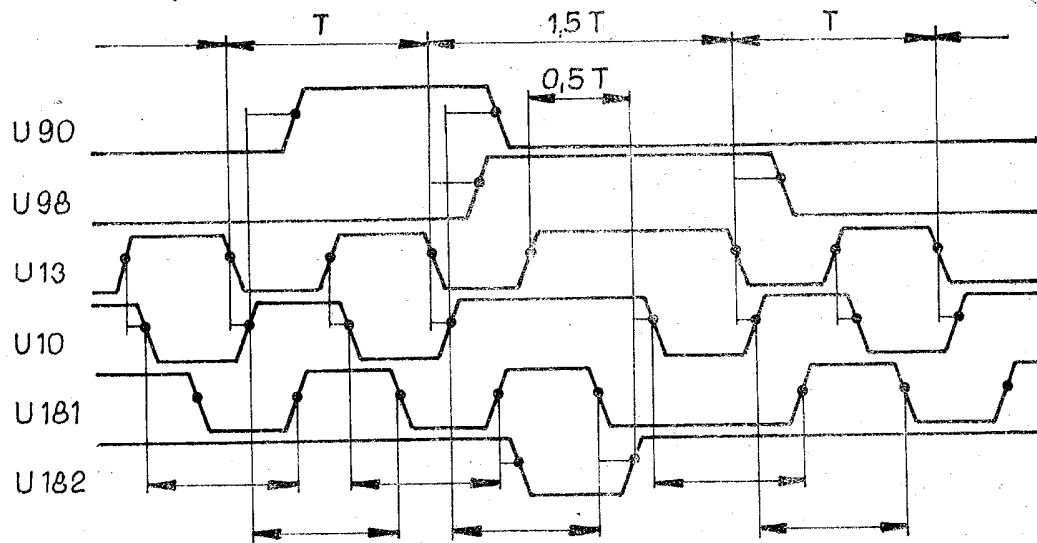


Obr. 3

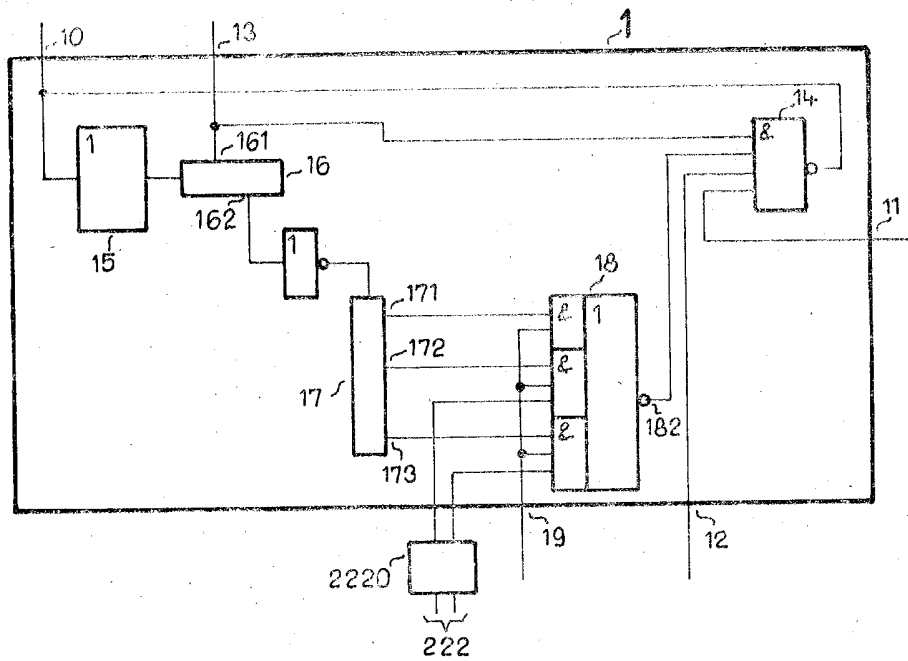


Oct. 4





Obr. 6



Obr. 7