

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/812 (2006.01)

H01L 29/06 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200480042075.0

[43] 公开日 2007 年 2 月 28 日

[11] 公开号 CN 1922738A

[22] 申请日 2004.11.18

[21] 申请号 200480042075.0

[30] 优先权

[32] 2004. 2. 25 [33] US [31] 10/786,962

[86] 国际申请 PCT/US2004/038894 2004.11.18

[87] 国际公布 WO2005/083788 英 2005.9.9

[85] 进入国家阶段日期 2006.8.24

[71] 申请人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 S·T·阿伦 J·W·米利甘

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 梁 永

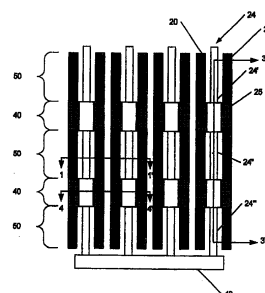
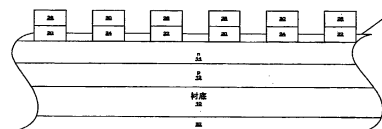
权利要求书 3 页 说明书 9 页 附图 5 页

[54] 发明名称

具有热隔离物的半导体器件

[57] 摘要

大功率、高频半导体器件具有并联连接的多个单位单元。每个单位单元具有控制电极以及第一和第二受控电极。热隔离物(即,电学无源区域)将至少一个单元分成第一有源部分和第二有源部分,该第二有源部分被热隔离物与第一部分分离。单元的控制电极以及第一和第二受控电极与该第一热隔离物交叉。



1. 一种大功率、高频半导体器件，包含：

并联连接的多个单位单元，每个单位单元都具有控制电极以及第一和第二受控电极；以及

热隔离物，其将至少一个单位单元分成第一有源部分和第二有源部分，该第二有源部分通过该热隔离物与第一部分隔开，该至少一个单位单元的控制电极以及第一和第二受控电极延伸跨过该第一热隔离物。

2. 权利要求1的大功率、高频半导体器件，其中热隔离物包含第一热隔离物，该半导体器件还包含第二热隔离物，该第二热隔离物将该至少一个单位单元分成第三有源部分，该第三有源部分与第一和第二有源部分隔开，且该至少一个单位单元的控制电极以及第一和第二受控电极延伸跨过该第二热隔离物。

3. 权利要求2的大功率、高频半导体器件，还包含第三热隔离物，其将相邻单位单元分成第一有源部分和第二有源部分，该相邻单位单元的控制电极以及第一和第二受控电极延伸跨过该第三热隔离物，且其中该第三热隔离物偏离该第一和第二热隔离物。

4. 权利要求1的大功率、高频半导体器件，其中该至少一个单位单元的第一和第二有源部分包含台面，且其中热隔离物包含台面之间的区域。

5. 权利要求4的大功率、高频半导体器件，其中该至少一个单位单元的第一和/或第二受控电极中的至少一个包括跨越台面之间区域的空中桥。

6. 权利要求4的大功率、高频半导体器件，其中该至少一个单位单元的控制电极在台面的侧壁上提供，并延伸到台面之间区域的底面上。

7. 权利要求4的大功率、高频半导体器件，其中台面包含衬底上的外延层，且其中台面之间的区域包含衬底的暴露部分。

8. 权利要求1的大功率、高频半导体器件，其中热隔离物包含该至少一个单位单元的第一和第二有源部分之间的电学无源注入区域和/或绝缘区域。

9. 权利要求1的大功率、高频半导体器件，其中在控制电极跨越

热隔离物处的控制电极的横截面积大于该至少一个单位单元的第一和第二有源部分上的控制电极的横截面积。

10. 权利要求 1 的大功率、高频半导体器件，其中在控制电极跨越热隔离物处的控制电极的宽度大于该至少一个单位单元的第一和第二有源部分上的控制电极的宽度。

11. 权利要求 1 的大功率、高频半导体器件，其中热隔离物构造：对于一组特定工作条件，与相应的单栅极器件相比，提供更低的峰值结温。

12. 权利要求 1 的大功率、高频半导体器件，其中单位单元包括排列成线性阵列的多个单位单元。

13. 权利要求 1 的大功率、高频半导体器件，其中控制电极包含栅极指，且第一和第二受控电极包含源电极和漏电极。

14. 权利要求 13 的大功率、高频半导体器件，其中单位单元包含碳化硅 MESFET 的单位单元。

15. 权利要求 13 的大功率、高频半导体器件，其中单位单元包含 GaN 晶体管的单位单元。

16. 权利要求 1 的大功率、高频半导体器件，其中热隔离物包含构造在该半导体器件工作时不产生热量的电学无源区域。

17. 一种大功率、高频场效应晶体管，包含：

并联电连接的多个单位单元，每个单位单元具有源区和漏区；

多个单位单元的栅电极，该多个栅电极并联电连接；

多个单位单元的源电极，该多个源电极并联电连接；

多个单位单元的漏电极，该多个漏电极并联电连接；以及

多个热隔离物，将该多个单位单元中相应的那些分成至少第一有源部分和第二有源部分，并且其中单位单元的栅电极、源电极和漏电极与相应的热隔离物交叉。

18. 权利要求 17 的场效应晶体管，其中该多个单位单元包含单位单元的线性阵列。

19. 权利要求 17 的场效应晶体管，其中该多个热隔离物提供棋盘图形。

20. 权利要求 17 的场效应晶体管，其中该多个热隔离物在尺寸上基本一致。

21. 权利要求 17 的场效应晶体管, 其中该多个热隔离物在相邻单元之间对准。

22. 权利要求 17 的场效应晶体管, 其中该多个热隔离物在尺寸上不一致。

23. 权利要求 17 的场效应晶体管, 其中该多个单位单元包含多个碳化硅单位单元。

24. 权利要求 17 的场效应晶体管, 其中该多个单位单元包含多个氮化镓基单位单元。

25. 权利要求 17 的场效应晶体管, 其中单位单元的第一和第二有源部分包含台面, 且其中热隔离物包含台面之间的区域。

26. 权利要求 25 的场效应晶体管, 其中单位单元的第一和/或第二受控电极中至少一个包括跨越台面之间区域的空中桥。

27. 权利要求 25 的场效应晶体管, 其中单位单元的控制电极在台面的侧壁上提供, 并延伸到台面之间区域的底面上。

28. 权利要求 25 的场效应晶体管, 其中台面包含衬底上的外延层, 且其中台面之间的区域包含衬底的暴露部分。

29. 权利要求 17 的场效应晶体管, 其中热隔离物包含单位单元的第一和第二有源部分之间的电学无源注入区域和/或绝缘区域。

30. 权利要求 17 的场效应晶体管, 其中在控制电极跨越热隔离物处的控制电极的横截面积大于单位单元的第一和第二有源部分上的控制电极的横截面积。

31. 权利要求 17 的场效应晶体管, 其中在控制电极跨越热隔离物处的控制电极的宽度大于单位单元的第一和第二有源部分上的控制电极的宽度。

32. 权利要求 17 的场效应晶体管, 其中热隔离物构造成: 对于一组特定工作条件, 与相应的单栅极器件相比, 提供更低的峰值结温。

33. 权利要求 17 的场效应晶体管, 其中热隔离物包含电学无源区域, 以便在该场效应晶体管工作时不产生热量。

具有热隔离物的半导体器件

政府投资声明

在美国海军资助的合同号 N39997-99-C-3761 下，在政府支持下开展本发明。政府在本发明中具有某些权利。

技术领域

本发明涉及微电子器件，更具体而言，涉及大功率半导体器件。

背景技术

近年来，需要大功率处理能力 ($>20\text{ w}$) 同时工作在高频（例如，射频 (500 MHz)，S 波段 (3 GHz) 和 X 波段 (10 GHz)）的电路越来越流行。因为在大功率方面的增加，高频电路对能够可靠工作在射频及以上同时能够处理更大功率负载的晶体管的需求也随之增加。

为提供增强的功率处理能力，发展了具有较大有效面积的晶体管。然而，当晶体管的面积增加时，一般地，晶体管变得更不适于高频操作。增加晶体管面积同时仍然提供高频操作的一个技术是使用多个并联的晶体管单元。这可以使用多个栅极指提供，这样，源极到漏极的距离可以保持相对小，同时仍然提供增强的功率处理能力。一般而言，当多个并联晶体管单元在单个芯片上并联连接时，这些单元是均匀地隔开的，使得相邻单元之间的栅极-栅极距离（此处称为“间距”或“栅间距”）是相等的。

当这种多单元晶体管用在高频操作中时，它们可能产生大量的热量。当器件变热时，器件的性能通常退化。这种退化可以在增益、线性度和/或可靠性中看出。这样，努力保持晶体管的结温处于峰值操作温度以下。一般地，使用散热器和/或风扇以保持器件冷却，从而确保适当的功能和可靠性。然而，冷却系统可能增加采用这种晶体管的系统的尺寸、耗电量、成本和/或工作成本。

使用相等间距的多单元晶体管，阵列的中心附近的单元的温度一般比外围的单元的温度高。这一般是因为外围处的单元具有较大的面积和/或这些单元周围区域的较大的热梯度。这样，例如，多单元阵列

中心附近的相邻单元每个都将产生热量，这样，相对于远离中心的单元，这些单元的每侧将处于升高的温度。这导致基本钟形曲线的热分布，中心结温最高，和中心结相比，最外面的结具有显著降低的工作温度。

器件的结之间的不均匀的温度分布可以减小器件的线性度。例如，对于具有由多支管（manifold）相连的多个均匀间隔的栅极指的器件，因为栅电阻作为温度的函数不同，沿着栅多支管和各个栅极指都可能产生 RF 相位调节误差。一般地，为解决这些问题，栅极指之间的间隔被加宽和/或指的长度被缩短，且添加额外的指以获得相同的净有源面积。这两个解决方案都可以导致在更大的面积上分散器件的中心处产生的热负载。这些解决方案还可导致多单元晶体管的面积更大，这可能减小每个晶片上管芯数。

发明内容

本发明的实施例提供一种高频、大功率半导体器件，其具有并联连接的多个单位单元。每个单位单元都具有控制电极以及第一和第二受控电极。第一热隔离物将至少一个单位单元分成第一有源部分和第二有源部分，第二有源部分通过该热隔离物与第一有源部分分离。该单位单元的控制电极以及第一和第二受控电极在第一热隔离物上提供。

本发明的另一些实施例中，第二热隔离物将该单位单元分成第三有源部分。该第三有源部分与第一和第二有源部分隔开。该单位单元的控制电极以及第一和第二受控电极也在第二热隔离物上提供。

本发明的另一些实施例中，第三热隔离物将相邻的单位单元分成第一有源部分和第二有源部分。在该第三热隔离物上提供该相邻单位单元的控制电极以及第一和第二受控电极。该第三热隔离物偏离于第一和第二热隔离物。

本发明的另一些实施例中，单位单元的第一和第二有源部分包括台面，且第一热隔离物包括台面之间的区域。而且，单位单元的第一和/或第二受控电极可以包括跨越台面之间区域的空中桥（air bridge）。单位单元的控制电极可以在台面的侧壁上提供，并延伸到台面之间的区域的底面上。台面可以包括衬底上的外延层，且台面之

间的区域可以包括衬底的暴露区域。

本发明的另一些实施例中，通过单位单元的第一和第二有源部分之间的电学无源注入区域和/或隔离区域提供第一热隔离物。而且，控制电极跨越第一热隔离物处的控制电极的横截面积大于所述至少一个单位单元的第一和第二有源部分上的控制电极的横截面积。同样，对于一组特定的工作条件，热隔离物可以提供比相应的单栅器件更低的峰值结温。

本发明的特定实施例中，单位单元是排列成线性阵列的多个单位单元。而且，控制电极可以是栅极指，且第一和第二受控电极可以是源电极和漏电极。单位单元可以是碳化硅 MESFET 的单位单元。单位单元也可以是 GaN 晶体管的单位单元。

本发明的其它实施例中，大功率、高频场效应晶体管包括并联电连接的多个单元。多个单位单元的栅电极并联电连接。多个单位单元的源电极和多个单位单元的漏电极也并联电连接。多个热隔离物将该多个单位单元中相应的那些分成至少第一有源部分和第二有源部分。单位单元的栅电极、源电极和漏电极与相应的热隔离物交叉 (cross over)。

本发明的某些实施例中，该多个单位单元包含单位单元的线性阵列。该多个热隔离物可以提供棋盘图形。该多个热隔离物在尺寸上可以基本一致或在尺寸上可以不一致。该多个热隔离物也可以在相邻单元之间对准。

本发明的其它实施例中，多个单位单元是多个碳化硅单位单元。多个单位单元也可以是多个氮化镓基单位单元。

本发明的其它实施例中，单位单元的第一和第二有源部分包括台面，且多个热隔离物包括台面之间的区域。而且，单位单元的第一和/或第二受控电极可以包括跨越台面之间相应区域的空中桥。单位单元的控制电极可以在台面的侧壁上提供，并延伸到台面之间的区域的底面上。台面可以包括衬底上的外延层，台面之间的区域可以包括衬底的暴露部分。

本发明的另一些实施例中，通过单位单元的第一和第二有源部分之间的电学无源注入区域和/或隔离区域提供热隔离物。而且，控制电极跨越热隔离物处的控制电极的横截面积大于单位单元的第一和第二

有源部分上的控制电极的横截面积。同样，对于一组特定的工作条件，热隔离物可以提供比相应的单栅器件更低的峰值结温。

附图说明

结合示出示例性实施例的附图，考虑下面的本发明的下列详细描述，本发明的优点和特征以及其完成方式将更为显而易见，附图中：

图 1 是根据本发明的实施例的多单元晶体管的一部分的截面图；

图 2 是根据本发明的实施例的多单元晶体管的一部分的平面图；

图 3 是根据本发明的实施例的多单元晶体管的一部分的截面图；

图 4 是根据本发明的实施例的多单元晶体管的一部分的截面图；

图 5A 是单栅极指器件的热模型；以及

图 5B 是根据本发明的实施例，与图 5A 的单栅极指器件相对应的分割的栅极指器件的热模型。

具体实施方式

现在参考附图描述本发明，附图示出了本发明的各种实施例。如附图所示，为了说明的目的，层或区域的尺寸被放大，从而用于示出本发明的一般性的结构。而且，本发明的各个方面将参考衬底或其它层上形成的层进行描述。本领域技术人员应当理解，提及在另一层或衬底上形成的层表示可以插入额外的层。这里将提及的在另一层或衬底上形成的而没有插入层的层描述为“直接”在该层或衬底上。贯穿所有的附图，相同数字指示相似的元件。这里使用的术语“和/或”包括一个或多个相关所列项目的任意和所有组合。

应当理解，尽管这里可以使用术语第一和第二描述各种元件、部件、区域、层和/或部分，这些元件、部件、区域、层、和/或部分不应受这些术语的限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一区域、层或部分区分。这样，下面讨论的第一区域、层或部分可以称为第二区域、层或部分，并且对于第二也是类似地，而不偏离本发明的示范。

现在参考图 1 到 3 描述本发明的实施例，其中图 2 是根据本发明的实施例的示例性器件的顶视图。图 1 是沿线 1-1'的图 2 中的器件的部分截面图。图 3 是沿线 3-3'的图 2 的器件的部分截面图。图 4 是沿

线 4-4' 的图 2 的器件的部分截面图。

图 1 示出了根据本发明实施例的示例性晶体管的一部分。尽管本发明的实施例将参考 SiC 金属半导体场效应晶体管 (MESFET) 得以描述, 本发明不应理解成受限于这些器件。因此, 本发明的实施例可以包括其它具有多个单位单元的晶体管器件, 例如双极结型晶体管。这样, 尽管本发明的实施例将参考不等栅间距进行描述, 这里提及的“栅极”表示半导体器件的控制电极。本发明的实施例可适用于任何希望更/相对均匀的结温并存在器件的多个单位单元的半导体器件。因此, 例如, 本发明的实施例可以适用于非碳化硅器件, 例如, GaN、GaAs 和/或 Si 器件。相应地, 本发明的实施例可以提供, 例如, SiC MESFET、SiC MESFET MMIC、SiC SIT、GaN HEMT、GaN HEMT MMIC、Si LDMOS、GaAs MESFET、GaAs MESFET MMIC、GaAs HEMT、GaAs HEMT MMIC、GaAs pHEMT 和/或 GaAs pHEMT MMIC。

如图 1 所示, 结合本发明实施例的 MESFET 的示例性部分可以包括具有 p 型导电性的第一外延层 12, 生长在具有 p 型或 n 型导电性或半绝缘的单晶碳化硅衬底 10 上。碳化硅的第一外延层 12 位于衬底 10 和 n 型外延层 14 之间。可选的金属层 32 可以在与第一外延层 12 相对的衬底一侧上形成。

第一外延层 12 可以是 p 型导电性的碳化硅外延层、不掺杂碳化硅外延层或很低掺杂的 n 型导电性碳化硅外延层。如果使用低掺杂的碳化硅外延层, 则在某些实施例中, 第一外延层 12 的掺杂浓度小于约 $5 \times 10^{15} \text{cm}^{-3}$ 。如果使用不掺杂的或 n 型第一外延层 12, 则在某些实施例中, 衬底 10 是半绝缘碳化硅衬底。如果使用不掺杂的或 n 型第一外延层 12, 可以形成高质量的沟道层而不需要对晶体管具有任何显著电学影响的缓冲层。

欧姆接触 20 和 22 可以在第二外延层 14 上形成并被隔开, 从而提供源极接触 20 和漏极接触 22。一系列肖特基栅极接触 24, 也称为栅极指, 在第二外延层 14 层上形成, 位于相应的源极接触 20 和漏极接触 22 之间。如图所示, 在源极和漏极接触 20 和 22 以及肖特基栅极接触 24 上形成可选的金属覆盖层 26、28 和 30。还可以提供钝化层 60。如图 1 所示, 本发明的某些实施例提供并联连接的单元的线性阵列。这样, 栅极接触 24 可以在第三维度上并联连接。本发明的另一些实施

例中可以提供二维的单元阵列。

尽管图 1 示出了两个栅极指 24，也可以使用其它数目的栅极指。而且，还可以使用其它 MESFET 或半导体器件结构。例如，诸如美国专利 No. 4,762,806、4,757,028、5,270,554 和 5,925,895 中描述的那些器件（此处引用这些专利的全部公开内容作为参考），可以用在本发明的实施例中。而且本发明的实施例可以使用下面共同转让的美国专利申请中描述的那些器件：2000 年 5 月 10 提交的名为“SILICON CARBIDE METAL - SEMICONDUCTOR FIELD EFFECT TRANSISTORS AND METHODS OF FABRICATING SILICON CARBIDE METAL - SEMICONDUCTOR FIELD EFFECT TRANSISTORS”的序列号为 No. 09/567,717 的申请；于 2001 年 10 月 24 日提交的名为“DELTA DOPED SILICON CARBIDE METAL - SEMICONDUCTOR FIELD EFFECT TRANSISTORS AND METHODS OF FABRICATING DELTA DOPED SILICON CARBIDE METAL - SEMICONDUCTOR FIELD EFFECT TRANSISTORS HAVING A GATE DISPOSED IN A DOUBLE RECESS STRUCTURE”的序列号 No. 10/136,456 的申请；以及于 2002 年 11 月 26 日提交，名为“TRANSISTORS HAVING BURIED P-TYPE LAYER BENEATH THE SOURCE REGION AND MEHTODS OF FABRICATING THE SAME”的序列号为 No. 10/304,272 的申请，此处引用这些公开的全部内容如同在此完全阐述一样。然而，本发明的实施例不限于 MESFET，而可以用于其它器件，这些器件具有控制电极阵列，且在某些实施例中，具有控制电极的线性阵列。

图 2 是根据本发明的某些实施例的器件的顶视图。该器件可以是如图 1 中所示的 SiC MESFET。图 2 中，多个栅极指 24 被热隔离物 40 分成第一部分 24'、第二部分 24''和第三部分 24'''。尽管图 2 中通过两个热隔离物 40 提供栅极指 24 的三个部分，还可以提供其它数目的热隔离物 40。例如，单个热隔离物可以将栅极指分成第一和第二部分。提供导电的多支管 42 以并联连接栅极指 24。

可以通过沿着栅极指 24 提供插入在电学有源区域之间的电学无源区域而提供热隔离物 40，使得电学无源区域不产生热量。例如，可以通过去除外延层 12 和 14 中的一个多个的全部或部分以暴露下面的层和/或衬底 10 而提供这种电学无源区域。本发明的特定实施例中，热隔离物 40 包含一部分半绝缘的碳化硅衬底，而不包含外延层 12 和 14。

另一些实施例中，热隔离物 40 包含一部分半绝缘碳化硅衬底而不包含外延层 14，仅包含部分半导体层 12。还可以通过反掺杂、局部氧化工艺或其它类似技术提供热隔离物 40，使热隔离物区域电学无源。例如，可以通过蚀刻的台面、离子注入区域、添加电介质或提供电学隔离的其它机制，完成热隔离物对有源区域的分割。这里，术语“电学无源”指不管施加到受控电极上的电压或电流如何，在受控电极（如存在）之间都基本没有电流流过的区域。因此，例如，无论栅极指 24 的电压如何，在热隔离物区域 40 中都没有电流从源电极 20 流动到漏电极 22，所以不产生热量。

热隔离物 40 可以提供电学无源区域，例如，对于碳化硅，每个隔离物的长度为约 $50\ \mu\text{m}$ ~约 $200\ \mu\text{m}$ 。热隔离物的特定长度可取决于栅极宽度（即，栅极指的长度）。每个栅极指的热隔离物的数目可以一致也可以不一致。例如，对于 $500\ \mu\text{m}$ 有源区域，栅极指可以被两个 $100\ \mu\text{m}$ 热隔离物分成三个相等片段。或者， $500\ \mu\text{m}$ 有源区域的栅极指可以被单个 $200\ \mu\text{m}$ 的热隔离物分成两个相等的片段。

在 RF 晶体管的设计中，沿着每个栅极指的寄生电阻、电感和电容是很重要的。每个栅极指的长度一般被热学考虑和频率响应所限制。当所需的工作频率增加时，一般减小栅极指的长度，因为减小沿着栅极指的串联电阻和电感增加了晶体管的最大工作频率（ f_{max} ）。因此，在某些应用中，理想的是热隔离物的添加对晶体管的频率性能不产生负面影响。

图 3 和 4 是根据本发明的某些实施例的器件的一部分的截面图。如图 3 所示，通过去除外延层 12 和 14 的一部分，提供对应于器件的有源区域的台面 60，来提供隔离物区域 40。栅极导体 20 在外延层 12 和 14 的台面上提供，并继续沿着台面的侧壁向下到达衬底，并到达下一个台面。源极 20 和漏极 22 导体空架在（air bridged）台面 60 之间。通过采用空中桥或电介质横跨结构来横跨隔离物区域 40 以及源电极 20 和漏电极 22，可以减小和/或最小化寄生电容。栅电极 24 也可以是空架的，但是布局中的空间限制可能不允许这样。

通过在热隔离物上外展（flare out）栅极而包括热隔离物也可以减小和/或最小化寄生，以便最小化串联电阻和电感的增加。这种外展栅极结构在图 2 中显示为栅极指 24 的区域 25。外展区域 25 中的栅极

指 24 可以具有约 $1\mu\text{m}$ ~约 $20\mu\text{m}$ 的宽度。这样,栅极指 24 的区域 25 可以具有增加的宽度,这可以在有源区域 50 内的栅极指 24 的一些部分上提供增加的横截面积。

尽管本发明的实施例参考不一致的栅极导体宽度以及源极和漏极导体的空中桥加以描述,本发明不应理解成受限于这些实施例。例如,本发明的某些实施例中,栅极指的导体可以基本等宽。而且,源极和漏极接触的导体可以与下面的区域接触,所述下面的区域例如为衬底 10 和/或热隔离物的以其它方式电学无源的区域。例如,图 3 中的台面之间的区域可以填充以绝缘体,例如氧化物,且在该绝缘体上提供栅极导体以及源极和漏极区域。

而且,尽管图 1 到 4 所示的热隔离物在每个栅极指中具有相同数目的隔离物,但是可以在不同的指中提供不同数目的隔离物。例如,可以提供棋盘图形的隔离物,其中,相邻指具有不同数目的隔离物。这样,第一栅极指可以具有大约位于该指中心的单个隔离物,相邻的指可以具有中心位于该指长度的约 $1/3$ 和 $2/3$ 处的两个隔离物。这种棋盘图形在提供更均匀热分布方面是有利的,因为相邻指的有源部分在两个维度上相互隔开。棋盘图形还可以减小空中桥之间的相互耦合。

而且,除了结合热隔离物,栅极指 24 之间的间距可以不等。例如,间距可以向着器件中心从小间距变成大间距。通过增加器件的中心处的间距,增大的散热面积可以补偿器件中心处减小的热梯度,从而可以缓和与各个栅极指相关的结温。因为峰值结温减小,所以可以提供更为均匀的结温,在相同的工作条件下,这将获得与常规均匀隔开的器件相比改善的可靠性。而且,更为均匀的热分布可以减小指之间的阻抗差异,由此改善了 RF 器件的线性。这样,本发明的实施例可以包括名为“NON - UNIFORM GATE PITCH SEMICONDUCTOR DIVECES”(Attorney Docket No.5308 - 376)的美国专利申请序列号 No. -- 中描述的不均匀栅间距,该申请的公开内容此处全部引用作为参考,如同对其进行了全面阐述一样。

实例

下面的实例是本发明的某些实施例的说明,不应理解成限制了本

发明。

对单栅极指器件（图 5A）和分割的栅极指器件（图 5B）这两种情况，热学模拟了为连续波（CW）操作设计的具有 30 mm 有源栅极外围的 SiC MESFET MMIC。对于小于 4 GHz 的频率，每个指可以是 500 μm 长。包括 CuW 封装和 AuSn 焊接的影响的热学模型显示出封装的背侧维持在 90℃ 的温度。指相隔 80 μm 。该模型显示：对于单一栅极指器件，最大结温大约为 180℃（图 5A）。该模型还示出：通过将每个栅极指分成两个 250 μm 的片段并在它们之间结合 200 μm 的热隔离物，最大结温减小到 158℃（图 5B）。沿着每个指的温度的最大差异也从约 39℃ 减小到约 28℃，大约减小 28%，由此，潜在地改善了响应的线性。不引入热隔离物，为获得最大结温的相同减小，则需要使栅间距从 80 μm 增大到 100 μm 。

热隔离物使用的潜在优势可以通过比较两种情况的 MMIC 芯片面积看出。作为具体实例，假设，对于最初的 80 μm 间距的设计，MMIC 芯片是 5.0 mm $\times$ 5.0 mm。通过将间距增大到 100 μm ，MMIC 芯片增大到 6.0 mm $\times$ 5.0 mm，面积增大 20%。与此对照，通过结合 200 μm 的热隔离物获得最大结温的相同减小，芯片尺寸变成 5.0 mm $\times$ 5.2 mm，面积增加仅为 4%。

附图和说明书中，公开了本发明的典型实施例，尽管采用了特定术语，它们仅用于一般性和描述性的意义，并没有限制的目的，本发明的范围受下面的权利要求的限制。

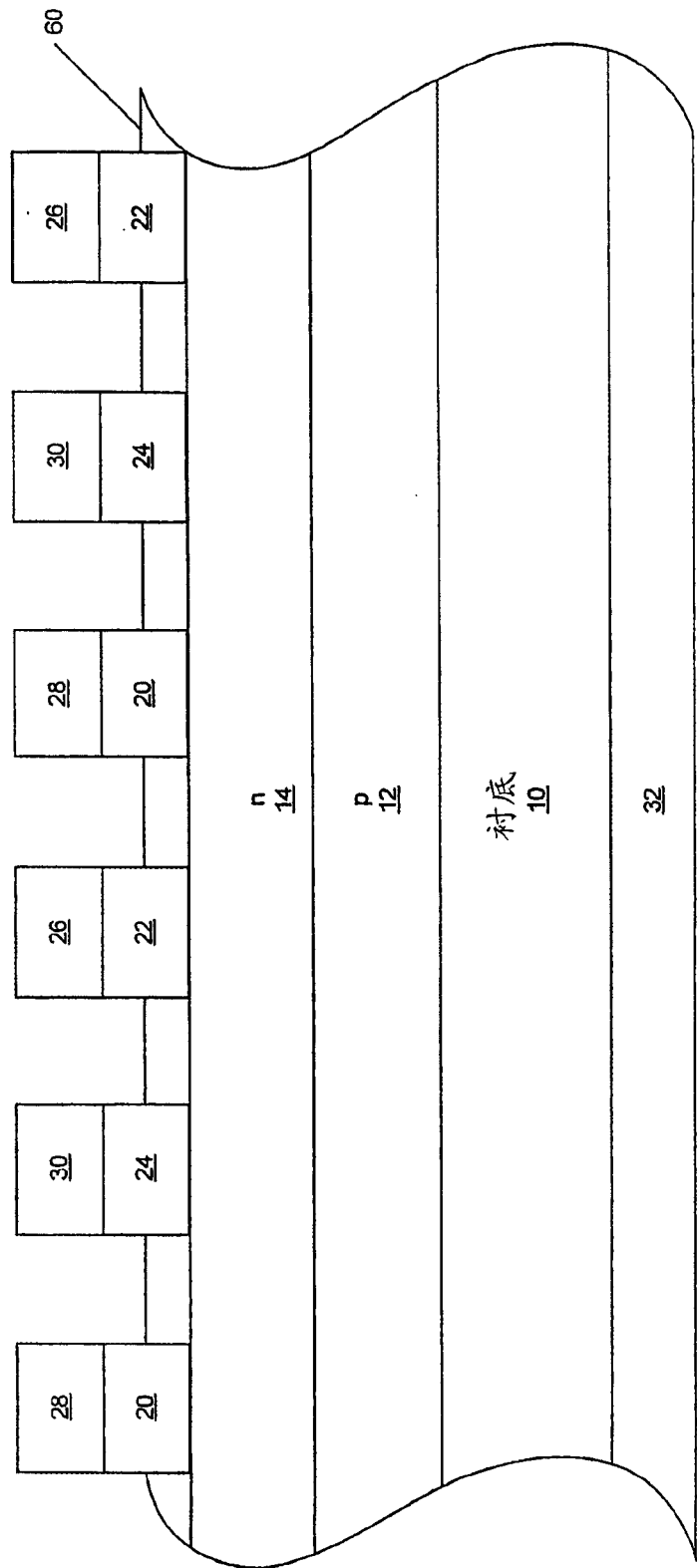


图 1

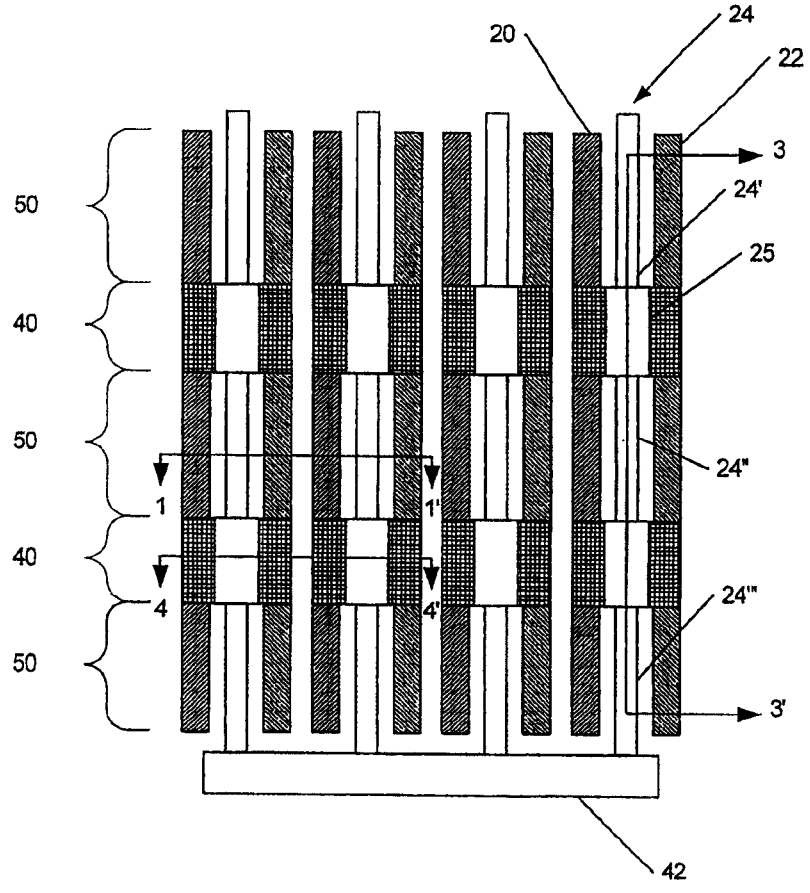


图 2

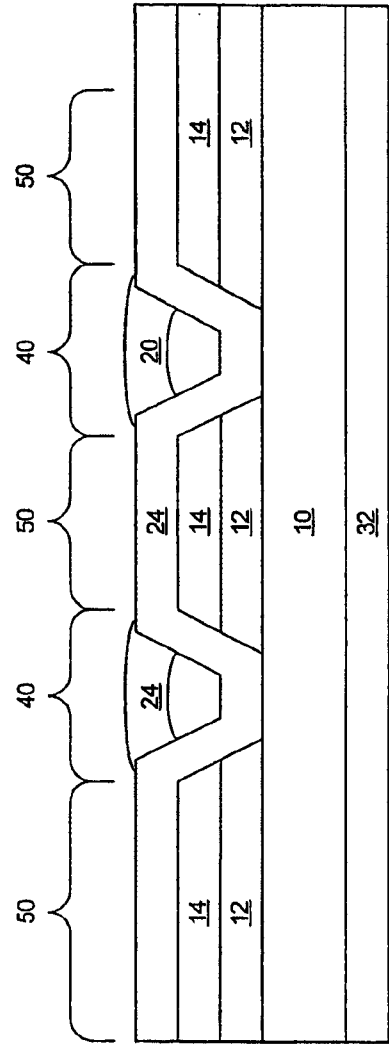


图 3

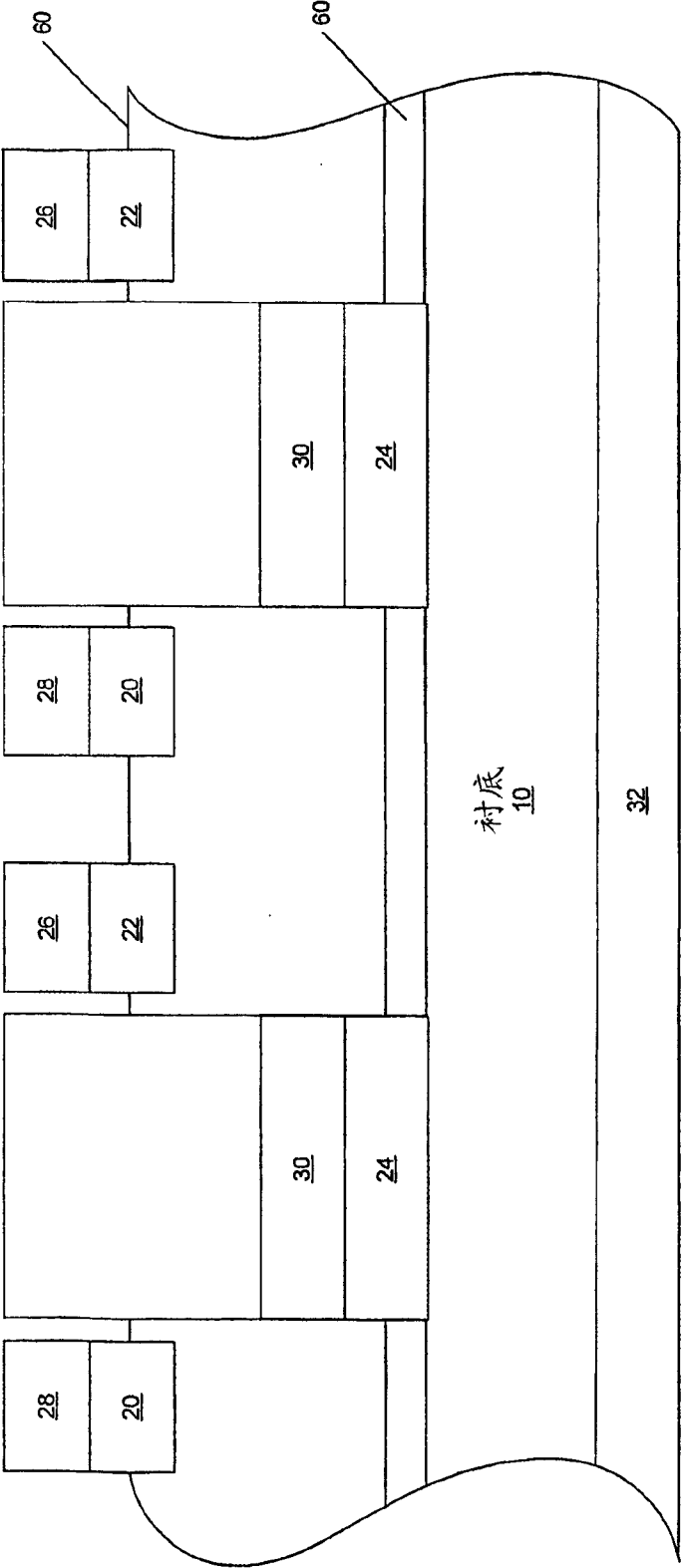


图 4

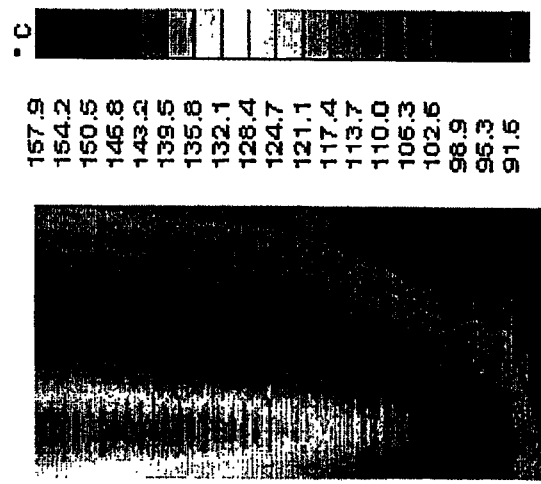


图 5A

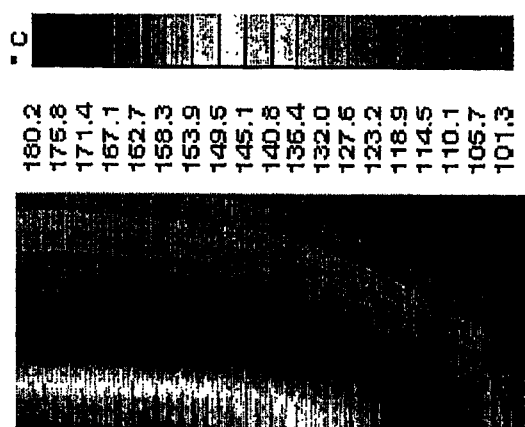


图 5B