



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0001005
(43) 공개일자 2017년01월04일

(51) 국제특허분류(Int. Cl.)
G01H 11/00 (2006.01)

(52) CPC특허분류
G01H 11/00 (2013.01)

(21) 출원번호 10-2015-0090311

(22) 출원일자 2015년06월25일

심사청구일자 2015년06월25일

(71) 출원인

주식회사 디에스텍

서울특별시 구로구 디지털로32길 30, 1112(구로동, 코오롱디지털타워빌란트)

(72) 발명자

김중문

서울특별시 강남구 언주로 420, 102동 2802호 (역삼동, 역삼자이아파트)

권준용

서울특별시 구로구 남부순환로97길 50, 101동 502호 (개봉동, 상우아파트)

(74) 대리인

특허법인다울

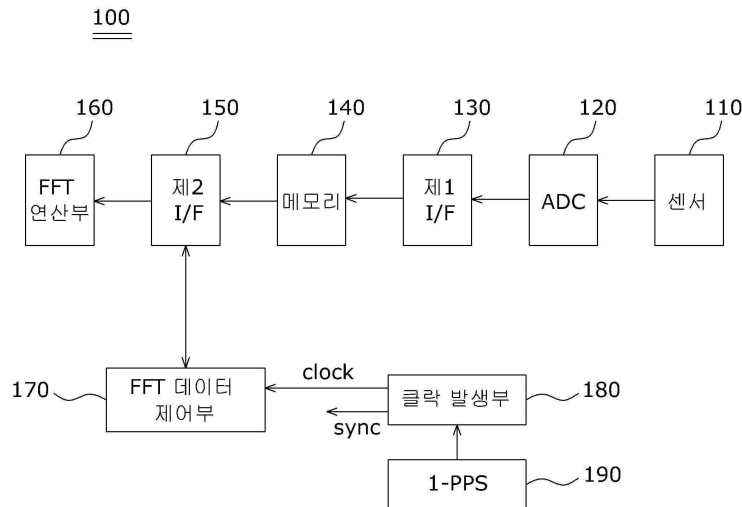
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 실시간 주파수 계산을 위한 진동 계측기

(57) 요약

본 발명은 실시간 주파수 계산을 위한 진동 계측기에 관한 것으로서, 측정 대상 구조물에 부착되어 구조물에서 발생하는 진동을 감지하는 센서; 상기 센서로부터 감지된 진동을 디지털 데이터로 변환하는 아날로그-디지털 변환기; 상기 디지털 데이터를 저장하는 메모리; 상기 디지털 데이터의 고속 푸리에 변환을 수행하는 고속 푸리에 변환 연산부; 및 상기 메모리에 저장된 디지털 데이터의 특성에 기초하여 해당 데이터의 고속 푸리에 변환 여부를 결정하는 고속 푸리에 변환 데이터 제어부를 포함하는 실시간 주파수 계산을 위한 진동 계측기를 제공한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 2014-050-005-058

부처명 미래창조과학부

연구관리전문기관 한국방송통신전파진흥원

연구사업명 정보통신·방송 중소기업지원 연구개발사업

연구과제명 글로벌 전문 기술개발

기 여 율 1/1

주관기관 (주)디에스텍

연구기간 2014.07.01 ~ 2016.06.30

명세서

청구범위

청구항 1

측정 대상 구조물에 부착되어 구조물에서 발생하는 진동을 감지하는 센서;
 상기 센서로부터 감지된 진동을 디지털 데이터로 변환하는 아날로그-디지털 변환기;
 상기 디지털 데이터를 저장하는 메모리;
 상기 디지털 데이터의 고속 푸리에 변환을 수행하는 고속 푸리에 변환 연산부; 및
 상기 메모리에 저장된 디지털 데이터의 특성에 기초하여 해당 데이터의 고속 푸리에 변환 여부를 결정하는 고속 푸리에 변환 데이터 제어부를 포함하는 실시간 주파수 계산을 위한 진동 계측기.

청구항 2

청구항 1에 있어서,
 기준 클락 및 동기 신호를 생성하는 클락 발생부를 더 포함하고,
 상기 클락 발생부는 지피에스(global positioning system, GPS)로부터 제공되는 1-PPS(1 pulse per second)를 기초로 하여 상기 기준 클락 및 상기 동기 신호를 생성하는 것을 특징으로 하는 실시간 주파수 계산을 위한 진동 계측기.

청구항 3

청구항 1에 있어서,
 상기 메모리는 상기 아날로그-디지털 변환기로부터 변환되어 생성되는 디지털 데이터를 제1 बैं크 및 제2 बैं크에 교번하여 저장하는 것을 특징으로 하는 실시간 주파수 계산을 위한 진동 계측기.

청구항 4

청구항 1에 있어서,
 상기 고속 푸리에 변환 데이터 제어부는 각 बैं크에 저장된 디지털 데이터가 미리 정해진 임계값에 해당되는 경우 해당 बैं크에 저장된 디지털 데이터를 상기 고속 푸리에 변환 연산부로 전송시키는 것을 특징으로 하는 실시간 주파수 계산을 위한 진동 계측기.

청구항 5

청구항 1에 있어서,
 상기 고속 푸리에 변환 데이터 제어부는 일정 주기로 각 बैं크에 저장된 디지털 데이터를 상기 고속 푸리에 변환 연산부로 전송시키는 것을 특징으로 하는 실시간 주파수 계산을 위한 진동 계측기.

청구항 6

청구항 1에 있어서,

상기 고속 푸리에 변환 연산부 및 상기 고속 푸리에 변환 데이터 제어부는 프로그램머블 게이트 어레이(field programmable gate array, FPGA)로 구현되는 것을 특징으로 하는 실시간 주파수 계산을 위한 진동 계측기.

발명의 설명

기술 분야

- [0001] 본 발명은 실시간 주파수 계산을 위한 진동 계측기에 관한 것으로서, 구체적으로는 진동계에서 발생하는 신호를 필드 프로그램머블 게이트 어레이(field programmable gate array, FPGA)를 기반으로 고속 푸리에 변환(fast fourier transform, FFT) 제어회로를 구성하여 실시간 주파수 해석이 가능한 진동 계측기에 관한 것이다.

배경 기술

- [0002] 사회가 고도화되면서 다양하고 복잡한 인공 구조물을 만들어지고 있으며, 과거에 만들어진 인공 구조물에 대해서도 유지 보수 또는 새롭게 만드는 작업이 이루어지고 있다. 이러한 작업을 위하여 건설에서는 일회성의 안전 진단을 시행하게 된다. 이러한 일회성 안전 진단이 기술 발전과 더불어서 상시로 감시하려고 하는 요구도 많이 증가하고 있다. 실제로 고도의 안전을 필요로 하는 구조물에서는 상시 감시를 하고 있다.
- [0003] 이러한 감시를 위한 다양한 장비가 있으며, 제시하는 진동계(속도계, 가속도계)도 이러한 계측 장비중 하나이다. 외부에서 발생하는 진동을 측정하는 진동계는 실시간으로 계측을 하여야 한다. 실시간 계측 결과로 진폭 크기는 나오지만 구조물의 고유주파수는 실시간으로 나오지 않아서 오프라인으로 계산을 하게 된다. 이러한 오프라인 계산은 전문가의 분석을 요하는 것이다. 이러한 단점을 보완하기 위하여 실시간 주파수 해석이 가능한 진동계를 만들기 위한 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 종래의 오프라인 계산에 따른 단점을 해결하기 위해 제안된 것으로서, FPGA(field programmable gate array)를 기반으로 구성된 FFT(fast fourier transform) 제어회로에 의해 진동계에서 발생하는 신호의 실시간 해석이 가능한 진동 계측기를 제공하는 데 그 목적이 있다.
- [0005] 한편 본 발명의 해결과제는 이상에서 언급한 것에 한정되지 않으며, 언급되지 아니한 다른 해결과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 상기 기술적 과제를 달성하기 위해 개시된 기술은 측정 대상 구조물에 부착되어 구조물에서 발생하는 진동을 감지하는 센서; 상기 센서로부터 감지된 진동을 디지털 데이터로 변환하는 아날로그-디지털 변환기; 상기 디지털 데이터를 저장하는 메모리; 상기 디지털 데이터의 고속 푸리에 변환을 수행하는 고속 푸리에 변환 연산부; 및 상기 메모리에 저장된 디지털 데이터의 특성에 기초하여 해당 데이터의 고속 푸리에 변환 여부를 결정하는 고속 푸리에 변환 데이터 제어부를 포함하는 실시간 주파수 계산을 위한 진동 계측기를 제공한다.
- [0007] 이때, 기준 클락 및 동기 신호를 생성하는 클락 발생부를 더 포함하고, 상기 클락 발생부는 지피에스(global positioning system, GPS)로부터 제공되는 1-PPS(1 pulse per second)를 기초로 하여 상기 기준 클락 및 동기 신호를 생성할 수 있다.
- [0008] 이때, 상기 메모리는 상기 아날로그-디지털 변환기로부터 변환되어 생성되는 디지털 데이터를 분리된 बैं크에 교환하여 저장할 수 있다.
- [0009] 이때, 상기 고속 푸리에 변환 데이터 제어부는 각 बैं크에 저장된 디지털 데이터가 미리 정해진 임계값에 해당되는 경우 해당 बैं크에 저장된 디지털 데이터를 상기 고속 푸리에 변환 연산부로 전송시킬 수 있다.

[0010] 이때, 상기 고속 푸리에 변환 데이터 제어부는 일정 주기로 각 बैं크에 저장된 디지털 데이터를 상기 고속 푸리에 변환 연산부로 전송시킬 수 있다.

[0011] 이때, 상기 고속 푸리에 변환 연산부 및 상기 고속 푸리에 변환 데이터 제어부는 프로그램어블 게이트 어레이(field programmable gate array, FPGA)로 구현될 수 있다.

발명의 효과

[0012] 개시된 기술의 실시예들은 다음의 장점들을 포함하는 효과를 가질 수 있다. 다만, 개시된 기술의 실시예들이 이를 전부 포함하여야 한다는 의미는 아니므로, 개시된 기술의 권리범위는 이에 의하여 제한되는 것으로 이해되어서는 아니 될 것이다.

[0013] 본 발명에 의한 실시간 주파수 계산을 위한 진동 계측기는 FPGA를 기반으로 구성되는 FFT 제어회로에 의해 진동계에서 발생하는 신호를 실시간으로 처리하므로 신호 계측과 동시에 신호 처리가 가능한 장점을 가진다. 따라서, 구조물 등의 이상 유무를 분석하기 위한 추가적인 장비 또는 전문가의 분석을 필요로 하지 않아 노후 건물등과 같은 현장에 바로 적용할 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일실시예에 따른 실시간 주파수 계산을 위한 진동 계측기의 블록도이다.

도 2는 클락 발생부의 블록도이다.

도 3은 본 발명에 따른 복수개의 진동 계측기가 동기 연동되는 예를 도시한다.

도 4는 FFT 데이터 제어부의 블록도이다.

도 5는 디지털 데이터가 메모리에 저장되는 예를 설명한다.

도 6은 본 발명의 일실시예에 따른 실시간 주파수 계산을 위한 진동 계측기에서 수행되는 동작 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다. 그러나 본 발명의 실시형태는 여러 가지의 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로만 한정되는 것은 아니다. 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0016] 그리고 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때 이는 "직접적으로 연결"되어 있는 경우뿐만 아니라 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 "포함" 또는 "구비"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함하거나 구비할 수 있는 것을 의미한다.

[0017] 도 1은 본 발명의 일실시예에 따른 실시간 주파수 계산을 위한 진동 계측기의 블록도이다.

[0018] 도 1을 참조하면 본 발명에 의한 진동 계측기(100)는 센서(110), 아날로그-디지털 변환기(analog-to-digital converter, 이하 ADC(120)), 제1 인터페이스(130), 메모리(140), 제2 인터페이스(150), 고속 푸리에 변환 연산부(fast fourier transform 연산부, 이하 FFT 연산부(160)), 고속 푸리에 변환 데이터 제어부(이하, FFT 데이터 제어부(170) 및 클락 발생부(180)를 포함한다.

[0019] 센서(110)는 측정 대상 구조물에 부착되어 구조물에서 발생하는 진동을 감지한다. 측정 대상 구조물은 건물 또는 교량일 수 있다.

[0020] ADC(120)는 센서(110)로부터 감지되는 진동을 디지털 데이터로 변환한다. 디지털 데이터는 시간이 흐름에 따라 연속적으로 발생하는 데이터로서 제1 인터페이스(130)를 통해 메모리(140)에 저장된다. 일례로 디지털 데이터는 PCM(pulse code modulation) 방식 또는 기타 공지된 형식의 데이터 일 수 있다.

[0021] 본 발명에서 메모리(140)는 बैं크 타입으로 운영될 수 있다. 도 5는 디지털 데이터가 메모리에 저장되는 예를 설

명하는 것으로서, 연속적으로 생성되는 디지털 데이터는 제1뱅크(141)와 제2뱅크(142)에 교번되어 저장된다. 예를 들어 생성되는 시간 순으로 제1뱅크(141)에 저장하고 제1뱅크(141)의 저장된 데이터의 분석이 수행되는 동안 제2뱅크(142)에 데이터를 저장한다. 이어서 제2뱅크(142)에 저장된 데이터의 분석이 수행되는 동안 제1뱅크(141)를 비우고 새로운 데이터를 제1뱅크(141)에 저장할 수 있다. 도 5b에 도시된 경계 여유는 각 뱅크에 접근하는 시간 중간에 메모리를 읽어서 FFT를 수행하기 위한 버퍼이다.

- [0022] 이와 같이 메모리(140)를 데이터 수집과 데이터 분석용으로 제1뱅크(141)와 제2뱅크(142)를 번갈아 사용할 수 있다.
- [0023] 다양한 실시예에 의하면 메모리(140)는 생성되는 데이터의 입력과, 분석을 위해 데이터 출력을 동시에 수행할 수 있는 DPRAM(dual port RAM)으로도 구현할 수도 있으나, 접근 시간 등에 있어서 하나의 메모리를 뱅크 타입으로 운영하는 것이 보다 바람직하다.
- [0024] FFT 데이터 제어부(170)는 메모리(140)에 저장된 디지털 데이터의 특성에 기초하여 해당 데이터의 고속 푸리에 변환 여부를 결정한다. 도 4는 FFT 데이터 제어부의 블록도로서, 디지털 데이터의 고속 푸리에 변환 결정 과정을 설명한다.
- [0025] 도 4를 참조하면, FFT 데이터 제어부(170)는 메모리 리딩모듈(171), 임계값 분석모듈(172), 주기적 분석모듈(173) 및 FFT 결정 모듈(174)을 포함한다.
- [0026] 메모리 리딩모듈(171)은 메모리(140)의 뱅크 사용의 교번 순서에 따라 제1뱅크(141) 또는 제2뱅크(142)로부터 디지털 데이터를 불러온다.
- [0027] 임계값 분석모듈(172)은 불러진 디지털 데이터가 특정 임계값을 가지는지를 분석한다. 이때, 특정 임계값은 진동의 강도일 수도 있다. 예를 들어 측정된 강도가 미리 설정된 임계치를 넘어서는 강도인지를 판단하여 불러진 디지털 데이터가 FFT 대상 데이터인지를 판단한다.
- [0028] 주기적 분석모듈(173)은 불러진 디지털 데이터가 특정 주파수 또는 특정 지속 시간을 가지는지를 분석한다. 예를 들어 분석된 강도가 미리 설정된 값을 가지는 진동인지 판단하여 불러진 디지털 데이터가 FFT 대상 데이터인지를 판단한다.
- [0029] FFT 결정 모듈(174)은 불러진 데이터가 FFT 대상인지 결정하여 제2 인터페이스(150)를 통해 FFT 연산부(160)로 하여금 연산을 수행하게 한다.
- [0030] 즉, FFT 데이터 제어부(170)는 수집되는 데이터를 모두 분석하는 것이 아니라 특정 조건을 충족하는 데이터만을 분석하므로 FFT 연산부(160)의 연산 부담을 줄일 수 있어 신속한 분석 결과를 얻을 수 있게 한다.
- [0031] 클락 발생부(180)는 진동 계측기(100)의 각 구성요소의 제어 및 동기를 위해 기준 클락과 동기 신호를 생성한다.
- [0032] 도 2는 클락 발생부의 블록도로서, 기준 클락과 동기 신호의 생성을 설명한다. 클락 발생부(180)는 클락 제어모듈(181) 및 PPL(182)를 포함한다.
- [0033] 클락 발생부(180)는 지피에스(global positioning system, GPS)로부터 제공되는 1-PPS(1 pulse per second)를 기초로 하여 기준 클락과 동기 신호를 생성한다. 1-PPS(190)을 이용하면, 교량과 같은 긴 구조물에 복수개의 진동 계측기(100-1, 100-2, ... 100-3) (도 3 참조)를 연동하여 사용할 경우, 진동 계측기의 동기를 효과적으로 수행할 수 있다. 즉, 복수개의 진동 계측기가 모두 동일한 기준 클락 및 동기신호에 의해 구동되므로 FFT의 정확성을 향상시킬 수 있다.
- [0034] 한편, 본 발명에 의하면, FFT 연산부(160) 및 FFT 데이터 제어부(170)는 프로그램어블 게이트 어레이(field programmable gate array, FPGA)로 구현할 수 있다.
- [0035] 도 6은 본 발명의 일실시예에 따른 실시간 주파수 계산을 위한 진동 계측기에서 수행되는 동작 흐름도이다. ADC(120), 제1 인터페이스(130), 메모리(140), 제2 인터페이스(150), FFT 연산부(160) 및 FFT 데이터 제어부(170)에 대해서는 도 1 내지 도 5에서 상세히 설명하였으므로 각 구성요소에 대한 구체적인 설명은 생략하도록 한다.
- [0036] 이상에서 설명한 본 발명은 전술한 실시예 및 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 얼마든지, 치환, 변경 및 변형이 가능하다는 것은 본 발명이 속하는 분야에서 통상의 지식을

가진 자에게 있어서 명백할 것이다.

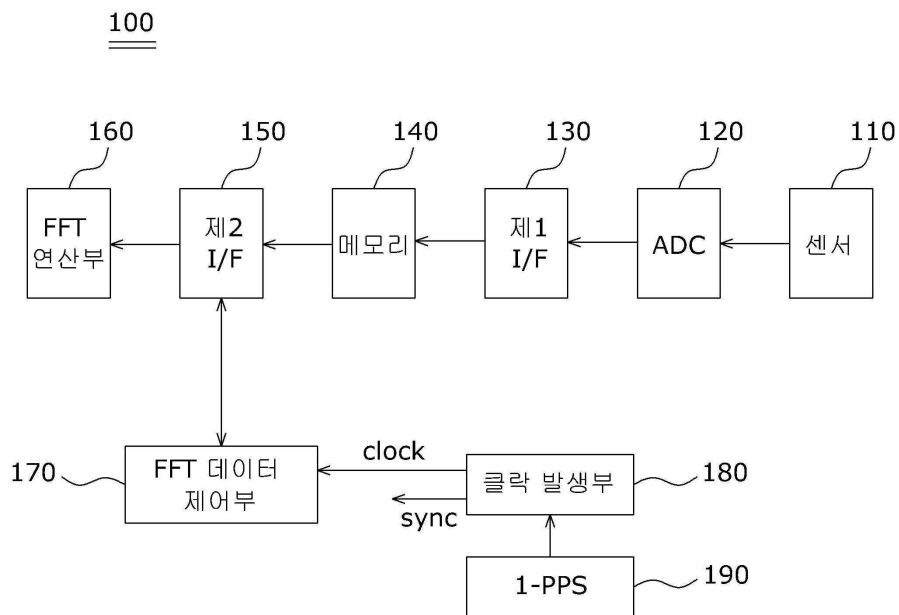
부호의 설명

[0037]

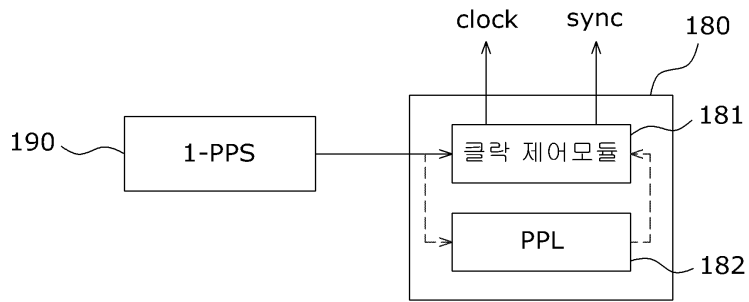
- 100 : 진동 계측기
- 110 : 센서
- 120 : ADC
- 130 : 제1 인터페이스
- 140 : 메모리
- 150 : 제2 인터페이스
- 160 : FFT 연산부
- 170 : FFT 데이터 제어부
- 180 : 클럭 발생부
- 190 : 1-PPS

도면

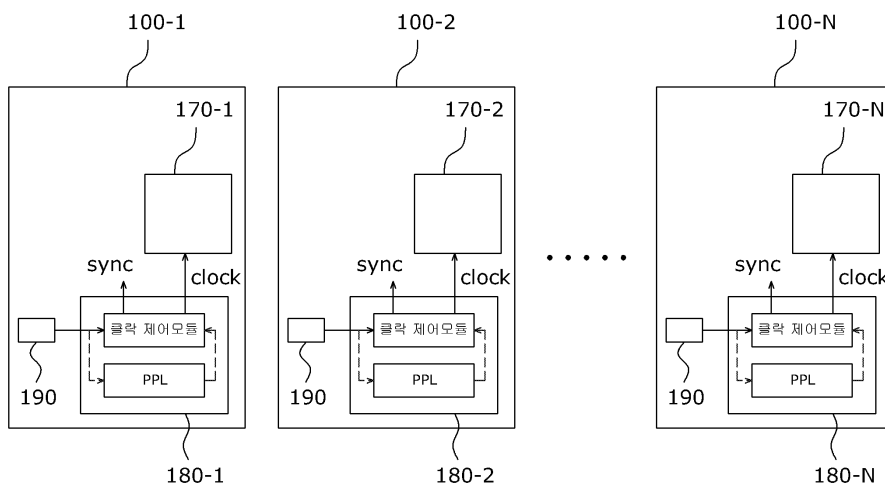
도면1



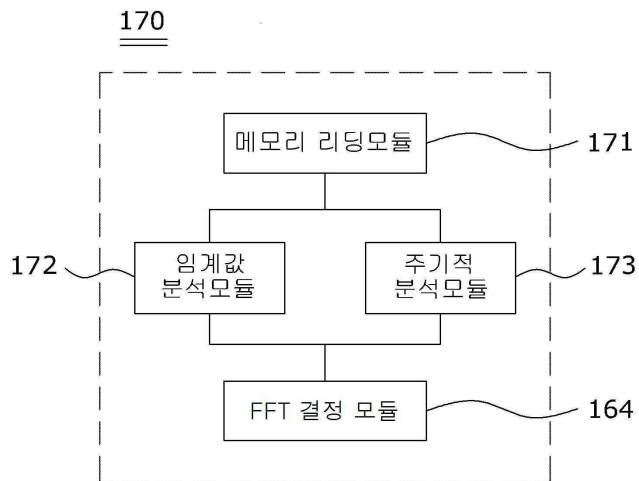
도면2



도면3

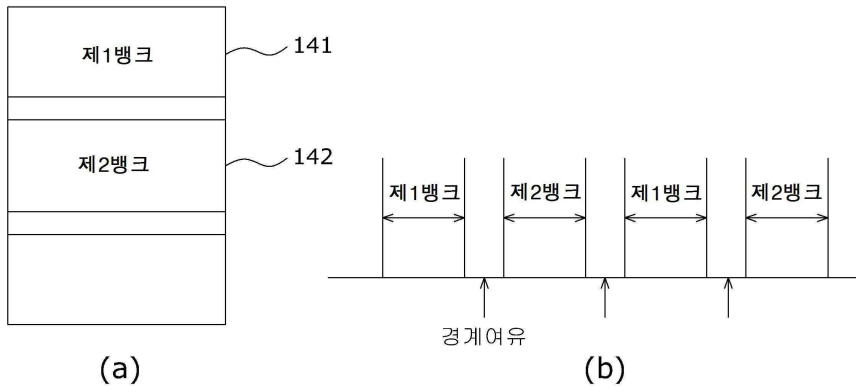


도면4



도면5

140



도면6

