

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3981083号

(P3981083)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月6日(2007.7.6)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 E

請求項の数 17 (全 13 頁)

(21) 出願番号	特願2003-565026 (P2003-565026)	(73) 特許権者	503123255
(86) (22) 出願日	平成14年9月11日(2002.9.11)		インターシル アメリカズ インク
(65) 公表番号	特表2005-525774 (P2005-525774A)		アメリカ合衆国、カリフォルニア州 95
(43) 公表日	平成17年8月25日(2005.8.25)		035、ミルピタス、マーフィー ランチ
(86) 国際出願番号	PCT/US2002/028956		ロード 1001
(87) 国際公開番号	W02003/065558	(74) 代理人	100071526
(87) 国際公開日	平成15年8月7日(2003.8.7)		弁理士 平田 忠雄
審査請求日	平成16年11月8日(2004.11.8)	(72) 発明者	ウォルターズ, マイケル, エム.
(31) 優先権主張番号	60/352,683		アメリカ合衆国、ノースカロライナ州 2
(32) 優先日	平成14年1月29日(2002.1.29)		7523、アベックス、サンセット メド
(33) 優先権主張国	米国 (US)		ース ドライブ 1029
(31) 優先権主張番号	10/236,787	(72) 発明者	ムラトフ, ウラジミール
(32) 優先日	平成14年9月6日(2002.9.6)		アメリカ合衆国、ニューハンプシャー州
(33) 優先権主張国	米国 (US)		03104、マンチェスター、アプト
			#28、リバーロード 490
			最終頁に続く

(54) 【発明の名称】 合成リプルレギュレータ

(57) 【特許請求の範囲】

【請求項1】

入力電圧をスイッチングし位相ノードを経由させ出力インダクタに通わせて出力ノードで出力電圧を発生するスイッチング回路に提供されるパルス幅変調(PWM)信号を発生するヒステリシス比較器を有するDC-DCレギュレータ用の合成リプル電圧発生器であって、

前記出力インダクタに印加される電圧を受信する入力および出力を有するトランスコンダクタンス増幅器回路、および

前記トランスコンダクタンス増幅器回路の前記出力に結合されリプル電圧を発生するリプルキャパシタを含む前記合成リプル電圧発生器において、

前記リプル電圧を前記ヒステリシス比較器の入力に提供することを特徴とする合成リプル電圧発生器。

【請求項2】

前記トランスコンダクタンス増幅器回路は、前記位相ノードに結合する第1の入力および前記出力ノードに結合する第2の入力を有するトランスコンダクタンス増幅器を含むことを特徴とする請求項1に記載の合成リプル電圧発生器。

【請求項3】

前記リプルキャパシタは、前記トランスコンダクタンス増幅器回路の前記出力に結合された第1の端部、および前記出力ノードに結合する第2の端部を有することを特徴とする請求項1に記載の合成リプル電圧発生器。

10

20

【請求項 4】

前記トランスコンダクタンス増幅器回路は、
前記出力ノードに結合する入力および出力を有する第 1 のトランスコンダクタンス増幅器、

前記入力電圧を受信する入力および出力を有する第 2 のトランスコンダクタンス増幅器、および

前記第 1 のトランスコンダクタンス増幅器の前記出力に結合された第 1 の入力、前記第 2 のトランスコンダクタンス増幅器の前記出力に結合された第 2 の入力、および前記リップルキャパシタに結合された出力を有するスイッチ回路を含み、

前記スイッチ回路が前記第 1 および第 2 のトランスコンダクタンス増幅器の前記出力を前記リップルキャパシタに選択的に結合するように動作することを特徴とする請求項 1 に記載の合成リップル電圧発生器。

10

【請求項 5】

入力電圧をスイッチング位相ノードを経由させ出力インダクタに通わせて出力ノードで出力電圧を発生するスイッチング回路に提供されるパルス幅変調 (PWM) 信号を発生するヒステリシス比較器を含む DC-DC レギュレータのリップル電圧を合成的に発生する方法において、

前記出力インダクタを通る電流を示すリップル電圧を発生する工程、および

前記リップル電圧を前記ヒステリシス比較器の入力に印加する工程を含むことを特徴とする DC-DC レギュレータのリップル電圧を合成的に発生する方法。

20

【請求項 6】

前記出力インダクタを通る電流を示すリップル電圧を発生する工程は、

前記出力インダクタに印加された電圧をセンスする工程、

このセンスした電圧をセンス電流に変換する工程、および

容量素子を前記センス電流で充電する工程を含むことを特徴とする請求項 5 に記載の DC-DC レギュレータのリップル電圧を合成的に発生する方法。

【請求項 7】

前記出力インダクタに印加された電圧をセンスする工程は、前記位相ノードで電圧をセンスすることを含むことを特徴とする請求項 6 に記載の DC-DC レギュレータのリップル電圧を合成的に発生する方法。

30

【請求項 8】

前記出力インダクタに印加された電圧をセンスする工程は、前記出力インダクタにかかる電圧をセンスすることを含むことを特徴とする請求項 6 に記載の DC-DC レギュレータのリップル電圧を合成的に発生する方法。

【請求項 9】

前記容量素子を前記出力ノードに接続することを更に含むことを特徴とする請求項 6 に記載の DC-DC レギュレータのリップル電圧を合成的に発生する方法。

【請求項 10】

前記出力インダクタを通る電流を示すリップル電圧を発生する工程は、

前記出力電圧を第 1 の電流に変換する工程、

前記入力電圧を第 2 の電流に変換する工程、および

前記 PWM 信号を使用する PWM サイクルの間に選択的に容量素子を前記第 1 の電流で放電し、前記第 2 の電流で前記容量素子を充電する工程を含むことを特徴とする請求項 5 に記載の DC-DC レギュレータのリップル電圧を合成的に発生する方法。

40

【請求項 11】

前記出力インダクタを通る電流を示すリップル電圧を発生する工程は、

前記出力インダクタを通るリップル電流をセンスする工程、および

このセンスした電流を前記リップル電圧に変換する工程を含むことを特徴とする請求項 5 に記載の DC-DC レギュレータのリップル電圧を合成的に発生する方法。

【請求項 12】

50

第 1 の入力を有し、パルス幅変調 (P W M) 信号を提供する出力を有するヒステリシス比較器、

位相ノードを前記 P W M 信号に基づいて入力電圧源の反対の極性に交互に結合するスイッチング回路、

前記位相ノードと、調整出力信号を発生する出力ノードとの間に結合された出力インダクタ、

前記出力インダクタに結合された入力と前記ヒステリシス比較器の前記第 1 の入力に結合された出力を有するトランスコンダクタンス増幅器回路、および

前記トランスコンダクタンス増幅器回路の前記出力に結合され、前記出力インダクタを通る電流を示すリップル電圧を発生するキャパシタを含むことを特徴とする D C - D C 変換器。 10

【請求項 1 3】

基準電圧を受信する第 1 の入力、前記出力ノードに結合された第 2 の入力、および前記ヒステリシス比較器の第 2 の入力に結合された出力を有する誤差増幅器をさらに含むことを特徴とする請求項 1 2 に記載の D C - D C 変換器。

【請求項 1 4】

前記トランスコンダクタンス増幅器回路は、前記位相ノードに結合された第 1 の入力と前記出力ノードに結合された第 2 の入力を有するトランスコンダクタンス増幅器を含むことを特徴とする請求項 1 2 に記載の D C - D C 変換器。

【請求項 1 5】 20

前記キャパシタは、前記トランスコンダクタンス増幅器回路の前記出力に結合された第 1 の端部、および前記出力ノードに結合する第 2 の端部を有することを特徴とする請求項 1 2 に記載の D C - D C 変換器。

【請求項 1 6】

前記トランスコンダクタンス増幅器回路は、
前記出力ノードに結合する入力および出力を有する第 1 のトランスコンダクタンス増幅器、

前記入力電圧源に結合された入力および出力を有する第 2 のトランスコンダクタンス増幅器、および

前記第 1 および第 2 のトランスコンダクタンス増幅器の前記出力を前記 P W M 信号に基づいて前記キャパシタに選択的に結合するスイッチを含むことを特徴とする請求項 1 2 に記載の D C - D C 変換器。 30

【請求項 1 7】

前記出力ノードに結合されたセラミックキャパシタをさらに含むことを特徴とする請求項 1 2 に記載の D C - D C 変換器。

【発明の詳細な説明】

【技術分野】

【0001】

【特許文献 1】本出願は、M . W a l t e r s 等により 2 0 0 2 年 1 月 2 9 日に申請された同時係属仮特許出願第 6 0 / 3 5 2 , 6 8 3 号、「S y n t h e t i c R i p p l e R e g u l a t o r」の利益を主張するものである。 40

【0002】

本発明は、電源回路およびその部品に関し、特に D C - D C 変換器用合成リップルレギュレータに関するものである。発明の合成リップルレギュレータは、出力リップルを減少し、かつ、D C 精度を改善して、変換器のスイッチング動作を制御する人工或いは合成リップル波形を生成する。

【背景技術】

【0003】

集積回路用電力は典型的には、1 つ以上の直流 (D C) 電力源によって供給される。多く用途では、回路が、利用可能な供給電圧 (これは比較的 low、例えば約 3 ボルト以下のオ 50

ーダーになり得る、特にポータブルバッテリー電源素子のように低電流消費が望ましいとき)とは異なる複数の調整電圧を要求し得る。さらに、多くの用途では、負荷電流は数オーダーの大きさにわたって変動し得る。これらの要求を扱うには、図1に示すタイプのヒステリシスあるいは「バンバン」変換器のようなパルスまたはリプル発生器に基づいた変換器を使用するのが常套手段である。

【0004】

そのようなリプルレギュレータに基づいたDC-DC電圧変換器は比較的単純な制御機構を使用し、負荷過渡現象に対する高速応答を提供する。リプルレギュレータのスイッチング周波数は非同期であり、スイッチング周波数あるいはスイッチングエッジの直接の制御が望ましい用途において利点となる。この目的のために、図1のリプルレギュレータはヒステリシス比較器10を使用する。ヒステリシス比較器10はゲートドライブ回路20を制御し、ゲートドライブ回路20のそれぞれの出力ドライブポート22と23は上側PMOSFET(あるいはPFET)素子30および下側NMOSFET(あるいはNFET)素子40としてそれぞれ示す一対の電子電力スイッチング素子の制御あるいはゲート駆動入力に結合する。これらのFETスイッチング素子は、第1および第2の基準電圧(V_{dd}および接地(GND))間に直列に結合したドレインソース路を有する。

10

【0005】

ゲートドライブ回路20は、比較器10によって供給された(図2のタイミング図にPWMで示すような)パルス幅変調(PWM)スイッチング波形に従って、2つのスイッチング素子30および40を制御可能にオン・オフする。上側PFET素子30は、ゲートドライブ20によりPFET素子20のゲートに印加された上側ゲートスイッチング信号UGによりオン・オフされ、NFET素子30はゲートドライブ20によりNFET素子30のゲートに印加された下側ゲートスイッチング信号LGによってオン・オフされる。

20

【0006】

2つの電力FET 30/40間の共通あるいは相電圧ノード35は、規定の電位(例えば接地(GND))に接続されたキャパシタ60にインダクタ50を介して結合する。インダクタ50とキャパシタ60間の接続55は、図2に三角波形出力として示す出力電圧(出力)が引き出される出力ノードとして機能する。規定の基準電圧に対して出力電圧を調整するため、出力ノードはヒステリシス比較器10の第1の反転(-)入力11に結合される。ヒステリシス比較器10の第2の非反転(+)入力12はDC基準電圧を受信するように結合される。

30

【0007】

そのようなヒステリシスあるいは「バンバン」レギュレータでは、ノード55での出力電圧V_{out}が比較器の固有のヒステリシス電圧を引いた基準電圧(基準として図示)以下に落ちるとき、ヒステリシス比較器10により生成された出力PWM信号波形は第1の状態へ遷移し(例えば、高くなり)、出力電圧V_{out}がヒステリシス電圧を加えた基準電圧を超過するとき、比較器のPWM出力は第2の状態へ遷移する(例えば、低くなる)。負荷の印加、あるいは増加は出力電圧(V_{out})を基準電圧以下に減少させ、それに応答して、比較器10がゲート駆動をトリガーし上側スイッチング素子30をオンにする。変換器が非同期なので、大抵の固定周波数PWM制御スキームに共通であるように、ゲートドライブ制御信号が同期クロックを待たない。

40

【0008】

このタイプのリプルレギュレータに関する主な懸念は大きなリプル電圧、DC電圧精度およびスイッチング周波数を含む。ヒステリシス比較器10がリプル電圧V_{out}の大きさを直接設定するので、より小さなヒステリシスの使用は、ヒステリシスがより小さくなりスイッチング周波数が増加するにつれ、電力変換効率を減少させる。リプル波形の関数であるDC出力電圧を制御するため、出力リプル電圧(図2に示す出力)の山71と谷72は調整される。図示した三角波形に対して、出力電圧のDC値はPWMデューティファクタの関数である。また、出力電圧波形は、インダクタ50を通る電流が不連続になるとき、図2に不連続波形により示すように、比較的短い「スパイク」(スパイクの間に低電

50

圧の比較的長い期間がある)を生成して軽負荷で変化する。リップル電圧波形が入力ラインおよび負荷条件とともに変動するので、厳格なDC調整を維持するのは困難である。

【0009】

加えて、キャパシタ技術における改良によりリップル波形は変化する。特に、現状のセラミックキャパシタ技術によって、セラミックキャパシタの等価な直列抵抗あるいはESR(これは図2に示す出力電圧波形の区分線形波形あるいは三角波形を生成する)を非常に低い値に減少することを可能にした。しかしながら、ESRの非常に低い値では、出力電圧のリップル形が、三角形から非線形(例えば、放物線および正弦波)に変化する。これにより出力電圧がヒステリシス閾値をオーバーシュートし、より高い山～山のリップルが生じる。その結果、DC-DC変換器の出力電圧リップルを低下させる改良は、実際は、リップルレギュレータに使用する時、リップルを増加し得る。

10

【0010】

本発明によれば、上述のものを含む従来のリップルレギュレータの欠点は、合成リップルレギュレータによって有効に解消される。この合成リップルレギュレータは、出力インダクタを通る波形リップル電流を有効に複製あるいは鏡映する波形のような補助電圧波形を生成するように動作し、この補助電圧波形を使用してヒステリシス比較器のトグルを制御する。リップル調整のためにそのような再現された電流を使用することにより、低い出力リップル、入力電圧フィードフォワード、および単純補償が生じる。

【0011】

補助電圧波形は、インダクタにかかる電圧をトランスコンダクタンス増幅器に結合することにより容易に生成され得る。トランスコンダクタンス増幅器の出力はリップル電圧キャパシタにインダクタにかかる電圧に比例するランプ波電流を供給する。電流駆動キャパシタにかかる電圧が電圧駆動インダクタを通る電流に等価であるので、インダクタにかかる電圧に比例した電流でリップルキャパシタを駆動することにより、ヒステリシス比較器を制御するための所望の波形が得られる。ステップ入力電圧変化に対して、ランプ波電流が電力スイッチング素子の導通間隔を修正するように比例的に変化する。

20

【0012】

誤差増幅器は、ヒステリシス比較器の上流側に挿入され、調整基準電圧を受信するように結合される。誤差増幅器は、リップル波形による誤差、様々なオフセットおよび他の誤差を減少するように高DC利得を提供して、DC調整精度を増加するように機能する。誤差増幅器の出力は負荷電流に従い、ヒステリシス比較器の基準入力に供給される。

30

【0013】

本発明の合成リップルレギュレータの非限定の好ましい実施例を説明する前に、第1に従来の回路部品の配置、および上述したタイプのヒステリシスコントローラへそれらが内蔵され得る形態に発明が存在することに注意されたい。発明は様々な他の実施例で実施することができ、本明細書に図示し説明した実施例だけに限定するように解釈すべきではない。寧ろ、本明細書に図示し説明した実施例は、本説明の利益を有する当業者に容易に明瞭である詳細の開示を不明瞭にしないように本発明に関係のある詳細のみを提供するように意図される。明細書および図面の全体にわたって、同一番号は同一部品を表す。

【0014】

図3は、本発明による合成リップルレギュレータの概略アーキテクチャを示す。簡潔に上述したように、および図3に加算ユニット100により示すように、本発明による合成リップルレギュレータは補助リップル電圧(リップル)を、モード55で出力電圧と結合するように、ヒステリシス比較器10の入力11へのフィードバック路に注入する。この補助波形は変換器のスイッチング間隔に同期され、本例において、三角波形のリップル電流であるインダクタの電流波形に対応する形を有する。

40

【0015】

そのような電圧波形は、電圧駆動インダクタを通る電流が方程式(1)に従って電流駆動キャパシタにかかる電圧に等価であることに気付くことにより容易に生成され得る。

【0016】

50

【数 1】

$$i_L(t) = \frac{1}{L} \int v_L * dt$$

$$v_C(t) = \frac{1}{C} \int i_C * dt \quad (2)$$

$$i_L(t) = \frac{1}{L} \left[\int_0^{t_{ON}} (\text{Input} - \text{Output}) dt - \int_{t_{ON}}^T \text{Output} * dt \right] \quad (1)$$

10

【 0 0 1 7 】

また、キャパシタにかかる電圧は方程式(2)によって表される。

【 0 0 1 8 】

インダクタにかかる電圧に比例した電流でキャパシタを駆動することにより、所望の波形が得られる。間隔 t_{on} の間、キャパシタへの駆動電流 I_C は「出力」を差し引いた「入力」に比例し、残りの間隔 $(T - t_{on})$ の間、「出力」に比例する。

【 0 0 1 9 】

図4は、図3の合成リプルレギュレータ内の注入用のそのようなリプル波形を生成する非限定実施例を示し、「リプル電圧」キャパシタ120と結合したトランスコンダクタンス増幅器110を含む。トランスコンダクタンス増幅器110は方程式(1)に従ってインダクタ50にかかる電圧に比例した出力電流 I_{RAMP} を生成する。リプル電圧キャパシタ120はこの電流を所望の波形を有するインダクタ電流表示電圧に変換する。インダクタ電流に基づいてリプル波形を合成する利益は、固有のフィードフォワード特性である。ステップ入力電圧変化に対して、電流 I_{RAMP} は電力スイッチング素子の導通間隔を修正するように比例的に変化する。

20

【 0 0 2 0 】

この目的のため、トランスコンダクタンス増幅器110は、インダクタ50への一方の端で相電圧ノード35に結合した第1の非反転(+)入力111、およびインダクタ50の他方の端で出力電圧ノード55に結合した第2の反転(-)入力112を有し、その結果トランスコンダクタンス増幅器110はインダクタにかかる電圧を「見る」。さらに、出力電圧ノード55は、キャパシタ120の第1の端子121、およびヒステリシス比較器10の上流側に挿入された誤差増幅器130の反転(-)入力131へ結合する。誤差増幅器130は、リプル波形による誤差、様々なオフセットおよび他の誤差を減少するように高DC利得を提供して、DC調整精度を増加するように機能する。

30

誤差増幅器130は基準電圧を受信するように結合された第2の非反転(+)入力132を有し、その出力133がヒステリシス比較器10の非反転(+)入力12に結合される。図4の構成では、誤差増幅器130の出力は負荷電流に従う。トランスコンダクタンス増幅器110は、キャパシタ120の第2の端子122およびヒステリシス比較器10の反転(-)入力11に結合された出力113を有する。

40

【 0 0 2 1 】

図5は、図3および図4の合成リプルレギュレータの動作を説明するための波形タイミング図のセットを示す。非限定例を提供する目的のため、レギュレータ電圧は基準値 = 1 VDCで設定し、ヒステリシス比較器10は+ / - 100 mVのヒステリシスで作動する。インダクタ50のインダクタンスは1 μ Hであり、出力キャパシタンスは10 μ Fである。(時間30 μ secでの)ラインM1は、M1より前の3.6 VDCのオーダーの値からM1とその後での4.2 VDCのオーダーの値までの入力電圧の変化を表わす。

【 0 0 2 2 】

上側波形501は、リプル電圧キャパシタ120に発生したリプル電圧に対応し、中央

50

の波形502はインダクタ50を通る電流であり、下側波形503はノード55での出力電圧である。t = 20 μ secおよびt = 50 μ secで、それぞれステップ遷移511 / 521および512 / 522によって示すように、それぞれのリップルおよびインダクタ電流波形501および502の類似性は容易に明白である。波形502に示すように、変換器は初期に3.6VDCの入力供給電圧に対して100mAのオーダーのインダクタ電流を供給している。このインダクタ電流は不連続であり、スイッチング周波数は900kHzのオーダーの比較的安定した値を有する。

【0023】

波形502の過渡521 (t = 20 μ s)として、100mAから1Aのオーダーの値へ負荷電流の階段的 (X10) 増加があり、スイッチング周波数は1.5MHzのオーダーの周波数へ増加する。出力電圧波形503から、この過渡で生じるリップル531の量が比較的小さい(不連続動作(負荷電流 = 100mA)の間、図1の従来レギュレータの+/-100mVよりもかなり下である僅か+/-3mVのオーダーで、その後+/-1.5mVまで落ちる)ことが分かる。

10

【0024】

ラインM1またはt = 30 μ sで、3.6VDCから4.2VDCへ入力電圧の階段的増加があり、スイッチング周波数はほとんど2.3MHzまで増加するが、各波形501、502および503のレベルは安定したままである。その後、t = 50 μ sで、1Aから100mAまで落ちるインダクタ/負荷電流波形501の階段的過渡現象512があり、スイッチング周波数が1.3MHzのオーダーの値に整定する。出力電圧波形503に見られるように、t = 20 μ sの過渡現象で生じるリップル531のように、この更なる過渡現象のリップル532の量もまた比較的小さい(僅か+/-3mVのオーダーから、+/-1.5mVまで落ちる)ので、出力電圧が1VDCの基準電圧のオーダーの値で有効に調整される。

20

【0025】

前述の説明から分かるように、本発明の合成リップルレギュレータは、出力インダクタを通る波形リップル電流を複製し、この補助ミラー波形を使用してヒステリシス比較器のトグルを制御するのに有効である。リップル調整のためにそのような再現された電流を使用することにより、低出力リップル、入力電圧フィードフォワード、および単純補償が生じる。出力インダクタにかかる電圧に基づいて補助リップル波形を合成する代わりに、接地基準に接続されたりリップルを有する加算ノードを使用してもよい。また、ランプ波電流は、固定した入出力電圧レベルを有する用途では所定のものになり得る。さらに、トランスコンダクタンス増幅器は、相電圧ノードの代わりにゲート入力信号に接続することができる。

30

【0026】

さらに、図6に150と160で示すように、トランスコンダクタンス増幅器110の機能性は2つの独立的に制御されたトランスコンダクタンス増幅器として実施され得る。このアプローチでは、トランスコンダクタンス増幅器150が入力ノードに結合された入力を有し、トランスコンダクタンス増幅器160が出力ノード55に結合された入力を有する。増幅器の出力は、アナログマルチプレクサ170を介してキャパシタ120とヒステリシス比較器10の反転(-)入力11とに選択的にスイッチされる。この代替構成により、ランプ波電流を、改善された線形性のためにより正確に制御できる。

40

【0027】

本発明による実施例を図示し説明したが、本発明はそれらに限定されず、当業者に知られているように多数の変更および修正を受け得る。したがって、本明細書に図示し説明した詳細に限定せず、当業者にとって明白な全てのそのような変更および修正を含むように意図される。

【図面の簡単な説明】

【0028】

【図1】図1は、従来レギュレータに基づいたDC-DC電圧変換器の概略アーキテクチャを示す。

50

【図2】図2は、図1のリプルレギュレータに基づいたDC-DC電圧変換器の動作に連携したPWMと出力電圧波形を示すタイミング図である。

【図3】図3は、本発明による合成リプルレギュレータの概略アーキテクチャを示す。

【図4】図4は、図3の合成リプルレギュレータの非限定実施例を示す；

【図5】図5は、図3および図4の合成リプルレギュレータの動作に連携した波形を示すタイミング図である。

【図6】図6は、2つの独立的に制御されたトランスコンダクタンス増幅器として実施された図4のトランスコンダクタンス増幅器を示す。

【図1】

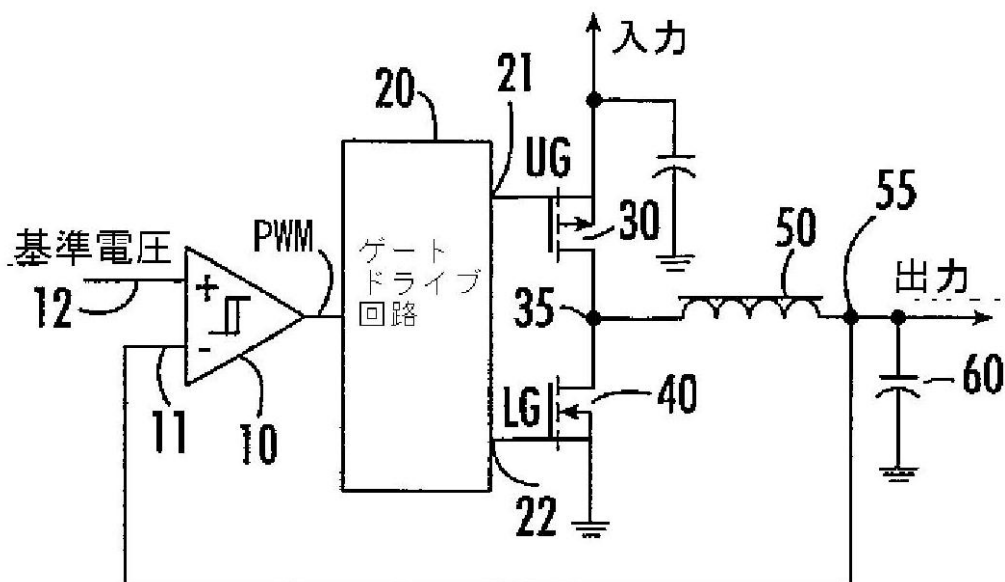


図1
(従来)

【図2】

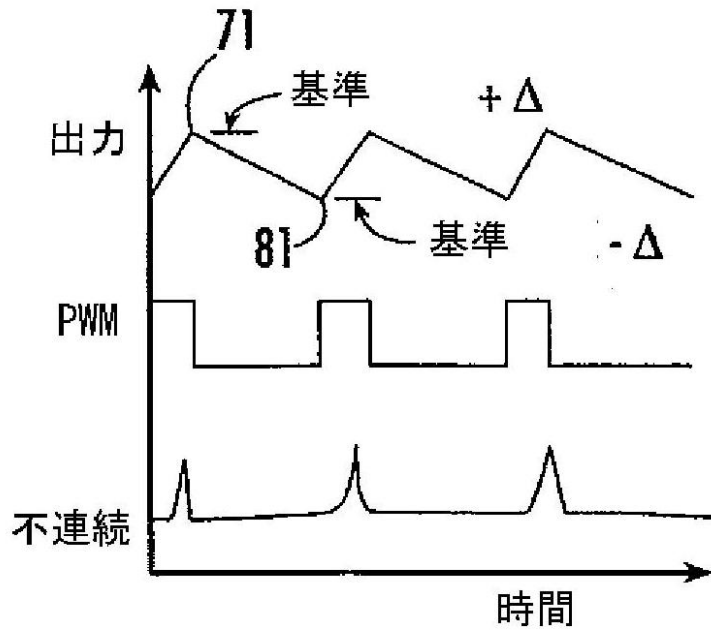


図 2

【図3】

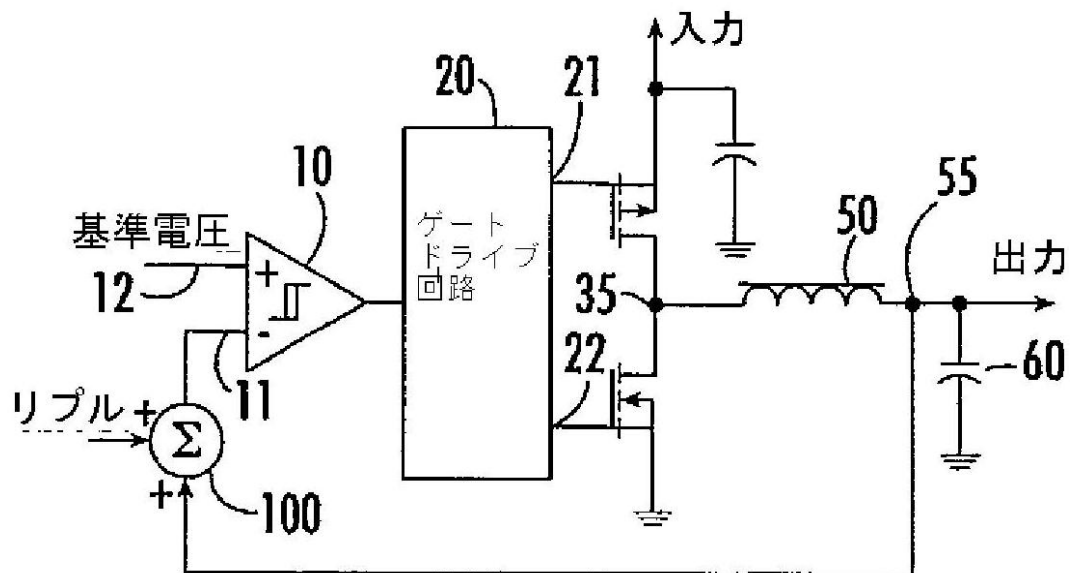


図 3

【 図 4 】

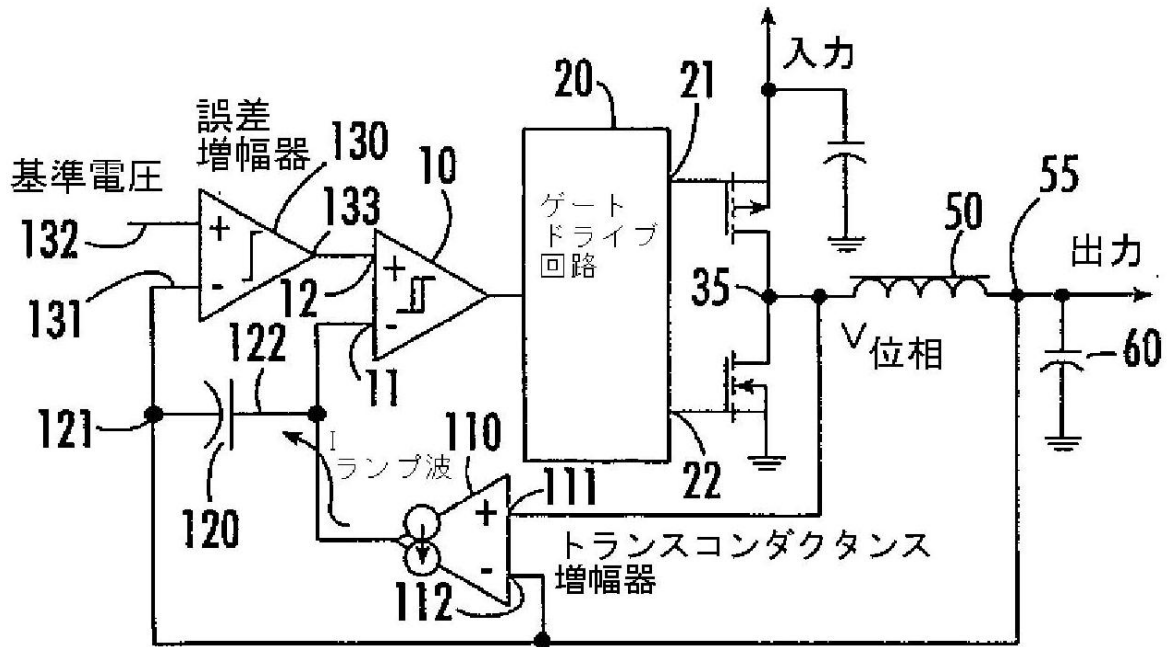


図 4

【 図 5 】

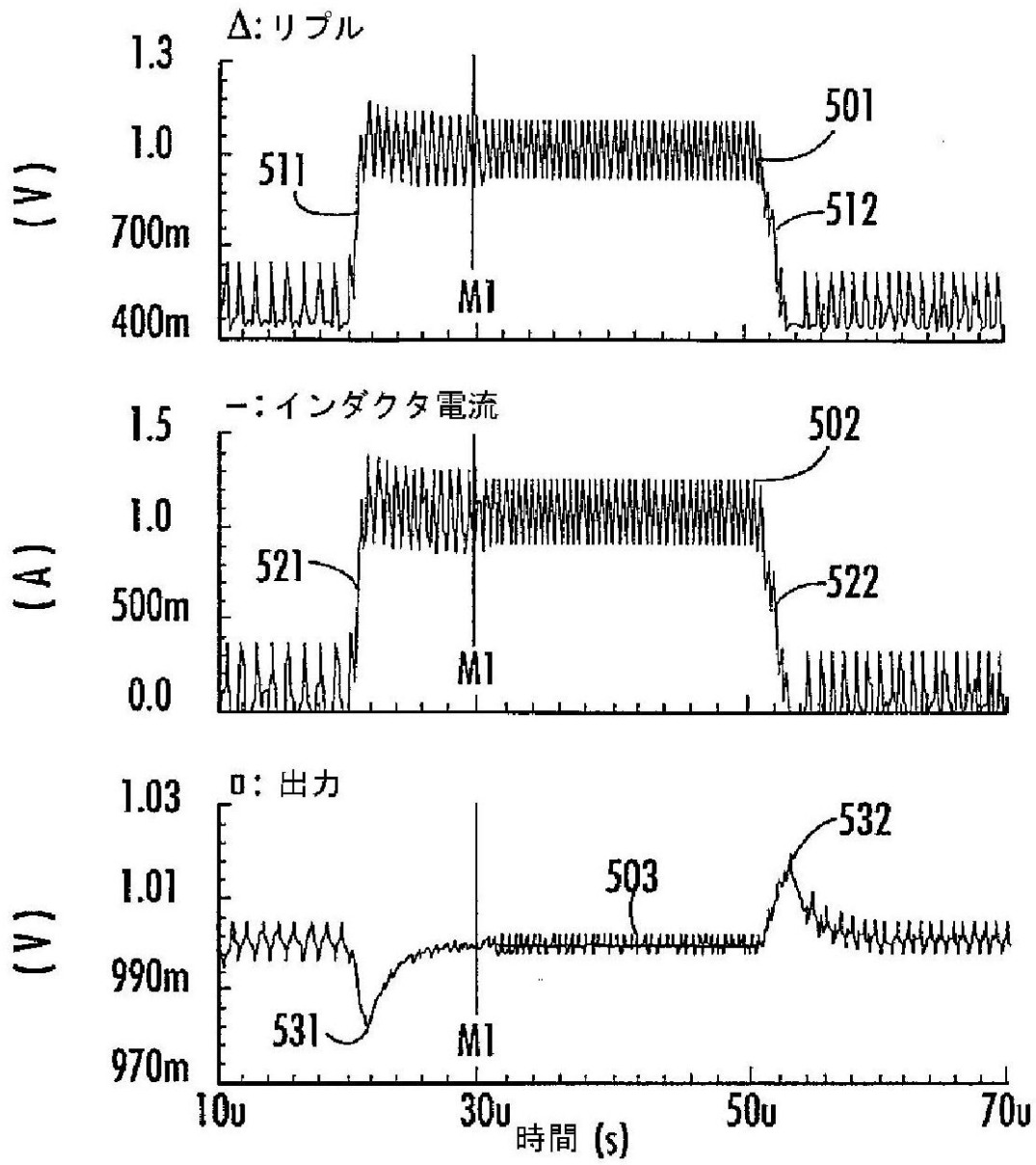


図 5

【 図 6 】

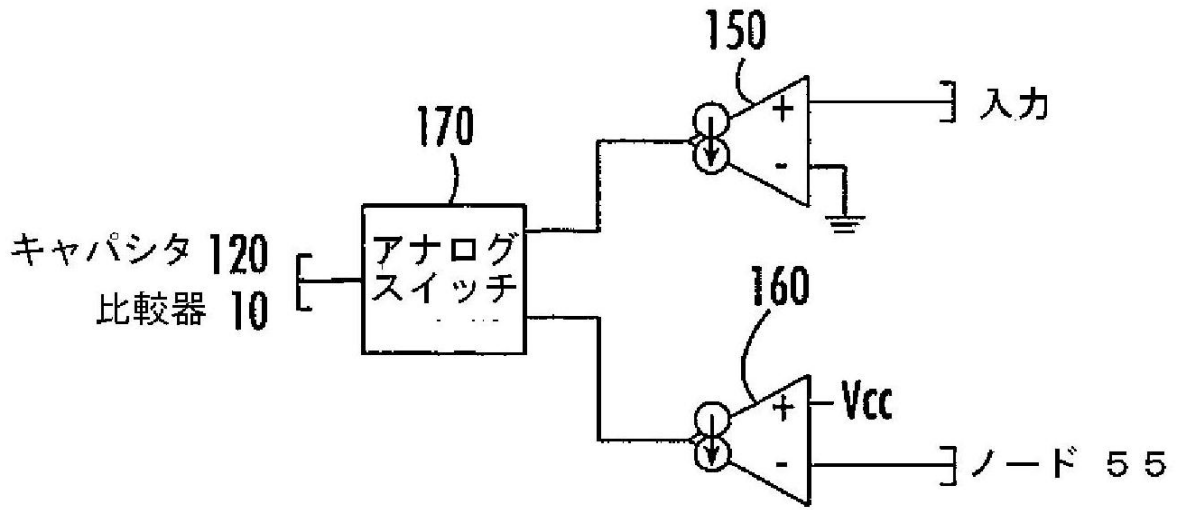


図 6

フロントページの続き

(72)発明者 ウィクター, ステファン, ウォジミエシ
アメリカ合衆国、ノースカロライナ州 27615、ローリー、プロムレイ ウェイ 917

審査官 服部 俊樹

(56)参考文献 特開2001-037213(JP, A)
特開平09-121536(JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155