

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年9月7日(07.09.2018)



(10) 国際公開番号

WO 2018/158902 A1

(51) 国際特許分類:  
H03H 11/04 (2006.01) H03H 11/22 (2006.01)

(21) 国際出願番号: PCT/JP2017/008239

(22) 国際出願日: 2017年3月2日(02.03.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者:平井 暁人(HIRAI, Akihito); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 下沢 充

弘(SHIMOZAWA, Mitsuhiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

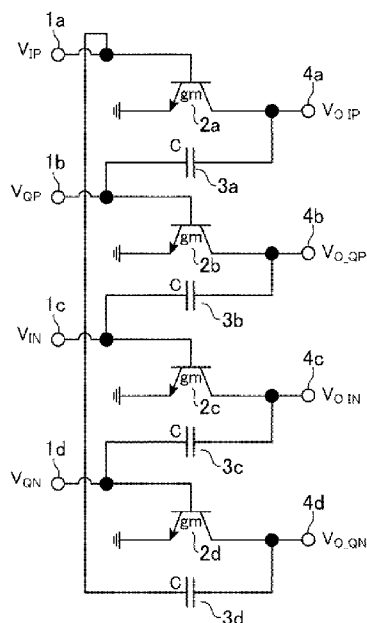
(74) 代理人:田澤 英昭, 外(TAZAWA, Hideaki et al.); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,

(54) Title: POLYPHASE FILTER

(54) 発明の名称: ポリフェーズフィルタ

[図1]



(57) Abstract: Provided is a polyphase filter comprising: a first transistor (2a) for amplifying a first I signal  $V_{IP}$  to be inputted from a first input terminal (1a); a second transistor (2b) for amplifying a first Q signal  $V_{QP}$  to be inputted from a second input terminal (1b); a third transistor (2c) for amplifying a second I signal  $V_{IN}$  when the second I signal  $V_{IN}$  is inputted from a third input terminal (1c), this signal constituting a differential signal together with the first I signal  $V_{IP}$ ; and a fourth transistor (2d) for amplifying a second Q signal  $V_{QN}$  when the second Q signal  $V_{QN}$  is inputted from a fourth input terminal (1d), this signal constituting a differential signal together with the first Q signal  $V_{QP}$ .

(57) 要約: 第1の入力端子(1a)から入力される第1のI信号 $V_{IP}$ を増幅する第1のトランジスタ(2a)と、第2の入力端子(1b)から入力される第1のQ信号 $V_{QP}$ を増幅する第2のトランジスタ(2b)と、第1のI信号 $V_{IP}$ と差動信号を構成している第2のI信号 $V_{IN}$ が第3の入力端子(1c)から入力されると、第2のI信号 $V_{IN}$ を増幅する第3のトランジスタ(2c)と、第1のQ信号 $V_{QP}$ と差動信号を構成している第2のQ信号 $V_{QN}$ が第4の入力端子(1d)から入力されると、第2のQ信号 $V_{QN}$ を増幅する第4のトランジスタ(2d)とを備える。

NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,  
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：ポリフェーズフィルタ

### 技術分野

[0001] この発明は、トランジスタを備えているポリフェーズフィルタに関するものである。

### 背景技術

[0002] 無線通信機器においては、高周波の受信信号を処理する半導体集積回路が用いられることがある。

例えば、レーダ用のスーパーヘテロダイン受信機を構成する半導体集積回路においては、受信信号の帯域を制限することが可能なフィルタのほか、受信信号の周波数変換に伴うイメージ妨害波を抑圧することが可能なポリフェーズフィルタなどが用いられることがある。

以下の特許文献1には、複数の抵抗と、複数のコンデンサとを備えたポリフェーズフィルタが開示されている。

[0003] ポリフェーズフィルタは、本来、90度の位相差がある信号の生成等に用いられるフィルタであるが、イメージ妨害波を抑圧することが可能なフィルタでもある。

ポリフェーズフィルタは、備えている抵抗の抵抗値及びコンデンサの容量値に応じて、イメージ妨害波を抑圧することが可能な周波数に変化する。

イメージ妨害波を抑圧することが可能な周波数の中心周波数 $F_c$ は、以下の式(1)で表される。

$$F_c = \frac{1}{2\pi RC} \quad (1)$$

式(1)において、Rは抵抗の抵抗値、Cはコンデンサの容量値である。

### 先行技術文献

### 特許文献

[0004] 特許文献1：特開2010-21826号公報

## 発明の概要

### 発明が解決しようとする課題

[0005] 従来のポリフェーズフィルタは以上のように構成されているので、備えている抵抗の抵抗値  $R$  を制御することで、イメージ妨害波を抑圧することが可能な周波数を可変することができる。しかし、ポリフェーズフィルタは、受動素子である抵抗を用いて構成されているため、イメージ妨害波を抑圧する際、通過ロスが発生してしまうという課題があった。

[0006] この発明は上記のような課題を解決するためになされたもので、通過ロスの発生を抑えることができるポリフェーズフィルタを得ることを目的とする。

### 課題を解決するための手段

[0007] この発明に係るポリフェーズフィルタは、第1の入力端子から入力される第1のI信号を増幅する第1のトランジスタと、第2の入力端子から入力される第1のQ信号を増幅する第2のトランジスタと、第1のI信号と差動信号を構成している第2のI信号が第3の入力端子から入力されると、第2のI信号を増幅する第3のトランジスタと、第1のQ信号と差動信号を構成している第2のQ信号が第4の入力端子から入力されると、第2のQ信号を増幅する第4のトランジスタと、第1のトランジスタの出力端子と第2の入力端子との間に接続されている第1のコンデンサと、第2のトランジスタの出力端子と第3の入力端子との間に接続されている第2のコンデンサと、第3のトランジスタの出力端子と第4の入力端子との間に接続されている第3のコンデンサと、第4のトランジスタの出力端子と第1の入力端子との間に接続されている第4のコンデンサとを備えるようにしたものである。

### 発明の効果

[0008] この発明によれば、第1の入力端子から入力される第1のI信号を増幅する第1のトランジスタと、第2の入力端子から入力される第1のQ信号を増幅する第2のトランジスタと、第1のI信号と差動信号を構成している第2

の I 信号が第 3 の入力端子から入力されると、第 2 の I 信号を増幅する第 3 のトランジスタと、第 1 の Q 信号と差動信号を構成している第 2 の Q 信号が第 4 の入力端子から入力されると、第 2 の Q 信号を増幅する第 4 のトランジスタとを備えるように構成したので、通過ロスの発生を抑えることができる効果がある。

### 図面の簡単な説明

[0009] [図1]この発明の実施の形態 1 によるポリフェーズフィルタを示す回路図である。

[図2]この発明の実施の形態 1 による他のポリフェーズフィルタを示す回路図である。

[図3]抵抗を備えている従来のポリフェーズフィルタを示す回路図である。

[図4]この発明の実施の形態 2 によるポリフェーズフィルタを示す回路図である。

[図5]この発明の実施の形態 2 による他のポリフェーズフィルタを示す回路図である。

[図6]この発明の実施の形態 3 によるポリフェーズフィルタを示す回路図である。

[図7]この発明の実施の形態 3 による他のポリフェーズフィルタを示す回路図である。

### 発明を実施するための形態

[0010] 以下、この発明をより詳細に説明するために、この発明を実施するための形態について、添付の図面に従って説明する。

[0011] 実施の形態 1.

図 1 はこの発明の実施の形態 1 によるポリフェーズフィルタを示す回路図である。

図 1 において、第 1 の入力端子 1 a は第 1 の I 信号  $V_{I_P}$  が入力される端子である。

第 2 の入力端子 1 b は第 1 の Q 信号  $V_{Q_P}$  が入力される端子である。

第3の入力端子1 cは第1のI信号 $V_{IP}$ と差動信号を構成している第2のI信号 $V_{IN}$ が入力される端子である。理想的には、 $V_{IP} + V_{IN} = 0$ である。

第4の入力端子1 dは第1のQ信号 $V_{QP}$ と差動信号を構成している第2のQ信号 $V_{QN}$ が入力される端子である。理想的には、 $V_{QP} + V_{QN} = 0$ である。

[0012] 第1のトランジスタ2 aはトランスコンダクタンス $g_m$ を有し、エミッタ端子が接地されているバイポーラトランジスタである。

第1のトランジスタ2 aは、ベース端子が第1の入力端子1 aと接続され、コレクタ端子（第1のトランジスタ2 aの出力端子）が第1の出力端子4 aと接続されており、第1の入力端子1 aから入力された第1のI信号 $V_{IP}$ を増幅して、増幅後の第1のI信号 $V_{IP}$ を第1の出力端子4 aに出力する。

第2のトランジスタ2 bはトランスコンダクタンス $g_m$ を有し、エミッタ端子が接地されているバイポーラトランジスタである。

第2のトランジスタ2 bは、ベース端子が第2の入力端子1 bと接続され、コレクタ端子（第2のトランジスタ2 bの出力端子）が第2の出力端子4 bと接続されており、第2の入力端子1 bから入力された第1のQ信号 $V_{QP}$ を増幅して、増幅後の第1のQ信号 $V_{QP}$ を第2の出力端子4 bに出力する。

[0013] 第3のトランジスタ2 cはトランスコンダクタンス $g_m$ を有し、エミッタ端子が接地されているバイポーラトランジスタである。

第3のトランジスタ2 cは、ベース端子が第3の入力端子1 cと接続され、コレクタ端子（第3のトランジスタ2 cの出力端子）が第3の出力端子4 cと接続されており、第3の入力端子1 cから入力された第2のI信号 $V_{IN}$ を増幅して、増幅後の第2のI信号 $V_{IN}$ を第3の出力端子4 cに出力する。

第4のトランジスタ2 dはトランスコンダクタンス $g_m$ を有し、エミッタ端子が接地されているバイポーラトランジスタである。

第4のトランジスタ2 dは、ベース端子が第4の入力端子1 dと接続され、コレクタ端子（第4のトランジスタ2 dの出力端子）が第4の出力端子4 dと接続されており、第4の入力端子1 dから入力された第2のQ信号 $V_{QN}$ を増幅して、増幅後の第2のQ信号 $V_{QN}$ を第4の出力端子4 dに出力する。

[0014] 第1のコンデンサ3 aは一端が第1のトランジスタ2 aのコレクタ端子と接続され、他端が第2の入力端子1 bと接続されている。

第2のコンデンサ3 bは一端が第2のトランジスタ2 bのコレクタ端子と接続され、他端が第3の入力端子1 cと接続されている。

第3のコンデンサ3 cは一端が第3のトランジスタ2 cのコレクタ端子と接続され、他端が第4の入力端子1 dと接続されている。

第4のコンデンサ3 dは一端が第4のトランジスタ2 dのコレクタ端子と接続され、他端が第1の入力端子1 aと接続されている。

[0015] 第1の出力端子4 aは第1のトランジスタ2 aのコレクタ端子と接続されており、第1のトランジスタ2 aにより増幅された第1のI信号 $V_{O\_IP}$ を出力する端子である。

第2の出力端子4 bは第2のトランジスタ2 bのコレクタ端子と接続されており、第2のトランジスタ2 bにより増幅された第1のQ信号 $V_{O\_QP}$ を出力する端子である。

第3の出力端子4 cは第3のトランジスタ2 cのコレクタ端子と接続されており、第3のトランジスタ2 cにより増幅された第2のI信号 $V_{O\_IN}$ を出力する端子である。

第4の出力端子4 dは第4のトランジスタ2 dのコレクタ端子と接続されており、第4のトランジスタ2 dにより増幅された第2のQ信号 $V_{O\_QN}$ を出力する端子である。

[0016] 図2はこの発明の実施の形態1による他のポリフェーズフィルタを示す回路図である。

図2のポリフェーズフィルタは、第1から第4のトランジスタのコレクタ端子（出力端子）のそれぞれが負荷を介して電源 $V_{cc}$ と接続されている点で、図1のポリフェーズフィルタと相違している。

負荷5 aはインピーダンスが $Z$ の抵抗であり、一端が第1のトランジスタ2 aのコレクタ端子と接続され、他端が電源 $V_{cc}$ と接続されている。

負荷5 bはインピーダンスが $Z$ の抵抗であり、一端が第2のトランジスタ

2 b のコレクタ端子と接続され、他端が電源  $V_{cc}$  と接続されている。

負荷 5 c はインピーダンスが  $Z$  の抵抗であり、一端が第 3 のトランジスタ 2 c のコレクタ端子と接続され、他端が電源  $V_{cc}$  と接続されている。

負荷 5 d はインピーダンスが  $Z$  の抵抗であり、一端が第 4 のトランジスタ 2 d のコレクタ端子と接続され、他端が電源  $V_{cc}$  と接続されている。

図 1 のポリフェーズフィルタでは、第 1 の出力端子 4 a、第 2 の出力端子 4 b、第 3 の出力端子 4 c 及び第 4 の出力端子 4 d のそれぞれに、トランスインピーダンスアンプなどの負荷回路が接続されていることを想定しており、このような負荷回路が接続されている場合、図 2 のように負荷 5 a ~ 5 d が接続されている必要はない。

[0017] 図 3 は抵抗を備えている従来のポリフェーズフィルタを示す回路図であり、図 3 において、図 1 及び図 2 と同一符号は同一または相当部分を示している。

抵抗 6 a は第 1 の入力端子 1 a と第 1 の出力端子 4 a との間に接続されている。

抵抗 6 b は第 2 の入力端子 1 b と第 2 の出力端子 4 b との間に接続されている。

抵抗 6 c は第 3 の入力端子 1 c と第 3 の出力端子 4 c との間に接続されている。

抵抗 6 d は第 4 の入力端子 1 d と第 4 の出力端子 4 d との間に接続されている。

[0018] 次に動作について説明する。

この実施の形態 1 のポリフェーズフィルタとの比較のために、図 3 に示す従来のポリフェーズフィルタを解析する。

まず、従来のポリフェーズフィルタから出力される  $I$  信号に係る差動信号  $\Delta V_{IOUT}$  について説明する。 $\Delta V_{IOUT} = V_{O\_IP} - V_{O\_IN}$  である。

例えば、抵抗 6 a を流れる電流  $I_a$  は、以下の式 (2) で表され、第 1 のコンデンサ 3 a を流れる電流  $I_b$  は、以下の式 (3) で表される。

このため、第1の出力端子4 aから出力される第1のI信号 $V_{O\_IP}$ は、以下の式(4)で表される。

$$I_a = \frac{V_{IP} - V_{O\_IP}}{R} \quad (2)$$

$$I_b = \frac{V_{QP} - V_{O\_IP}}{\frac{1}{j\omega C}} \quad (3)$$

$$V_{O\_IP} = Z(I_a + I_b) \quad (4)$$

式(2)～(4)において、Rは抵抗6 aの抵抗値、Cは第1のコンデンサ3 aの容量値、Zは負荷5 aのインピーダンスである。

[0019] 式(2)で表される電流 $I_a$ 及び式(3)で表される電流 $I_b$ を式(4)に代入すると、第1の出力端子4 aから出力される第1のI信号 $V_{O\_IP}$ は、以下の式(5)のようになる。

$$V_{O\_IP} = \frac{Z}{R + Z + j\omega CRZ} (j\omega CRV_{QP} + V_{IP}) \quad (5)$$

ここでは、第1のI信号 $V_{O\_IP}$ について説明しているが、第2のI信号 $V_{O\_IN}$ についても同様に得ることができる。

第2のI信号 $V_{O\_IN}$ は、以下の式(6)のように表される。

$$V_{O\_IN} = \frac{Z}{R + Z + j\omega CRZ} (j\omega CRV_{QN} + V_{IN}) \quad (6)$$

[0020] 式(5)及び式(6)より、I信号に係る差動信号 $\Delta V_{IOUT}$ が得られる。差動信号 $\Delta V_{IOUT}$ は、以下の式(7)のように表される。

$$\begin{aligned} \Delta V_{IOUT} &= V_{O\_IP} - V_{O\_IN} \\ &= \frac{Z}{R + Z + j\omega CRZ} (V_{IP} - V_{IN}) + \frac{j\omega CRZ}{R + Z + j\omega CRZ} (V_{QP} - V_{QN}) \end{aligned} \quad (7)$$

[0021] 次に、従来のポリフェーズフィルタから出力されるQ信号に係る差動信号 $\Delta V_{QOUT}$ について説明する。 $\Delta V_{QOUT} = V_{O\_QP} - V_{O\_QN}$ である。

例えば、抵抗 6 b を流れる電流  $I_f$  は、以下の式 (8) で表され、第 2 のコンデンサ 3 b を流れる電流  $I_e$  は、以下の式 (9) で表される。

$$I_f = \frac{V_{QP} - V_{O\_QP}}{R} \quad (8)$$

$$I_e = \frac{V_{IN} - V_{O\_QP}}{\frac{1}{j\omega C}} \quad (9)$$

$$V_{O\_QP} = Z(I_f + I_e) \quad (10)$$

式 (8) ~ (10) において、 $R$  は抵抗 6 b の抵抗値、 $C$  は第 2 のコンデンサ 3 b の容量値、 $Z$  は負荷 5 b のインピーダンスである。

[0022] 式 (8) で表される電流  $I_f$  及び式 (9) で表される電流  $I_e$  を式 (10) に代入すると、第 2 の出力端子 4 b から出力される第 1 の Q 信号  $V_{O\_QP}$  は、以下の式 (11) のようになる。

$$V_{O\_QP} = \frac{Z}{R + Z + j\omega CRZ} (V_{QP} + j\omega CRV_{IN}) \quad (11)$$

ここでは、第 1 の Q 信号  $V_{O\_QP}$  について説明しているが、第 2 の Q 信号  $V_{O\_QN}$  についても同様に得ることができる。

第 2 の Q 信号  $V_{O\_QN}$  は、以下の式 (12) のように表される。

$$V_{O\_QN} = \frac{Z}{R + Z + j\omega CRZ} (V_{QN} + j\omega CRV_{IP}) \quad (12)$$

[0023] 式 (11) 及び式 (12) より、Q 信号に係る差動信号  $\Delta V_{QOUT}$  が得られる。差動信号  $\Delta V_{QOUT}$  は、以下の式 (13) のように表される。

$$\begin{aligned} \Delta V_{QOUT} &= V_{O\_QP} - V_{O\_QN} \\ &= \frac{Z}{R + Z + j\omega CRZ} (V_{QP} - V_{QN}) - \frac{j\omega CRZ}{R + Z + j\omega CRZ} (V_{IP} - V_{IN}) \end{aligned} \quad (13)$$

[0024] ここで、ポリフェーズフィルタの入力が理想の差動信号 ( $V_{IP} + V_{IN} = 0$ )

）であるとして、ポリフェーズフィルタの入力が以下の式（１４）に示すようにＩＱで短絡されている状況を想定する。この状況では、以下の式（１５）及び式（１６）が成立する。

$$V_{QP} - V_{QN} = V_{IP} - V_{IN} \quad (14)$$

$$\Delta V_{IOUT} = V_{O\_IP} - V_{O\_IN} = \frac{Z + j\omega CRZ}{R + Z + j\omega CRZ} (V_{IP} - V_{IN}) \quad (15)$$

$$\Delta V_{QOUT} = V_{O\_QP} - V_{O\_QN} = \frac{Z - j\omega CRZ}{R + Z + j\omega CRZ} (V_{IP} - V_{IN}) \quad (16)$$

式（１５）及び式（１６）より、ＩＱ信号の振幅は、周波数によらず一定となり、ＩＱ信号の位相は、角周波数 $\omega = 1 / CR$ のみで９０度差となることが分かる。また、分子＞分母となるため、ＩＱ信号は減衰することが分かる。

[0025] 次に、この実施の形態１における図２のポリフェーズフィルタを解析する。

まず、ポリフェーズフィルタから出力されるＩ信号に係る差動信号 $\Delta V_{IOUT}$ について説明する。 $\Delta V_{IOUT} = V_{O\_IP} - V_{O\_IN}$ である。

例えば、第１のトランジスタ２ａを流れる電流 $I_a$ は、以下の式（１７）で表され、第１のコンデンサ３ａを流れる電流 $I_b$ は、以下の式（１８）で表される。

このため、第１の出力端子４ａから出力される第１のＩ信号 $V_{O\_IP}$ は、以下の式（１８）で表される。

$$I_a = g_m \cdot V_{IP} \quad (17)$$

$$I_b = \frac{V_{O\_IP} - V_{QP}}{\frac{1}{j\omega C}} \quad (18)$$

$$V_{O\_IP} = (I_a + I_b)Z \quad (19)$$

式（１８）において、 $g_m$ は第１のトランジスタ２ａのトランスコンダクタ

ンスである。

- [0026] 式(17)で表される電流 $I_a$ 及び式(18)で表される電流 $I_b$ を式(19)に代入すると、第1の出力端子4aから出力される第1のI信号 $V_{O\_IP}$ は、以下の式(20)のようになる。

$$V_{O\_IP} = \frac{1}{(1-j\omega CZ)} (-j\omega CZ V_{QP} + g_m Z V_{IP}) \quad (20)$$

ここでは、第1のI信号 $V_{O\_IP}$ について説明しているが、第2のI信号 $V_{O\_IN}$ についても同様に得ることができる。

第2のI信号 $V_{O\_IN}$ は、以下の式(21)のように表される。

$$V_{O\_IN} = \frac{1}{(1-j\omega CZ)} (-j\omega CZ V_{QN} + g_m Z V_{IN}) \quad (21)$$

- [0027] 式(20)及び式(21)より、I信号に係る差動信号 $\Delta V_{IOUT}$ が得られる。差動信号 $\Delta V_{IOUT}$ は、以下の式(22)のように表される。

$$\Delta V_{IOUT} = V_{O\_IP} - V_{O\_IN} = \frac{1}{(1-j\omega CZ)} \{ -j\omega CZ (V_{QP} - V_{QN}) + g_m Z (V_{IP} - V_{IN}) \} \quad (22)$$

- [0028] 次に、ポリフェーズフィルタから出力されるQ信号に係る差動信号 $\Delta V_{QOUT}$ について説明する。 $\Delta V_{QOUT} = V_{O\_QP} - V_{O\_QN}$ である。

例えば、第2のトランジスタ2bを流れる電流 $I_f$ は、以下の式(23)で表され、第2のコンデンサ3bを流れる電流 $I_e$ は、以下の式(24)で表される。

このため、第2の出力端子4bから出力される第1のQ信号 $V_{O\_QP}$ は、以下の式(25)で表される。

$$I_f = g_m \cdot V_{QP} \quad (23)$$

$$I_e = \frac{V_{O\_QP} - V_{IN}}{\frac{1}{j\omega C}} \quad (24)$$

$$V_{O\_QP} = (I_f + I_e)Z \quad (25)$$

[0029] 式(23)で表される電流 $I_f$ 及び式(24)で表される電流 $I_e$ を式(25)に代入すると、第2の出力端子4bから出力される第1のQ信号 $V_{O\_QP}$ は、以下の式(26)のようになる。

$$V_{O\_QP} = \frac{1}{(1-j\omega CZ)} (-j\omega CZ V_{IN} + g_m Z V_{QP}) \quad (26)$$

ここでは、第1のQ信号 $V_{O\_QP}$ について説明しているが、第2のQ信号 $V_{O\_QN}$ についても同様に得ることができる。

第2のQ信号 $V_{O\_QN}$ は、以下の式(27)のように表される。

$$V_{O\_QN} = \frac{1}{(1-j\omega CZ)} (-j\omega CZ V_{IP} + g_m Z V_{QN}) \quad (27)$$

[0030] 式(26)及び式(27)より、Q信号に係る差動信号 $\Delta V_{QOUT}$ が得られる。差動信号 $\Delta V_{QOUT}$ は、以下の式(28)のように表される。

$$\Delta V_{QOUT} = V_{O\_QP} - V_{O\_QN} = \frac{1}{(1-j\omega CZ)} \{j\omega CZ (V_{IP} - V_{IN}) + g_m Z (V_{QP} - V_{QN})\} \quad (28)$$

[0031] ここで、ポリフェーズフィルタの入力が理想の差動信号( $V_{IP} + V_{IN} = 0$ )であるとして、ポリフェーズフィルタの入力が以下の式(29)に示すように1Qで短絡されている状況を想定する。この状況では、以下の式(30)及び式(31)が成立する。

$$V_{QP} - V_{QN} = V_{IP} - V_{IN} \quad (29)$$

$$\Delta V_{QOUT} = \frac{Z - j\frac{\omega C}{g_m} Z}{\left(\frac{1}{g_m} - j\frac{\omega C}{g_m} Z\right)} (V_{IP} - V_{IN}) \quad (30)$$

$$\Delta V_{QOUT} = \frac{Z + j\frac{\omega C}{g_m} Z}{\left(\frac{1}{g_m} - j\frac{\omega C}{g_m} Z\right)} (V_{IP} - V_{IN}) \quad (31)$$

式(30)及び式(31)より、1Q信号の振幅は常に一定となり、1Q

信号の位相は、角周波数 $\omega = g_m / CR$ で90度差となることが分かる。

[0032] 抵抗6a～6dを備えている図3のポリフェーズフィルタの伝達関数と、この実施の形態1における図2のポリフェーズフィルタの伝達関数とを比較すると、以下の表1のようになる。

[表1]

|                         | I 信号の伝達関数                                                                                                                      | Q 信号の伝達関数                                                                                                                      |
|-------------------------|--------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------|
| 抵抗を備えている図3のポリフェーズフィルタ   | $\Delta V_{IOUT} = \frac{Z + j\omega CRZ}{R + Z + j\omega CRZ} (V_{IP} - V_{IN})$                                              | $\Delta V_{QOUT} = \frac{Z - j\omega CRZ}{R + Z + j\omega CRZ} (V_{IP} - V_{IN})$                                              |
| 実施の形態1における図2のポリフェーズフィルタ | $\Delta V_{IOUT} = \frac{Z - j\frac{\omega C}{g_m} Z}{\left(\frac{1}{g_m} - j\frac{\omega C}{g_m} Z\right)} (V_{IP} - V_{IN})$ | $\Delta V_{QOUT} = \frac{Z + j\frac{\omega C}{g_m} Z}{\left(\frac{1}{g_m} - j\frac{\omega C}{g_m} Z\right)} (V_{IP} - V_{IN})$ |

[0033] この実施の形態1のポリフェーズフィルタは、図3のポリフェーズフィルタの抵抗6a～6dが、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dに置き換わっている点で相違している。

このため、この実施の形態1のポリフェーズフィルタにおいても、図3のポリフェーズフィルタと同様に、I Q信号の振幅が常に一定となり、I Q信号の位相が角周波数 $\omega$ で90度差となる。

したがって、この実施の形態1のポリフェーズフィルタは、図3のポリフェーズフィルタと同じI Q特性を実現することができる。

ただし、この実施の形態1のポリフェーズフィルタは、図3のポリフェーズフィルタと異なり、トランスコンダクタンス $g_m$ を有するトランジスタを用いて構成されているため、利得を持たせることが可能である。

[0034] この実施の形態1のポリフェーズフィルタが持つことが可能な利得は、以下の表2に示すように、トランスコンダクタンス $g_m$ と $\omega C$ の大小関係によって決まる。 $\omega$ は角周波数、 $C$ は第1のコンデンサ3a、第2のコンデンサ3b、第3のコンデンサ3c及び第4のコンデンサ3dの容量値である。

[表2]

|                    |                                                  |
|--------------------|--------------------------------------------------|
|                    | 利得                                               |
| $\omega C \gg g_m$ | 1                                                |
| $\omega C = g_m$   | $\frac{\sqrt{2}Z}{\sqrt{Z^2 + \frac{1}{g_m^2}}}$ |
| $\omega C \ll g_m$ | $g_m \cdot Z$                                    |

[0035]  $\omega C = g_m$ の場合、分子が分母よりも大きいため利得が1以上になる。また、 $\omega C \ll g_m$ の場合も利得が1以上になる。

したがって、この実施の形態1のポリフェーズフィルタは、トランスコンダクタンス  $g_m$  と  $\omega C$  の大小関係にかかわらず、1以上の利得を持つことが可能である。

また、この実施の形態1のポリフェーズフィルタは、角周波数が  $\omega = g_m / CR$  で決定される。トランスコンダクタンス  $g_m$  は、トランジスタを流れる電流によって決まるため、電流を可変することで、角周波数  $\omega$  を可変することが可能である。したがって、この実施の形態1のポリフェーズフィルタは、特性の可変が可能なポリフェーズフィルタである。

[0036] 以上で明らかなように、この実施の形態1によれば、第1の入力端子1aから入力される第1のI信号  $V_{IP}$  を増幅する第1のトランジスタ2aと、第2の入力端子1bから入力される第1のQ信号  $V_{QP}$  を増幅する第2のトランジスタ2bと、第1のI信号  $V_{IP}$  と差動信号を構成している第2のI信号  $V_{IN}$  が第3の入力端子1cから入力されると、第2のI信号  $V_{IN}$  を増幅する第3のトランジスタ2cと、第1のQ信号  $V_{QP}$  と差動信号を構成している第2のQ信号  $V_{QN}$  が第4の入力端子1dから入力されると、第2のQ信号  $V_{QN}$  を増幅する第4のトランジスタ2dとを備えるように構成したので、通過ロスの発生を抑えることができる効果を奏する。

また、利得を有し、かつ、特性を可変することが可能なポリフェーズフィ

ルタを得ることができる。

[0037] また、この実施の形態1によれば、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dのコレクタ端子のそれぞれが負荷5a、5b、5c、5dを介して電源Vccと接続されているように構成したので、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dとして、NPN型のバイポーラトランジスタを用いることができる。

[0038] この実施の形態1では、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dが、バイポーラトランジスタである例を示しているが、トランスコンダクタンス $g_m$ を有していればよく、バイポーラトランジスタに限るものではない。

このため、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dは、例えば、電界効果トランジスタであってもよいし、CMOS (Complementary Metal Oxide Semiconductor) などのMOSトランジスタであってもよい。

なお、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dが電界効果トランジスタである場合、電界効果トランジスタのゲート端子は、バイポーラトランジスタのベース端子に相当する。

また、電界効果トランジスタのドレイン端子は、バイポーラトランジスタのコレクタ端子に相当し、電界効果トランジスタのソース端子は、バイポーラトランジスタのエミッタ端子に相当する。

[0039] 実施の形態2.

上記実施の形態1では、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dのエミッタ端子が接地されている例を示している。

この実施の形態2では、第1のトランジスタ2aのエミッタ端子及び第3

のトランジスタ 2 c のエミッタ端子が第 1 の電流源 7 a を介してグランドと接続され、第 2 のトランジスタ 2 b のエミッタ端子及び第 4 のトランジスタ 2 d のエミッタ端子が第 2 の電流源 7 b を介してグランドと接続されている例を説明する。

[0040] 図 4 はこの発明の実施の形態 2 によるポリフェーズフィルタを示す回路図である。図 4 において、図 1 及び図 2 と同一符号は同一または相当部分を示すので説明を省略する。

第 1 の電流源 7 a は+側が第 1 のトランジスタ 2 a のエミッタ端子及び第 3 のトランジスタ 2 c のエミッタ端子と接続され、一側がグランドと接続されている。

第 2 の電流源 7 b は+側が第 2 のトランジスタ 2 b のエミッタ端子及び第 4 のトランジスタ 2 d のエミッタ端子と接続され、一側がグランドと接続されている。

[0041] 図 4 では、第 1 のトランジスタ 2 a、第 2 のトランジスタ 2 b、第 3 のトランジスタ 2 c 及び第 4 のトランジスタ 2 d のコレクタ端子のそれぞれが負荷 5 a、5 b、5 c、5 d を介して電源  $V_{cc}$  と接続されているが、第 1 の出力端子 4 a、第 2 の出力端子 4 b、第 3 の出力端子 4 c 及び第 4 の出力端子 4 d のそれぞれにトランスインピーダンスアンプなどの負荷回路が接続される場合には、負荷 5 a ~ 5 d が接続されている必要はない。

[0042] 次に動作について説明する。

第 1 の I 信号  $V_{IP}$  と第 2 の I 信号  $V_{IN}$  との間に差動アンバランスが生じている場合でも、第 1 のトランジスタ 2 a のエミッタ端子及び第 3 のトランジスタ 2 c のエミッタ端子が第 1 の電流源 7 a を介してグランドと接続されることで、第 1 のトランジスタ 2 a を流れる電流  $I_a$  と、第 3 のトランジスタ 2 c を流れる電流  $I_d$  とは差動信号になる。

また、第 1 の Q 信号  $V_{QP}$  と第 2 の Q 信号  $V_{QN}$  との間に差動アンバランスが生じている場合でも、第 2 のトランジスタ 2 b のエミッタ端子及び第 4 のトランジスタ 2 d のエミッタ端子が第 2 の電流源 7 b を介してグランドと接続

されることで、第2のトランジスタ2bを流れる電流 $I_f$ と、第4のトランジスタ2dを流れる電流 $I_h$ とは差動信号になる。

これにより、上記実施の形態1よりも、ポリフェーズフィルタによるイメージ妨害波の抑圧精度を高めることができる。

[0043] この実施の形態2では、第1のトランジスタ2aのエミッタ端子及び第3のトランジスタ2cのエミッタ端子が、第1の電流源7aを介してグラウンドと接続され、第2のトランジスタ2bのエミッタ端子及び第4のトランジスタ2dのエミッタ端子が、第2の電流源7bを介してグラウンドと接続されている例を示している。

図5に示すように、第1の電流源7aの代わりに、第1の抵抗8aが接続され、第2の電流源7bの代わりに、第2の抵抗8bが接続されていても、同様の効果を得ることができる。

図5はこの発明の実施の形態2による他のポリフェーズフィルタを示す回路図である。

[0044] この実施の形態2では、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dが、バイポーラトランジスタである例を示しているが、上記実施の形態1と同様に、例えば、電界効果トランジスタであってもよいし、CMOSなどのMOSトランジスタであってもよい。

[0045] 実施の形態3.

上記実施の形態1では、第1のトランジスタ2a、第2のトランジスタ2b、第3のトランジスタ2c及び第4のトランジスタ2dのエミッタ端子が接地されている例を示している。

この実施の形態3では、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dのベース端子が接地されている例を説明する。

[0046] 図6はこの発明の実施の形態3によるポリフェーズフィルタを示す回路図である。図6において、図1及び図2と同一符号は同一または相当部分を示

すので説明を省略する。

第1のトランジスタ9aはトランスコンダクタンス $g_m$ を有し、ベース端子が接地されているバイポーラトランジスタである。

第1のトランジスタ9aは、エミッタ端子が第1の入力端子1aと接続され、コレクタ端子（第1のトランジスタ9aの出力端子）が第1の出力端子4aと接続されており、第1の入力端子1aから入力された第1のI信号 $V_{I_P}$ を増幅して、増幅後の第1のI信号 $V_{I_P}$ を第1の出力端子4aに出力する。

第2のトランジスタ9bはトランスコンダクタンス $g_m$ を有し、ベース端子が接地されているバイポーラトランジスタである。

第2のトランジスタ9bは、エミッタ端子が第2の入力端子1bと接続され、コレクタ端子（第2のトランジスタ9bの出力端子）が第2の出力端子4bと接続されており、第2の入力端子1bから入力された第1のQ信号 $V_{Q_P}$ を増幅して、増幅後の第1のQ信号 $V_{Q_P}$ を第2の出力端子4bに出力する。

[0047] 第3のトランジスタ9cはトランスコンダクタンス $g_m$ を有し、ベース端子が接地されているバイポーラトランジスタである。

第3のトランジスタ9cは、エミッタ端子が第3の入力端子1cと接続され、コレクタ端子（第3のトランジスタ9cの出力端子）が第3の出力端子4cと接続されており、第3の入力端子1cから入力された第2のI信号 $V_{I_N}$ を増幅して、増幅後の第2のI信号 $V_{I_N}$ を第3の出力端子4cに出力する。

第4のトランジスタ9dはトランスコンダクタンス $g_m$ を有し、ベース端子が接地されているバイポーラトランジスタである。

第4のトランジスタ9dは、エミッタ端子が第4の入力端子1dと接続され、コレクタ端子（第4のトランジスタ9dの出力端子）が第4の出力端子4dと接続されており、第4の入力端子1dから入力された第2のQ信号 $V_{Q_N}$ を増幅して、増幅後の第2のQ信号 $V_{Q_N}$ を第4の出力端子4dに出力する。

[0048] 第1の電流源10aは+側が第1のトランジスタ9aのエミッタ端子と接続され、一側がグランドと接続されている。

第2の電流源10bは+側が第2のトランジスタ9bのエミッタ端子と接

続され、一側がグランドと接続されている。

第3の電流源10cは+側が第3のトランジスタ9cのエミッタ端子と接続され、一側がグランドと接続されている。

第4の電流源10dは+側が第4のトランジスタ9dのエミッタ端子と接続され、一側がグランドと接続されている。

[0049] 図6では、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dのコレクタ端子のそれぞれが負荷5a、5b、5c、5dを介して電源Vccと接続されているが、第1の出力端子4a、第2の出力端子4b、第3の出力端子4c及び第4の出力端子4dのそれぞれにトランスインピーダンスアンプなどの負荷回路が接続される場合には、負荷5a～5dが接続されている必要はない。

[0050] 次に動作について説明する。

この実施の形態3のポリフェーズフィルタの動作は、上記実施の形態1のポリフェーズフィルタの動作と概ね同じである。

ただし、この実施の形態3では、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dのベース端子が接地されている。

このため、第1の入力端子1a、第2の入力端子1b、第3の入力端子1c及び第4の入力端子1dから見た入力インピーダンスを、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dにおけるインピーダンスの $1/g_m$ とすることができる。

[0051] これにより、第1の出力端子4a、第2の出力端子4b、第3の出力端子4c及び第4の出力端子4dから見た出力インピーダンスに応じて、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dのトランスコンダクタンス $g_m$ を設定することで、広帯域な入出力整合を実現することができる。また、不要な整合素子を排除して、小型化を図ることができるとともに、広帯域性能を実現することができる。

[0052] この実施の形態3では、第1のトランジスタ9aのエミッタ端子が第1の電流源10aを介してグランドと接続され、第2のトランジスタ9bのエミッタ端子が第2の電流源10bを介してグランドと接続されている。また、第3のトランジスタ9cのエミッタ端子が第3の電流源10cを介してグランドと接続され、第4のトランジスタ9dのエミッタ端子が第4の電流源10dを介してグランドと接続されている。

図7に示すように、第1の電流源10aの代わりに第1の抵抗11aが接続され、第2の電流源10bの代わりに第2の抵抗11bが接続され、第3の電流源10cの代わりに第3の抵抗11cが接続され、第4の電流源10dの代わりに第4の抵抗11dが接続されていてもよい。この場合も同様の効果を得ることができる。

図7はこの発明の実施の形態3による他のポリフェーズフィルタを示す回路図である。

[0053] この実施の形態3では、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dが、バイポーラトランジスタである例を示しているが、第1のトランジスタ9a、第2のトランジスタ9b、第3のトランジスタ9c及び第4のトランジスタ9dは、例えば、電界効果トランジスタであってもよいし、CMOSなどのMOSトランジスタであってもよい。

[0054] なお、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

### 産業上の利用可能性

[0055] この発明は、トランジスタを備えているポリフェーズフィルタに適している。

### 符号の説明

[0056] 1a 第1の入力端子、1b 第2の入力端子、1c 第3の入力端子、  
1d 第4の入力端子、2a 第1のトランジスタ、2b 第2のトランジ

スタ、2 c 第3のトランジスタ、2 d 第4のトランジスタ、3 a 第1のコンデンサ、3 b 第2のコンデンサ、3 c 第3のコンデンサ、3 d 第4のコンデンサ、4 a 第1の出力端子、4 b 第2の出力端子、4 c 第3の出力端子、4 d 第4の出力端子、5 a～5 d 負荷、6 a～6 d 抵抗、7 a 第1の電流源、7 b 第2の電流源、8 a 第1の抵抗、8 b 第2の抵抗、9 a 第1のトランジスタ、9 b 第2のトランジスタ、9 c 第3のトランジスタ、9 d 第4のトランジスタ、10 a 第1の電流源、10 b 第2の電流源、10 c 第3の電流源、10 d 第4の電流源、11 a 第1の抵抗、11 b 第2の抵抗、11 c 第3の抵抗、11 d 第4の抵抗。

## 請求の範囲

- [請求項1]       第1の入力端子から入力される第1のI信号を増幅する第1のトランジスタと、
- 第2の入力端子から入力される第1のQ信号を増幅する第2のトランジスタと、
- 前記第1のI信号と差動信号を構成している第2のI信号が第3の入力端子から入力されると、前記第2のI信号を増幅する第3のトランジスタと、
- 前記第1のQ信号と差動信号を構成している第2のQ信号が第4の入力端子から入力されると、前記第2のQ信号を増幅する第4のトランジスタと、
- 前記第1のトランジスタの出力端子と前記第2の入力端子との間に接続されている第1のコンデンサと、
- 前記第2のトランジスタの出力端子と前記第3の入力端子との間に接続されている第2のコンデンサと、
- 前記第3のトランジスタの出力端子と前記第4の入力端子との間に接続されている第3のコンデンサと、
- 前記第4のトランジスタの出力端子と前記第1の入力端子との間に接続されている第4のコンデンサと
- を備えたポリフェーズフィルタ。
- [請求項2]       前記第1から第4のトランジスタの出力端子のそれぞれが負荷を介して電源と接続されていることを特徴とする請求項1記載のポリフェーズフィルタ。
- [請求項3]       前記第1から第4のトランジスタのそれぞれが、エミッタ端子が接地されているバイポーラトランジスタであり、
- 前記第1のトランジスタのベース端子が前記第1の入力端子と接続され、前記第1のトランジスタのコレクタ端子が前記第1のトランジスタの出力端子であり、

前記第2のトランジスタのベース端子が前記第2の入力端子と接続され、前記第2のトランジスタのコレクタ端子が前記第2のトランジスタの出力端子であり、

前記第3のトランジスタのベース端子が前記第3の入力端子と接続され、前記第3のトランジスタのコレクタ端子が前記第3のトランジスタの出力端子であり、

前記第4のトランジスタのベース端子が前記第4の入力端子と接続され、前記第4のトランジスタのコレクタ端子が前記第4のトランジスタの出力端子であることを特徴とする請求項1記載のポリフェーズフィルタ。

[請求項4] 前記第1のトランジスタのエミッタ端子及び前記第3のトランジスタのエミッタ端子は、第1の電流源又は第1の抵抗を介してグランドと接続され、

前記第2のトランジスタのエミッタ端子及び前記第4のトランジスタのエミッタ端子は、第2の電流源又は第2の抵抗を介してグランドと接続されていることを特徴とする請求項3記載のポリフェーズフィルタ。

[請求項5] 前記第1から第4のトランジスタのそれぞれが、ソース端子が接地されている電界効果トランジスタであり、

前記第1のトランジスタのゲート端子が前記第1の入力端子と接続され、前記第1のトランジスタのドレイン端子が前記第1のトランジスタの出力端子であり、

前記第2のトランジスタのゲート端子が前記第2の入力端子と接続され、前記第2のトランジスタのドレイン端子が前記第2のトランジスタの出力端子であり、

前記第3のトランジスタのゲート端子が前記第3の入力端子と接続され、前記第3のトランジスタのドレイン端子が前記第3のトランジスタの出力端子であり、

前記第4のトランジスタのゲート端子が前記第4の入力端子と接続され、前記第4のトランジスタのドレイン端子が前記第4のトランジスタの出力端子であることを特徴とする請求項1記載のポリフェーズフィルタ。

[請求項6]

前記第1のトランジスタのソース端子及び前記第3のトランジスタのソース端子は、第1の電流源又は第1の抵抗を介してグランドと接続され、

前記第2のトランジスタのソース端子及び前記第4のトランジスタのソース端子は、第2の電流源又は第2の抵抗を介してグランドと接続されていることを特徴とする請求項5記載のポリフェーズフィルタ。

[請求項7]

前記第1から第4のトランジスタのそれぞれが、ベース端子が接地されているバイポーラトランジスタであり、

前記第1のトランジスタのエミッタ端子が前記第1の入力端子と接続され、前記第1のトランジスタのコレクタ端子が前記第1のトランジスタの出力端子であり、

前記第2のトランジスタのエミッタ端子が前記第2の入力端子と接続され、前記第2のトランジスタのコレクタ端子が前記第2のトランジスタの出力端子であり、

前記第3のトランジスタのエミッタ端子が前記第3の入力端子と接続され、前記第3のトランジスタのコレクタ端子が前記第3のトランジスタの出力端子であり、

前記第4のトランジスタのエミッタ端子が前記第4の入力端子と接続され、前記第4のトランジスタのコレクタ端子が前記第4のトランジスタの出力端子であることを特徴とする請求項1記載のポリフェーズフィルタ。

[請求項8]

前記第1のトランジスタのエミッタ端子は、第1の電流源又は第1の抵抗を介してグランドと接続され、

前記第2のトランジスタのエミッタ端子は、第2の電流源又は第2の抵抗を介してグランドと接続され、

前記第3のトランジスタのエミッタ端子は、第3の電流源又は第3の抵抗を介してグランドと接続され、

前記第4のトランジスタのエミッタ端子は、第4の電流源又は第4の抵抗を介してグランドと接続されていることを特徴とする請求項7記載のポリフェーズフィルタ。

[請求項9] 前記第1から第4のトランジスタのそれぞれが、ゲート端子が接地されている電界効果トランジスタであり、

前記第1のトランジスタのソース端子が前記第1の入力端子と接続され、前記第1のトランジスタのドレイン端子が前記第1のトランジスタの出力端子であり、

前記第2のトランジスタのソース端子が前記第2の入力端子と接続され、前記第2のトランジスタのドレイン端子が前記第2のトランジスタの出力端子であり、

前記第3のトランジスタのソース端子が前記第3の入力端子と接続され、前記第3のトランジスタのドレイン端子が前記第3のトランジスタの出力端子であり、

前記第4のトランジスタのソース端子が前記第4の入力端子と接続され、前記第4のトランジスタのドレイン端子が前記第4のトランジスタの出力端子であることを特徴とする請求項1記載のポリフェーズフィルタ。

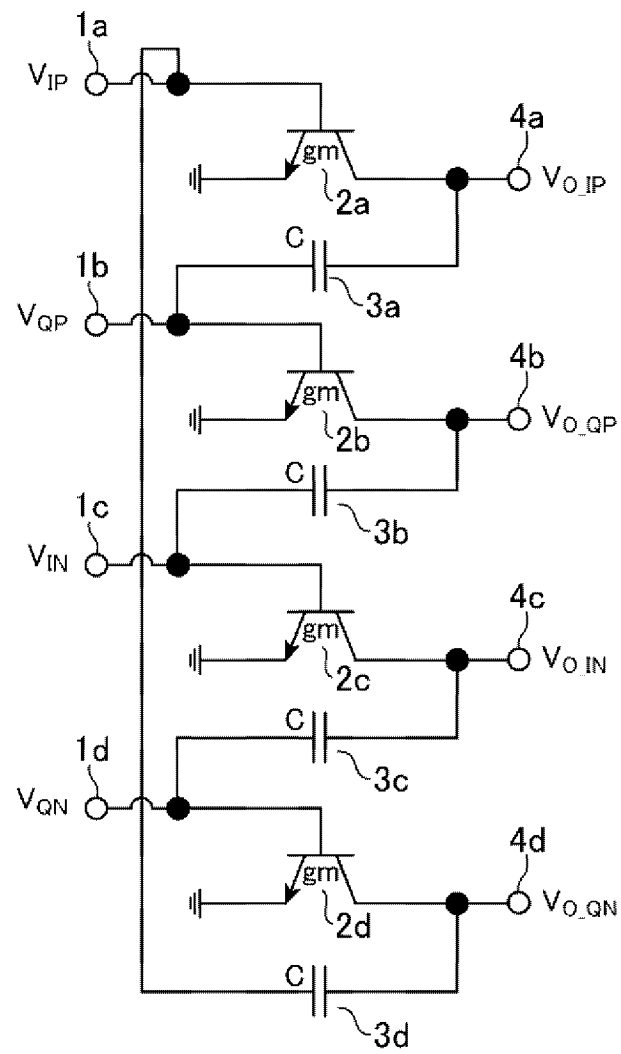
[請求項10] 前記第1のトランジスタのソース端子は、第1の電流源又は第1の抵抗を介してグランドと接続され、

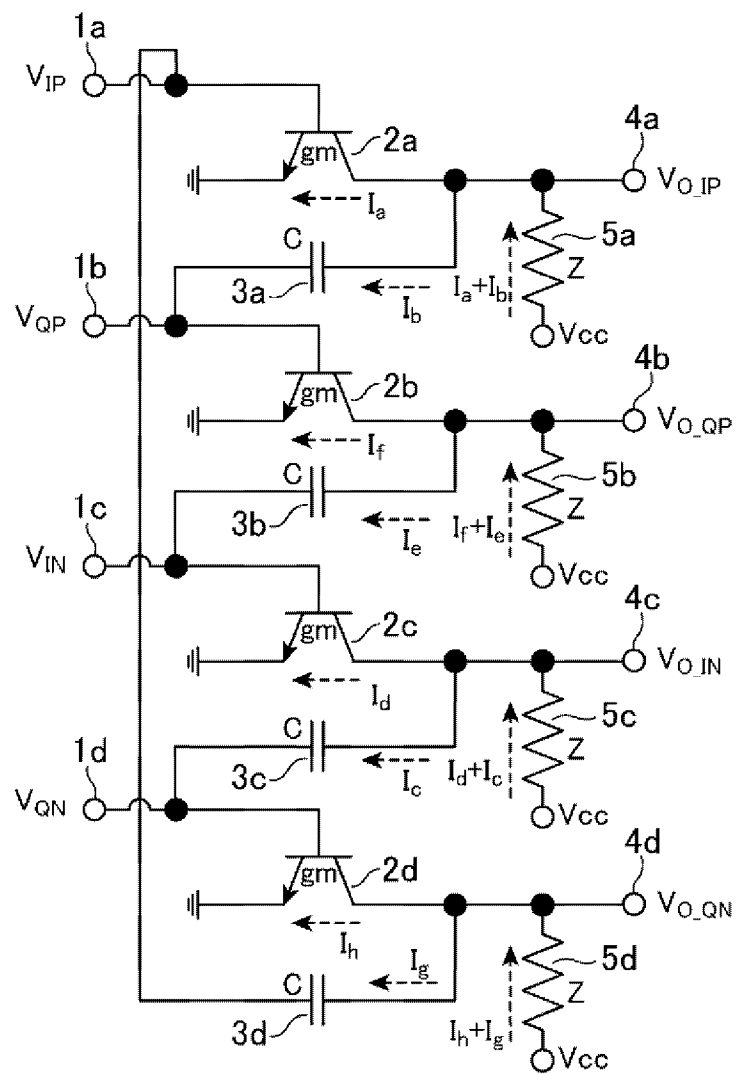
前記第2のトランジスタのソース端子は、第2の電流源又は第2の抵抗を介してグランドと接続され、

前記第3のトランジスタのソース端子は、第3の電流源又は第3の抵抗を介してグランドと接続され、

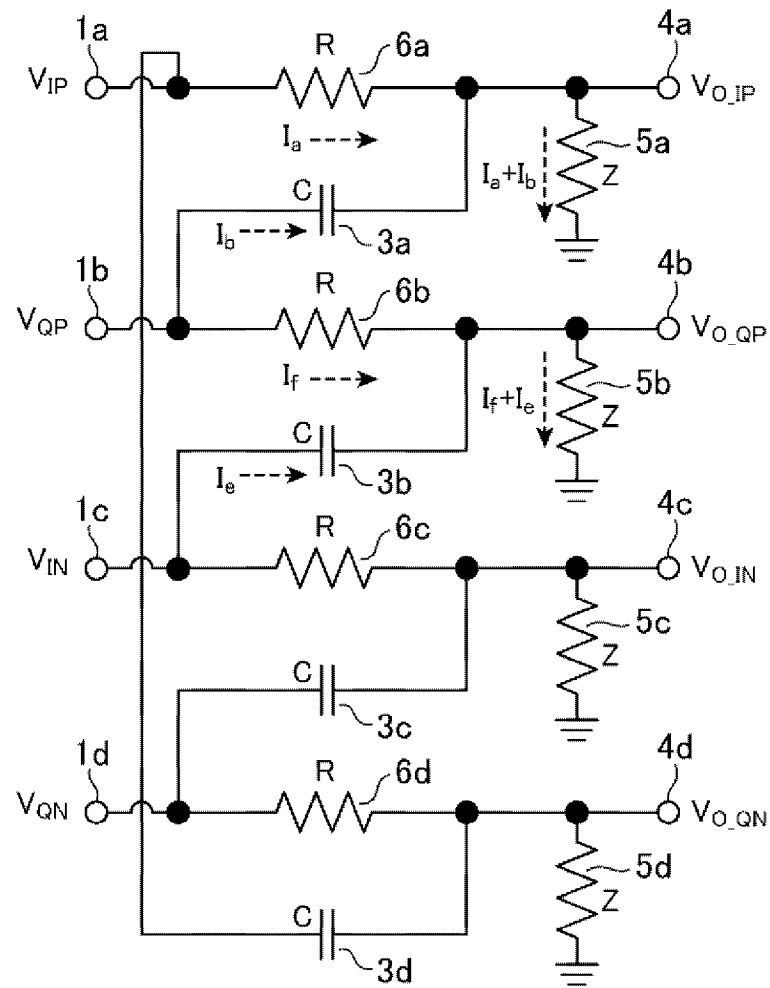
前記第４のトランジスタのソース端子は、第４の電流源又は第４の抵抗を介してグランドと接続されていることを特徴とする請求項９記載のポリフェーズフィルタ。

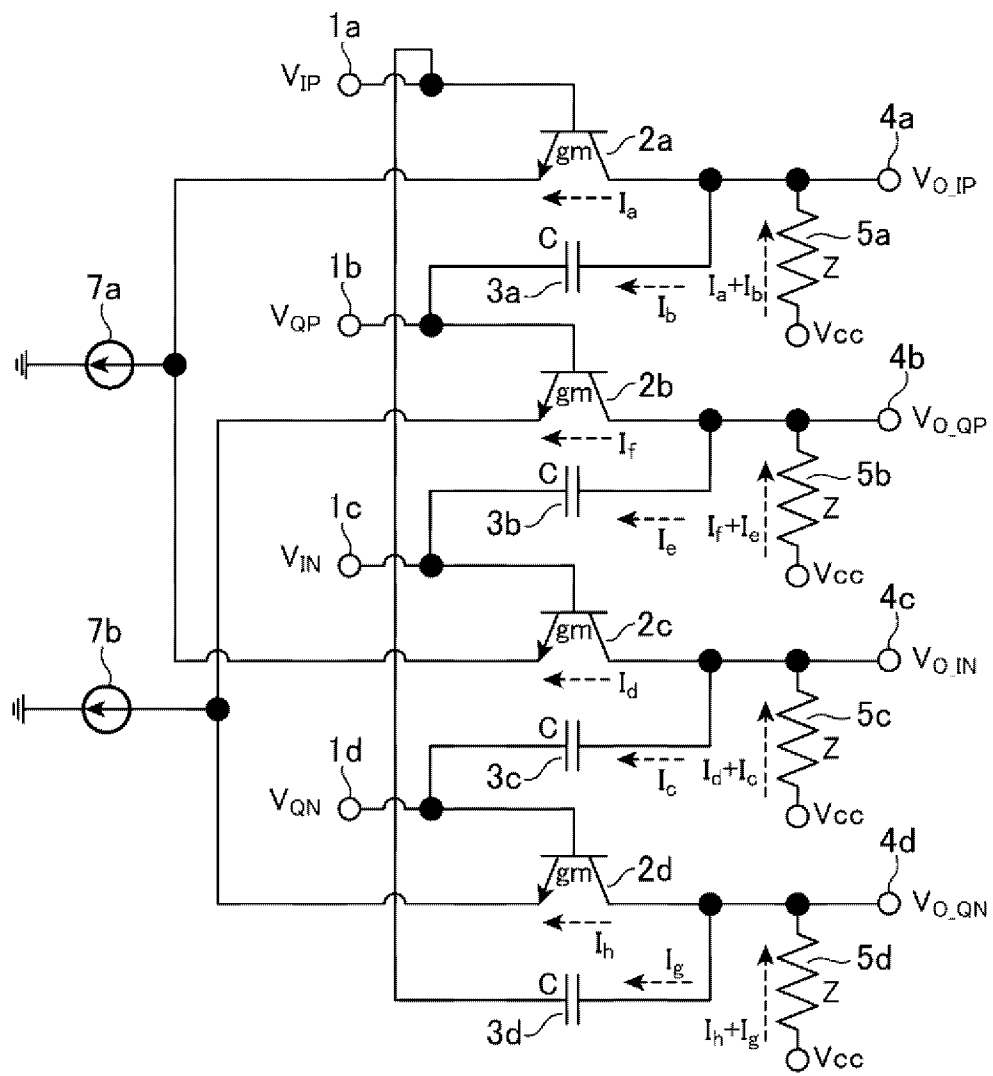
[図1]



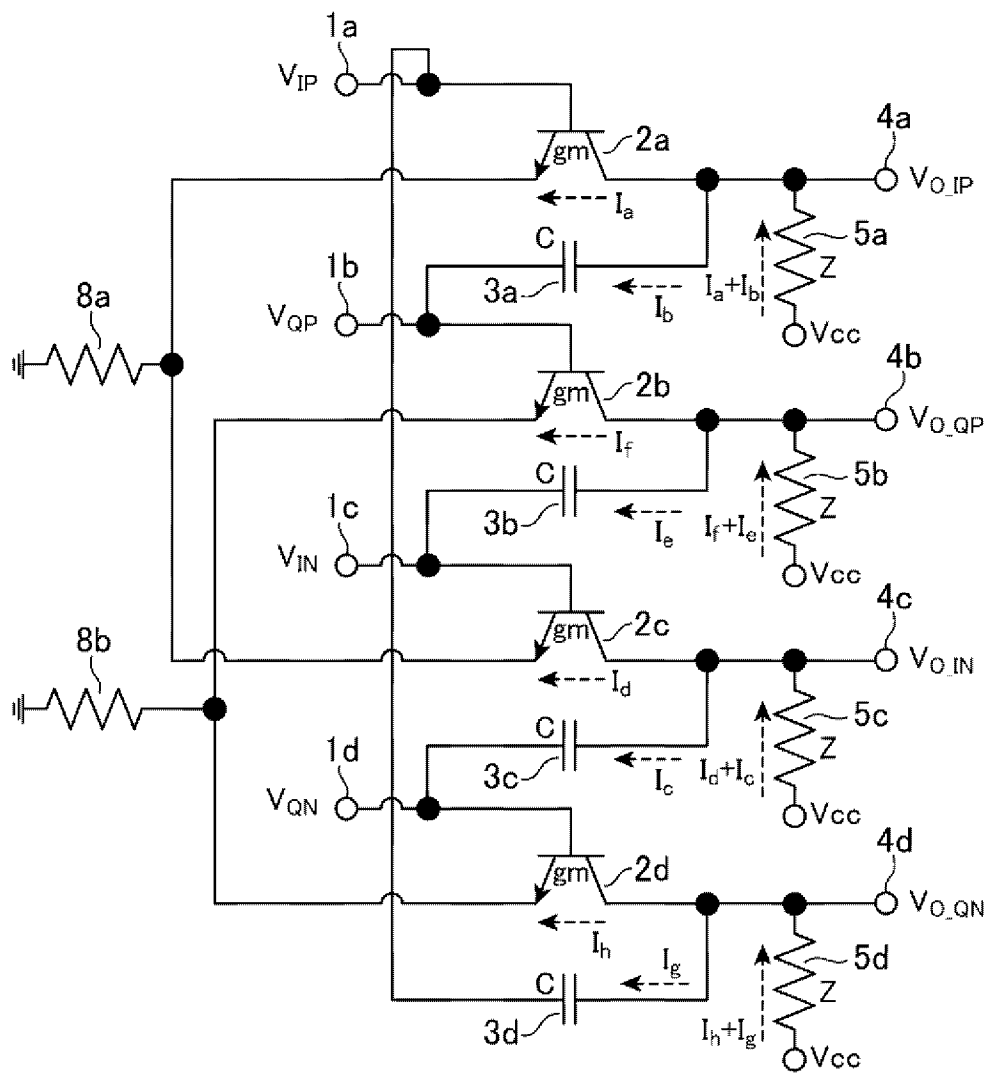


[図3]



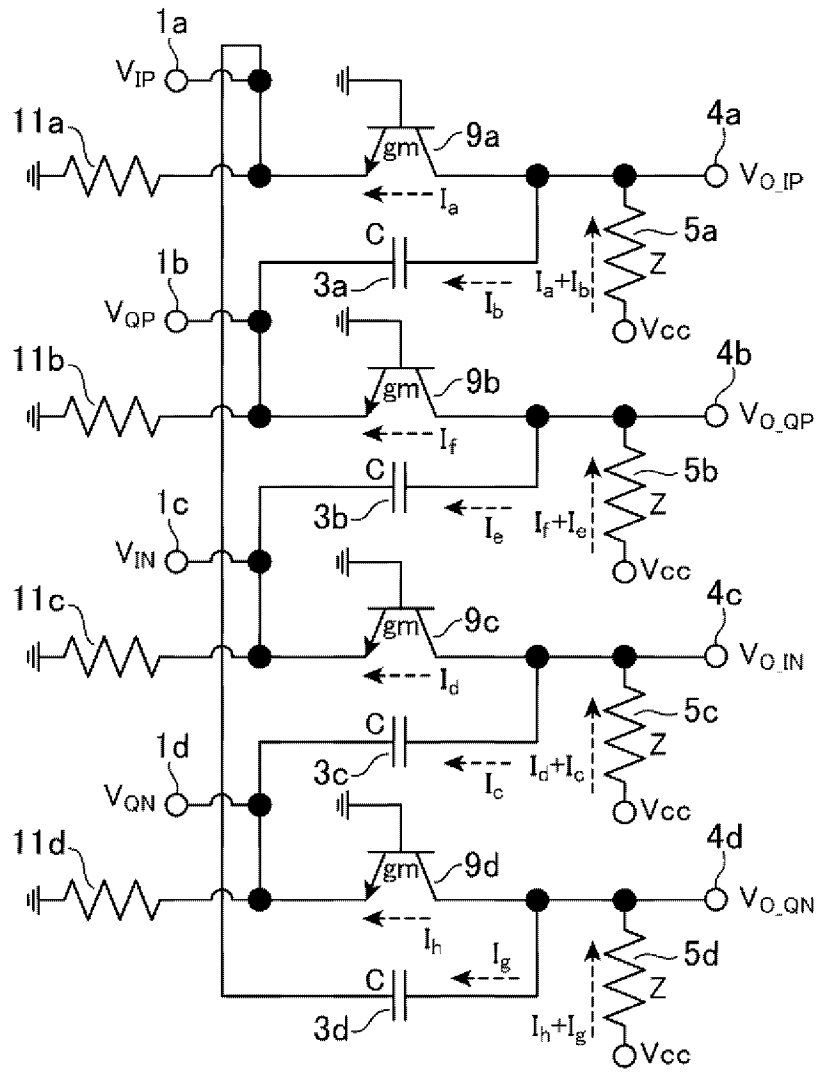


[図5]





[図7]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/008239

## A. CLASSIFICATION OF SUBJECT MATTER

H03H11/04(2006.01)i, H03H11/22(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H11/04, H03H11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2001-45080 A (Nippon Telegraph and Telephone Corp.),<br>16 February 2001 (16.02.2001),<br>paragraph [0003]; fig. 12<br>(Family: none) | 1-10                  |
| Y         | JP 10-70418 A (Hitachi Denshi, Ltd.),<br>10 March 1998 (10.03.1998),<br>paragraphs [0018] to [0025]; fig. 1 to 2<br>(Family: none)       | 1-3, 5, 7-10          |
| Y         | US 4866397 A (KIMYACIOGLU, Mehmet),<br>12 September 1989 (12.09.1989),<br>column 1, lines 56 to 64; fig. 3<br>(Family: none)             | 4, 6                  |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
12 May 2017 (12.05.17)

Date of mailing of the international search report  
23 May 2017 (23.05.17)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2017/008239

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                         | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 11-205047 A (NEC Corp.),<br>30 July 1999 (30.07.1999),<br>paragraphs [0014] to [0015]; fig. 1<br>(Family: none)                                                         | 8, 10                 |
| Y         | JP 3-070305 A (Fujitsu Ltd.),<br>26 March 1991 (26.03.1991),<br>page 3, upper right column, lines 5 to 18; fig.<br>1<br>& US 5113151 A<br>column 6, lines 26 to 47; fig. 4 | 8, 10                 |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H11/04(2006.01)i, H03H11/22(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H11/04, H03H11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2017年 |
| 日本国実用新案登録公報 | 1996-2017年 |
| 日本国登録実用新案公報 | 1994-2017年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                     | 関連する<br>請求項の番号 |
|-----------------|-----------------------------------------------------------------------|----------------|
| Y               | JP 2001-45080 A（日本電信電話株式会社）2001.02.16, 段落[0003], 第12図（ファミリーなし）        | 1-10           |
| Y               | JP 10-70418 A（日立電子株式会社）1998.03.10, 段落[0018]-[0025], 第1-2図（ファミリーなし）    | 1-3, 5, 7-10   |
| Y               | US 4866397 A（KIMYACIOGLU, Mehmet）1989.09.12, 第1欄第56-64行, 第3図（ファミリーなし） | 4, 6           |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

12.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 正明

5W

8388

電話番号 03-3581-1101 内線 3576

| C (続き) . 関連すると認められる文献 |                                                                                           |                |
|-----------------------|-------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                         | 関連する<br>請求項の番号 |
| Y                     | JP 11-205047 A (日本電気株式会社) 1999.07.30, 段落<br>[0014]-[0015], 第1図 (ファミリーなし)                  | 8, 10          |
| Y                     | JP 3-070305 A (富士通株式会社) 1991.03.26, 第3頁右上欄第5-18<br>行, 第1図 & US 5113151 A, 第6欄第26-47行, 第4図 | 8, 10          |