



(12) 发明专利

(10) 授权公告号 CN 101202108 B

(45) 授权公告日 2010.06.02

(21) 申请号 200710199737.0

FLASH Memory with Optimized PulseWidth

(22) 申请日 2007.12.12

Programming, 1999 Symposium on VLSI Circuit

Digest of Technical Papers, 1999, 199939-40.

(30) 优先权数据

11/637,155 2006.12.12 US

审查员 李元

(73) 专利权人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 吴昭谊 薛铭祥

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 王志森

(51) Int. Cl.

G11C 16/06(2006.01)

H01L 27/115(2006.01)

(56) 对比文件

US 5748533 A, 1998.05.05, 全文.

CN 1393934 A, 2003.01.29, 说明书实施例, 表1、说明书附图1.

US 2005/0047215 A1, 2005.03.03, 全文.

Hironmi Nobukata. A 144Mb 8-level NAND

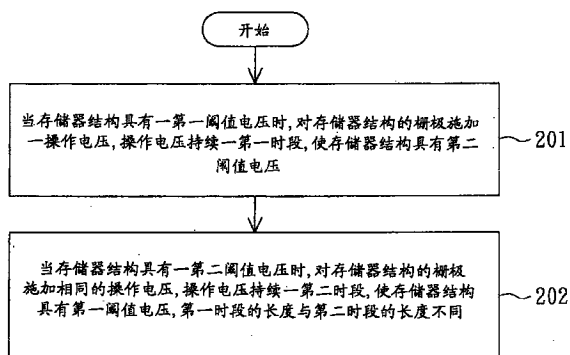
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 发明名称

存储器结构及其操作方法

(57) 摘要

一种存储器的操作方法,用以使存储器具有第一阈值电压或第二阈值电压,方法包括:对存储器的栅极施加一操作电压,操作电压持续一第一时段,使存储器具有该第一阈值电压;以及,对存储器的栅极施加相同的操作电压,操作电压持续一第二时段,使存储器具有第二阈值电压。第一时段的长度与第二时段的长度不同。



1. 一种存储器的操作方法,用以使一存储器结构具有一第一阈值电压或一第二阈值电压,该方法包括:

(a) 当该存储器结构具有一第一阈值电压时,对该存储器结构的栅极施加一写入电压,该写入电压持续一第一时段,使该存储器结构具有该第二阈值电压;

(b) 当该存储器结构具有一第二阈值电压时,对该存储器结构的栅极施加一擦除电压,该擦除电压持续一第二时段,使该存储器结构具有该第一阈值电压,该第一时段的长度与该第二时段的长度不同;

其中,该写入电压与该擦除电压相同。

2. 如权利要求 1 所述的操作方法,其中该存储器结构具有一顶氧化层、一电荷捕捉层及一底氧化层。

3. 如权利要求 1 所述的操作方法,其中该存储器结构具有一 N 型沟道。

4. 如权利要求 1 所述的操作方法,其中该存储器结构具有一 P 型沟道。

5. 一种存储器结构,包括:

一基板,包括:

一沟道;及

一源极端及一漏极端,分别位于该沟道的两侧;

一底氧化层,设置于该沟道上;

一电荷捕捉层,设置于该底氧化层上;

一顶氧化层,设置于该电荷捕捉层上;以及

一栅极,设置于该顶氧化层上;

其中,该底氧化层具有一特定厚度使得通过施加一写入电压于该栅极,并控制该写入电压的施加时间为一第一时段时,该存储器结构具有一第一阈值电压;当一擦除电压的施加时间为一不同于第一时段的第二时段时,该存储器结构具有一第二阈值电压;

其中,该写入电压与该擦除电压相同。

6. 权利要求 5 所述的存储器结构,其中该基板为一 P 型基板,且该源极及该漏极具有 N 型杂质。

7. 权利要求 5 所述的存储器结构,其中该基板为一 N 型基板,且该源极及该漏极具有 P 型杂质。

8. 权利要求 5 所述的存储器结构,其中该电荷捕捉层的材料为氮化硅或氧化铝。

9. 权利要求 5 所述的存储器结构,其中该栅极的材料为金属、P 型多晶硅或 N 型多晶硅。

10. 权利要求 5 所述的存储器结构,其中该底氧化层及该顶氧化层的材料为氧化硅。

存储器结构及其操作方法

技术领域

[0001] 本发明有关于一种存储器结构及其操作方法,且特别是有关于一种以单一电压操作存储器的方法及应用其的存储器结构。

背景技术

[0002] 传统存储器的操作方式,以对存储器的栅极施加一操作电压,将空穴或电子注入至存储器的电荷捕捉层以改变阈值电压,使存储器具有一写入状态(programming status)。当使用一读取电压进行读取时可得到一位状态,例如为 0 或 1;当要擦除数据时,则对存储器的栅极施加另一操作电压,将空穴或电子从存储器的电荷捕捉层排除,或从底部基板抽取互补的电荷载流子(charge carrier)中和所捕捉的电子或空穴,以恢复阈值电压至一擦除状态,则使用读取电压进行读取时可得到另一位状态。

[0003] 但是此种存储器操作方式必须让存储器具备对栅极施加两种不同操作电压的能力,这使得存储器的操作方式或设计复杂度相对提高。

发明内容

[0004] 有鉴于此,本发明就是在提供一种存储器结构及其操作方法,能够在特定的存储器结构下,以单一电压操作存储器,使存储器具有不同的阈值电压以对应不同的位状态。

[0005] 根据本发明,提出一种存储器的操作方法,用以使存储器具有第一阈值电压或第二阈值电压,方法包括:对存储器的栅极施加一操作电压,操作电压持续一第一时段,使存储器具有第一阈值电压;以及,对存储器的栅极施加相同的操作电压,操作电压持续一第二时段,使存储器具有第二阈值电压。第一时段的长度与第二时段的长度不同。

[0006] 根据本发明,提出一种存储器结构,包括基板、底氧化层、电荷捕捉层、顶氧化层及栅极。基板包括沟道、源极端及漏极端,源极端及漏极端分别位于沟道的两侧。底氧化层设置于沟道上。其中,底氧化层具有一特定厚度使得通过施加操作电压于栅极,并控制操作电压的施加时间为一第一时段时,存储器结构具有一第一阈值电压;当相同的操作电压的施加时间为一不同于第一时段的第二时段时,存储器结构具有一第二阈值电压。

[0007] 为使本发明能更明显易懂,下文特举一较佳实施例,并配合附图,详细说明如下:

附图说明

[0008] 图 1 表示本发明一较佳实施例的一种存储器结构示意图;以及

[0009] 图 2 表示本发明的存储器的操作方法流程图。

[0010] 图 3 是表示本发明的存储器结构于不同操作电压下阈值电压与脉冲时间的关系图。

[0011] 图 4 是表示本发明的存储器结构于不同脉冲施加时间下阈值电压与脉冲施加次数的关系图。

[0012] 主要元件符号说明

- [0013] 100 :存储器结构
- [0014] 110 :基板
- [0015] 112 :沟道
- [0016] 114 :源极端
- [0017] 116 :漏极端
- [0018] 120 :底氧化层
- [0019] 130 :电荷捕捉层
- [0020] 140 :顶氧化层
- [0021] 150 :栅极

具体实施方式

[0022] 请参照图 1,其表示本发明一较佳实施例的一种存储器结构示意图。存储器结构 100 包括基板 110、底氧化层 120、电荷捕捉层 130、顶氧化层 140 及栅极 150。基板 110 包括沟道 112、源极端 114 及漏极端 116,源极端 114 及漏极端 116 分别位于沟道 112 的两侧。底氧化层 120 设置于沟道 112 上,底氧化层 120 的厚度范围位于 30 埃 (angstrom, Å) ~ 40 Å 之间。电荷捕捉层 130 设置于底氧化层 120 上,顶氧化层 140 设置于电荷捕捉层 130 上,栅极 150 设置于顶氧化层 140 上。其中电荷捕捉层 130 的厚度范围位于 70 Å ~ 200 Å 之间,其材料可以是氮化硅或氧化铝,氮化硅又可包括一般标准氮化硅 (Si_3N_4) 或富硅氮化硅 (silicon-rich silicon nitride);顶氧化层的厚度范围位于 70 Å ~ 100 Å 之间。底氧化层 120 及顶氧化层 140 的材料可以是氧化硅,栅极 150 的材料可以是金属、P 型多晶硅或 N 型多晶硅。通过施加一操作电压于栅极 150,并控制操作电压的施加时间为一第一时段时,存储器结构 100 具有一第一阈值电压;相同的操作电压的施加时间为一不同于第一时段的第二时段时,存储器结构 100 具有一第二阈值电压。

[0023] 基板 110 可以是具有 P 型杂质的 P 型基板,而源极端 114 及漏极端 116 具有 N 型杂质,使得沟道 112 成为流通的多数载流子为电子的 N 型沟道;基板 110 也可以是具有 N 型杂质的 N 型基板,而源极端 114 及漏极端 116 具有 P 型杂质,使得沟道 112 成为流通的多数载流子为空穴的 P 型沟道。

[0024] 当存储器结构 100 的底氧化层 120 具有一特定厚度,也就是厚度范围位于 30 Å ~ 40 Å 之间时,可以下列的方式进行操作。本实施例以具有 P 型基板及 N 型沟道的存储器结构为例做说明。当存储器结构 100 处于一擦除状态时,具有一第一阈值电压。也就是当以一大于第一阈值电压的读取电压施加于存储器结构 100 的栅极 150,并对源极 114 与漏极 116 施加一固定偏压时,可以测得一通过沟道 112 的读取电流值,本实施例中定义此种情况为“1”的位状态;而当存储器结构 100 处于一写入状态时,具有一第二阈值电压。也就是当以一小于第二阈值电压的读取电压施加于存储器结构 100 的栅极 150,并对源极 114 与漏极 116 施加一固定偏压时,无法测得一显著的读取电流值,本实施例中定义此种情况为“0”的位状态。但是此处的位状态亦可以做相反的定义,本发明不以此为限。

[0025] 如图 2 所示,其表示本发明的存储器的操作方法流程图,并请同时参照图 1 的存储器结构 100。首先,如步骤 201 所示,当存储器结构 100 具有第一阈值电压时,存储器结构 100 具有“1”的位状态。此时,对存储器结构 100 的栅极 150 施加一操作电压。本实施例的

存储器结构 100 的沟道 112 为一 N 型沟道,因此操作电压的范围位于 $-16\text{V} \sim -22\text{V}$ 。操作电压持续一第一时段后,由于电子注入电荷捕捉层 130,使得存储器结构 100 具有第二阈值电压,也就是存储器结构 100 具有“0”的位状态。若是沟道 112 为一 P 型沟道,操作电压的范围位于 $16\text{V} \sim 22\text{V}$ 之间以将空穴注入电荷捕捉层 130。

[0026] 如步骤 202 所示,当存储器结构 100 具有一第二阈值电压时,对存储器结构 100 的栅极 150 施加相同的操作电压。将操作电压持续一第二时段,使存储器结构 100 恢复为具有第一阈值电压。第一时段的长度与第二时段的长度不同。本实施例中第一时段对应将电子注入存储器结构 100 的写入操作,因此时间较短;第二时段对应将存储器结构 100 捕捉的电子排除的擦除操作,因此时间较长。由于操作电压的时间较长时,电荷捕捉层 130 中多余的电子被排除或中和,因此导致存储器结构 100 的阈值电压下降。若是沟道 112 为一 P 型沟道,操作电压的范围位于 $16\text{V} \sim 22\text{V}$ 之间,此时产生的结果是多余的空穴被排除或中和。

[0027] 也就是说,步骤 201 为存储器的写入步骤,步骤 202 为存储器的擦除步骤。因此可以反复执行步骤 201 及步骤 202,使存储器具有写入或擦除状态。

[0028] 请参照图 3,其表示本发明的存储器结构于不同操作电压下阈值电压与脉冲时间的关系图。由图 3 可以看出,开始对存储器结构施加操作电压时,可以观察到阈值电压随脉冲施加时间 (pulse width) 而上升,并逐渐趋近于一稳定值。此时将操作电压停止时,存储器结构维持在较高的阈值电压;但是当施加电压的脉冲时间大于一定值时,可以观察到阈值电压突然发生下降的情形,并接着维持在相对降低的阈值电压。利用此一现象,可以单一电压 (single voltage) 对存储器进行写入及擦除操作。同时,在附图 1 中也可观察到,采用较高的操作电压 V_g 时,写入状态及擦除状态之间的阈值电压差距较大,对于存储器操作有较大的空间 (window)。

[0029] 请参照图 4,其表示本发明的存储器结构于不同脉冲施加时间下阈值电压与脉冲施加次数的关系图。由图中可以观察到,维持单一操作电压在相同脉冲施加次数 (pulse shots) 下,不同的脉冲施加时间会使存储器结构具有不同的阈值电压。利用此一特性,可以实现多层单元 (multi-level cell, MLC) 的存储器。例如图 4 中,在维持固定的操作电压 $V_g = -18\text{V}$ 下,分别以四种不同的脉冲施加时间施加于存储器的栅极,可以使存储器具有四种阈值电压。也就是说,当对栅极施加以一固定的读取电压进行读取时,可以根据读取电流值判断存储器的位状态。例如,在脉冲施加次数为 1 并施加一固定的读取电压时,定义存储器在分别具有对应于曲线 a1、a2、a3、a4 的阈值电压的情况下,分别可量测到一对应的阈值电流 (threshold current) 值。若读取电流值大于曲线 a1 对应的阈值电流值时,定义存储器的位状态为“11”;定义读取电流值小于曲线 a1 对应的阈值电流值,并大于曲线 a2 对应的阈值电流值时的位状态为“10”;定义读取电流值小于曲线 a2 对应的阈值电流值,并大于曲线 a3 对应的阈值电流值时的位状态为“01”;定义读取电流值小于曲线 a3 对应的阈值电流值,并大于曲线 a4 对应的阈值电流值时的位状态为“00”。因此,在单一存储器单元中,即可记录 2 位的信息。当然,若是能够利用不同脉冲施加时间产生更多种阈值电压,并能够判断对应的读取电流的范围,即可实现储存更多位的存储器结构。

[0030] 本发明上述实施例所公开的存储器结构及其操作方法,在维持单一操作电压下以维持不同的脉冲时间施加于栅极,使存储器结构具有不同的阈值电压,因此可以实现多层单元的存储器。而当要将数据擦除时,同样维持相同的操作电压施加较长的时间,即可恢复

为擦除状态。也就是说,在单一电压(single voltage)下,通过控制脉冲施加时间(pulse width)即可对存储器进行写入及擦除操作。本发明提供新颖的存储器结构及其操作方式,可以使存储器的设计复杂度大为降低,并提升其应用范围。

[0031] 虽然本发明已以较佳实施例之间如上,然其并非用以限定本发明。任何所属技术领域中的普通技术人员,在不脱离本发明的精神和范围的情况下,可进行各种更动与修改。因此,本发明的保护范围以所提出的权利要求的范围为准。

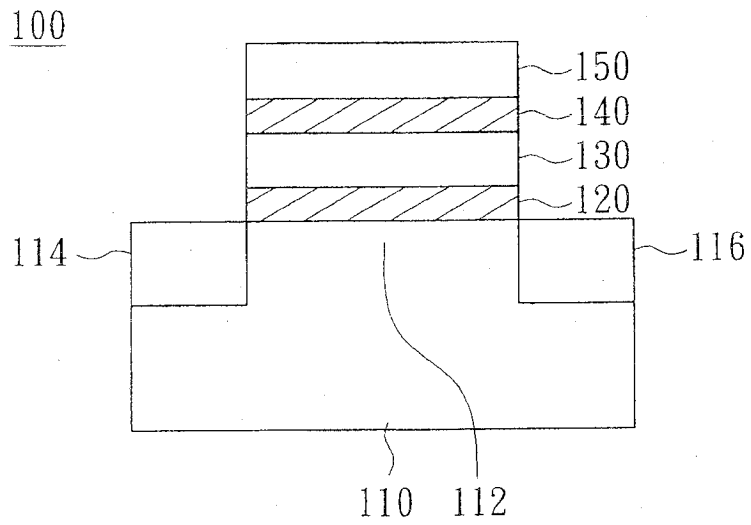


图 1

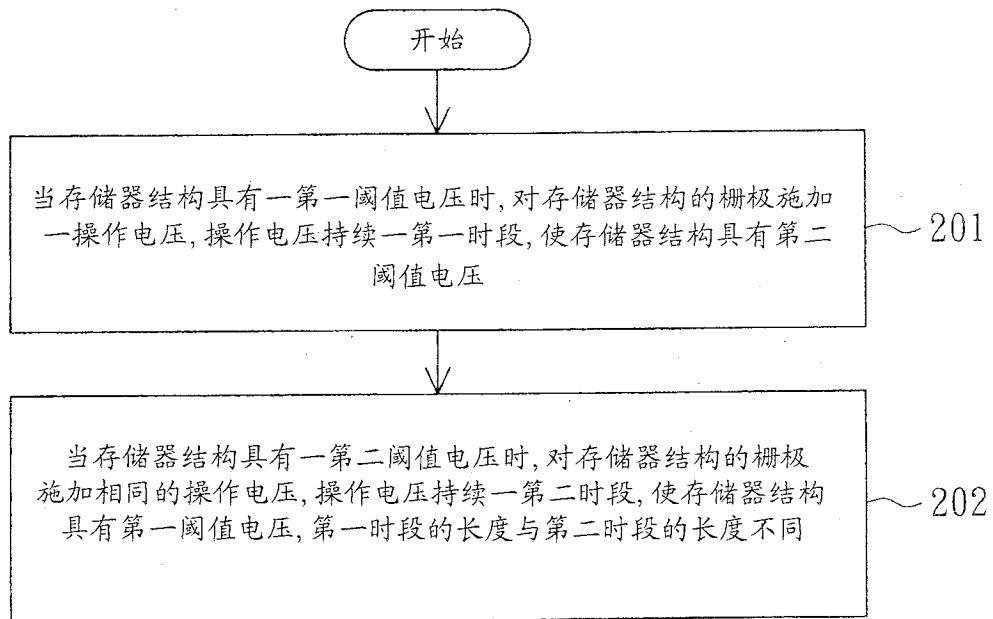


图 2

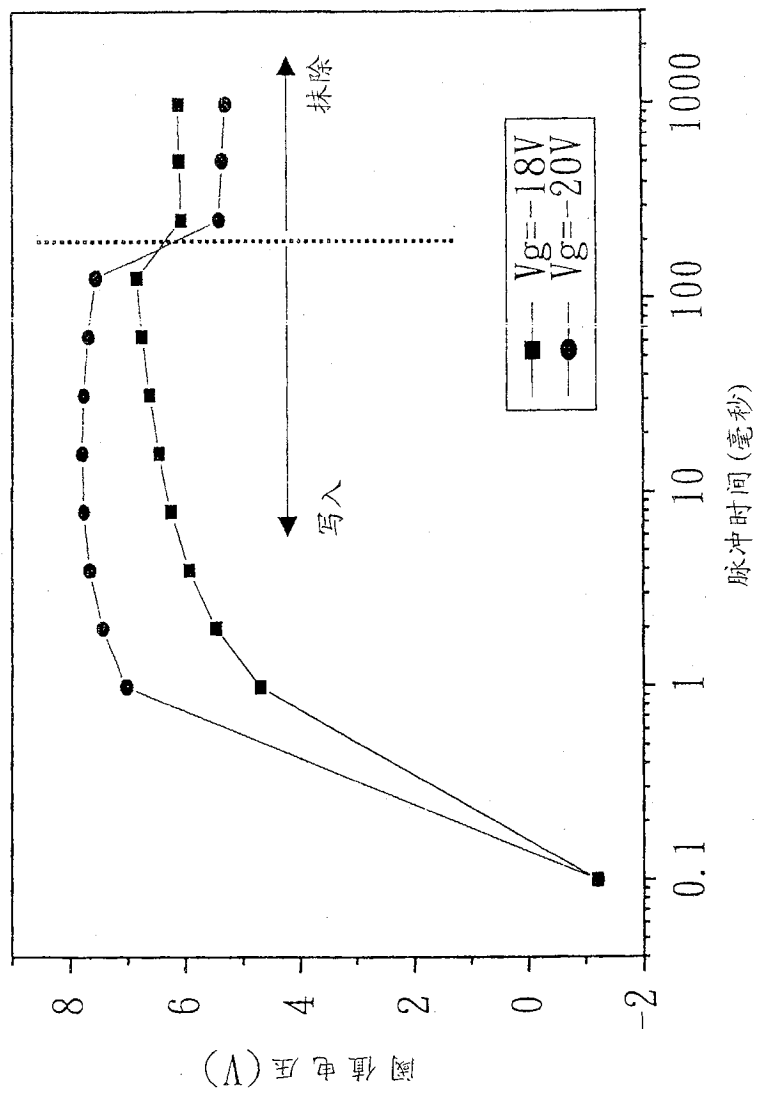


图 3

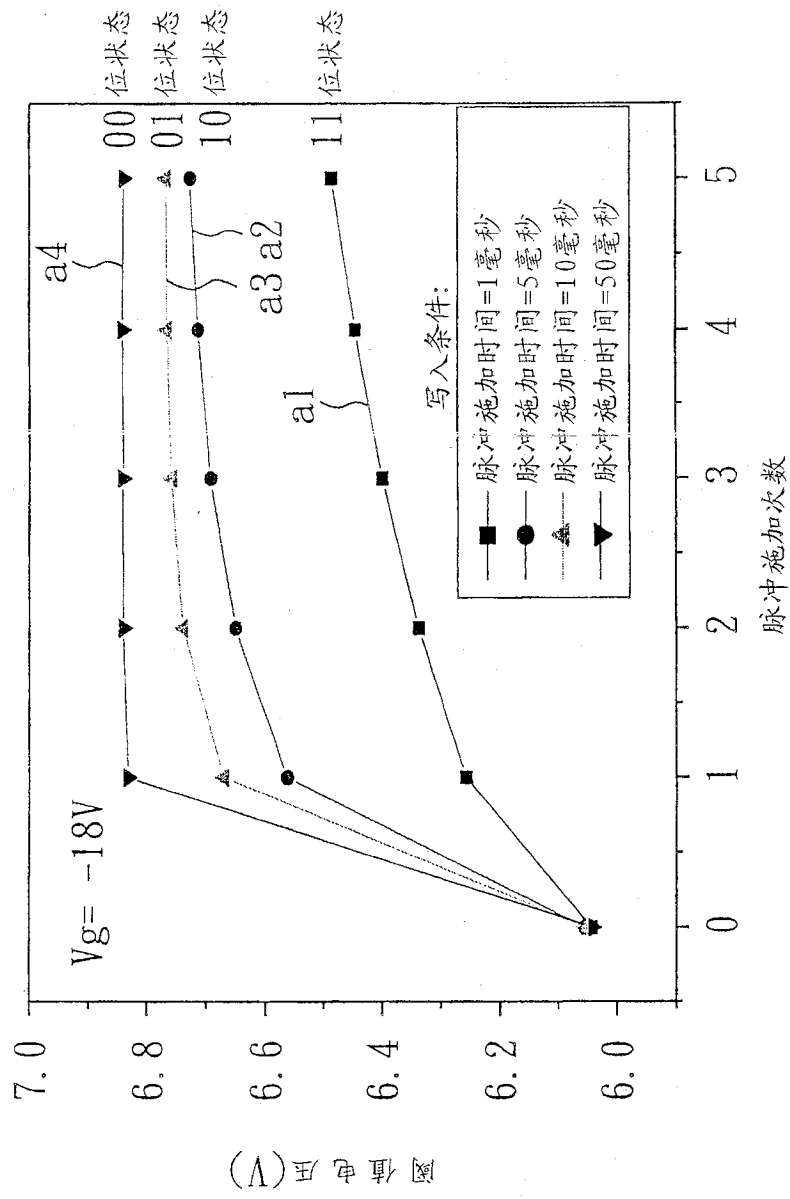


图 4