



(12) 发明专利

(10) 授权公告号 CN 102130693 B

(45) 授权公告日 2013.06.05

(21) 申请号 201010538671.5

(22) 申请日 2010.11.10

(73) 专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为  
总部办公楼

(72) 发明人 蔡梦

(51) Int. Cl.

H03M 13/11 (2006.01)

(56) 对比文件

CN 1124889 A, 1996.06.19, 说明书第7页第  
2段、图2.

CN 1992073 A, 2007.07.04, 全文.

审查员 王毅

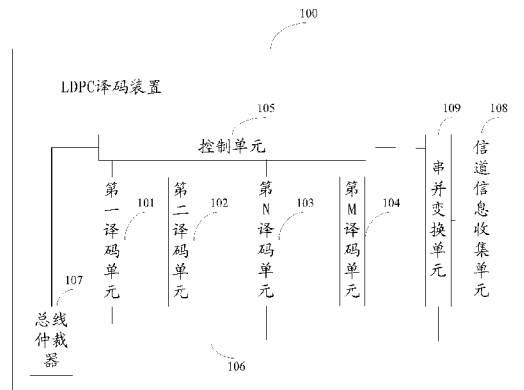
权利要求书2页 说明书8页 附图2页

(54) 发明名称

一种低密度奇偶校验码的译码方法和装置

(57) 摘要

本发明实施例公开了一种低密度奇偶校验码的译码方法和装置,包括:第一译码单元在第2时间段到第0时间段对第一码字进行译码计算,第二译码单元在第3时间段到第0+1时间段对第二码字进行译码计算;第N译码单元在第N+1时间段到第N+0-1时间段对第N码字进行译码计算;第M译码单元在第M+1时间段到第M+0-1时间段对第M码字进行译码计算。每个译码单元可以在多个时间段内进行译码计算,从而可以根据译码算法、信道状况等调整译码计算的迭代时间,从而可以有效增加迭代次数以保证译码性能,多个译码单元可以同时工作且相互之间不会产生干扰,从而可以有效提交数据的处理量,使得译码处理的速率能够满足目前网络带宽迅速增长的需求。



1. 一种低密度奇偶校验码的译码方法,其特征在于,译码装置包括  $M$  个译码单元,  $M$  为大于 1 的自然数,所述方法包括:

第一译码单元在第 1 时间段存储第一码字;

第二译码单元在第 2 时间段存储第二码字;

第  $N$  译码单元在第  $N$  时间段存储第  $N$  码字,  $N$  为大于等于 1 小于  $M$  的自然数;

第  $M$  译码单元在第  $M$  时间段存储第  $M$  码字;

第一译码单元在第 2 时间段到第 0 时间段对第一码字进行译码计算,  $O$  为大于 3 的自然数;

第二译码单元在第 3 时间段到第  $O+1$  时间段对第二码字进行译码计算;

第  $N$  译码单元在第  $N+1$  时间段到第  $N+O-1$  时间段对第  $N$  码字进行译码计算;

第  $M$  译码单元在第  $M+1$  时间段到第  $M+O-1$  时间段对第  $M$  码字进行译码计算;

第一译码单元在第  $1+O$  时间段输出译码后的第一码字;

第二译码单元在第  $2+O$  时间段输出译码后的第二码字;

第  $N$  译码单元在第  $N+O$  时间段输出译码后的第  $N$  码字;

第  $M$  译码单元在第  $M+O$  时间段输出译码后的第  $M$  码字;

所述方法还包括,当信道速率变低时,提高  $O$  的数值;当信道速率变高时,降低  $O$  的数值。

2. 根据权利要求 1 所述的译码方法,其特征在于,

所述第一译码单元在第 1 时间段存储第一码字之前还包括:

总线输入所述第一码字;

所述第一译码单元在第  $1+O$  时间段输出译码后的第一码字之后还包括:

总线输出所述译码后的第一码字。

3. 根据权利要求 1 所述的译码方法,其特征在于,

所述第一译码单元在第 2 时间段到第 0 时间段对第一码字进行译码计算期间还包括:

监控单元监控所述第一译码单元的译码结果,当所述译码结果正确时停止译码计算。

4. 一种低密度奇偶校验码的译码装置,其特征在于,所述译码装置包括  $M$  个译码单元,  $M$  为大于 1 的自然数,所述装置包括:

第一译码单元用于在第 1 时间段存储第一码字;

第二译码单元用于在第 2 时间段存储第二码字;

第  $N$  译码单元用于在第  $N$  时间段存储第  $N$  码字,  $N$  为大于等于 1 小于  $M$  的自然数;

第  $M$  译码单元用于在第  $M$  时间段存储第  $M$  码字;

第一译码单元用于在第 2 时间段到第 0 时间段对第一码字进行译码计算,  $O$  为大于 3 的自然数;

第二译码单元用于在第 3 时间段到第  $O+1$  时间段对第二码字进行译码计算;

第  $N$  译码单元用于在第  $N+1$  时间段到第  $N+O-1$  时间段对第  $N$  码字进行译码计算;

第  $M$  译码单元用于在第  $M+1$  时间段到第  $M+O-1$  时间段对第  $M$  码字进行译码计算;

第一译码单元用于在第  $1+O$  时间段输出译码后的第一码字;

第二译码单元用于在第  $2+O$  时间段输出译码后的第二码字;

第  $N$  译码单元用于在第  $N+O$  时间段输出译码后的第  $N$  码字;

第 M 译码单元用于在第 M+0 时间段输出译码后的第 M 码字；

控制单元,用于当信道速率变低时,提高 0 的数值;当信道速率变高时,降低 0 的数值。

5. 根据权利要求 4 所述的译码装置,其特征在于,还包括:

所述控制单元,还用于控制所述 M 个译码单元进行存储、译码计算和输出;

总线,用于传输所述第一码字、所述第二码字、所述第 N 码字和所述第 M 码字,并向所述 M 个译码单元输入所述第一码字、所述第二码字、所述第 N 码字和所述第 M 码字;还用于接收所述 M 个译码单元输出的所述译码后的第一码字、所述译码后的第二码字、所述译码后的第 N 码字和所述译码后的第 M 码字,并传输所述译码后的第一码字、所述译码后的第二码字、所述译码后的第 N 码字和所述译码后的第 M 码字;

总线仲裁器,用于控制所述 M 个译码单元对所述总线的使用。

6. 根据权利要求 5 所述的译码装置,其特征在于,还包括:

信道信息收集单元,用于收集信道信息;

串并变换单元,用于根据所述信道信息调整串并变换的速率,并根据所述串并变换的速率向所述总线输入码字;

所述控制单元还用于根据所述串并变换的速率控制所述 M 个译码单元进行存储、译码计算和输出。

7. 根据权利要求 4 所述的译码装置,其特征在于,

所述 M 个译码单元分别包括存储单元,译码计算单元和输出单元;

所述存储单元用于存储码字;

所述译码计算单元用于对所述存储码字进行译码计算;

所述输出单元用于输出译码计算后的码字。

8. 根据权利要求 7 所述的译码装置,其特征在于,

同一个译码单元的存储单元和输出单元为分时间段公用的一个单元。

9. 根据权利要求 7 所述的译码装置,其特征在于,

不同译码单元分时间段公用同一个译码计算单元。

10. 根据权利要求 4 所述的译码装置,其特征在于,还包括:

监控单元,用于监控所述 M 个译码单元的译码计算,若监控得到译码结果正确,则停止译码计算。

## 一种低密度奇偶校验码的译码方法和装置

### 技术领域

[0001] 本发明涉及通信技术领域,尤其涉及一种低密度奇偶校验码的译码方法和装置。

### 背景技术

[0002] 通信系统的目的在于将信息由信源快速、可靠、有时还需要安全地传送到信宿。信源有多种形式,如语音、数据、图像和视频等。在通信系统中传输信息的信道种类很多,有移动通信信道、卫星通信信道、光纤通信信道、水声通信信道、红外通信信道、铜缆传输信道以及数据存储信道等。一般来说,信道总会引入不同量级的噪声与干扰,从而降低信息的正确性。为了对抗噪声与干扰,可采用信道编码技术。信道编码简而言之就是在发送端依照一定的规则,在原始信息中添加冗余信息,在接收端利用这些冗余信息来纠正信道噪声所引入的错误,因此信道编码亦可称为纠错编码。

[0003] 低密度奇偶校验码 (Low-density parity-check, LDPC) 是一种性能接近香农极限,并且可以实现的编码译码方案。

[0004] LDPC 译码包括存储、译码计算和输出三个步骤,存储完第一码字后进行第一码字的译码计算,存储完第二码字后结束第一码字的译码计算,开始第二码字的译码计算,第一码字的译码计算的时间和第二码字的存储时间相同,假设存储完一个码字需要 5000 时钟周期,译码计算中完成一次译码迭代需要 500 时钟周期,则可以完成 10 次译码迭代,译码计算的性能和迭代次数密切相关。

### 发明内容

[0005] 本发明实施例提供了一种低密度奇偶校验码的译码方法和装置,可以很好提高低密度奇偶校验码的译码性能,提高译码迭代的次数。

[0006] 本发明实施例提供了一种低密度奇偶校验码的译码方法,译码装置包括 M 个译码单元, M 为大于 1 的自然数,所述方法包括:

[0007] 第一译码单元在第 1 时间段存储第一码字;

[0008] 第二译码单元在第 2 时间段存储第二码字;

[0009] 第 N 译码单元在第 N 时间段存储第 N 码字, N 为大于等于 1 小于 M 的自然数;

[0010] 第 M 译码单元在第 M 时间段存储第 M 码字;

[0011] 第一译码单元在第 2 时间段到第 0 时间段对第一码字进行译码计算, 0 为大于 3 的自然数;

[0012] 第二译码单元在第 3 时间段到第 0+1 时间段对第二码字进行译码计算;

[0013] 第 N 译码单元在第 N+1 时间段到第 N+0-1 时间段对第 N 码字进行译码计算;

[0014] 第 M 译码单元在第 M+1 时间段到第 M+0-1 时间段对第 M 码字进行译码计算;

[0015] 第一译码单元在第 1+0 时间段输出译码后的第一码字;

[0016] 第二译码单元在第 2+0 时间段输出译码后的第二码字;

[0017] 第 N 译码单元在第 N+0 时间段输出译码后的第 N 码字;

- [0018] 第 M 译码单元在第 M+0 时间段输出译码后的第 M 码字；
- [0019] 所述方法还包括,当信道速率变低时,提高 0 的数值;当信道速率变高时,降低 0 的数值。
- [0020] 本发明实施例提供了一种低密度奇偶校验码的译码装置,所述译码装置包括 M 个译码单元, M 为大于 1 的自然数,所述装置包括:
- [0021] 第一译码单元用于在第 1 时间段存储第一码字;
- [0022] 第二译码单元用于在第 2 时间段存储第二码字;
- [0023] 第 N 译码单元用于在第 N 时间段存储第 N 码字, N 为大于等于 1 小于 M 的自然数;
- [0024] 第 M 译码单元用于在第 M 时间段存储第 M 码字;
- [0025] 第一译码单元用于在第 2 时间段到第 0 时间段对第一码字进行译码计算, 0 为大于 3 的自然数;
- [0026] 第二译码单元用于在第 3 时间段到第 0+1 时间段对第二码字进行译码计算;
- [0027] 第 N 译码单元用于在第 N+1 时间段到第 N+0-1 时间段对第 N 码字进行译码计算;
- [0028] 第 M 译码单元用于在第 M+1 时间段到第 M+0-1 时间段对第 M 码字进行译码计算;
- [0029] 第一译码单元用于在第 1+0 时间段输出译码后的第一码字;
- [0030] 第二译码单元用于在第 2+0 时间段输出译码后的第二码字;
- [0031] 第 N 译码单元用于在第 N+0 时间段输出译码后的第 N 码字;
- [0032] 第 M 译码单元用于在第 M+0 时间段输出译码后的第 M 码字;
- [0033] 控制单元,用于当信道速率变低时,提高 0 的数值;当信道速率变高时,降低 0 的数值。
- [0034] 本发明实施例通过第一译码单元在第 1 时间段存储第一码字;第二译码单元在第 2 时间段存储第二码字;第 N 译码单元在第 N 时间段存储第 N 码字, N 为大于等于 1 小于 M 的自然数;第 M 译码单元在第 M 时间段存储第 M 码字;第一译码单元在第 2 时间段到第 0 时间段对第一码字进行译码计算, 0 为大于 3 的自然数;第二译码单元在第 3 时间段到第 0+1 时间段对第二码字进行译码计算;第 N 译码单元在第 N+1 时间段到第 N+0-1 时间段对第 N 码字进行译码计算;第 M 译码单元在第 M+1 时间段到第 M+0-1 时间段对第 M 码字进行译码计算;第一译码单元在第 1+0 时间段输出译码后的第一码字;第二译码单元在第 2+0 时间段输出译码后的第二码字;第 N 译码单元在第 N+0 时间段输出译码后的第 N 码字;第 M 译码单元在第 M+0 时间段输出译码后的第 M 码字。每个译码单元可以在 0-1 多个时间段内进行译码计算,码字译码计算的时间大于码字的存储时间,可以提高译码迭代的次数,同时可以根据译码算法、信道状况等调整译码计算的迭代时间,当信道速率低时,提高 0 的数值,从而提高译码计算的时间进而提高译码迭代的次数提高译码迭代的性能;当信道速率高时,降低 0 的数值,保证能够及时完成译码迭代。多个译码单元可以同时工作且相互之间不会产生干扰,从而可以有效提高数据的处理量,使得译码处理的速率能够满足目前网络带宽迅速增长的需求。

#### 附图说明

- [0035] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本

发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0036] 图 1 是本发明实施例提供的一种低密度奇偶校验码的译码装置结构图;

[0037] 图 2 是本发明实施例提供的一种第一译码单元结构图;

[0038] 图 3 是本发明实施例提供的一种第一译码单元和第 N 译码单元结构图;

[0039] 图 4 是本发明实施例提供的另一种低密度奇偶校验码的译码装置结构图。

### 具体实施方式

[0040] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0041] 如图 1 所示,本发明实施例提供了一种低密度奇偶校验码的译码装置 100,该译码装置 100 包括 M 个译码单元, M 为大于 1 的自然数,包括:

[0042] 第一译码单元 101 用于在第 1 时间段存储第一码字;

[0043] 第二译码单元 102 用于在第 2 时间段存储第二码字;

[0044] 第 N 译码单元 103 用于在第 N 时间段存储第 N 码字, N 为大于等于 1 小于 M 的自然数;

[0045] 第 M 译码单元 104 用于在第 M 时间段存储第 M 码字;

[0046] 第一译码单元 101 用于在第 2 时间段到第 0 时间段对第一码字进行译码计算, 0 为大于 3 的自然数;

[0047] 第二译码单元 102 用于在第 3 时间段到第 0+1 时间段对第二码字进行译码计算;

[0048] 第 N 译码单元 103 用于在第 N+1 时间段到第 N+0-1 时间段对第 N 码字进行译码计算;

[0049] 第 M 译码单元 104 用于在第 M+1 时间段到第 M+0-1 时间段对第 M 码字进行译码计算;

[0050] 第一译码单元 101 用于在第 1+0 时间段输出译码后的第一码字;

[0051] 第二译码单元 102 用于在第 2+0 时间段输出译码后的第二码字;

[0052] 第 N 译码单元 103 用于在第 N+0 时间段输出译码后的第 N 码字;

[0053] 第 M 译码单元 104 用于在第 M+0 时间段输出译码后的第 M 码字。

[0054] 如图 1 所示,本实施例中的 LDPC 译码装置还可以包括:

[0055] 控制单元 105,用于控制所述 M 个译码单元进行存储、译码计算和输出;

[0056] 总线 106,用于传输所述第一码字、所述第二码字、所述第 N 码字和所述第 M 码字,并向所述 M 个译码单元输入所述第一码字、所述第二码字、所述第 N 码字和所述第 M 码字;还用于接收所述 M 个译码单元输出的所述译码后的第一码字、所述译码后的第二码字、所述译码后的第 N 码字和所述译码后的第 M 码字,并传输所述译码后的第一码字、所述译码后的第二码字、所述译码后的第 N 码字和所述译码后的第 M 码字;

[0057] 总线仲裁器 107,用于控制所述 M 个译码单元对所述总线的使用。

[0058] 如图 1 所示,本实施例中的 LDPC 译码装置还可以包括:

[0059] 信道信息收集单元 108,用于收集信道信息;

[0060] 串并变换单元 109,用于根据所述信道信息调整串并变换的速率,并根据所述串并变换的速率向所述总线输入码字;

[0061] 所述控制单元 105 还用于根据所述串并变换的速率控制所述 M 个译码单元进行存储、译码计算和输出。

[0062] 信道信息收集单元 108 以及串并变换单元 109 的使用使得 LDPC 译码装置 100 可以自适应信道速率的变化,例如之前信道条件不好,并行输入的数据为 64 比特,信道信息收集单元发现信道状况变好,可以调整并行输入的数据为 128 比特,使得 LDPC 译码装置 100 的吞吐量提高了一倍,微波信道受环境天气等因素的影响较大,本实施例可以很好的解决这一问题,自适应微波的信道条件。

[0063] 本实施例中,如图 1 所示,控制单元 105 与各个译码单元相连,与总线仲裁器 107 相连,与串并变换单元 109 相连,串并变换单元 109 与信道信息收集单元 108 相连,在其它实施例中,控制单元 105、总线仲裁器 107、信道信息收集单元 108 和串并变换单元 109 之间通过总线 106 实现信息交互。

[0064] 另外,本实施例中还可以包括监控单元(图中为示出),用于监控所述 M 个译码单元的译码计算,若监控得到译码结果正确,则停止译码计算。本发明实施例中,监控单元可以集成在各个译码单元中,可以集成在控制单元中,也可以作为一个独立的单元监控各个译码单元。监控单元的设置可以很好的降低系统功耗,从而在不影响译码性能的情况下实现绿色通信。

[0065] 如图 2 所示,本发明实施例提供的一种第一译码单元 101,包括:

[0066] 存储单元 201,用于在第 1 时间段存储第一码字

[0067] 译码计算单元 202,用于在第 2 时间段到第 0 时间段对第一码字进行译码计算,0 为大于 3 的自然数;

[0068] 输出单元 203,用于在第 1+0 时间段输出译码后的第一码字。

[0069] 各个译码单元均可以采用这种结构。

[0070] 输出单元 203 本质上是一个存储单元,并且一般情况下同一个译码单元的存储单元 201 和输出单元 203 并不会同时工作,为了节约成本,实现绿色通信,存储单元 201 和输出单元 203 可以为同一个单元体,分时间段分别实现存储和输出的工作。

[0071] 在某些时间段时,译码计算单元 202 并不工作,为了充分利用宝贵的计算资源,不同译码单元分时间段可以公用同一个译码计算单元。

[0072] 如图 3 所示,给出了第一译码单元 101 和第 N 译码单元 103 公用译码计算单元 303 的示意图。

[0073] 第一译码单元 101 的存储单元和输出单元为一个同一个单元体存储输出单元 301,用于在第 1 时间段存储第一码字,在第 1+0 时间段输出译码后的第一码字;

[0074] 第 N 译码单元 102 的存储单元和输出单元为一个同一个单元体存储输出单元 302,用于在第 N 时间段存储第 N 码字,在第 N+0 时间段输出译码后的第 N 码字。

[0075] 本实施例中,每个译码单元可以在多个时间段内进行译码计算,从而可以根据译码算法、信道状况等调整译码计算的迭代时间,从而可以有效增加迭代次数以保证译码性能,多个译码单元可以同时工作且相互之间不会产生干扰,从而可以有效提交数据的处理

量,使得译码处理的速率能够满足目前网络带宽迅速增长的需求。

[0076] 如图 4 所示,本发明实施例提供了一种低密度奇偶校验码的译码装置 400,本实施例中,译码装置 400 包括 4 个译码单元,包括:

[0077] 第一译码单元 401 用于在第一时间段存储第一码字;

[0078] 第二译码单元 402 用于在第二时间段存储第二码字;

[0079] 第三译码单元 403 用于在第三时间段存储第三码字;

[0080] 第四译码单元 404 用于在第四时间段存储第四码字;

[0081] 第一译码单元 401 用于在第二时间段到第 0 时间段对第一码字进行译码计算,0 为大于 3 的自然数;

[0082] 第二译码单元 402 用于在第三时间段到第 0+1 时间段对第二码字进行译码计算;

[0083] 第三译码单元 403 用于在第四时间段到第 0+2 时间段对第三码字进行译码计算;

[0084] 第四译码单元 404 用于在第五时间段到第 0+3 时间段对第四码字进行译码计算;

[0085] 第一译码单元 401 用于在第 0+1 时间段输出译码后的第一码字;

[0086] 第二译码单元 402 用于在第 0+2 时间段输出译码后的第二码字;

[0087] 第三译码单元 403 用于在第 0+3 时间段输出译码后的第三码字;

[0088] 第四译码单元 404 用于在第 0+4 时间段输出译码后的第四码字。

[0089] 如表 1 所示,为  $0 = 3$  的情况下译码装置 400 的工作状态。

[0090]

T	2T	3T	4T	5T
写译码单元1	计算译码单元1	计算译码单元1	输出译码单元1	写译码单元1
空闲译码单元2	写译码单元2	计算译码单元2	计算译码单元2	输出译码单元2
空闲译码单元3	空闲译码单元3	写译码单元3	计算译码单元3	计算译码单元3
空闲译码单元4	空闲译码单元4	空闲译码单元4	写译码单元4	计算译码单元4
6T	7T			
计算译码单元1	计算译码单元1			
写译码单元2	计算译码单元2			
输出译码单元3	写译码单元3			
计算译码单元4	输出译码单元4			

[0091] 表 1

[0092] 译码开始后,数据进入 LDPC 译码单元 1 进行存储,存满一个码字后进行 LDPC 译码计算,同时进行 LDPC 译码单元 2 的存储。在存满一个码字后进行 LDPC 译码计算同时进行 LDPC 译码单元 3 的存储...依次类推,当存满 LDPC 译码单元 4 时,LDPC 译码单元 1 已经完成了译码输出,因此可以被用来进行输入码字的存储。通过上述循环操作,可以无间断的进行码字的存储与计算,在提高性能的同时保证了较高的流量。

[0093] 如表 2 所示,为  $0 = 3$  的情况下译码装置 400 的工作状态,该实施例中译码单元 1 包括存储单元 1,译码单元 2 包括存储单元 2,译码单元 3 包括存储单元 3,译码单元 4 包括存储单元 4;译码单元 1 与译码单元 3 共用计算单元 1,译码单元 2 与译码单元 4 共用计算



单元 2。表 2 中 1T 写存储单元 1 表示在第一时间段存储第一码字,4T 输出存储单元 1 表示在第四时间段输出译码后的第一码字,2T 和 3T 存储单元 1 工作表示计算单元 1 在译码计算的时候需要使用存储单元 1 进行缓存等工作。4T 和 5T 存储单元 3 工作表示计算单元 1 在译码计算的时候需要使用存储单元 3 进行缓存等工作。可以看出译码单元 1 在 2T 和 3T 使用计算单元 1 进行译码计算,译码单元 3 在 4T 和 5T 使用计算单元 1 进行译码计算,该方案可以有效减少硬件资源。

[0094]

T	2T	3T	4T	5T
写存储单元1	存储单元1工作	存储单元1工作	输出存储单元1	写存储单元1
空闲存储单元2	写存储单元2	存储单元2工作	存储单元2工作	输出存储单元2
空闲存储单元3	空闲存储单元3	写存储单元3	存储单元3工作	存储单元3工作
空闲存储单元4	空闲存储单元4	空闲存储单元4	写存储单元4	存储单元4工作
空闲计算单元1	计算单元1工作	计算单元1工作	计算单元1工作	计算单元1工作
空闲计算单元2	空闲计算单元2	空闲计算单元2	计算单元2工作	计算单元2工作
6T	7T			
存储单元1工作	存储单元1工作			
写存储单元2	存储单元2工作			
输出存储单元3	写存储单元3			
存储单元4工作	存储单元4工作			
计算单元1工作	计算单元1工作			
计算单元2工作	计算单元2工作			

[0095] 表 2

[0096] 本实施例中,每个译码单元可以在多个时间段内进行译码计算,从而可以根据译码算法、信道状况等调整译码计算的迭代时间,从而可以有效增加迭代次数以保证译码性能,多个译码单元可以同时工作且相互之间不会产生干扰,从而可以有效提交数据的处理量,使得译码处理的速率能够满足目前网络带宽迅速增长的需求。

[0097] 本发明实施例提供了一种低密度奇偶校验码的译码方法,译码装置包括 M 个译码单元, M 为大于 1 的自然数,包括:

[0098] 第一译码单元在第 1 时间段存储第一码字;

[0099] 第二译码单元在第 2 时间段存储第二码字;

[0100] 第 N 译码单元在第 N 时间段存储第 N 码字, N 为大于等于 1 小于 M 的自然数;

[0101] 第 M 译码单元在第 M 时间段存储第 M 码字;

[0102] 第一译码单元在第 2 时间段到第 0 时间段对第一码字进行译码计算, 0 为大于 3 的自然数;

[0103] 第二译码单元在第 3 时间段到第 0+1 时间段对第二码字进行译码计算;

[0104] 第 N 译码单元在第 N+1 时间段到第 N+0-1 时间段对第 N 码字进行译码计算;

[0105] 第 M 译码单元在第 M+1 时间段到第 M+0-1 时间段对第 M 码字进行译码计算;

- [0106] 第一译码单元在第 1+0 时间段输出译码后的第一码字；
- [0107] 第二译码单元在第 2+0 时间段输出译码后的第二码字；
- [0108] 第 N 译码单元在第 N+0 时间段输出译码后的第 N 码字；
- [0109] 第 M 译码单元在第 M+0 时间段输出译码后的第 M 码字。
- [0110] 其中,所述第一译码单元在第 1 时间段存储第一码字之前还包括：
- [0111] 总线输入所述第一码字；
- [0112] 所述第一译码单元在第 1+0 时间段输出译码后的第一码字之后还包括：
- [0113] 总线输出所述译码后的第一码字。
- [0114] 所述总线输入所述第一码字之前还包括；
- [0115] 串并变换单元根据信道信息调整串并变换的速率,并根据所述串并变换的速率向所述总线输入所述第一码字。
- [0116] 所述串并变换单元根据信道信息调整串并变换的速率,并根据所述串并变换的速率向所述总线输入所述第一码字之后还包括：
- [0117] 控制单元根据所述串并变换的速率调整 0 的大小
- [0118] 所述第一译码单元在第 2 时间段到第 0 时间段对第一码字进行译码计算期间还包括：
- [0119] 监控单元监控所述第一译码单元的译码结果,当所述译码结果正确时停止译码计算。
- [0120] 本实施例中,每个译码单元可以在多个时间段内进行译码计算,从而可以根据译码算法、信道状况等调整译码计算的迭代时间,从而可以有效增加迭代次数以保证译码性能,多个译码单元可以同时工作且相互之间不会产生干扰,从而可以有效提交数据的处理量,使得译码处理的速率能够满足目前网络带宽迅速增长的需求。在完成 LDPC 译码器的初始化以后,同一时刻下,仅仅有一个译码单元处于读状态,一个译码器单元处于写状态,其他译码器单元则处于计算状态。
- [0121] 以上所描述的装置实施例仅仅是示意性的,其中所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施例方案的目的。本领域普通技术人员在不付出创造性的劳动的情况下,即可以理解并实施。
- [0122] 通过以上的实施方式的描述,本领域的技术人员可以清楚地了解到各实施方式可借助软件加必需的通用硬件平台的方式来实现,当然也可以通过硬件。基于这样的理解,上述技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来,该计算机软件产品可以存储在计算机可读存储介质中,如 ROM/RAM、磁碟、光盘等,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行各个实施例或者实施例的某些部分所述的方法。
- [0123] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神。

神和范围。

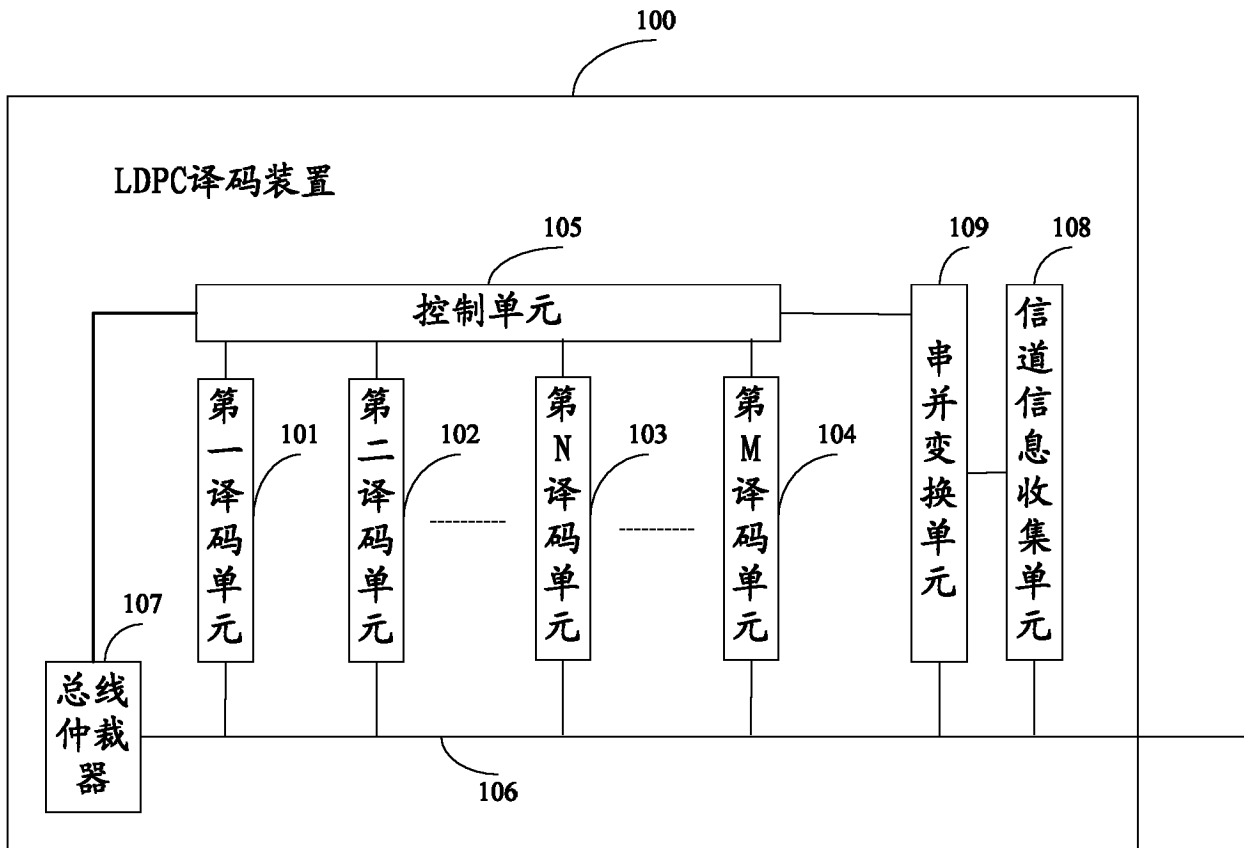


图 1

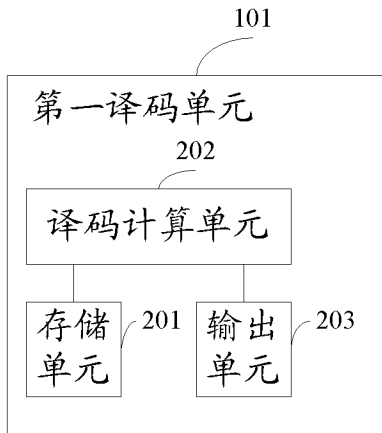


图 2

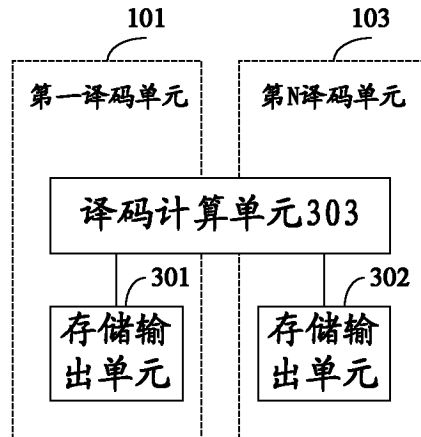


图 3

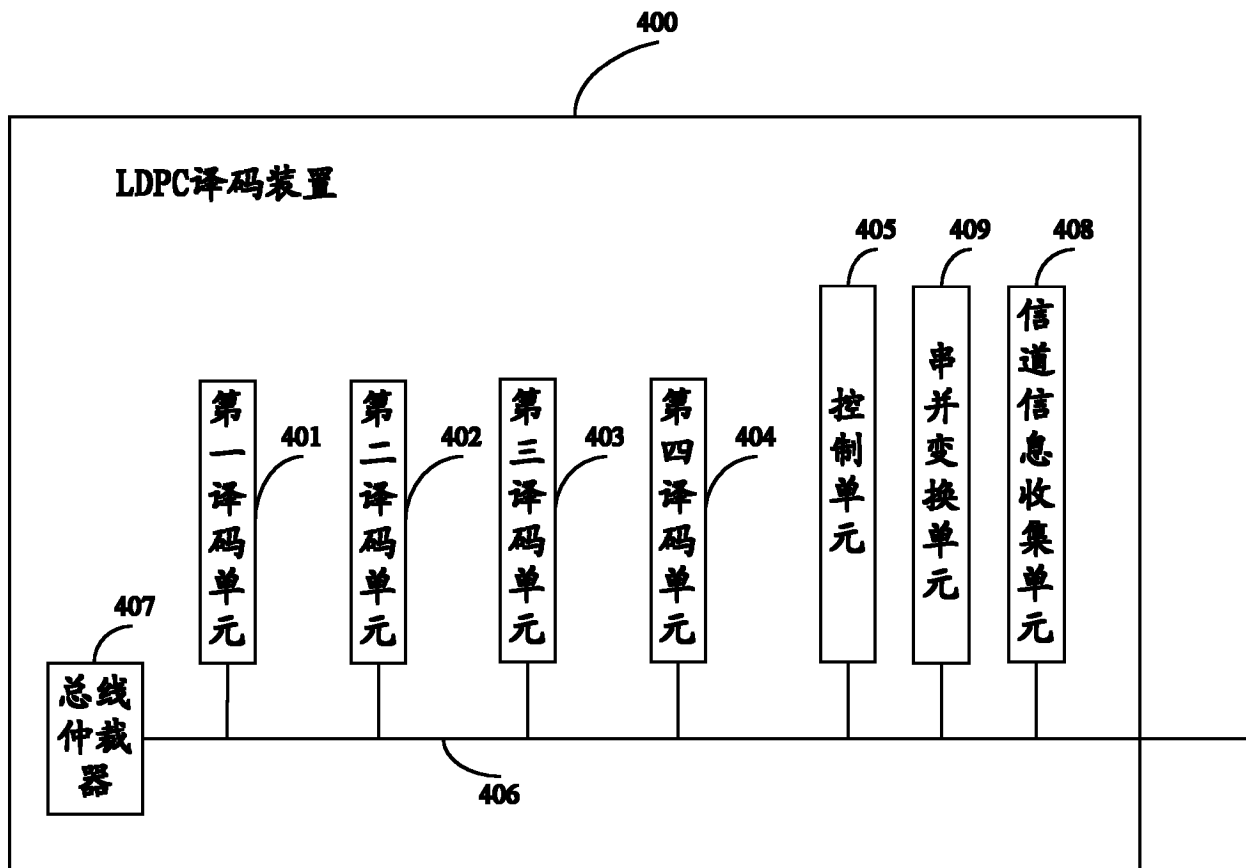


图 4