

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成20年11月6日(2008.11.6)

【公開番号】特開2006-197568(P2006-197568A)

【公開日】平成18年7月27日(2006.7.27)

【年通号数】公開・登録公報2006-029

【出願番号】特願2005-359008(P2005-359008)

【国際特許分類】

H 03K 19/0175 (2006.01)

H 03K 19/0944 (2006.01)

【F I】

H 03K 19/00 101F

H 03K 19/094 A

【手続補正書】

【提出日】平成20年9月17日(2008.9.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の電位及び第2の電位と異なる第3の電位を生成する回路と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の電位に保たれており、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2の電位に保たれており、

前記第3のトランジスタのゲートは、前記回路に電気的に接続され、

前記第1のトランジスタのゲートと前記第2のトランジスタのゲートに第1の信号が入力され、

前記第1のトランジスタのソースまたはドレインの他方と前記第2のトランジスタのソースまたはドレインの一方から第2の信号を出力し、

前記回路は、直列に電気的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第1の電位に保たれており、

前記複数の抵抗素子の他端は、前記第2の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された2つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1のトランジスタはPチャネル型トランジスタであり、

前記第2のトランジスタはNチャネル型トランジスタであり、

前記第3のトランジスタはPチャネル型トランジスタであることを特徴とする半導体装置。

**【請求項 3】**

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の電位及び第2の電位と異なる第3の電位を生成する回路と、を有し、

前記第3のトランジスタのソースまたはドレインの一方は、前記第1の電位に保たれており、

前記第3のトランジスタのソースまたはドレインの他方は、前記第1のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の電位に保たれており、

前記第3のトランジスタのゲートは、前記回路に電気的に接続され、

前記第1のトランジスタのゲートと前記第2のトランジスタのゲートに第1の信号が入力され、

前記第1のトランジスタのソースまたはドレインの他方と前記第2のトランジスタのソースまたはドレインの一方から第2の信号を出力し、

前記回路は、直列に電気的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第1の電位に保たれており、

前記複数の抵抗素子の他端は、前記第2の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された2つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

**【請求項 4】**

請求項3において、

前記第1のトランジスタはPチャネル型トランジスタであり、

前記第2のトランジスタはNチャネル型トランジスタであり、

前記第3のトランジスタはNチャネル型トランジスタであることを特徴とする半導体装置。

**【請求項 5】**

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の電位及び第2の電位と異なる第3の電位を生成する第1の回路と、前記第1の電位及び前記第2の電位と異なる第4の電位を生成する第2の回路と、を有し、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の電位に保たれており、

前記第4のトランジスタのソースまたはドレインの他方は、前記第1のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2の電位に保たれており、

前記第3のトランジスタのゲートは、前記第1の回路に電気的に接続され、

前記第4のトランジスタのゲートは、前記第2の回路に電気的に接続され、

前記第1のトランジスタのゲートと前記第2のトランジスタのゲートに第1の信号が入力され、

前記第1のトランジスタのソースまたはドレインの他方と前記第2のトランジスタのソースまたはドレインの一方から第2の信号を出力し、

前記第1のトランジスタはPチャネル型トランジスタであり、

前記第2のトランジスタはNチャネル型トランジスタであり、

前記第3のトランジスタはPチャネル型トランジスタであり、

前記第4のトランジスタはNチャネル型トランジスタであることを特徴とする半導体装置。

【請求項6】

請求項5において、

前記第1の回路と前記第2の回路の各々は、直列に電気的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第1の電位に保たれており、

前記複数の抵抗素子の他端は、前記第2の電位に保たれており、

前記複数の抵抗素子から選択された2つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

【請求項7】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の電位及び第2の電位と異なる第3の電位を生成する回路と、を有し、

前記第1のトランジスタのソースまたはドレインの一方と前記第3のトランジスタのソースまたはドレインの一方は、前記第1の電位に保たれており、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第2の電位に保たれており、

前記第2のトランジスタのゲートは、前記第3のトランジスタのソースまたはドレインの他方と前記第4のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記回路に電気的に接続され、

前記第1のトランジスタのゲートと前記第3のトランジスタのゲートと前記第4のトランジスタのゲートに第1の信号が入力され、

前記第1のトランジスタのソースまたはドレインの他方と前記第2のトランジスタのソースまたはドレインの一方から第2の信号を出力し、

前記回路は、直列に電気的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第1の電位に保たれており、

前記複数の抵抗素子の他端は、前記第2の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された2つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

【請求項8】

請求項7において、

前記第1のトランジスタはPチャネル型トランジスタであり、

前記第2のトランジスタはPチャネル型トランジスタであり、

前記第3のトランジスタはPチャネル型トランジスタであり、

前記第4のトランジスタはNチャネル型トランジスタであることを特徴とする半導体装置。

【請求項9】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の電位及び第2の電位と異なる第3の電位を生成する回路と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の電位に保たれており、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方と前記第3のトランジスタのソースまたはドレインの一方は、前記第2の電位に保たれており、

前記第1のトランジスタのゲートは、前記第3のトランジスタのソースまたはドレインの他方と前記第4のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記回路に電気的に接続され、

前記第2のトランジスタのゲートと前記第3のトランジスタのゲートと前記第4のトランジスタのゲートに第1の信号が入力され、

前記第1のトランジスタのソースまたはドレインの他方と前記第2のトランジスタのソースまたはドレインの一方から第2の信号を出力し、

前記回路は、直列に電気的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第1の電位に保たれており、

前記複数の抵抗素子の他端は、前記第2の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された2つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

#### 【請求項10】

請求項9において、

前記第1のトランジスタはNチャネル型トランジスタであり、

前記第2のトランジスタはNチャネル型トランジスタであり、

前記第3のトランジスタはNチャネル型トランジスタであり、

前記第4のトランジスタはPチャネル型トランジスタであることを特徴とする半導体装置。

#### 【請求項11】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第1の電位及び第2の電位と異なる第3の電位を生成する第1の回路と、前記第1の電位及び前記第2の電位と異なる第4の電位を生成する第2の回路と、を有し、

前記第1のトランジスタのソースまたはドレインの一方と前記第3のトランジスタのソースまたはドレインの一方は、前記第1の電位に保たれており、

前記第1のトランジスタのソースまたはドレインの他方は、前記第2のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方と前記第5のトランジスタのソースまたはドレインの一方は、前記第2の電位に保たれており、

前記第2のトランジスタのゲートは、前記第3のトランジスタのソースまたはドレインの他方と前記第4のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第1の回路に電気的に接続され、

前記第1のトランジスタのゲートは、前記第5のトランジスタのソースまたはドレインの他方と前記第6のトランジスタのソースまたはドレインの一方に電気的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第2の回路に電気的に接続され、

前記第3のトランジスタのゲート、前記第4のトランジスタのゲート、前記第5のトランジスタのゲート及び前記第6のトランジスタのゲートに第1の信号が入力され、

前記第1のトランジスタのソースまたはドレインの他方と前記第2のトランジスタのソースまたはドレインの一方から第2の信号を出力し、

前記第1の回路と前記第2の回路の各々は、直列に電気的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第1の電位に保たれており、

前記複数の抵抗素子の他端は、前記第2の電位に保たれており、

前記第1の回路と前記第2の回路の各々は、前記複数の抵抗素子から選択された2つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

#### 【請求項12】

請求項11において、

前記第1のトランジスタはNチャネル型トランジスタであり、

前記第2のトランジスタはPチャネル型トランジスタであり、  
前記第3のトランジスタはPチャネル型トランジスタであり、  
前記第4のトランジスタはNチャネル型トランジスタであり、  
前記第5のトランジスタはNチャネル型トランジスタであり、  
前記第6のトランジスタはPチャネル型トランジスタであることを特徴とする半導体装置。

【請求項1-3】

請求項1乃至請求項1-2のいずれか一項に記載の半導体装置を用いた電子機器。