

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成20年11月6日(2008.11.6)

【公開番号】特開2006-197568(P2006-197568A)

【公開日】平成18年7月27日(2006.7.27)

【年通号数】公開・登録公報2006-029

【出願番号】特願2005-359008(P2005-359008)

【国際特許分類】

H 0 3 K 19/0175 (2006.01)

H 0 3 K 19/0944 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 F

H 0 3 K 19/094 A

【手続補正書】

【提出日】平成20年9月17日(2008.9.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の電位及び第 2 の電位と異なる第 3 の電位を生成する回路と、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の電位に保たれており、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 3 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記第 2 の電位に保たれており、

前記第 3 のトランジスタのゲートは、前記回路に電氣的に接続され、

前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートに第 1 の信号が入力され、

前記第 1 のトランジスタのソースまたはドレインの他方と前記第 2 のトランジスタのソースまたはドレインの一方から第 2 の信号を出力し、

前記回路は、直列に電氣的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第 1 の電位に保たれており、

前記複数の抵抗素子の他端は、前記第 2 の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された 2 つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタは P チャネル型トランジスタであり、

前記第 2 のトランジスタは N チャネル型トランジスタであり、

前記第 3 のトランジスタは P チャネル型トランジスタであることを特徴とする半導体装置。

## 【請求項 3】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 1 の電位及び第 2 の電位と異なる第 3 の電位を生成する回路と、を有し、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 1 の電位に保たれており、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記第 1 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 の電位に保たれており、

前記第 3 のトランジスタのゲートは、前記回路に電氣的に接続され、

前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートに第 1 の信号が入力され、

前記第 1 のトランジスタのソースまたはドレインの他方と前記第 2 のトランジスタのソースまたはドレインの一方から第 2 の信号を出力し、

前記回路は、直列に電氣的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第 1 の電位に保たれており、

前記複数の抵抗素子の他端は、前記第 2 の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された 2 つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

## 【請求項 4】

請求項 3 において、

前記第 1 のトランジスタは P チャネル型トランジスタであり、

前記第 2 のトランジスタは N チャネル型トランジスタであり、

前記第 3 のトランジスタは N チャネル型トランジスタであることを特徴とする半導体装置。

## 【請求項 5】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 の電位及び第 2 の電位と異なる第 3 の電位を生成する第 1 の回路と、前記第 1 の電位及び前記第 2 の電位と異なる第 4 の電位を生成する第 2 の回路と、を有し、

前記第 4 のトランジスタのソースまたはドレインの一方は、前記第 1 の電位に保たれており、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記第 1 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 3 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの他方は、前記第 2 の電位に保たれており、

前記第 3 のトランジスタのゲートは、前記第 1 の回路に電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 2 の回路に電氣的に接続され、

前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートに第 1 の信号が入力され、

前記第 1 のトランジスタのソースまたはドレインの他方と前記第 2 のトランジスタのソースまたはドレインの一方から第 2 の信号を出力し、

前記第 1 のトランジスタは P チャネル型トランジスタであり、

前記第 2 のトランジスタは N チャネル型トランジスタであり、

前記第 3 のトランジスタは P チャネル型トランジスタであり、

前記第 4 のトランジスタは N チャンネル型トランジスタであることを特徴とする半導体装置。

【請求項 6】

請求項 5 において、

前記第 1 の回路と前記第 2 の回路の各々は、直列に電氣的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第 1 の電位に保たれており、

前記複数の抵抗素子の他端は、前記第 2 の電位に保たれており、

前記複数の抵抗素子から選択された 2 つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

【請求項 7】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 の電位及び第 2 の電位と異なる第 3 の電位を生成する回路と、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方と前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 1 の電位に保たれており、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方は、前記第 2 の電位に保たれており、

前記第 2 のトランジスタのゲートは、前記第 3 のトランジスタのソースまたはドレインの他方と前記第 4 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 4 のトランジスタのソースまたはドレインの他方は、前記回路に電氣的に接続され、

前記第 1 のトランジスタのゲートと前記第 3 のトランジスタのゲートと前記第 4 のトランジスタのゲートに第 1 の信号が入力され、

前記第 1 のトランジスタのソースまたはドレインの他方と前記第 2 のトランジスタのソースまたはドレインの一方から第 2 の信号を出力し、

前記回路は、直列に電氣的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第 1 の電位に保たれており、

前記複数の抵抗素子の他端は、前記第 2 の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された 2 つの抵抗素子の接続点の電位を出力することを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記第 1 のトランジスタは P チャンネル型トランジスタであり、

前記第 2 のトランジスタは P チャンネル型トランジスタであり、

前記第 3 のトランジスタは P チャンネル型トランジスタであり、

前記第 4 のトランジスタは N チャンネル型トランジスタであることを特徴とする半導体装置。

【請求項 9】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 の電位及び第 2 の電位と異なる第 3 の電位を生成する回路と、を有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の電位に保たれており、

前記第 1 のトランジスタのソースまたはドレインの他方は、前記第 2 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方と前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 2 の電位に保たれており、

前記第 1 のトランジスタのゲートは、前記第 3 のトランジスタのソースまたはドレインの他方と前記第 4 のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第４のトランジスタのソースまたはドレインの他方は、前記回路に電氣的に接続され、

前記第２のトランジスタのゲートと前記第３のトランジスタのゲートと前記第４のトランジスタのゲートに第１の信号が入力され、

前記第１のトランジスタのソースまたはドレインの他方と前記第２のトランジスタのソースまたはドレインの一方から第２の信号を出力し、

前記回路は、直列に電氣的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第１の電位に保たれており、

前記複数の抵抗素子の他端は、前記第２の電位に保たれており、

前記回路は、前記複数の抵抗素子から選択された２つの抵抗素子の接続点の電位を出力  
することを特徴とする半導体装置。

【請求項１０】

請求項９において、

前記第１のトランジスタはＮチャネル型トランジスタであり、

前記第２のトランジスタはＮチャネル型トランジスタであり、

前記第３のトランジスタはＮチャネル型トランジスタであり、

前記第４のトランジスタはＰチャネル型トランジスタであることを特徴とする半導体装置。

【請求項１１】

第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第１の電位及び第２の電位と異なる第３の電位を生成する第１の回路と、前記第１の電位及び前記第２の電位と異なる第４の電位を生成する第２の回路と、を有し、

前記第１のトランジスタのソースまたはドレインの一方と前記第３のトランジスタのソースまたはドレインの一方は、前記第１の電位に保たれており、

前記第１のトランジスタのソースまたはドレインの他方は、前記第２のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第２のトランジスタのソースまたはドレインの他方と前記第５のトランジスタのソースまたはドレインの一方は、前記第２の電位に保たれており、

前記第２のトランジスタのゲートは、前記第３のトランジスタのソースまたはドレインの他方と前記第４のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第４のトランジスタのソースまたはドレインの他方は、前記第１の回路に電氣的に接続され、

前記第１のトランジスタのゲートは、前記第５のトランジスタのソースまたはドレインの他方と前記第６のトランジスタのソースまたはドレインの一方に電氣的に接続され、

前記第６のトランジスタのソースまたはドレインの他方は、前記第２の回路に電氣的に接続され、

前記第３のトランジスタのゲート、前記第４のトランジスタのゲート、前記第５のトランジスタのゲート及び前記第６のトランジスタのゲートに第１の信号が入力され、

前記第１のトランジスタのソースまたはドレインの他方と前記第２のトランジスタのソースまたはドレインの一方から第２の信号を出力し、

前記第１の回路と前記第２の回路の各々は、直列に電氣的に接続された複数の抵抗素子を有し、

前記複数の抵抗素子の一端は、前記第１の電位に保たれており、

前記複数の抵抗素子の他端は、前記第２の電位に保たれており、

前記第１の回路と前記第２の回路の各々は、前記複数の抵抗素子から選択された２つの抵抗素子の接続点の電位を出力  
することを特徴とする半導体装置。

【請求項１２】

請求項１１において、

前記第１のトランジスタはＮチャネル型トランジスタであり、

前記第 2 のトランジスタは P チャネル型トランジスタであり、  
前記第 3 のトランジスタは P チャネル型トランジスタであり、  
前記第 4 のトランジスタは N チャネル型トランジスタであり、  
前記第 5 のトランジスタは N チャネル型トランジスタであり、  
前記第 6 のトランジスタは P チャネル型トランジスタであることを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項に記載の半導体装置を用いた電子機器。