



(12) 发明专利

(10) 授权公告号 CN 103699112 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201310628749. 6

(22) 申请日 2013. 11. 29

(73) 专利权人 中国航空无线电电子研究所
地址 200233 上海市徐汇区桂平路 432 号

(72) 发明人 周心舟 韩国泰

(74) 专利代理机构 上海和跃知识产权代理事务
所(普通合伙) 31239

代理人 杜林雪

(51) Int. Cl.

G05B 23/02(2006. 01)

(56) 对比文件

CN 102201267 A, 2011. 09. 28, 全文.

CN 102760098 A, 2012. 10. 31, 全文.

CN 103336194 A, 2013. 10. 02, 全文.

CN 202904367 U, 2013. 04. 24, 全文.

CN 202267724 U, 2012. 06. 06, 全文.

CN 203012504 U, 2013. 06. 19, 全文.

CN 102662330 A, 2012. 09. 12, 全文.

US 2012179326 A1, 2012. 07. 12, 全文.

张阳等. 基于 PXI 总线的故障注入系统的设计与实现. 《2011 年航空试验测试技术学术交流会议论文集》. 2011, 190-198.

朱万年. 智能化机内测试验证系统的设计与实现. 《航空电子技术》. 1998, 35-41.

审查员 韩博

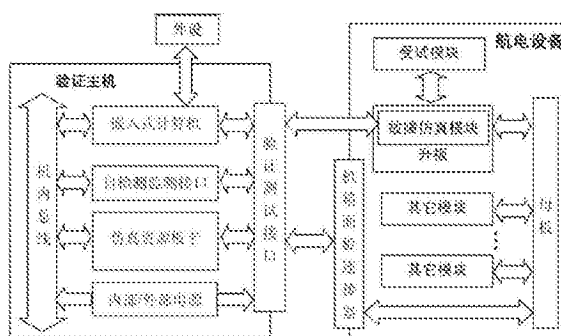
权利要求书2页 说明书5页 附图4页

(54) 发明名称

基于 IO 信号故障仿真的航电自检检测验证设备及其验证方法

(57) 摘要

本发明公开了一种基于 IO 信号故障仿真的航电自检检测验证设备,包含位于航电设备外部的验证主机和位于航电设备内部的故障仿真模块,验证主机模仿外部 IO 故障,故障仿真模块模仿内部 IO 故障,由航电设备的自检测对故障模式进行诊断隔离,输出结果,经比较确认输出结果是否准确以判断航电设备的 BIT 设计是否达到预定的要求。本发明可以提高 IO 信号故障模式的自动化仿真注入设计水平和能力,从而扩大 IO 信号故障模式仿真的范围和航电设备自检检测验证的覆盖范围,提高自检检测验证效率。



1. 一种基于 IO 信号故障仿真的航电自检测验证设备, 包含位于航电设备外部的验证主机和位于航电设备内部的故障仿真模块, 其特征在于:

所述验证主机用于外部 IO 故障仿真, 包含控制计算机、自检测监测接口、仿真故障资源板卡、验证测试接口以及输入输出设备;

所述控制计算机运行验证程序, 通过自检测监测接口获取航电设备的自检测信息, 验证航电设备自检测结果是否准确;

所述仿真故障资源板卡根据控制计算机的指令将航电设备运行环境和外部故障仿真资源分配到验证测试接口上, 通过测试验证电缆与航电设备的外部接口连接;

所述自检测监测接口通过验证测试接口、测试验证电缆获取航电设备输出的各项自检测数据信息;

所述故障仿真模块用于内部 IO 故障仿真, 嵌入在航电设备内部被仿模块与设备母板间的升板上, 包含 SOC 和 FPGA, FPGA 中包含控制寄存器、信号转换阵列, SOC 通过串行通信口与验证主机通信, 按控制计算机的命令, 写入控制寄存器的控制字, 控制 FPGA 中的信号转换阵列, 并在被仿模块断开条件下, 插入预定的故障信号, 实现板间 IO 信号故障仿真。

2. 根据权利要求 1 所述的航电自检测验证设备, 其特征在于所述验证主机的平台选用 PXI 总线平台。

3. 根据权利要求 1 所述的航电自检测验证设备, 其特征在于所述仿真故障资源板卡包含:

GJB289A 总线接口模块: 仿真 GJB289A 总线信号故障, 包含通信错误: 非法的命令或数据, 协议错误;

ARINC429 总线接口模块: 仿真 ARINC429 总线信号故障, 包含通信错误: 非法的命令或数据, 协议错误;

HDLC 通信接口模块: 仿真 HDLC 信号故障, 包含通信错误: 非法的命令或数据, 协议错误;

RS422/485 总线接口模块: 仿真 RS422/485 总线信号故障, 包含通信错误: 非法的命令或数据, 协议错误;

模拟信号输出模块: 仿真模拟信号故障, 包含信号电平超限;

开关量输出模块: 仿真开关量信号故障, 包括断开 / 短路;

多功能数据采集模块、视频信号输出模块、模拟视频采集模块、数字视频采集模块: 仿真视频信号故障。

4. 根据权利要求 1 所述的航电自检测验证设备, 其特征在于所述自检测监测接口包含 16 位的数字离散量输入接口和 2 通道的异步串行通信接口。

5. 根据权利要求 1 所述的航电自检测验证设备, 其特征在于所述故障仿真模块通过 2 个边缘连接器搭载在被仿模块与航电设备母板间的升板上。

6. 根据权利要求 1 所述的航电自检测验证设备, 所述信号转换阵列有 4 种输入根据控制寄存器的控制字选通 1 路作为输出, 实现模块间 IO 信号故障仿真;

所述 4 种输入为 1) NORM: 接通原始信号, 此时为正常信号状态;

2) VCC: 接通 VCC, 仿真该信号线死锁在逻辑“1”的故障状态;

3) GND: 接通 GND, 仿真该信号线死锁在逻辑“0”的故障状态;

4) ARB :接通片内信号发生器或外部扩展信号,仿真该信号线错误状态。

7. 根据权利要求 1 所述的航电自检测验证设备,其特征在于所述 FPGA 中还包含信号发生器,所述信号发生器根据控制寄存器的控制字提供以下两种形式的故障信号:

1) 错误序列:根据 SOC 写入信号发生器的错误序列以及控制寄存器中的设定参数,按设定的时钟频率和间隔循环发送;

2) 噪声:采用伪随机序列电路产生白噪声。

8. 根据权利要求 1 所述的航电自检测验证设备,其特征在于所述故障仿真模块还包含继电器,使向模块供电的主电源电压可在正常与欠压两种情况间切换,辅电源可在正常与断开两种情况间切换,仿真电源故障。

9. 根据权利要求 1-8 任一所述的航电自检测验证设备的验证方法,包含以下步骤:

a) 启动 IO 信号故障仿真器与航电设备;

b) 控制航电设备进入工作模式;

c) 验证主机提供航电设备正常运行的所需的外部信号环境;

d) 验证主机仿真航电设备外部信号及外部信号交连关系的通断,实现外部故障注入;

e) 故障仿真模块仿真航电设备内部模块间信号及内部模块间信号交连关系的通断,实现内部故障注入;

f) 自检测监测接口读取航电设备的自检测信息;

g) 控制计算机实时监测航电设备输出的自检测数据或自检测标识变化,经比较确认输出结果是否准确以判断航电设备的自检测设计是否达到预定的要求。

基于 IO 信号故障仿真的航电自检检测验证设备及其验证方法

技术领域

[0001] 本发明涉及航空电子产品测试性设计验证技术领域,尤其涉及 IO 故障信号的自检检测验证。

背景技术

[0002] 在航空电子产品的测试性设计验证技术领域,对于电源信号、数字 IO 信号、总线通信信号等故障模式的仿真和注入,多采用简单的通断和人工加入干扰信号的方式,注入故障模式单一且可能对电路造成损伤,尚无较为完整全面的自动故障注入方法。本技术专利即描述了实现 IO 信号多种故障模式可设置且自动化注入的设计方法,来验证航电设备测试性自检检测设计达到的水平。

发明内容

[0003] 本发明的发明目的在于提供一种基于 IO 信号故障仿真的航电自检检测验证设备,对数字 IO、电源、总线等信号的多种故障模式进行自动化注入到被测设备内部,来验证航电设备的测试性自检检测设计水平。

[0004] 本发明的发明目的通过以下技术方案来实现:

[0005] 一种基于 IO 信号故障仿真的航电自检检测验证设备,包含位于航电设备外部的验证主机和位于航电设备内部的故障仿真模块:

[0006] 所述验证主机用于外部 IO 故障仿真,包含控制计算机、自检检测监测接口、仿真故障资源板卡、验证测试接口以及输入输出设备;

[0007] 所述控制计算机运行验证程序,通过自检检测监测接口获取航电设备的自检检测信息,验证航电设备自检检测结果是否准确;

[0008] 所述仿真故障资源板卡根据控制计算机的指令将航电设备运行环境和外部故障仿真资源分配到验证测试接口上,通过测试验证电缆与航电设备的外部接口连接;

[0009] 所述自检检测监测接口通过验证测试接口、测试验证电缆获取航电设备输出的各项自检检测数据信息;

[0010] 所述故障仿真模块用于内部 IO 故障仿真,嵌入在航电设备内部被仿模块与设备主板间的升板上,包含 SOC 和 FPGA, FPGA 中包含控制寄存器、信号转换阵列, SOC 通过串行通信口与验证主机通信,按控制计算机的命令,写入控制寄存器的控制字,控制 FPGA 中的信号转换阵列,并在被仿模块断开条件下,插入预定的故障信号,实现板间 IO 信号故障仿真。

[0011] 优选地,所述验证主机的平台选用 PXI 总线平台。

[0012] 优选地,所述仿真故障资源板卡包含:

[0013] GJB289A 总线接口模块:仿真 GJB289A 总线信号故障,包含通信错误:非法的命令或数据,协议错误;

[0014] ARINC429 总线接口模块:仿真 ARINC429 总线信号故障,包含通信错误:非法的命令

令或数据,协议错误;

[0015] HDLC通信接口模块:仿真HDLC信号故障,包含通信错误:非法的命令或数据,协议错误;

[0016] RS422/485总线接口模块:仿真RS422/485总线信号故障,包含通信错误:非法的命令或数据,协议错误;

[0017] 模拟信号输出模块:仿真模拟信号故障,包含信号电平超限;

[0018] 开关量输出模块:仿真开关量信号故障,包括断开/短路;

[0019] 多功能数据采集模块、视频信号输出模块、模拟视频采集模块、数字视频采集模块:仿真视频信号故障。

[0020] 优选地,所述自检测监测接口包含16位的数字离散量输入接口和2通道的异步串行通信接口。

[0021] 优选地,所述故障仿真模块通过2个边缘连接器搭载在被仿模块与航电设备母板间的升板上。

[0022] 优选地,所述信号转换阵列有4种输入根据控制寄存器的控制字选通1路作为输出,实现模块间IO信号故障仿真;

[0023] 所述4种输入为1)NORM:接通原始信号,此时为正常信号状态;

[0024] 2)VCC:接通VCC,仿真该信号线死锁在逻辑“1”的故障状态;

[0025] 3)GND:接通GND,仿真该信号线死锁在逻辑“0”的故障状态;

[0026] 4)ARB:接通片内信号发生器或外部扩展信号,仿真该信号线错误状态。

[0027] 优选地,所述FPGA中还包含信号发生器,所述信号发生器根据控制寄存器的控制字提供以下两种形式的故障信号:

[0028] 1) 错误序列:根据SOC写入信号发生器的错误序列以及控制寄存器中的设定参数,按设定的时钟频率和间隔循环发送;

[0029] 2) 噪声:采用伪随机序列电路产生白噪声。

[0030] 优选地所述故障仿真模块还包含继电器,使向模块供电的主电源电压可在正常与欠压两种情况间切换,辅电源可在正常与断开两种情况间切换,仿真电源故障。

[0031] 本发明的另一目的在于提供一种航电自检测验证设备的验证方法,包含以下步骤:

[0032] a) 启动IO信号故障仿真器与航电设备;

[0033] b) 控制航电设备进入工作模式;

[0034] c) 验证主机提供航电设备正常运行的所需的外部信号环境;

[0035] d) 验证主机仿真航电设备外部信号及交连状态的故障,实现外部故障注入;

[0036] e) 故障仿真模块仿真航电设备内部模块间信号及交连状态的故障,实现内部故障注入;

[0037] f) 自检测监测接口读取航电设备的自检测信息;

[0038] g) 控制计算机实时监测航电设备输出的自检测数据或自检测标识变化,经比较确认

[0039] 输出结果是否准确以判断航电设备的自检测设计是否达到预定的要求。

附图说明

- [0040] 图 1 为本发明 I/O 信号故障仿真器的结构示意图；
[0041] 图 2 为故障仿真模块工作连接方式示意图；
[0042] 图 3 为故障仿真模块工作原理示意图；
[0043] 图 4 为 FPGA 片内输入与输出信号间的基本转换逻辑图
[0044] 图 5 为验证主机软件组成图；
[0045] 图 6 为故障仿真模块软件组成图。

具体实施方式

[0046] 下面结合附图对本发明作进一步的详细描述。

[0047] 基于 I/O 信号故障仿真的航电 BIT 验证方法的应用实例为基于 I/O 信号故障仿真的航电自检验证设备,包括验证主机和故障仿真模块两部分,以及各自的软件程序,详细设计说明如下。

[0048] 图 1 为验证设备的组成示意图,验证主机中各资源模块通过 PXI 总线在 PXI 嵌入式控制计算机的控制下,运行验证程序,实现整个验证测试过程的自动化。

[0049] 1、验证主机的配置与构成

[0050] 验证主机在软件程序设定的时间间隔内在航电设备与外部接口处引入信号错误,使信号间的交互处于故障状态,从而影响接受自检验证的航电设备的运行。航电设备的自检检测将此类故障与自身故障相鉴别,把故障定位在与故障相关的外部设备。

[0051] 验证主机由 PXI 机箱(含 PXI 嵌入式控制计算机)、自检检测监测接口、仿真故障资源板卡、验证测试接口以及输入输出设备(键盘、鼠标、显示器等)组成。仿真故障资源板卡将航电设备运行环境 & 外部故障仿真资源分配到验证测试接口上,包括工作电源等,通过测试验证电缆与航电设备连接。自检检测监测接口通过验证测试接口、测试电缆获取航电设备输出的各项 BIT 数据信息。详细配置如下:

[0052] 1.1 验证主机平台

[0053] 验证主机平台选用 PXI 总线平台。

[0054] 1.2 嵌入式计算机模块

[0055] 嵌入式计算机作为验证主机的测控计算机,其基本配置与技术指标如下:

[0056] • CPU: Intel Pentium M, 主频 2.0GHz, 或以上;

[0057] • 内存: 2GB;

[0058] • 硬盘: 80GB, 或以上;

[0059] • 网口: 10M/100M/1000M 自适应, 2 路;

[0060] • USB 接口: 4 路;

[0061] • 串口: 2 路;

[0062] • 显示器口: DVI 口。

[0063] 1.3 航电设备运行环境与外部故障仿真

[0064] 验证主机中用于支持航电设备运行及外部 I/O 信号故障仿真的仿真故障资源板卡包括如下模块:

[0065] a) GJB289A 总线接口模块(仿真 GJB289A 总线信号故障,如通信错误:非法的命令

或数据,协议错误等);

[0066] b) ARINC429 总线接口模块(仿真 ARINC429 总线信号故障,如通信错误:非法的命令或数据,协议错误等);

[0067] c) HDLC 通信接口模块(仿真 HDLC 信号故障,如通信错误:非法的命令或数据,协议错误等);

[0068] d) RS422/485 总线接口模块(仿真 RS422/485 总线信号故障,如通信错误:非法的命令或数据,协议错误等);

[0069] e) 模拟信号输出模块(仿真模拟信号故障,如信号电平超限等);

[0070] f) 开关量输出模块(仿真开关量信号故障,如断开/短路等);

[0071] g) 多功能数据采集模块、h) 视频信号输出模块、i) 模拟视频采集模块、j) 数字视频采集模块(仿真视频信号故障)。

[0072] 1.4 自检测监测接口

[0073] 自检测监测接口包括以下的读取自检测数据与标识的信号接口:

[0074] a) 数字离散量输入接口:16 位;

[0075] b) 异步串行通信接口:2 通道。

[0076] 2、故障仿真模块(FSM)

[0077] 故障仿真模块的工作连接示意图见图 2,工作原理见图 3。

[0078] 故障仿真模块通过 2 个边缘连接器搭载在被仿模块与航电设备母板间的升板上,由验证主机的验证试验程序控制 FSM 的内部电路,进而控制原板间信号交连关系的通断,并在断开条件下,插入预定的故障信号,改变模块间 IO 信号交连的状态,实现板间 IO 信号故障仿真,从而影响航电设备的运行。航电设备的自检测将此类故障确定为自身故障,而与外部设备故障相区别。

[0079] FSM 的基本工作原理如下:

[0080] a) 故障仿真控制

[0081] FSM 上的 SOC 通过串行通信口与验证主机通信,按验证主机命令,控制 FPGA 中的转换电路阵列,生成不同的故障条件。

[0082] b) IO 信号故障仿真

[0083] FSM 模块上 FPGA 片内输入与输出信号间的基本转换逻辑如图 4 所示,根据 SOC 按照验证主机命令写入控制寄存器的控制字,从 4 种不同的输入中选通 1 路作为输出,实现模块间 IO 信号故障仿真。

[0084] 1) NORM:接通原始信号,此时为正常信号状态;

[0085] 2) VCC:接通 VCC,仿真该信号线死锁在逻辑“1”的故障状态;

[0086] 3) GND:接通 GND,仿真该信号线死锁在逻辑“0”的故障状态;

[0087] 4) ARB:接通片内信号发生器(或外部扩展信号),仿真该信号线错误状态。

[0088] c) 电源控制

[0089] SOC 控制 FSM 上的继电器,使向模块供电的主电源电压可在正常与欠压两种情况间切换,辅电源可在正常与断开两种情况间切换,仿真电源故障。

[0090] d) 信号发生器

[0091] FPGA 片内的信号发生器提供以下两种形式的故障信号:

[0092] 1) 错误序列 :根据 SOC 写入信号发生器的错误序列以及控制寄存器中的设定参数,按设定的时钟频率和间隔循环发送,按设定的时钟频率和间隔循环。

[0093] 2) 噪声 :采用伪随机序列电路产生白噪声。

[0094] 3、验证软件开发

[0095] 验证软件分验证主机软件和故障仿真模块软件两部分。软件组成见图 5、6 所示。

[0096] 验证软件开发采用 VISUAL C++6.0 和 WINDOWS XP 的运行环境。

[0097] 4、验证过程

[0098] 验证过程包含以下步骤 :

[0099] a) 启动 IO 信号故障仿真器与航电设备 ;

[0100] b) 控制航电设备进入工作模式 ;

[0101] c) 验证主机提供航电设备正常运行的所需的外部信号环境 ;

[0102] d) 验证主机仿真航电设备外部信号及交连状态的故障,实现外部故障注入 ;

[0103] e) 故障仿真模块仿真航电设备内部模块间信号及内部模块间信号交连关系的通断,实现内部故障注入 ;

[0104] f) 自检测监测接口读取航电设备的自检测信息 ;

[0105] g) 控制计算机实时监测航电设备输出的自检测数据或自检测标识变化,经比较确认输出结果是否准确以判断航电设备的自检测设计是否达到预定的要求。

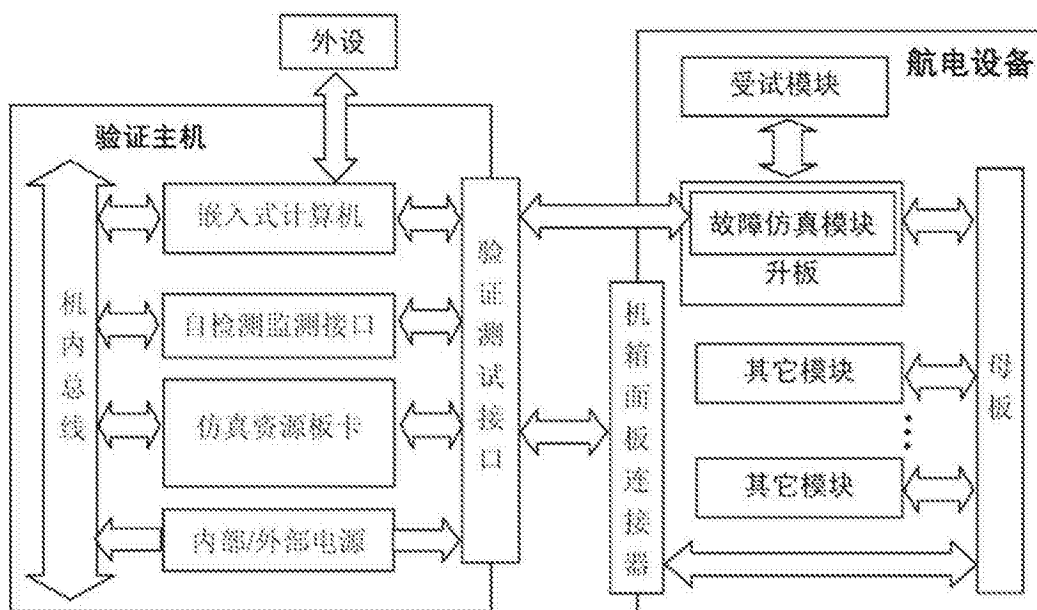


图 1

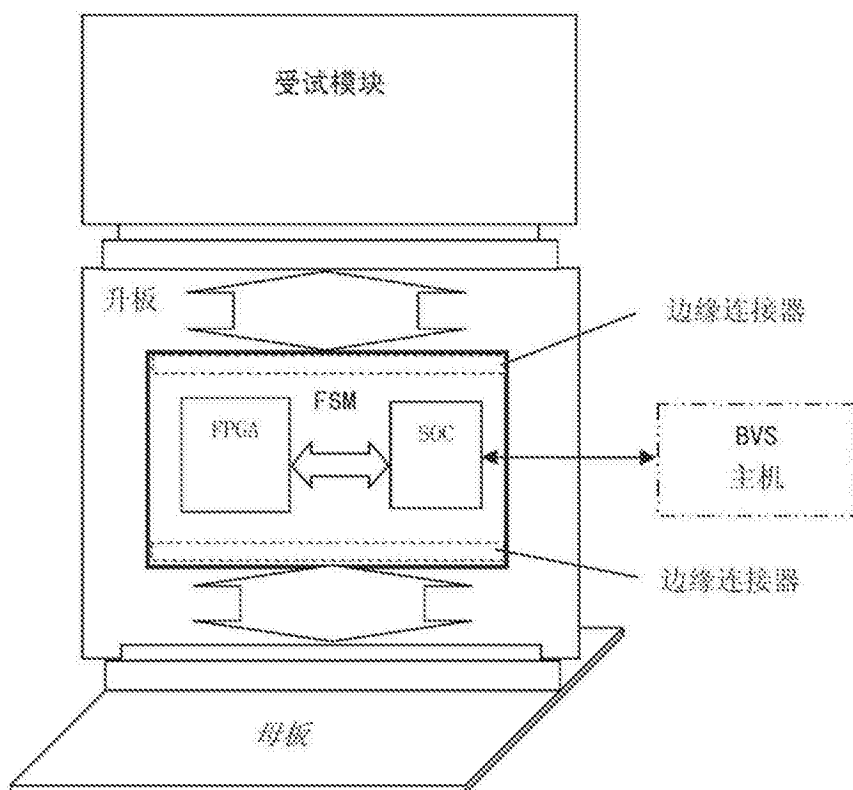


图 2

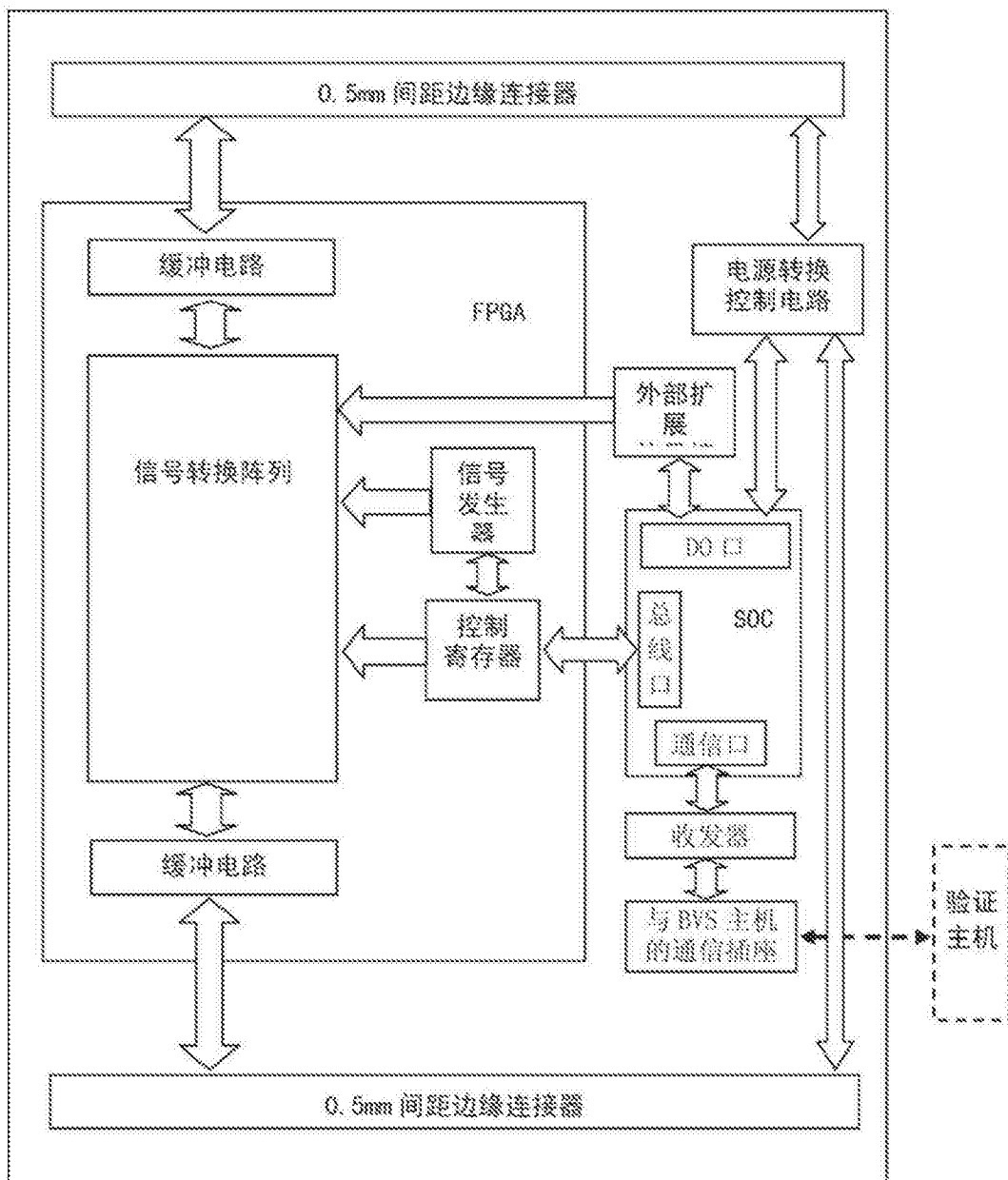


图 3

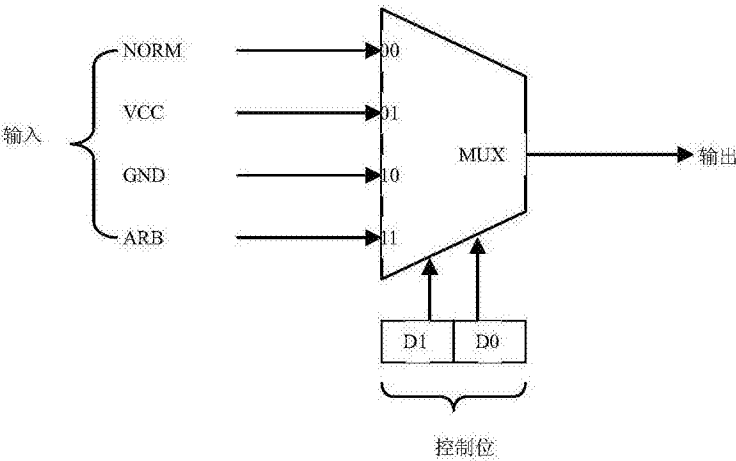


图 4

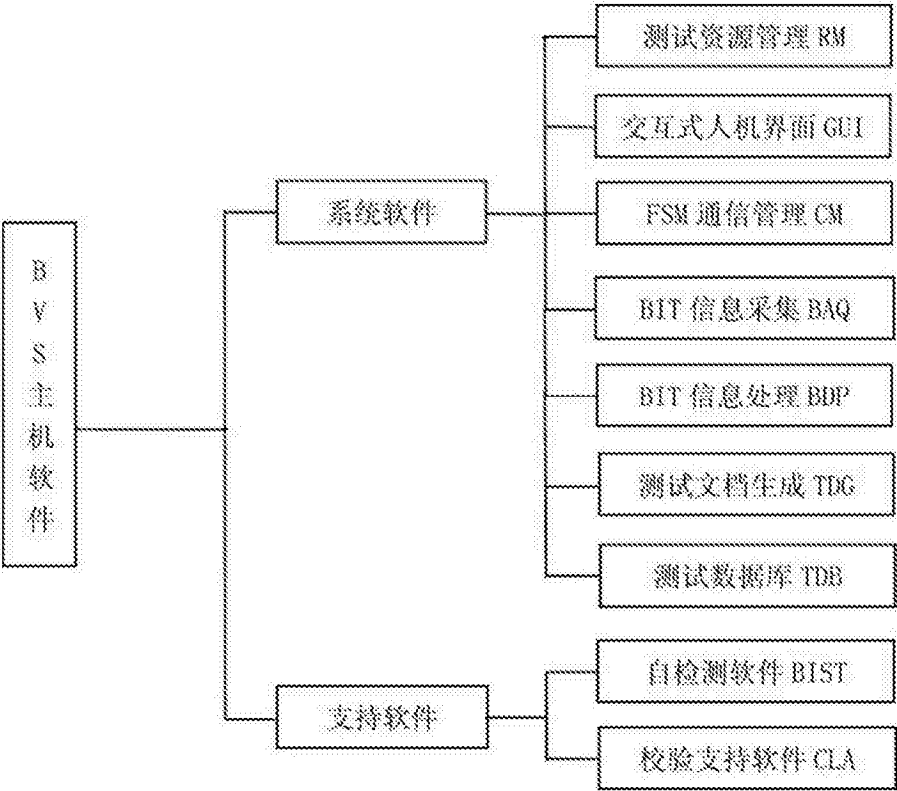


图 5

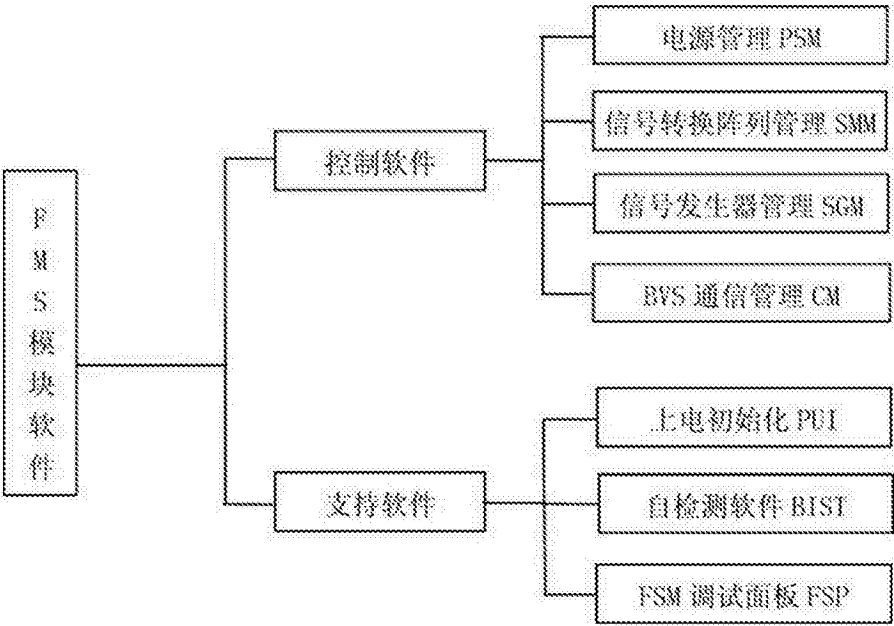


图 6