



(12) 发明专利

(10) 授权公告号 CN 1568582 B

(45) 授权公告日 2012.05.02

(21) 申请号 02820141.8

(22) 申请日 2002.10.10

(30) 优先权数据

60/328, 590 2001. 10. 11 US

(85)PCT申请进入国家阶段日

2004. 04. 12

(86) PCT 申请的申请数据

PCT/US2002/032470 2002. 10. 10

(87) PCT申请的公布数据

W003/032512 EN 2003. 04. 17

(73) 专利权人 美商内数位科技公司

地址 美国特拉华州

(72)发明人 爱尔帕司蓝·德米尔

费堤·M·欧兹鲁特

(74) 专利代理机构 北京润平知识产权代理有限公司

公司 11283

代理人 南毅宁 刘国平

(51) Int. Cl.

H04B 1/708 (2011.01)

H04B 1/7077(2011.01)

(56) 对比文件

US 5592518 A, 全文.

CN 1219313 A, 1999.06.09, 全文.

CN 2674798 Y, 2005. 01. 26, 权利要求 1-10.

审查员 阎岩

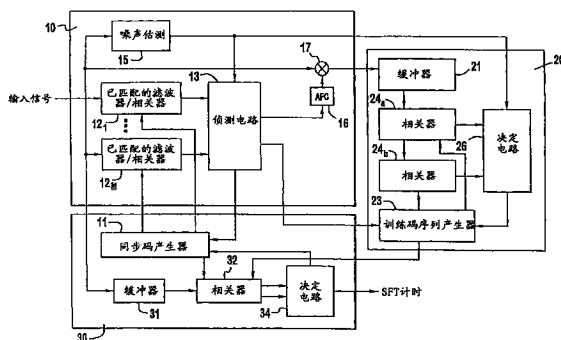
权利要求书 3 页 说明书 6 页 附图 4 页

(54) 发明名称

移动通信系统中低码片速率选择的获取电路

(57) 摘要

一用户设备 (UE) 具有一种电路, 其执行用于如第三代合作计划 (3GPP) 制订的全球移动通信系统 (UMTS) 分时双工 (TDD) 标准的低码片速率选择的获取。本发明实行基础 SYNC 码的侦测; 使用的训练码序列的决定及根据 SYNC 码调制序列侦测超帧计时。这使能读取一完整的广播信道 (BCH) 信息。



1. 一种用于一无线电信中的用户设备,包括:

一接收组件,设置以接收通信信号,所述通信信号具有一时间帧格式并在一下行链路导频时隙内包含一同步码,该同步码从具有 Y 个连续组件的预定数量 X 的下行链路同步码中选取,其中 X 及 Y 为大于 15 的整数;

一取样组件,设置以至少和一传输码片速率一样快速的一取样率对已接收的通信信号进行取样;

一同步电路,用于处理已接收的通信信号的取样点;

该同步电路具有一同步码相关电路,该同步码相关电路以至少和该传输码片速率一样快速的一输入率接收取样点及以比此输入率快速的一处理率处理连续取样点的组合;以及该同步码相关电路包括:

M 个 Y 组件相关器,其中 $M \leq X/2$,其设置以并联具有相同数目取样点的取样点组合,所述相同数目为各下行链路同步码所具有的组件数目,各个相关器具有用于以该输入率并联接收该已接收的通信信号的取样点的一输入,以及各个相关器设置以关联各个取样点组合和该组下行链路同步码中的至少两同步码;及

一侦测电路,其操作地结合该多个相关器且设置以侦测和追踪连续取样点组合和下行链路同步码的正相关性;以及

各个该相关器设置以不小于两倍的取样点输入率的速率输出各个取样点组合的相关性数据,致使在处理后续的通信信号的取样点之前,该相关器将用于该下行链路同步码组合的所有同步码的相关性数据一起输出至该侦测电路。

2. 如权利要求 1 所述的用户设备,其特征在于,该下行链路同步码的数量 X 为 32,且各具有 64 个连续组件,其中在该同步码相关电路中没有超过 16 个相关器。

3. 如权利要求 2 所述的用户设备,其特征在于,在该同步码相关电路内没有超过 8 个相关器,各个相关器于该取样点输入率并联接收已接收的通信信号的取样点,并在处理后续的通信信号的取样点之前,并联各个取样点组合与所述由 32 个下行链路同步码构成的组合中的至少四个同步码。

4. 如权利要求 3 所述的用户设备,其特征在于,在该同步码相关电路内的各个相关器包括 N 个匹配滤波器,各个滤波器在处理后续的通信信号的取样点之前,各自关联已接收的通信信号的取样点组合的 $64/N$ 组件区段和由 32 个下行链路同步码构成的组合中的至少四个同步码所对应的 $64/N$ 组件区段。

5. 如权利要求 4 所述的用户设备,其特征在于,该同步码相关电路内的各个相关器包括 16 个匹配滤波器,各个滤波器各自关联 4 个组件区段。

6. 如权利要求 2 所述的用户设备,其中该接收组件设置以接收一广播信道的数据,该广播信道的数据被传送于一已预先定义的系统时间帧结构的已选择时隙内的一主要共享控制物理信道,此用户设备与传送此广播信道数据的基站进行双向通信,其中各个已接收的下行链路同步码具有一调制,该调制由被接收于一指定时隙内的一训练码序列而指示,且其中连续下行链路同步码的一指定的调制顺序识别此广播信道的数据的位置,此用户设备进一步包括:

一训练码序列决定电路,其操作结合同步码相关电路且设置以根据一相关位置和一已侦测的下行链路同步码的识别来决定各自的训练码序列;及

一相位调制序列侦测电路,其操作结合训练码序列决定电路和同步码相关电路且设置以根据由同步码相关电路所侦测的下行链路同步码和由训练码序列决定电路所决定的训练码序列决定连续已侦测下行链路同步码的相位调制的序列。

7. 如权利要求 6 所述的用户设备,其特征在于:

该同步码相关电路包括一噪声估测电路及一有关该同步码相关电路的侦测电路的自动频率控制电路;

此噪声估测电路提供一噪声估测至该侦测电路,该噪声估测为同步码侦测的根据;及

侦测电路控制该自动频率控制电路以提供一频率修正信号,该频率修正信号与已接收的通信信号的取样点混频后输入至该训练码序列决定电路。

8. 如权利要求 7 所述的用户设备,其中:

训练码序列决定电路包括一缓冲器、至少一训练码序列相关器、一训练码序列产生器及一训练码序列判定电路;

此缓冲器具有一用于从该同步码相关电路接收经过自动频率控制电路修正的通信信号的取样点的输入;

此训练码序列产生器具有一用于接收来自该同步码相关电路的已侦测下行链路同步码的输入,并设置以根据一预先定义的训练码序列组合连续产生训练码序列,所述训练码序列组合包含与下行链路同步码一起被接收的训练码序列;

此训练码序列相关器具有一用于接收来自对应于已指定时隙的一训练码序列部份的该缓冲器中的通信信号的取样点的组合的输入、一用于接收来自此训练码序列产生器中的已产生的训练码序列的输入及一用于输出相关性数据到此训练码序列判定电路的输出;

此训练码序列判定电路设置以决定哪个训练码序列已被接收,且具有一用于输出一选择信号至该训练码序列产生器的输出;以及

该训练码序列产生器设置以根据此选择信号输出一训练码序列至相位调制序列侦测电路。

9. 如权利要求 8 所述的用户设备,其特征在于,有多个训练码序列相关器且该同步码相关电路内的相关器用来作为训练码序列相关器。

10. 如权利要求 8 所述的用户设备,其特征在于:

该相位调制序列侦测电路包括一缓冲器、一相位相关器装置、以及一相位序列决定电路;

此相位调制序列侦测电路的缓冲器具有一用于从该同步码相关电路接收通信信号取样点的输入;

该相位相关器装置设置以接收来自对应于该已接收通信信号的取样点的同步码部份的该相位调制序列侦测电路的缓冲器中的通信信号的取样点的组合与接收来自训练码序列产生器中的已选择的训练码序列,且该相位相关器装置设置以输出相位相关性数据到相位序列决定电路;及

该相位序列决定电路设置以识别符合已侦测的下行链路同步码的通信信号的取样点的连续组合的相位序列,具有一用于从相位相关器装置接收相位相关性数据的输入,并设置以在侦测一指定的相位序列时,输出识别广播信道数据的位置的一信号。

11. 如权利要求 10 所述的用户设备,其特征在于,使用该训练码序列决定电路内的缓

冲器做为此相位调制序列侦测电路的缓冲器。

12. 一种处理无线电信的方法,包括:

接收通信信号,所述通信信号具有一时间帧格式并在一下行链路导频时隙内包含一同步码,该同步码从具有 Y 个连续组件的预定数量 X 的下行链路同步码中选取,其中 X 及 Y 为大于 15 的整数;

以至少和一传输码片速率一样快速的一取样率对已接收的通信信号进行取样;以至少和该传输码片速率一样快速的一输入率输入通信信号的取样点至具有 M 个 Y 组件相关器的一同步码相关电路,其中 $M \leq X/2$,这些相关器设置以并联具有相同数目的取样点的取样点组合,所述相同数目为各下行链路同步码所具有的组件数目,以及以较该输入率快速的一处理率处理连续取样点的组合,包括:

该相关器以该输入率并联接收该通信信号的取样点及关联各个取样点组合和下行链路同步码的组合中的至少两同步码;

以不小于两倍的取样点输入率的速率从各该相关器输出各个取样点的组合的相关性数据,致使在处理后续的通信信号的取样点之前,该相关器共同地输出用于下行链路同步码组合的所有同步码的相关性数据;

侦测并追踪这些相关器输出的连续取样点组合和下行链路同步码的正相关性。

13. 如权利要求 12 所述的方法,其特征在于,该下行链路同步码的数量 X 为 32,各具有 64 个连续组件,且用于该组合相关中的相关器没有超过 16 个。

14. 如权利要求 13 所述的方法,其特征在于,用于该组合相关中的相关器没有超过 8 个,且各个相关器以该取样点输入率并联接收该已接收的通信信号的取样点,并在处理后续的通信信号的取样点之前,并联各个取样点组合与至少四个同步码。

15. 如权利要求 14 所述的方法,其特征在于,各个相关器包括 N 个匹配滤波器,各个滤波器在处理后续的通信信号的取样点之前,各自关联已接收的通信信号的取样点组合的 $64/N$ 组件区段及至少四个同步码的对应 $64/N$ 组件区段。

16. 如权利要求 15 所述的方法,其特征在于,各个相关器包括 16 个匹配滤波器,其中各个匹配滤波器关联 4 个组件区段。

17. 如权利要求 13 所述的方法,其中在一已预先定义的系统时间帧结构的已选择时隙内,传送于一主要共享控制物理信道上的一广播信道的数据被接收,与传送此广播信道数据的基站进行双向通信,其中各个下行链路同步码具有被接收于一指定时隙内的一训练码序列所指示的一调制,且其中连续下行链路同步码的一指定的调制序列辨识此广播信道数据的位置,该方法进一步包括:

根据一相关位置和一已侦测的下行链路同步码的识别来决定各自的训练码序列;及

根据已侦测的下行链路同步码和一已决定的训练码序列决定连续的已侦测的下行链路同步码的一指定的调制序列。

移动通信系统中低码片速率选择的获取电路

技术领域

[0001] 本发明涉及无线通信的领域。更确切的是,本发明是和致使全球移动通信系统(UMTS)分时双工(TDD)及TD-SCDMA的低码片速率选择(1.28兆周/秒)中用户设备与基站间的同步步骤有关。

背景技术

[0002] 为了在一无线系统中建立通信,一用户设备(UE)首先必须和一基站同步。一旦建立同步,便发生实质的通信和/或数据转换,而能传导一无线电话呼叫。

[0003] 诸如3GPP TS 25.221 v5.2.0、3GPP TS 25.223 v5.1.0及3GPP TS 25.224v5.2.0中的第三代合作计划(3GPP)均详细说明通信系统,其使用相当高的3.84兆周/秒的码片速率或是,选择性地,相当低的1.28兆周/秒的码片速率。在所说明的高速率选择中,一用户设备(UE)搜寻一已知的主要同步码(PSC)并接着识别不同群组的次同步码的其中一个。然而,在低码片速率选择中没有单一的PSC。一UE必须搜寻一下行链路同步码SYNC-DL,其可以是32个不同的64个组件序列中的其中一个。

[0004] 图1描述用于如3GPP一般描述的一无线系统的1.28兆周/秒低码片速率选择的时间帧结构。将十(10)毫秒帧分隔成两分别是五(5)毫秒的次帧。各个次帧包括七个(7)时隙及一用于上行链路及下行链路同步(SYNC)信号的独立区域。安装各个时隙0-6,用以接收通信数据符号及一识别训练码序列码。时隙0永远是一下行链路(DL)时隙。时隙1永远是一上行链路(UL)时隙。时隙2-6则可安装为UL或DL用途。

[0005] 在时隙0及时隙1的间有一个九十六(96)码片长的下行链路导频时隙(DwPTS)、一个九十六(96)码片长的保护期间(GP)及一个一百六十(160)码片长的上行链路导频时隙(UpPTS)。此DwPTS内有一个三十二(32)码片长的保护期间和一个64码片同步的(SYNC-DL)码部分。此外,每两(2)帧(四个次帧)便限定一个20毫秒的超帧。

[0006] 在目前的3GPP系统定义中,共有三十二个(32)SYNC-DL码,其各自具有六十四(64)组件。各个SYNC-DL码显示四基本训练码序列码(长度为128),故总共有128个基本训练码序列码。由各个基本训练码序列码可产生高达16个长度为144的时隙训练码序列码。

[0007] 在SYNC-DL码之上使用四相移相键控(QPSK)调制。在每个次帧中,DL时隙0内的训练码序列码提供一DwPTS内SYNC-DL码的QSPK相位参考。因此,一旦决定时隙0的训练码序列码,便可确定此次帧的DwPTS内一SYNC-DL的QPSK调制。由一特定数量的连续次帧上的SYNC-DL码上的四相移相键控(QPSK)调制的一指定序列指示超帧(SFT)的计时。

[0008] 同步化的目的是为了接收由一超帧的时隙0中一主要共享控制物理信道(P-CCPCH)传送的一广播信道(BCH)的数据。目前为了一个超帧内的四个连续DwPTS指定SYNC-DL码调制的两不同序列,3GPP TS 25.223 v5.1.0 Sec. 9.1.1。一第一序列,即S1,指示在下个超帧内有一传送一BCH的P-CCPCH;一第二序列,即S2,指示下个超帧内没有这类的P-CCPCH。在一超帧的SYNC-DL码的调制的序列S1的发现位置,可从下个超帧的P-CCPCH

读取出自 BCH 的数据。

[0009] 3GPP TS 25.224 v5.2.0 的附件 D 建议一个用于图 2 所图解的同步的 UE 决定的四个步骤程序。第一步骤要求系统在 32 个码中搜寻,用以决定要接收的 SYNC-DL 码及决定码计时,即在已接收的数据串内设置传送此 SYNC-DL 码的 DwPTS 做为关于此系统时间帧结构的参考。此方法的第二步骤由 SYNC-DL 所指示的四基本训练码序列码中决定其中一个来使用。这可通过处理时隙 0 (P-CCPCH) 的训练码序列部分完成。由于此训练码序列和扰乱 (scrambling) 码以一对一的关联方式结合在一起,一旦知道训练码序列,便也能知道扰乱 (scrambling) 码。如果此步骤失败,则重复第一个步骤。

[0010] 在第三步骤期间,此方法决定 QPSK 调制的相位,其位于许多次帧上的 SYNC 码之上,并由此决定超帧计时 (SFT)。在步骤四上,由 UE 读取完整的广播信道 (BCH) 信息。

[0011] 考虑到为 1.28 兆周 / 秒选择的准备,需要一种具有能有效实施同步化,且不致破坏硬件成本的接收器的 UE。

发明内容

[0012] 本发明揭露一种用于一用户设备 (UE) 的电路,其执行用于如一般说明的一 3GPP 系统的 UMTS TDD 标准的低码片速率选择的获取。本发明以一种可靠且有效的方式实行基本的获取步骤。第一步骤是基础同步 (SYNC-DL) 码的侦测,步骤二为所使用的训练码序列的侦测,步骤三是超帧计时的侦测。完成这些步骤便可授与整个 BCH 信息的读取。

[0013] 将用户设备 (UE) 安装用于一使用一时间帧格式的无线电信系统中,其中基站在一下行链路导频时隙内传送从 Y 连续组件的一已预先决定数量的 X 下行链路同步码中选择的一同步码,其中 X 和 Y 是大于 15 的整数。在 3GPP 的低码片速率选择中,一般将 X 和 Y 分别指定为 32 和 64。以一已预先决定的码片速率传送信号,以及由 UE 接收通信信号并以至少和此码片速率一样快的取样率将其取样。

[0014] UE 具有一用于处理已接收通信信号取样点的同步电路。此同步电路具有一同步码决定电路,其以至少和码片速率一样快的一输入率接收取样点,并以比此取样输入率更快的一处理率处理连续取样点的集合。此同步码决定电路包括多个 MY 组件相关器,其中 $M \leq X/2$,其各自具有一用于以取样输入率并联接收已接收通信信号取样点的输入。此相关器关联取样点的各个集合和 X 下行链路同步码的集合的至少两同步码。将一侦测电路和相关器有效地结合,用以侦测及追踪下行链路同步码与连续取样点集合的正的相关性。每个相关器具有一用于为取样点的各个集合以至少两倍的取样输入率输出码相关性的输出,致使在处理进一步的通信信号取样点前,相关器共同地输出到用于所有 X 同步码的侦测电路相关性数据。

[0015] 在下行链路同步码的已预先决定数为 32 的位置,其各自具有 64 个连续组件,在同步码决定电路内不会有超过 16 个相关器。较佳的是,用于一般指定为 3GPP 类型系统的此同步码决定电路内不再有 8 个以上的相关器。各个相关器以并联方式、以取样输入率接收已接收的通信信号取样点并关联取样点的各个集合和一输入率期间内的 32 个下行链路同步码的集合的至少四同步码。较佳的是,此同步码决定电路内的每个相关器包括 N 个匹配滤波器,其各自关联已接收通信信号取样点集合的 $64/N$ 组件区段与一输入率期间内的 32 个下行链路同步码的集合的至少四同步码的对应的 $64/N$ 组件区段。在一个实施例中,此同

步码决定电路内的各个相关器包括关联 4 个组件区段的 8 个匹配滤波器。

[0016] UE 接收一已指定信道 (BCH) 的数据,其传送于一已预先定义系统时间帧结构的已选择时隙内的一主要共享控制物理信道 (P-CCPCH) 上,致使此 UE 继续与一传送此 BCH 数据的基站的双向式通信。各个已传送下行链路同步码皆具有由一指定时隙内传送的训练码序列指示的一调制,且一连续下行链路同步码的已指定调制序列识别 BCH 数据的位置。因此,此 UE 也较佳具有一训练码序列决定电路及一相位调制序列侦测电路。此训练码序列决定电路和同步码决定电路有效地结合以根据相关位置决定各自的已传送训练码序列及决定一已侦测下行链路同步码的识别。相位调制序列侦测电路有效地结合此训练码序列决定电路及同步码决定电路,用以根据由此同步码决定电路侦测的下行链路同步码及由此训练码序列决定电路决定的训练码序列决定连续已侦测下行链路同步码的相位调制的序列。

[0017] 较佳的是,此同步码决定电路包括一噪声估测电路及一结合同步码决定电路的侦测电路的自动频率控制电路 (AFC)。此噪声估测电路提供具有一噪声估测的侦测电路,该噪声估测为同步码侦测的根据。侦测电路控制 AFC 以产生一频率修正信号,其与已接收的通信取样点输入结合为产生电路的训练码序列。

[0018] 在低码片速率 3GPP 指定系统中,各个同步码从与各已传送下行链路同步码一起传送以指示该已传送码的调制的训练码序列显示训练码序列的一已预先定义的集合。故训练码序列决定电路较佳具有一缓冲器、至少一训练码序列相关器、一训练码序列产生器及一训练码序列决定电路。此缓冲器具有一用于从同步码决定电路接收 AFC 已修正通信取样点的输入。此训练码序列产生器具有一用于从同步码决定电路接收已决定同步码的输入并根据此已决定的同步码显示的训练码序列的已预先定义的集合连续地产生训练码序列。训练码序列相关器具有一用于从符合已指定时隙的一训练码序列部份的缓冲器接收信号取样点的集合的输入、一用于从训练码序列产生器接收已产生训练码序列的输入、及一用于输出相关性数据到训练码序列决定电路的输出。此训练码序列决定电路根据出自符合指定时隙的一训练码序列部份的缓冲器的信号取样点的集合和产生自训练码序列产生器的训练码序列间的相关性数据,用以决定与已决定的同步码一起传送及由此已决定同步码显示的训练码序列的已预先定义集合的训练码序列。训练码序列决定电路具有一用于输出一选择信号到训练码序列产生器的输出,其依序具有一根据此选择信号以输出一训练码序列至相位调制序列侦测电路的输出。较佳的是,在此同步码决定电路中有做为训练码序列相关器的多个训练码序列相关器和相关器。

[0019] 此相位调制序列侦测电路较佳包括一缓冲器、一相位相关器装置、以及一相位序列决定电路。此相位调制序列侦测电路的缓冲器具有一用于从同步码决定电路接收通信取样点的输入。相位相关器装置从符合已接收信号取样点的同步码部份的相位调制序列侦测电路的缓冲器接收信号取样点的集合、从训练码序列产生器接收已选择的训练码序列及输出相位相关性数据至序列决定电路。序列决定电路识别符合已决定同步码的信号取样点的连续集合的相位序列。序列决定电路具有一用于从相位相关器装置接收相位相关性数据的输入及一用于在侦测一已指定相位序列时输出一识别 BCH 数据的位置的信号的输出。在该训练码序列决定电路内的缓冲器可选择性地做为此相位调制序列侦测电路的缓冲器。

[0020] 熟习此项技艺的人士由下列详细说明中将明显了解到本发明的其它目的和优点。

附图说明

[0021] 图 1 是一描述用于一 3GPP 系统的 1.28 兆周 / 秒选择的帧结构的丛发 (burst) 图。

[0022] 图 2 是一用于由一 3GPP 系统的 1.28 兆周 / 秒选择的内容中的一 UE 建立同步的通信的一方法的流程图。

[0023] 图 3 是描述依照本发明的思想所制造的一 UE 接收器的组件的框图。

[0024] 图 4 是图 3 的 UE 接收器的一匹配滤波器 / 相关器成分的扩展框图。

具体实施方式

[0025] 请参考图 3, 其为一依照使用一 1.28 兆周 / 秒码片速率的一般 3GPP 说明书描述与一无线电信系统共同使用的用于一用户设备 (UE) 的一接收器部份的框图。此 UE 通过一天线 (未示出) 接收无线信号及使用至少 1.28 兆周 / 秒的码片速率从中取样。较佳以此码片速率的两倍或其它倍数完成取样。一个高于此码片速率的取样率可改善成果, 但一过高的取样率可能需要额外的处理装备开销才能维持有效的处理速度。以两倍码片速率完成取样在此项技艺中有许多已知的可用的处理选择。举例说明, 可单独地处理交替取样点为两不同的数据串, 或交替地, 依照传统方法选择地结合取样点。

[0026] 图 3 所示的同步处理电路是设计用于依照 3GPP 指定的 1.28 兆周 / 秒选择帧格式产生有关一基站所传送的通信信号的计时的信息, 用以使 UE 与该基站通信。当侦测一 SYNC-DL 码的适当的调制序列时, 如上述的序列 S1, 此 UE 可于稍后读取一在超帧的时隙 0 内一 P-CCPCH 上行链路送的广播通道 (BCH) 中的基站所传送的数据, 其接着可使 UE 继续与传送此 BCH 数据的基站进行双向通信。此同步处理电路具有三个主要组件: 一 SYNC-DL 决定电路 10、一训练码序列决定电路 20 及一相位调制序列侦测电路 30。

[0027] 此 SYNC-DL 决定电路 10 具有多个 M 并联匹配滤波器 / 相关器 12_1 至 12_M , 其输出相关性数据到一侦测电路 13。将已接收的通信信号取样点输入到此相关器 12_1 至 12_M 的每一个。相关器 12_1 至 12_M 的每一个也具有一来自一同步码产生器 11 的输入, 以便能关联对照 32 个不同 SYNC-DL 码的其中一个所处理的取样点的一集合。

[0028] 在一般指定的 1.28 兆周 / 秒选择中, 各个 SYNC-DL 码具有 64 个组件, 以便安装相关器 12_1 至 12_M 用于一次处理 64 个已接收信号取样点的集合。如图 4 所述, 较佳安装相关器 12_1 至 12_M 的每个相关器做为 N 个匹配滤波器的组合, 各自具有一有关的平方或相似的装置, 及一计算器。每个匹配滤波器处理一不同的区段, 其中 64 个已接收信号取样点的一集合的长度为 $64/N$ 。将一 SYNC-DL 码的对应区段寄给此各匹配滤波器的一码输入。每个匹配滤波器具有一输出, 其输出一信号到一各自的平方或相似装置, 其依次共同地输出信号到一计算器, 该计算器相加共同的区段输出以提供相关器的一输出。

[0029] 相关器 12_1 至 12_M 以一第一输入率接收信号取样点, 但却更加快速地操作, 以便在处理后来的信号取样点前能使各相关器为至少两不同的 SYNC-DL 码输出相关性数据。举例说明, 请参考图 4, 对于一已知的取样输入率 (ir), 每个到此 N 个匹配滤波器的每一个的 ir 期间的, 来自如习知 64 个组件 SYNC-DL 码的 SYNC-DL 码产生器 11 的码输入率至少是八个 (8) 码组件, 其中 $N = 16$ 。由此 16 个匹配滤波器的每一个接收一 SYNC-DL 码的四个组件的每个对应集合后, 将相关性数据输出平方、共同地相加、并于之后输出, 因此该 16 个匹配滤波器所处理的第一个四个组件集合输出一第一个 64 个组件 SYNC-DL 码的一相关性, 且该 16

个匹配滤波器所处理的第二个四个组件集合输出一第二个 64 个组件 SYNC-DL 码的一相关性。由于相关器 12_1 至 12_M 的每一个是在每个取样输入率期间的至少两 SYNC-DL 码上面处理,在不引起任何重要处理延迟的前提下所要求的相关器的数量 M 将不会超过可能码的数量的一半。

[0030] 在较佳结构中,相关器 12_1 至 12_M 的每一个较佳以每个取样输入率期间处理四 SYNC-DL 码的速度操作,故使用八个 ($M = 8$) 相关器,即可能码的数目 (32) 除此速率因子 (4)。此较佳实施例中的每个相关器是由长度为 4 的十六个 ($N = 16$) 匹配的滤波器组成的,即码长度 (64) 除以区段数 (4)。由一组件处理的观点,为了已处理的信号取样点的每个组件,由各匹配滤波器处理 SYNC-DL 码的 16 个组件,即四个组件的四个集合。

[0031] 侦测电路 13 由相关器 12_1 至 12_M 接收输出并在一已选择数量的帧上追踪正的相关性。提供一个也接收通信信号取样点及输出一噪声估测的噪声估测电路 15。侦测电路 13 使用来自此噪声估测电路 15 的噪声估测以决定来自相关器 12_1 至 12_M 的其中一个的输出是否为正的。较佳在一用于一 SYNC-DL 码相关性的相关器输出超过乘以一已选择噪声系数常数的噪声估测时侦测一正相关性。

[0032] 若相同的 SYNC-DL 码在较佳是八个的多个次帧上的相同的相关位置上产生一正相关性时,此侦测电路决定其已识别已接收的特定的 SYNC-DL 码与通信信号内 DwPTS 的相关位置,其依次提供此次帧的每一个的时隙 0 的位置及相关的训练码序列。

[0033] 较佳提供一自动频率控制 (AFC) 电路 16,其由侦测电路 13 控制,用以调整提供给训练码序列侦测电路 20 的一缓冲器 21 的输入信号的频率。此 AFC 的一输出与信号取样输入通过一混频器 17 混频,用以提供一已调整取样输入的频率给训练码序列侦测电路。AFC,传送器恢复可和 SYNC-DL 码决定一起完成,以便让后续的步骤能执行一致的处理。连同 SYNC-DL 码的每个正向侦测,侦测电路传送一控制信号到 AFC 16。在经由侦测电路 13 的 SYNC-DL 的决定完成时也完成此 AFC 处理。交替地,可在 SYNC-DL 决定电路 10 的输入上设置混频器 17,以便制造 AFC 相关性到输入信号,其中电路 10 在继续其决定功能时进行接收。此用于混频器 17 的交替位置也在相位调制序列侦测电路 30 的输入的前面。

[0034] 一旦 SYNC-DL 决定电路 10 由 32 个 SYNC-DL 码中决定何为从一基站接收的 SYNC-DL 码时,训练码序列选择电路便可操作决定四个基本训练码序列中何为传送已接收 SYNC-DL 码的基站传送的 P-CCPCH 中所使用的基本训练码序列。在一般指定的 3GPP 系统中,P-CCPCH 是由两个通道 P-CCPCH1 和 P-CCPCH2 组成的,其对应到帧时隙 0 的首要的两个码通道上。

[0035] 训练码序列选择电路 20 包括一从 SYNC-DL 决定电路 10 的侦测电路 13 接收 SYNC-DL 码识别及相关计时信息的训练码序列产生器。接着训练码序列产生器 23 从与先前由侦测电路 13 识别的 SYNC-DL 码相关的四 128 个位训练码序列的每一个产生 144 个位训练码序列。决定 DwPTS 的相关位置后,将符合后续时隙 0 训练码序列的位置的取样点从一缓冲器 21 输入到一关于代表 P-CCPCH1 的第一码通道的匹配滤波器 / 相关器 24a 和一代表第二码通道 P-CCPCH2 的已匹配滤波器 / 相关器 24b。这些输入相互关联到一得自于符合指定 SYNC-DL 码的四基本训练码序列的每一个的训练码序列产生器 23 的一输入。为了从四个训练码序列中识别何为基站传送的训练码序列,决定电路 26 从已匹配的滤波器 / 相关器 24a 及 24b 接收训练码序列的各个重复比较的相关性。较佳的是,做出与接收于一第二选择相关性因子整数乘以噪声估测 15 的噪声估测相比的决定。

[0036] 当训练码序列侦测电路 20 正在决定训练码序列时,匹配滤波器 / 相关器 12_1 至 12_M 不需被 SYNC-DL 决定电路 10 使用。因此,可安装训练码序列侦测电路 20 使用此匹配滤波器 / 相关器 12_1 至 12_M 做为已匹配的滤波器 / 相关器 24a 及 24b。硬件的重新使用可提供有效的实行。

[0037] 同样的,使用两已匹配的滤波器 / 相关器 24a 及 24b 可适应用于 P-CCPCH 上间隔的时间传送多样性。在此情形下,以正常操作使用两训练码序列及一半的训练码序列的功率。发生两训练码序列的侦测并由此决定装置一致地将其结合。

[0038] 当决定一正向训练码序列决定时,决定电路 26 输出一训练码序列选择信号给依次输出已识别的训练码序列给相位调制序列侦测电路 30 的训练码序列产生器 23。

[0039] 此相位调制序列侦测电路 30 包括一接收信号取样点的缓冲器 31、调制相关器 32 及一决定电路 34。可再使用训练码序列决定电路的缓冲器 21 做为缓冲器 31,在此情形下,序列侦测电路在不改变上述混频器 17 的位置的情形下利用 AFC。

[0040] 相位调制序列侦测电路 30 从 SYNC-DL 决定电路 10 的侦测电路 13 接收已识别的 SYNC-DL 码和 DwPTS 位置信息,并从训练码序列侦测电路 20 接收训练码序列数据。调制相关器 32 从已储存入已接收通信取样点的缓冲器 31 接收输入,并输出数据到决定电路 34。相关器 32 关联 DwPTS 内 SYNC-DL 码的 QPSK 调制与用于次帧是列的已识别训练码序列。将此信息输出到决定电路 34。提供各自的相关器以分别侦测 SYNC-DL 和训练码序列码的相位。交替地,可共享一单一相关器以侦测 SYNC-DL 与训练码序列码的相位。

[0041] 决定电路 34 计算已决定的训练码序列和四个或更多个连续 SYNC-DL 码间的相位影响。此决定电路 34 决定是否已侦测一已选择的序列,例如上述的 S1 序列。当侦测已选择的调制序列时,此决定电路 34 输出超帧计时 (SFT) 以识别一超帧的开始,其中 BCH 数据传送于时隙内的 P-CCPCH 上。此于 3GPP 中一般说明为接在 DwPTS 的调制的 S1 序列后的下一个超帧。

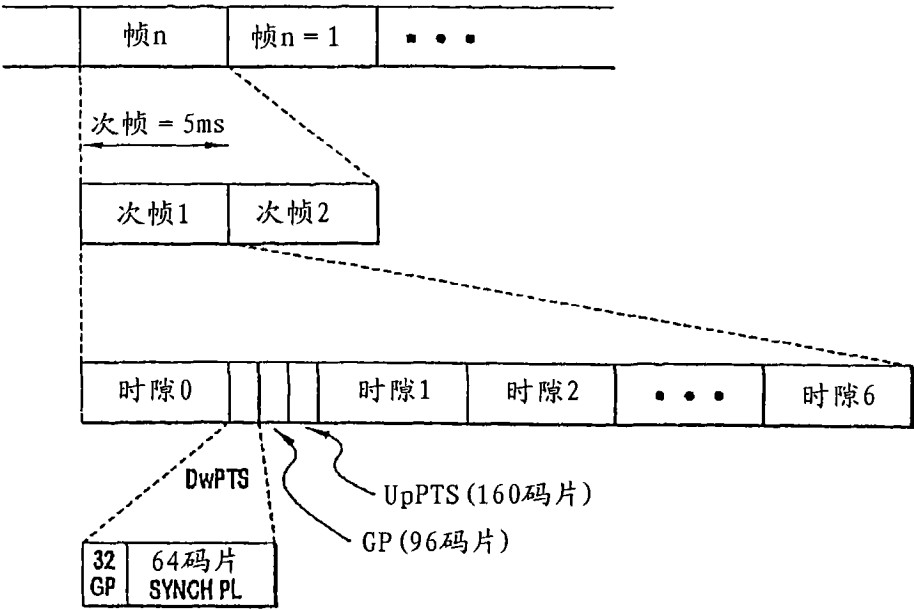


图 1

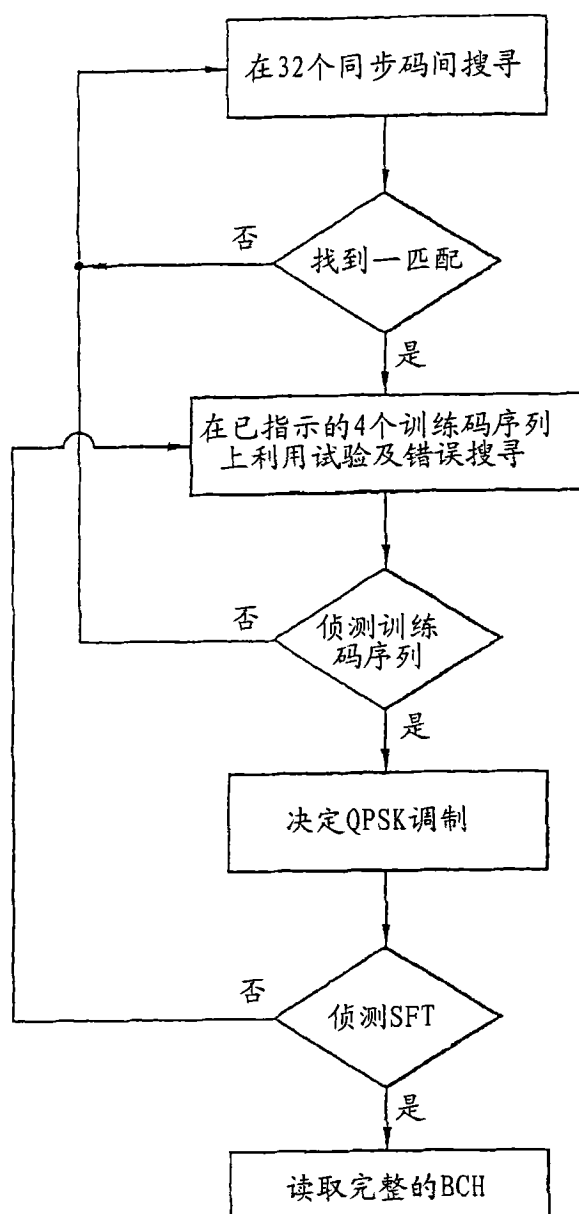
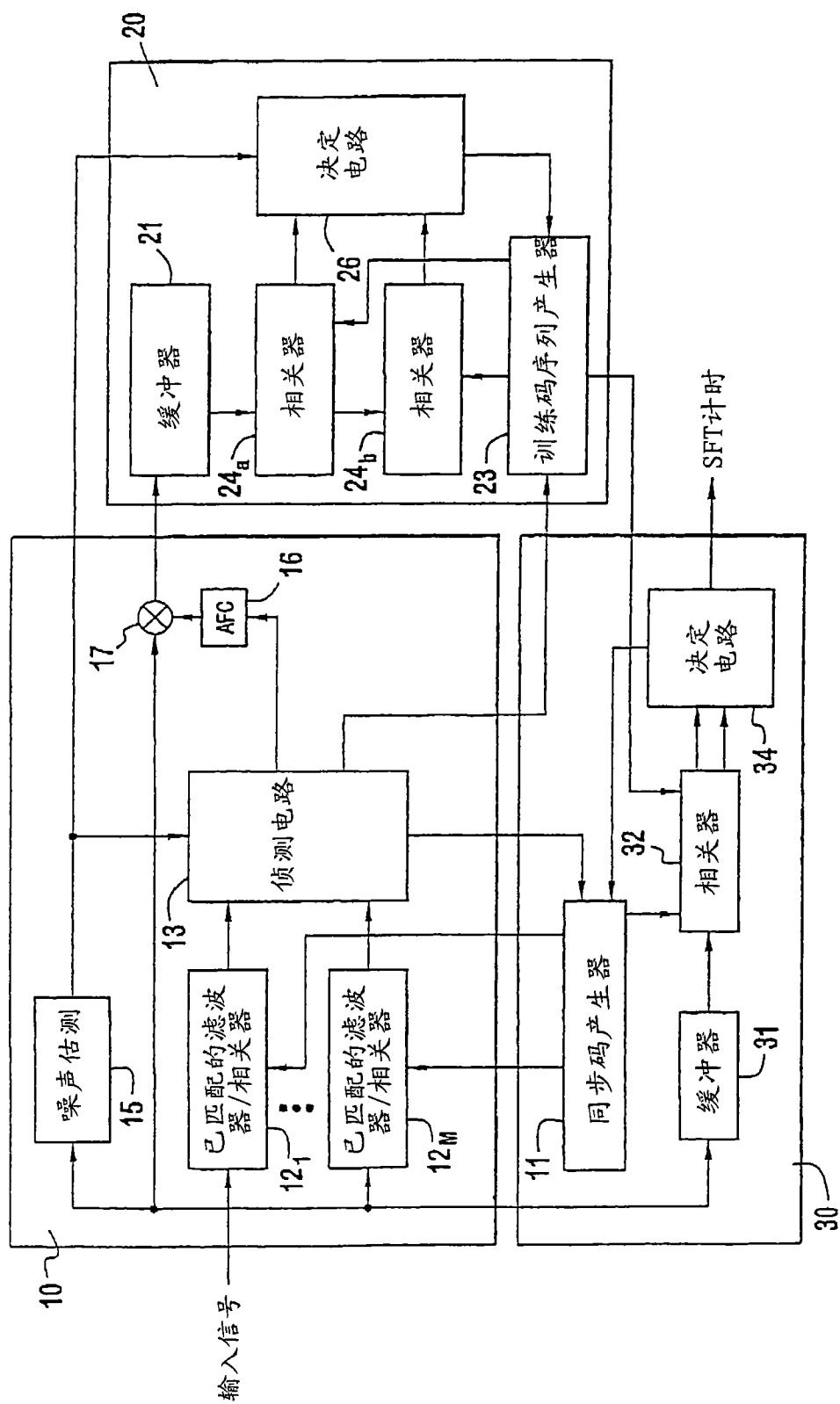


图 2



3



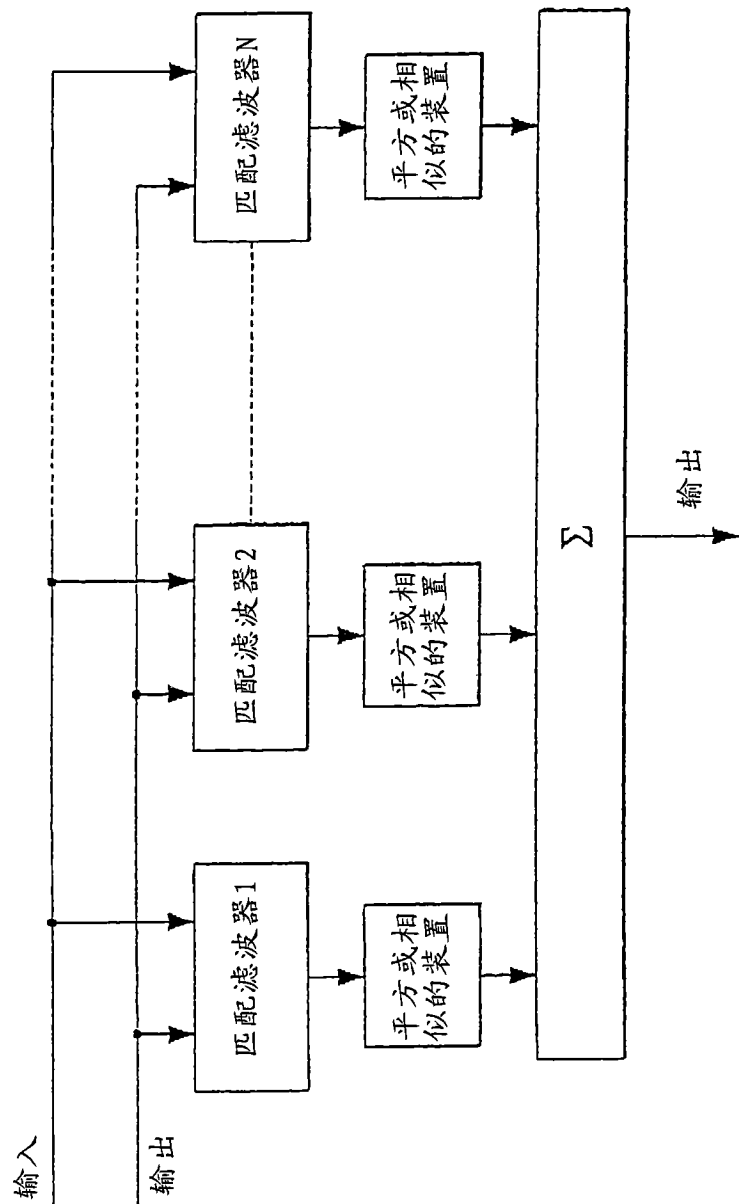


图 4