

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5151542号  
(P5151542)

(45) 発行日 平成25年2月27日(2013.2.27)

(24) 登録日 平成24年12月14日(2012.12.14)

(51) Int.Cl.		F I			
<b>G05F 3/24</b>	<b>(2006.01)</b>	G05F 3/24		Z	
<b>H01L 21/822</b>	<b>(2006.01)</b>	H01L 27/04		B	
<b>H01L 27/04</b>	<b>(2006.01)</b>				

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2008-42397(P2008-42397)	(73) 特許権者	000002369
(22) 出願日	平成20年2月25日(2008.2.25)		セイコーエプソン株式会社
(65) 公開番号	特開2009-199482(P2009-199482A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成21年9月3日(2009.9.3)	(74) 代理人	100110777
審査請求日	平成23年1月28日(2011.1.28)		弁理士 宇都宮 正明
		(74) 代理人	100110858
			弁理士 柳瀬 睦肇
		(74) 代理人	100113686
			弁理士 原田 勝利
		(74) 代理人	100100413
			弁理士 渡部 温
		(72) 発明者	二ノ宮 正也
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 バンドギャップリファレンス回路

(57) 【特許請求の範囲】

【請求項1】

P N接合を有し、N型半導体に電源電位  $V_{SS}$  が接続された複数の第1の半導体素子と

、ゲートとドレインとが互いに接続され、前記複数の第1の半導体素子のP型半導体にソースがそれぞれ接続された複数の第1のNチャネルMOSトランジスタと、

前記複数の第1のNチャネルMOSトランジスタのゲート及びドレインにドレインがそれぞれ接続され、前記複数の第1のNチャネルMOSトランジスタを介して前記複数の第1の半導体素子に電流をそれぞれ供給する複数の第1のPチャネルMOSトランジスタと

、前記第1の半導体素子とは並列接続個数又はサイズが異なるPN接合を有し、N型半導体に電源電位  $V_{SS}$  が接続された第2の半導体素子と、

前記第2の半導体素子のP型半導体に第1の端子が接続されたインピーダンス素子と、

前記複数の第1のNチャネルMOSトランジスタのゲート及びドレインにゲートが接続され、前記インピーダンス素子の第2の端子にソースが接続された第2のNチャネルMOSトランジスタと、

前記複数の第1のPチャネルMOSトランジスタのゲートにゲート及びドレインが接続され、前記第2のNチャネルMOSトランジスタのドレインに前記ゲート及びドレインが接続され、前記第2のNチャネルMOSトランジスタ及び前記インピーダンス素子を介して前記第2の半導体素子に電流を供給する第2のPチャネルMOSトランジスタと、

を具備するバンドギャップリファレンス回路。

【請求項 2】

前記第 2 の P チャンネル MOS トランジスタとカレントミラー回路を構成し、ドレインから電流を供給する第 3 の P チャンネル MOS トランジスタと、

前記第 3 の P チャンネル MOS トランジスタのドレインに接続され、基準電位を発生する第 2 のインピーダンス素子及び PN 接合を有する第 3 の半導体素子と、  
をさらに具備する、請求項 1 記載のバンドギャップリファレンス回路。

【請求項 3】

PN 接合を有し、N 型半導体に電源電位  $V_{SS}$  が接続された第 1 の半導体素子と、  
ゲートとドレインとが互いに接続され、前記第 1 の半導体素子の P 型半導体にソースが  
接続された第 1 の N チャンネル MOS トランジスタと、

前記第 1 の N チャンネル MOS トランジスタのゲート及びドレインにドレインが接続され、前記第 1 の N チャンネル MOS トランジスタを介して前記第 1 の半導体素子に電流を供給する第 1 の P チャンネル MOS トランジスタと、

前記第 1 の半導体素子とは並列接続個数又はサイズが異なる PN 接合を各々が有し、N 型半導体に電源電位  $V_{SS}$  が接続された複数の第 2 の半導体素子と、

前記複数の第 2 の半導体素子の P 型半導体に第 1 の端子がそれぞれ接続された複数のインピーダンス素子と、

前記第 1 の N チャンネル MOS トランジスタのゲート及びドレインにゲートが接続され、前記複数のインピーダンス素子の第 2 の端子にソースがそれぞれ接続された複数の第 2 の N チャンネル MOS トランジスタと、

前記第 1 の P チャンネル MOS トランジスタのゲートにゲート及びドレインがそれぞれ接続され、前記複数の第 2 の N チャンネル MOS トランジスタのドレインに前記ゲート及びドレインがそれぞれ接続され、前記複数の第 2 の N チャンネル MOS トランジスタ及び前記複数のインピーダンス素子を介して前記複数の第 2 の半導体素子に電流をそれぞれ供給する複数の第 2 の P チャンネル MOS トランジスタと、  
を具備するバンドギャップリファレンス回路。

【請求項 4】

前記複数の第 2 の P チャンネル MOS トランジスタとカレントミラー回路を構成し、ドレインから電流を供給する第 3 の P チャンネル MOS トランジスタと、

前記第 3 の P チャンネル MOS トランジスタのドレインに接続され、基準電位を発生する第 2 のインピーダンス素子及び PN 接合を有する第 3 の半導体素子と、  
をさらに具備する、請求項 3 記載のバンドギャップリファレンス回路。

【請求項 5】

PN 接合を有し、N 型半導体に電源電位  $V_{SS}$  が接続された複数の第 1 の半導体素子と、

ゲートとドレインとが互いに接続され、前記複数の第 1 の半導体素子の P 型半導体にソースがそれぞれ接続された複数の第 1 の N チャンネル MOS トランジスタと、

前記複数の第 1 の N チャンネル MOS トランジスタのゲート及びドレインにドレインがそれぞれ接続され、前記複数の第 1 の N チャンネル MOS トランジスタを介して前記複数の第 1 の半導体素子に電流をそれぞれ供給する複数の第 1 の P チャンネル MOS トランジスタと、

前記第 1 の半導体素子とは並列接続個数又はサイズが異なる PN 接合を各々が有し、N 型半導体に電源電位  $V_{SS}$  が接続された複数の第 2 の半導体素子と、

前記複数の第 2 の半導体素子の P 型半導体に第 1 の端子がそれぞれ接続された複数のインピーダンス素子と、

前記複数の第 1 の N チャンネル MOS トランジスタのゲート及びドレインにゲートが接続され、前記複数のインピーダンス素子の第 2 の端子にソースがそれぞれ接続された複数の第 2 の N チャンネル MOS トランジスタと、

前記複数の第 1 の P チャンネル MOS トランジスタのゲートにゲート及びドレインがそれ

10

20

30

40

50

ぞれ接続され、前記複数の第2のNチャネルMOSトランジスタのドレインに前記ゲート及びドレインがそれぞれ接続され、前記複数の第2のNチャネルMOSトランジスタ及び前記複数のインピーダンス素子を介して前記複数の第2の半導体素子に電流をそれぞれ供給する複数の第2のPチャネルMOSトランジスタと、  
を具備するバンドギャップリファレンス回路。

【請求項6】

前記複数の第2のPチャネルMOSトランジスタとカレントミラー回路を構成し、ドレインから電流を供給する第3のPチャネルMOSトランジスタと、

前記第3のPチャネルMOSトランジスタのドレインに接続され、基準電位を発生する第2のインピーダンス素子及びPN接合を有する第3の半導体素子と、  
をさらに具備する、請求項5記載のバンドギャップリファレンス回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイオードやトランジスタ等の半導体素子のバンドギャップを利用して基準電圧や基準電流を生成するバンドギャップリファレンス回路に関する。

【背景技術】

【0002】

従来より、様々な回路において動作の基準となる基準電圧や基準電流を生成するために、バンドギャップリファレンス回路が使用されている。バンドギャップリファレンス回路によれば、温度や電源電圧等が変動しても、高精度で安定した基準電圧や基準電流を得ることができる。バンドギャップリファレンス回路の基本的な構成及び動作に関しては、例えば、非特許文献1に記載されている。

20

【0003】

図5は、従来のバンドギャップリファレンス回路の構成を示す回路図の一例である。このバンドギャップリファレンス回路は、PN接合を有するダイオードD1～D3と、PチャネルMOSトランジスタQP1～QP3と、NチャネルMOSトランジスタQN1及びQN2と、抵抗R2及びR3とを含んでおり、第1の電源電位V<sub>DD</sub>及び第2の電源電位V<sub>SS</sub>が供給されて動作する。

【0004】

30

図5において、PチャネルMOSトランジスタ及びNチャネルMOSトランジスタのそれぞれについて、チャンネル長及びチャンネル幅が同サイズのトランジスタQP1～QP3及びQN1～QN2はカレントミラー回路を構成しているため、それらのトランジスタにそれぞれ流れる電流の大きさは、理想的には互いに等しくなる。また、ダイオードD2におけるPN接合の並列接続個数又は面積は、ダイオードD1におけるPN接合の並列接続個数又は面積のK倍となっているため、ダイオードD1及びD2にそれぞれ流れる電流の大きさが互いに等しくても、それらの電流密度が互いに異なるように設定されている。

【0005】

ここで、ダイオードD1の飽和電流をI<sub>S</sub>とすると、ダイオードD2の飽和電流はK・I<sub>S</sub>となる。また、トランジスタQP1～QP3にそれぞれ流れる電流をIとし、ダイオードD1～D3の両端電圧をそれぞれV<sub>D1</sub>～V<sub>D3</sub>とし、抵抗R2及びR3の値をそれぞれR<sub>2</sub>及びR<sub>3</sub>とすると、以下の式が成立する。なお、kはボルツマン定数であり、Tは絶対温度であり、qは電子の電荷である。

40

$$V_{D1} = (kT/q) \ln(I/I_S) \quad \dots (1)$$

$$V_{D2} = (kT/q) \ln(I/(K \cdot I_S)) \quad \dots (2)$$

$$V_{D1} = I \cdot R_2 + V_{D2} \quad \dots (3)$$

【0006】

式(3)を変形して式(1)及び式(2)を代入することにより、次式(4)が得られる。

$$I = (V_{D1} - V_{D2}) / R_2 = (kT/qR_2) \ln(K) \quad \dots (4)$$

50

従って、トランジスタQP3のドレインから出力される基準電圧 $V_{REF}$ は、次式(5)によって表される。

$$\begin{aligned} V_{REF} &= I \cdot R_3 + V_{D3} \\ &= (R_3 / R_2) (kT / q) \ln(K) + V_{D3} \quad \dots (5) \end{aligned}$$

【0007】

基準電圧 $V_{REF}$ の温度依存性をキャンセルするためには、式(5)を絶対温度 $T$ で微分した値がゼロになれば良い。

$$dV_{REF} / dT = (R_3 / R_2) (k / q) \ln(K) + dV_{D3} / dT = 0 \quad \dots (6)$$

式(6)において、 $dV_{D3} / dT$ は負の温度特性を持っているので、 $(R_3 / R_2) (k / q) \ln(K)$ の値をこれに釣り合う正の値とすれば、基準電圧 $V_{REF}$ の温度依存性をキャンセルすることが可能である。

【0008】

しかしながら、カレントミラー回路を構成するトランジスタQP1~QP3及びQN1~QN2のチャンネル長又はチャンネル幅にばらつきが生じた場合には、それらのトランジスタの電流又は電圧に誤差が発生して、基準電圧 $V_{REF}$ の値にバラツキが生じて高精度の基準電圧を得ることができなくなってしまう。

【非特許文献1】谷口研二、「CMOSアナログ回路入門」第3版、CQ出版株式会社、2005年9月1日、p.120

【発明の開示】

【発明が解決しようとする課題】

【0009】

そこで、上記の点に鑑み、本発明は、比較的簡単な回路構成を用いながら、カレントミラー回路を構成するトランジスタのチャンネル長又はチャンネル幅に誤差が生じても基準電圧のバラツキが少ない高精度な基準電圧を得ることができるバンドギャップリファレンス回路を提供することを目的とする。

【課題を解決するための手段】

【0010】

以上の課題を解決するため、本発明の第1の観点に係るバンドギャップリファレンス回路は、PN接合を有し、N型半導体に電源電位 $V_{SS}$ が接続された複数の第1の半導体素子と、ゲートとドレインとが互いに接続され、複数の第1の半導体素子のP型半導体にソースがそれぞれ接続された複数の第1のNチャンネルMOSトランジスタと、複数の第1のNチャンネルMOSトランジスタのゲート及びドレインにドレインがそれぞれ接続され、複数の第1のNチャンネルMOSトランジスタを介して複数の第1の半導体素子に電流をそれぞれ供給する複数の第1のPチャンネルMOSトランジスタと、第1の半導体素子とは並列接続個数又はサイズが異なるPN接合を有し、N型半導体に電源電位 $V_{SS}$ が接続された第2の半導体素子と、第2の半導体素子のP型半導体に第1の端子が接続されたインピーダンス素子と、複数の第1のNチャンネルMOSトランジスタのゲート及びドレインにゲートが接続され、インピーダンス素子の第2の端子にソースが接続された第2のNチャンネルMOSトランジスタと、複数の第1のPチャンネルMOSトランジスタのゲート及びドレインが接続され、第2のNチャンネルMOSトランジスタのドレインにゲート及びドレインが接続され、第2のNチャンネルMOSトランジスタ及びインピーダンス素子を介して第2の半導体素子に電流を供給する第2のPチャンネルMOSトランジスタとを具備する。

【0011】

本発明の第1の観点に係るバンドギャップリファレンス回路は、複数の第1のPチャンネルMOSトランジスタ及び第2のPチャンネルMOSトランジスタとカレントミラー回路を構成し、ドレインから電流を供給する第3のPチャンネルMOSトランジスタと、第3のPチャンネルMOSトランジスタのドレインに接続され、基準電位を発生する第2のインピーダンス素子及びPN接合を有する第3の半導体素子とをさらに具備するようにしても良い

## 【 0 0 1 2 】

また、本発明の第2の観点に係るバンドギャップリファレンス回路は、PN接合を有し、N型半導体に電源電位 $V_{SS}$ が接続された第1の半導体素子と、ゲートとドレインとが互いに接続され、第1の半導体素子のP型半導体にソースが接続された第1のNチャンネルMOSトランジスタと、第1のNチャンネルMOSトランジスタのゲート及びドレインにドレインが接続され、第1のNチャンネルMOSトランジスタを介して第1の半導体素子に電流を供給する第1のPチャンネルMOSトランジスタと、第1の半導体素子とは並列接続個数又はサイズが異なるPN接合を各々が有し、N型半導体に電源電位 $V_{SS}$ が接続された複数の第2の半導体素子と、複数の第2の半導体素子のP型半導体に第1の端子がそれぞれ接続された複数のインピーダンス素子と、第1のNチャンネルMOSトランジスタのゲート及びドレインにゲートが接続され、複数のインピーダンス素子の第2の端子にソースがそれぞれ接続された複数の第2のNチャンネルMOSトランジスタと、第1のPチャンネルMOSトランジスタのゲートにゲート及びドレインがそれぞれ接続され、複数の第2のNチャンネルMOSトランジスタのドレインにゲート及びドレインがそれぞれ接続され、複数の第2のNチャンネルMOSトランジスタ及び複数のインピーダンス素子を介して複数の第2の半導体素子に電流をそれぞれ供給する複数の第2のPチャンネルMOSトランジスタとを具備する。

10

## 【 0 0 1 3 】

本発明の第2の観点に係るバンドギャップリファレンス回路は、第1のPチャンネルMOSトランジスタ及び複数の第2のPチャンネルMOSトランジスタとカレントミラー回路を構成し、ドレインから電流を供給する第3のPチャンネルMOSトランジスタと、第3のPチャンネルMOSトランジスタのドレインに接続され、基準電位を発生する第2のインピーダンス素子及びPN接合を有する第3の半導体素子とをさらに具備するようにしても良い。

20

## 【 0 0 1 4 】

さらに、本発明の第3の観点に係るバンドギャップリファレンス回路は、PN接合を有し、N型半導体に電源電位 $V_{SS}$ が接続された複数の第1の半導体素子と、ゲートとドレインとが互いに接続され、複数の第1の半導体素子のP型半導体にソースがそれぞれ接続された複数の第1のNチャンネルMOSトランジスタと、複数の第1のNチャンネルMOSトランジスタのゲート及びドレインにドレインがそれぞれ接続され、複数の第1のNチャンネルMOSトランジスタを介して複数の第1の半導体素子に電流をそれぞれ供給する複数の第1のPチャンネルMOSトランジスタと、第1の半導体素子とは並列接続個数又はサイズが異なるPN接合を各々が有し、N型半導体に電源電位 $V_{SS}$ が接続された複数の第2の半導体素子と、複数の第2の半導体素子のP型半導体に第1の端子がそれぞれ接続された複数のインピーダンス素子と、複数の第1のNチャンネルMOSトランジスタのゲート及びドレインにゲートが接続され、複数のインピーダンス素子の第2の端子にソースがそれぞれ接続された複数の第2のNチャンネルMOSトランジスタと、複数の第1のPチャンネルMOSトランジスタのゲートにゲート及びドレインがそれぞれ接続され、複数の第2のNチャンネルMOSトランジスタのドレインにゲート及びドレインがそれぞれ接続され、複数の第2のNチャンネルMOSトランジスタ及び複数のインピーダンス素子を介して複数の第2の半導体素子に電流をそれぞれ供給する複数の第2のPチャンネルMOSトランジスタとを具備する。

30

40

## 【 0 0 1 5 】

本発明の第3の観点に係るバンドギャップリファレンス回路は、複数の第1のPチャンネルMOSトランジスタ及び複数の第2のPチャンネルMOSトランジスタとカレントミラー回路を構成し、ドレインから電流を供給する第3のPチャンネルMOSトランジスタと、第3のPチャンネルMOSトランジスタのドレインに接続され、基準電位を発生する第2のインピーダンス素子及びPN接合を有する第3の半導体素子とをさらに具備するようにしても良い。

50

## 【発明の効果】

## 【0016】

本発明によれば、複数の第1の半導体素子をそれぞれ含む複数の電流経路、及び/又は、複数の第2の半導体素子をそれぞれ含む複数の電流経路を設けたことにより、比較的簡単な回路構成を用いながら、カレントミラー回路を構成するトランジスタのチャンネル長又はチャンネル幅に誤差が生じても基準電圧の値に与える誤差を小さくすることができる。

## 【発明を実施するための最良の形態】

## 【0017】

以下、本発明を実施するための最良の形態について、図面を参照しながら詳しく説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

10

図1は、本発明の第1の実施形態に係るバンドギャップリファレンス回路の構成を示す回路図である。このバンドギャップリファレンス回路は、第1の電源電位 $V_{DD}$ 及び第2の電源電位 $V_{SS}$ が供給されて動作する。一般的には、第1の電源電位 $V_{DD}$ と第2の電源電位 $V_{SS}$ との差( $V_{DD} - V_{SS}$ )が電源電圧となり、第2の電源電位 $V_{SS}$ が接地電位(0V)である場合には、 $V_{DD}$ が電源電圧となる。

## 【0018】

本発明の第1の実施形態においては、図5に示すダイオードD1に相当する半導体素子を含む電流経路がM個設けられる。ここで、Mは2以上の整数である。図1においては、PN接合を有する半導体素子としてダイオードD11、D12、D13、・・・をそれぞれ含む電流経路A1、A2、A3、・・・が示されている。なお、PN接合を有する半導体素子としては、ダイオードの他に、バイポーラトランジスタやジャンクションFET(電界効果トランジスタ)を用いることも可能である。

20

## 【0019】

ここで、ダイオードD2におけるPN接合の並列接続個数又は面積は、ダイオードD1等におけるPN接合の並列接続個数又は面積のK倍となっているので、ダイオードD1及びD2にそれぞれ流れる電流の大きさが互いに等しくても、それらの電流密度が互いに異なるように設定されている。先に説明した式(6)において、 $dV_{D3}/dT$ は約 $-1.5\text{ mV}/$ の負の温度特性を持っていて、 $d/dT \cdot (kT/q)$ は約 $0.087\text{ mV}/$ の正の温度特性を持っているので、 $(R_3/R_2) \ln(K)$ の値を、例えば、 $R_3 : R_2 = 10 : 1$ 及び $K = 6$ 等として、 $17 \sim 23$ 程度にすることができる。

30

## 【0020】

電流経路A1においては、PチャンネルMOSトランジスタQP11と、NチャンネルMOSトランジスタQN11と、ダイオードD11とが直列に接続されており、電流経路A2においては、PチャンネルMOSトランジスタQP12と、NチャンネルMOSトランジスタQN12と、ダイオードD12とが直列に接続されており、電流経路A3においては、PチャンネルMOSトランジスタQP13と、NチャンネルMOSトランジスタQN13と、ダイオードD13とが直列に接続されている。

## 【0021】

一方、電流経路Bにおいては、PチャンネルMOSトランジスタQP2と、NチャンネルMOSトランジスタQN2と、インピーダンス素子としての抵抗R2と、ダイオードD2とが直列に接続されており、電流経路Cにおいては、PチャンネルMOSトランジスタQP3と、インピーダンス素子としての抵抗R3と、ダイオードD3とが直列に接続されている。基準電圧 $V_{REF}$ は、トランジスタQP3のドレインから出力される。なお、インピーダンス素子としては、抵抗の他に、ゲートとドレインとが互いに接続されたトランジスタ等を用いることも可能である。

40

## 【0022】

図1において、チャンネル長及びチャンネル幅が同サイズのトランジスタQP11、QP12、・・・のゲートと、トランジスタQP2のゲート及びドレインと、トランジスタQP3のゲートとが、互いに接続されている。また、チャンネル長及びチャンネル幅が同サイズのトランジスタQN11、QN12、・・・のゲート及びドレインと、トランジスタQN2

50

のゲートとが、互いに接続されている。これにより、トランジスタQP11、QP12、  
 ・・・・、QP2、QP3、及び、トランジスタQN11、QN12、  
 ・・・・、QN2はカレントミラー回路を構成するので、それらのトランジスタにそれぞれ流れる電流の大きさは、理想的には互いに等しくなる筈である。

【0023】

しかしながら、実際には、トランジスタのチャンネル長又はチャンネル幅にばらつきが生じるので、それらのトランジスタの電流又は電圧に誤差が発生して、基準電圧 $V_{REF}$ の値にバラツキが生じて高精度の基準電圧を得ることができなくなってしまう。そこで、本発明の第1の実施形態においては、電流経路A1と並列に電流経路A2、A3、  
 ・・・・を接続することにより、M個の電流経路Aにおける電流又は電圧の誤差の影響を平均化して、  
 基準電圧 $V_{REF}$ の値にバラツキが小さくなり高精度の基準電圧が得られるように改善している。

10

【0024】

図2は、本発明の効果をシミュレーションで確認するために用いられるバンドギャップリファレンス回路の構成を示す回路図である。このバンドギャップリファレンス回路においては、図1に示すダイオードD11~D13及びD2の代わりにPNPバイポーラトランジスタQ11~Q13及びQ2が用いられており、また、トランジスタQP3のドレインから出力される電流を測定電圧 $V_M$ に変換するために、図1に示す抵抗R3及びダイオードD3の代わりにNチャンネルMOSトランジスタQN3のゲート及びドレインがトランジスタQP3のドレインに接続されている。ここで、トランジスタQ11~Q13をそれぞれ含む電流経路A1~A3の内の所定の電流経路が接続されている場合の測定電圧 $V_M$ が、汎用のシミュレーションプログラムを用いて算出される。なお、上記のPNPバイポーラトランジスタの代わりに、NPNバイポーラトランジスタを用いても良い。

20

【0025】

図3は、本発明の効果を確認するためのシミュレーションの結果を示す図である。図3において、曲線(1a)~(3a)は、トランジスタのチャンネル長が設計値(6 $\mu$ m)通りである場合の測定電圧 $V_M$ を示している。曲線(1a)は、電流経路A1のみが接続されている場合の測定電圧 $V_M$ を表しており、曲線(2a)は、電流経路A1及びA2が接続されている場合の測定電圧 $V_M$ を表しており、曲線(3a)は、電流経路A1~A3が接続されている場合の測定電圧 $V_M$ を表している。図3に示すように、それらの結果は同一である。

30

【0026】

図3において、曲線(1b)~(3b)は、図2に示すトランジスタQN11のチャンネル長が設計値である6 $\mu$ mから外れて5 $\mu$ mになった場合の測定電圧 $V_M$ を示している。曲線(1b)は、電流経路A1のみが接続されている場合の測定電圧 $V_M$ を表しており、曲線(2b)は、電流経路A1及びA2が接続されている場合の測定電圧 $V_M$ を表しており、曲線(3b)は、電流経路A1~A3が接続されている場合の測定電圧 $V_M$ を表している。

【0027】

図3に示すように、電流経路Aの数(M)が増加するにつれて、トランジスタQP3から出力される電流の誤差が減少することが分かる。具体的には、M=2の場合に誤差が約1/2となり、M=3の場合に誤差が約1/3となる。従って、Mの値は大きいほど良いが、誤差を約1/10以下とするためには、M=10とすることが望ましい。

40

【0028】

次に、本発明の第2の実施形態について説明する。

図4は、本発明の第2の実施形態に係るバンドギャップリファレンス回路の構成を示す回路図である。本発明の第2の実施形態においては、図5に示すダイオードD2に相当する半導体素子を含む電流経路がN個設けられる。ここで、Nは2以上の整数である。図4においては、PN接合を有する半導体素子としてダイオードD21、D22、D23、  
 ・・・・をそれぞれ含む電流経路B1、B2、B3、  
 ・・・・が示されている。なお、PN接合

50

を有する半導体素子としては、ダイオードの他に、バイポーラトランジスタやジャンクション FET (電界効果トランジスタ) を用いることも可能である。

【0029】

ここで、ダイオード D 2 1 等における P N 接合の並列接続個数又は面積は、ダイオード D 1 における P N 接合の並列接続個数又は面積の K 倍となっているので、ダイオード D 1 及び D 2 1 にそれぞれ流れる電流の大きさが互いに等しくても、それらの電流密度が互いに異なるように設定されている。先に説明した式 (6) において、 $dV_{D3}/dT$  は約  $-1.5 \text{ mV/}$  の負の温度特性を持っていて、 $d/dT \cdot (kT/q)$  は約  $0.087 \text{ mV/}$  の正の温度特性を持っているので、 $(R_3/R_2) \ln(K)$  の値を、例えば、 $R_3 : R_2 = 10 : 1$  及び  $K = 6$  等として、 $17 \sim 23$  程度とすることができる。

10

【0030】

電流経路 A においては、Pチャネル MOS トランジスタ Q P 1 と、Nチャネル MOS トランジスタ Q N 1 と、ダイオード D 1 とが直列に接続されている。一方、電流経路 B 1 においては、Pチャネル MOS トランジスタ Q P 2 1 と、Nチャネル MOS トランジスタ Q N 2 1 と、インピーダンス素子としての抵抗 R 2 1 と、ダイオード D 2 1 とが直列に接続されており、電流経路 B 2 においては、Pチャネル MOS トランジスタ Q P 2 2 と、Nチャネル MOS トランジスタ Q N 2 2 と、インピーダンス素子としての抵抗 R 2 2 と、ダイオード D 2 2 とが直列に接続されており、電流経路 B 3 においては、Pチャネル MOS トランジスタ Q P 2 3 と、Nチャネル MOS トランジスタ Q N 2 3 と、インピーダンス素子としての抵抗 R 2 3 と、ダイオード D 2 3 とが直列に接続されている。

20

【0031】

また、電流経路 C においては、Pチャネル MOS トランジスタ Q P 3 と、インピーダンス素子としての抵抗 R 3 と、ダイオード D 3 とが直列に接続されている。基準電圧  $V_{REF}$  は、トランジスタ Q P 3 のドレインから出力される。なお、インピーダンス素子としては、抵抗の代わりに、ゲートとドレインとが互いに接続されたトランジスタ等を用いることも可能である。

【0032】

図 4 において、チャンネル長又はチャンネル幅が同サイズのトランジスタ Q P 1 のゲートと、トランジスタ Q P 2 1、Q P 2 2、・・・のゲート及びドレインと、トランジスタ Q P 3 のゲートとが、互いに接続されている。また、チャンネル長又はチャンネル幅が同サイズのトランジスタ Q N 1 のゲート及びドレインと、トランジスタ Q N 2 1、Q N 2 2、・・・のゲートとが、互いに接続されている。これにより、トランジスタ Q P 1、Q P 2 1、Q P 2 2、・・・、Q P 3、及び、トランジスタ Q N 1、Q N 2 1、Q N 2 2、・・・はカレントミラー回路を構成するので、それらのトランジスタにそれぞれ流れる電流の大きさは、理想的には互いに等しくなる筈である。

30

【0033】

しかしながら、実際には、トランジスタのチャンネル長又はチャンネル幅にばらつきが生じるので、それらのトランジスタの電流又は電圧に誤差が発生して、期待する基準電圧  $V_{REF}$  の値を得ることができなくなってしまう。そこで、本発明の第 2 の実施形態においては、電流経路 B 1 と並列に電流経路 B 2、B 3、・・・を接続することにより、N 個の電流経路 B における電流又は電圧の誤差の影響を平均化して、期待する基準電圧  $V_{REF}$  の値を得られるように改善している。

40

【0034】

電流経路 B の数 (N) が増加するにつれて、トランジスタ Q P 3 から出力される電流の誤差が減少する。具体的には、 $N = 2$  の場合に誤差が約  $1/2$  となり、 $N = 3$  の場合に誤差が約  $1/3$  となる。従って、N の値は大きいほど良いが、誤差を約  $1/10$  以下とするためには、 $N = 10$  とすることが望ましい。

【0035】

さらに、本発明の第 1 の実施形態と第 2 の実施形態とを組み合わせることにより、M 個の電流経路 A と N 個の電流経路 B とを設けるようにしても良い。その場合には、トランジ

50

スタのチャンネル長又はチャンネル幅のばらつきの影響をさらに低減することができる。

【0036】

ところで、ASIC (Application Specific IC: 特定用途向けIC) 等の半導体集積回路においては、各種の論理回路を実現するための複数のセルを組み合わせるレイアウト領域内に配置し、それらのセル間を配線することにより、レイアウト設計が行われている。各種のセルの中でも、I/Oセル(入出力セル)の数は多いので、レイアウト設計のために用いるライブラリにおいて、本発明において増設される電流経路A2、A3、・・・及び/又は、電流経路B2、B3、・・・を予めI/Oセルに組み込んでおけば、本発明に係るバンドギャップリファレンス回路の実現を容易にすることができる。

【図面の簡単な説明】

10

【0037】

【図1】本発明の第1の実施形態に係るバンドギャップリファレンス回路の回路図。

【図2】本発明の効果を確認するためのバンドギャップリファレンス回路の回路図。

【図3】本発明の効果を確認するためのシミュレーションの結果を示す図。

【図4】本発明の第2の実施形態に係るバンドギャップリファレンス回路の回路図。

【図5】従来のバンドギャップリファレンス回路の回路図。

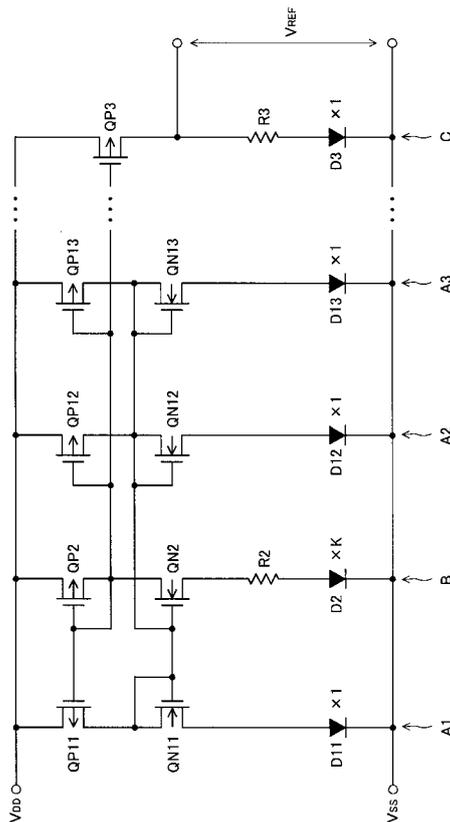
【符号の説明】

【0038】

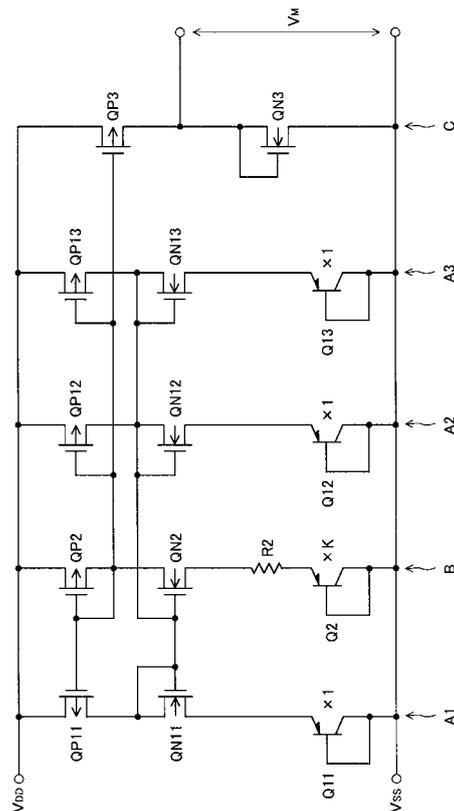
D1~D23 ダイオード、QP1~QP23 PチャンネルMOSトランジスタ、QN1~QN23 NチャンネルMOSトランジスタ、R2~R23 抵抗

20

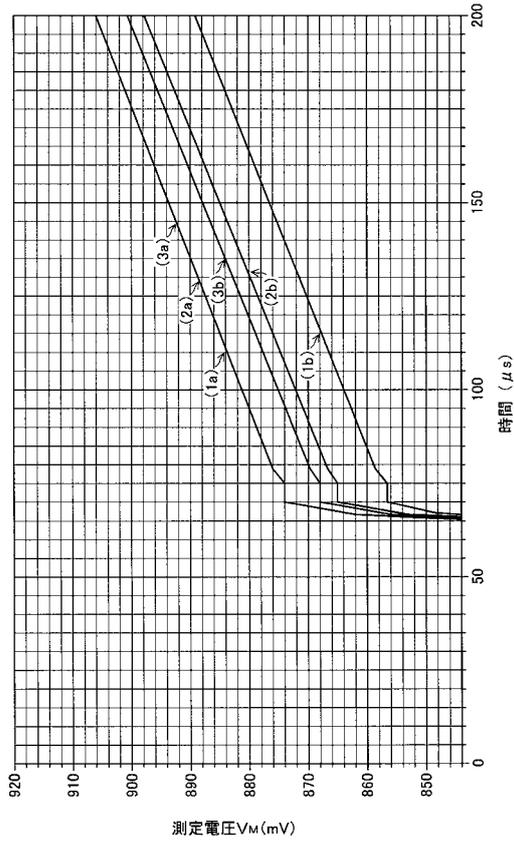
【図1】



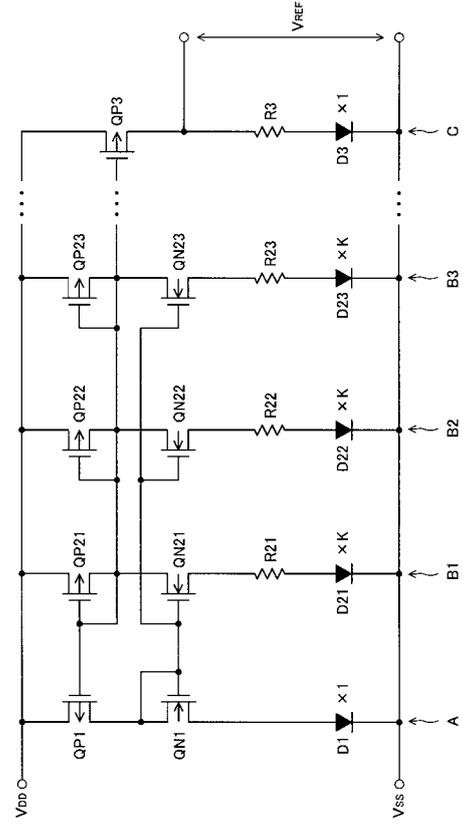
【図2】



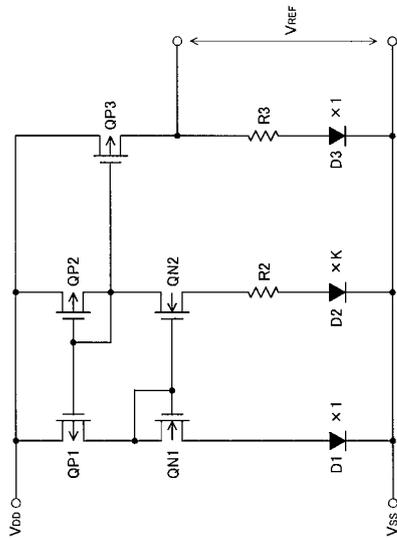
【 図 3 】



【 図 4 】



【 図 5 】



---

フロントページの続き

審査官 下原 浩嗣

- (56)参考文献 特開平02 - 012509 (JP, A)  
特開平04 - 106606 (JP, A)  
特開平11 - 272345 (JP, A)  
特開2003 - 338548 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/24  
H01L 21/822  
H01L 27/04