



(10) **DE 10 2019 206 090 A1** 2019.11.14

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2019 206 090.0**

(22) Anmeldetag: **29.04.2019**

(43) Offenlegungstag: **14.11.2019**

(51) Int Cl.: **H01L 23/60** (2006.01)

H01L 29/78 (2006.01)

H01L 29/739 (2006.01)

(30) Unionspriorität:

2018-090470

09.05.2018

JP

(74) Vertreter:

**Hoefer & Partner Patentanwälte mbB, 81543
München, DE**

(71) Anmelder:

Mitsubishi Electric Corporation, Tokyo, JP

(72) Erfinder:

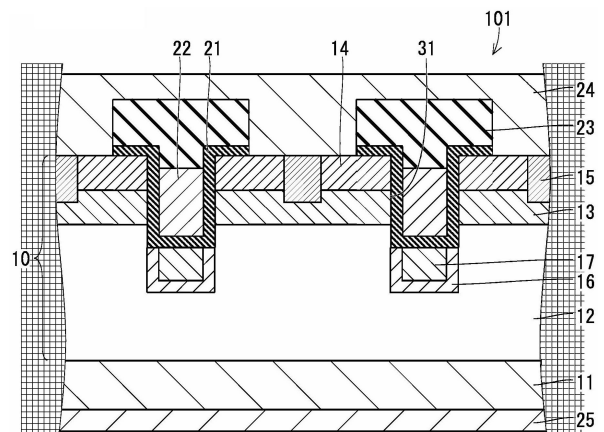
**Ebiike, Yuji, Tokyo, JP; Kagawa, Yasuhiro, Tokyo,
JP**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Siliziumcarbid-Halbleitervorrichtung, Leistungswandler und Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung**

(57) Zusammenfassung: Eine Driftschicht (12) weist einen ersten Leitfähigkeitstyp auf und ist auf einem Siliziumcarbidsubstrat (11) vorgesehen. Ein Wannbereich (13) weist einen zweiten Leitfähigkeitstyp auf und ist auf der Driftschicht (12) vorgesehen. Ein Sourcebereich (14) weist den ersten Leitfähigkeitstyp auf und ist auf dem Wannbereich (13) vorgesehen. Ein Gategraben (31) weist eine innere Oberfläche mit einem Boden, der bei einer tieferen Position als der Wannbereich (13) gelegen ist, und einem mit dem Boden zusammenhängenden lateralen Teil auf. Ein Bereich (16) zur Relaxation eines elektrischen Feldes weist den zweiten Leitfähigkeitstyp auf und hat zumindest einen Teil, der unter dem Boden des Gategrabens (31) gelegen ist. Ein Bereich (17) zur Relaxation einer Überspannung weist den ersten Leitfähigkeitstyp auf, berührt zumindest einen Teil des Bodens des Gategrabens (31) und ist durch den Bereich (16) zur Relaxation eines elektrischen Feldes von der Driftschicht (12) getrennt.



Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf eine Siliziumcarbid-Halbleitervorrichtung, einen Leistungswandler und ein Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung.

[0002] Zur Energieeinsparung einer Leistungselektronik wie etwa eines Inverters ist in einem Halbleiter-Schaltelement wie etwa einem Bipolartransistor mit isoliertem Gate (IGBT) oder einem Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) eine Verlustreduzierung erforderlich. Der Verlust ist durch einen Leitungsverlust und einen Schaltverlust im Element bestimmt. Um diese Verluste zu reduzieren, schreitet die Entwicklung in der Technologie unter Verwendung eines Halbleitermaterials mit breiter Bandlücke wie etwa Siliziumcarbid (SiC) oder Galliumnitrid (GaN) voran. Um einen Verlust in einem MOSFET zu reduzieren, wird ein MOSFET mit Graben-Gate verwendet, der einen Graben für eine Gatestruktur enthält, und zwar einen Gategraben enthält.

[0003] Wie in der internationalen Patentanmeldung Veröffentlichungs-Nr. 2014/115280 beispielsweise dargelegt ist, ist in einem SiC-MOSFET mit Graben-Gate, der eine Driftschicht vom n-Typ aufweist, ein Bereich vom p-Typ zur Relaxation eines elektrischen Feldes unter einem Graben-Gate angeordnet. Die Durchschlagsspannung von SiC ist höher als diejenige von Si. In vielen Fällen, in denen SiC verwendet wird, wird daher unter Ausnutzung der Charakteristik von SiC ein Design verwendet, das eine Erzeugung eines hohen elektrischen Feldes zur Folge hat. Falls eine hohe Spannung an einen Drain angelegt wird, während der SiC-MOSFET als Schaltelement in einem AUS-Zustand ist, wird eine Konzentration eines elektrischen Feldes auf einem Gate-Isolierfilm am Boden des Graben-Gates durch den Bereich zur Relaxation eines elektrischen Feldes reduziert. Dies reduziert das Auftreten eines Durchschlags des Gate-Isolierfilms, der durch die Konzentration eines elektrischen Feldes hervorgerufen wird. Auf diese Weise wird ermöglicht, dass der Gate-Isolierfilm eine erhöhte Betriebssicherheit aufweist, während man in einem AUS-Zustand ist.

[0004] Das Phänomen eines Durchschlags des Gate-Isolierfilms am Graben-Gate wurde bei Auftreten eines Kurzschlusses im SiC-MOSFET mit Graben-Gate beobachtet. Man ist der Auffassung, dass dieses Phänomen durch einen augenblicklichen Spannungsabfall hervorgerufen wird, der eine Erzeugung eines Spitzenstroms in dem Bereich zur Relaxation eines elektrischen Feldes beim Auftreten des Kurzschlusses begleitet. Bekanntlich entwickelt ein hoher Widerstandswert in einer Strecke vom Bereich zur Relaxation eines elektrischen Fel-

des zu einer Sourceelektrode eine Tendenz, einen Durchschlag leichter hervorzurufen. Dieses Durchschlagphänomen tritt nicht nur beim Auftreten eines Kurzschlusses, sondern auch beim Eintreten eines Zustandes auf, in dem steile Spannungsvariationen durch ein Schalten mit hoher Geschwindigkeit hervorgerufen werden (eines Zustands, in dem DV/Dt hoch ist).

[0005] Gemäß Proc. 26th ISPSD (2014), S. 75 - 78, verfasst von R. Tanaka et al., wird ein elektrischer Kontakt am Boden eines Grabens vorgesehen, um einen Bereich zur Relaxation eines elektrischen Feldes mit einer Sourceelektrode elektrisch zu verbinden. Dies macht es möglich, einen Widerstandswert in einer Strecke vom Bereich zur Relaxation eines elektrischen Feldes zur Sourceelektrode zu reduzieren.

[0006] Gemäß der in Proc. 26th ISPSD (2014), S. 75 - 78 dargelegten Technik ist, um einen Widerstandswert in der Strecke vom Bereich zur Relaxation eines elektrischen Feldes zur Sourceelektrode ausreichend zu reduzieren, es erforderlich, dass eine große Anzahl elektrischer Kontakte am Boden des Grabens vorgesehen wird. Das Vorsehen einer großen Anzahl solcher Kontaktstrukturen reduziert den Anteil eines als Kanal in einem MOSFET fungierenden Bereichs. Dies erhöht bedauerlicherweise den Einschalt- bzw. EIN-Widerstand des MOSFET. Insbesondere wird, falls der Bereich zur Relaxation eines elektrischen Feldes ein Bereich vom p-Typ ist, ein Widerstandswert in der Strecke vom Bereich zur Relaxation eines elektrischen Feldes zur Sourceelektrode eher erhöht, da der elektrische Widerstand von SiC vom p-Typ im Allgemeinen hoch ist. In diesem Fall wird das vorstehende Problem eher schwerwiegender.

ZUSAMMENFASSUNG DER ERFINDUNG

[0007] Die vorliegende Erfindung wurde gemacht, um das vorstehende Problem zu lösen. Es ist eine Aufgabe der vorliegenden Erfindung, eine Siliziumcarbid-Halbleitervorrichtung vorzusehen, die imstande ist, das Auftreten eines Isolierungsdurchschlags in einem Gate-Isolierfilm zu reduzieren, der durch Anlegen eines hohen elektrischen Feldes an einen Gategraben hervorgerufen wird, das sich aus steilen Spannungsvariationen in einem Bereich zur Relaxation eines elektrischen Feldes ergibt.

[0008] Eine Siliziumcarbid-Halbleitervorrichtung gemäß der vorliegenden Erfindung umfasst ein Siliziumcarbidsubstrat und eine Halbleiterschicht, die auf dem Siliziumcarbidsubstrat vorgesehen ist. Die Halbleiterschicht umfasst eine Driftschicht, einen Wannenbereich, einen Sourcebereich, einen Gategraben, einen Bereich zur Relaxation eines elektrischen Feldes und einen Bereich zur Relaxation eines Stromstoßes bzw. einer Überspannung. Die Driftschicht

weist einen ersten Leitfähigkeitstyp auf und ist auf dem Siliziumcarbidsubstrat vorgesehen. Der Wannbereich weist einen vom ersten Leitfähigkeitstyp verschiedenen zweiten Leitfähigkeitstyp auf und ist auf der Driftschicht vorgesehen. Der Sourcebereich weist den ersten Leitfähigkeitstyp auf und ist auf dem Wannbereich vorgesehen. Der Gategraben hat eine innere Oberfläche mit einem Boden, der bei einer tieferen Position als der Wannbereich gelegen ist, und einem lateralen Teil, der mit dem Boden zusammenhängt. Der Bereich zur Relaxation eines elektrischen Feldes weist den zweiten Leitfähigkeitstyp auf und hat zumindest einen Teil, der unter dem Boden des Gategrabens gelegen ist. Der Bereich zur Relaxation einer Überspannung weist den ersten Leitfähigkeitstyp auf, berührt zumindest einen Teil des Bodens des Gategrabens und ist durch den Bereich zur Relaxation eines elektrischen Feldes von der Driftschicht getrennt.

[0009] Ein Leistungswandler gemäß der vorliegenden Erfindung enthält eine Hauptwandlerschaltung, eine Ansteuerschaltung und eine Steuerschaltung. Die Hauptwandlerschaltung enthält die oben beschriebene Siliziumcarbid-Halbleitervorrichtung und wandelt eingespeiste Leistung in umgewandelte Leistung um und gibt die umgewandelte Leistung ab. Die Ansteuerschaltung gibt ein Ansteuersignal zum Ansteuern der Siliziumcarbid-Halbleitervorrichtung an die Siliziumcarbid-Halbleitervorrichtung ab. Die Steuerschaltung gibt ein Steuersignal zum Steuern der Ansteuerschaltung an die Ansteuerschaltung ab.

[0010] Ein Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung gemäß einem Aspekt der vorliegenden Erfindung umfasst die folgenden Schritte.

[0011] Ein Siliziumcarbidsubstrat und eine Halbleiterschicht, die auf dem Siliziumcarbidsubstrat vorgesehen ist und eine Driftschicht mit einem ersten Leitfähigkeitstyp enthält, werden präpariert. Durch Ätzen der Driftschicht wird ein vorläufiger Graben gebildet. Ein Bereich zur Relaxation eines elektrischen Feldes wird gebildet, indem Verunreinigungen bzw. Störstellen eines zweiten Leitfähigkeitstyps, der vom ersten Leitfähigkeitstyp verschieden ist, in den Boden des vorläufigen Grabens implantiert werden. Ein Gategraben mit einer größeren Tiefe als der vorläufige Graben wird gebildet, indem der Boden des vorläufigen Grabens geätzt wird. Ein Bereich zur Relaxation einer Überspannung wird gebildet, indem Störstellen des ersten Leitfähigkeitstyps in den Boden des Gategrabens implantiert werden. Der Bereich zur Relaxation einer Überspannung berührt zumindest einen Teil des Bodens des Gategrabens und ist durch den Bereich zur Relaxation eines elektrischen Feldes von der Driftschicht getrennt.

[0012] Ein Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung gemäß einem anderen Aspekt der vorliegenden Erfindung ist ein Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung, die ein Siliziumcarbidsubstrat und eine auf dem Siliziumcarbidsubstrat vorgesehene Halbleiterschicht umfasst. Die Halbleiterschicht umfasst eine Driftschicht, einen Wannbereich, einen Sourcebereich, einen Gategraben, einen Bereich zur Relaxation eines elektrischen Feldes, einen Bereich zur Relaxation einer Überspannung, einen ersten Verbindungsbereich und einen zweiten Verbindungsbereich. Die Driftschicht weist einen ersten Leitfähigkeitstyp auf und ist auf dem Siliziumcarbidsubstrat vorgesehen. Der Wannbereich weist einen vom ersten Leitfähigkeitstyp verschiedenen zweiten Leitfähigkeitstyp auf und ist auf der Driftschicht vorgesehen. Der Sourcebereich weist den ersten Leitfähigkeitstyp auf und ist auf dem Wannbereich vorgesehen. Der Gategraben hat eine innere Oberfläche mit einem Boden, der bei einer tieferen Position als der Wannbereich gelegen ist, und einem lateralen Teil, der mit dem Boden zusammenhängt. Der Bereich zur Relaxation eines elektrischen Feldes weist den zweiten Leitfähigkeitstyp auf und hat zumindest einen Teil, der unter dem Boden des Gategrabens gelegen ist. Der Bereich zur Relaxation einer Überspannung weist den ersten Leitfähigkeitstyp auf, berührt zumindest einen Teil des Bodens des Gategrabens und ist durch den Bereich zur Relaxation eines elektrischen Feldes von der Driftschicht getrennt. Der erste Verbindungsbereich weist den ersten Leitfähigkeitstyp auf, erstreckt sich entlang der inneren Oberfläche des Gategrabens und verbindet den Bereich zur Relaxation einer Überspannung mit dem Sourcebereich. Der zweite Verbindungsbereich weist den zweiten Leitfähigkeitstyp auf und verbindet den Bereich zur Relaxation eines elektrischen Feldes mit dem Wannbereich. Der erste Verbindungsbereich ist durch den zweiten Verbindungsbereich von der Driftschicht getrennt. Dieses Verfahren zum Herstellen der Siliziumcarbid-Halbleitervorrichtung umfasst die folgenden Schritte.

[0013] Durch Ätzen der Halbleiterschicht wird der Gategraben gebildet. Der erste Verbindungsbereich wird gebildet, indem Störstellen des ersten Leitfähigkeitstyps mittels einer schrägen Ionenimplantation in den lateralen Teil des Gategrabens hinzugefügt werden. Der zweite Verbindungsbereich wird gebildet, indem Störstellen des zweiten Leitfähigkeitstyps mittels einer rotierenden Ionenimplantation in den lateralen Teil des Gategrabens hinzugefügt werden.

[0014] In der Siliziumcarbid-Halbleitervorrichtung gemäß der vorliegenden Erfindung ist der Bereich zur Relaxation einer Überspannung so vorgesehen, dass er zumindest einen Teil des Bodens des Gategrabens berührt. Dies verhindert, dass ein hohes elektrisches Feld, das sich aus steilen Spannungsvariationen im

Bereich zur Relaxation eines elektrischen Feldes ergibt, zumindest an diesen Teil des Gategrabens angelegt wird. Als Folge wird das Auftreten eines Isolierungsdurchschlags im Gate-Isolierfilm reduziert.

[0015] In dem Leistungswandler gemäß der vorliegenden Erfindung wird die oben beschriebene Siliziumcarbid-Halbleitervorrichtung in der Hauptwandlerschaltung im Leistungswandler genutzt. Dies reduziert das Auftreten eines Isolierungsdurchschlags im in der Siliziumcarbid-Halbleitervorrichtung vorgesehenen Gate-Isolierfilm. Als Folge wird der im Leistungswandler vorgesehenen Hauptwandlerschaltung eine verbesserte Betriebssicherheit verliehen.

[0016] In dem Verfahren zum Herstellen der Siliziumcarbid-Halbleitervorrichtung gemäß dem einen Aspekt der vorliegenden Erfindung wird ein Ätzen weiter durchgeführt, nachdem der Bereich zur Relaxation eines elektrischen Feldes durch Implantieren von Störstellen in den vorläufigen Graben ausgeführt ist. Der Bereich zur Relaxation einer Überspannung kann dann mittels einer Störstellenimplantation gebildet werden. In diesem Fall wird durch die einfachen Schritte die Siliziumcarbid-Halbleitervorrichtung der vorliegenden Erfindung erhalten.

[0017] In dem Verfahren zum Herstellen der Siliziumcarbid-Halbleitervorrichtung gemäß dem anderen Aspekt der vorliegenden Erfindung kann der zweite Verbindungsbereich gebildet werden, indem die Störstellen des zweiten Leitfähigkeitstyps mittels der rotierenden Ionenimplantation in den lateralen Teil des Gategrabens hinzugefügt werden. Folglich ist der resultierende zweite Verbindungsbereich ganz um den Gategraben herum ausgebildet. Dies macht es möglich, den ersten Verbindungsbereich durch den zweiten Verbindungsbereich zuverlässiger von der Driftschicht zu trennen.

[0018] Diese und andere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung der vorliegenden Erfindung ersichtlicher werden, wenn sie in Verbindung mit den beiliegenden Zeichnungen vorgenommen wird.

Figurenliste

Fig. 1 ist eine partielle Schnittansicht, die die Konfiguration einer Siliziumcarbid-Halbleitervorrichtung gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung schematisch zeigt;

Fig. 2 bis Fig. 6 sind partielle Schnittansichten, die jeweils einen Schritt eines Verfahrens zum Herstellen der Siliziumcarbid-Halbleitervorrichtung gemäß der ersten bevorzugten Ausführungsform der vorliegenden Erfindung schematisch zeigen;

Fig. 7 bis Fig. 9 sind partielle Schnittansichten, die jeweils einen Schritt einer Modifikation des Verfahrens zum Herstellen der Siliziumcarbid-Halbleitervorrichtung gemäß der ersten bevorzugten Ausführungsform der vorliegenden Erfindung schematisch zeigen;

Fig. 10 ist eine partielle Schnittansicht, die eine Modifikation von **Fig. 1** zeigt;

Fig. 11 zeigt schematisch die Konfiguration einer Siliziumcarbid-Halbleitervorrichtung gemäß einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung und ist eine partielle Schnittansicht, genommen entlang einer Linie **XI-XI** in **Fig. 12**;

Fig. 12 zeigt schematisch die Konfiguration der Siliziumcarbid-Halbleitervorrichtung gemäß der zweiten bevorzugten Ausführungsform der vorliegenden Erfindung und ist eine partielle Schnittansicht, genommen entlang einer Linie **XII-XII** in **Fig. 11**;

Fig. 13 zeigt schematisch die Konfiguration einer Siliziumcarbid-Halbleitervorrichtung gemäß einer dritten bevorzugten Ausführungsform der vorliegenden Erfindung und ist eine partielle Schnittansicht, genommen entlang einer Linie **XIII-XIII** in jeder der **Fig. 14** und **Fig. 15**;

Fig. 14 zeigt schematisch die Konfiguration der Siliziumcarbid-Halbleitervorrichtung gemäß der dritten bevorzugten Ausführungsform der vorliegenden Erfindung und ist eine partielle Schnittansicht, genommen entlang einer Linie **XIV-XIV** in **Fig. 13**;

Fig. 15 zeigt schematisch die Konfiguration der Siliziumcarbid-Halbleitervorrichtung gemäß der dritten bevorzugten Ausführungsform der vorliegenden Erfindung und ist eine partielle Schnittansicht, genommen entlang einer Linie **XV-XV** in **Fig. 13**;

Fig. 16 bis Fig. 19 sind partielle Schnittansichten, die jeweils einen Schritt eines Verfahrens zum Herstellen der Siliziumcarbid-Halbleitervorrichtung gemäß der dritten bevorzugten Ausführungsform der vorliegenden Erfindung schematisch zeigen;

Fig. 20 ist eine partielle Schnittansicht, die einen Schritt einer Modifikation des Verfahrens zum Herstellen der Siliziumcarbid-Halbleitervorrichtung gemäß der dritten bevorzugten Ausführungsform der vorliegenden Erfindung schematisch zeigt;

Fig. 21 ist eine partielle Schnittansicht, die eine Modifikation von **Fig. 15** zeigt;

Fig. 22 ist eine partielle Schnittansicht, die die Konfiguration einer Siliziumcarbid-Halbleitervorrichtung gemäß einer vierten bevorzugten Aus-

führungsform der vorliegenden Erfindung zeigt; und

Fig. 23 ist ein Blockdiagramm, das die Konfiguration eines Leistungsumwandlungssystems schematisch zeigt, für das ein Leistungswandler gemäß einer fünften bevorzugten Ausführungsform der vorliegenden Erfindung verwendet wird.

AUSFÜHRUNGSFORM ZUM AUSFÜHREN DER ERFINDUNG

[0019] Basierend auf den Zeichnungen werden im Folgenden bevorzugte Ausführungsformen der vorliegenden Erfindung beschrieben. In den Zeichnungen, auf die in der folgenden Beschreibung verwiesen wird, ist entsprechenden oder vergleichbaren Teilen das gleiche Bezugszeichen gegeben, und diese werden nicht nochmals beschrieben.

<Erste bevorzugte Ausführungsform>

(Konfiguration)

[0020] **Fig. 1** ist eine partielle Schnittansicht, die die Konfiguration eines MOSFET **101** (Siliziumcarbid-Halbleitervorrichtung) gemäß einer ersten bevorzugten Ausführungsform schematisch zeigt. Der MOSFET **101** umfasst ein SiC-Substrat **11** (Siliziumcarbidsubstrat), eine epitaktische Schicht **10** (Halbleiterschicht), die auf einer Oberfläche (in **Fig. 1**, obere Oberfläche) des SiC-Substrats **11** vorgesehen ist, einen Gate-Isolierfilm **21**, eine Gateelektrode **22**, einen Zwischenschicht-Isolierfilm **23**, eine Sourceelektrode **24** und eine Drainelektrode **25**. Die epitaktische Schicht **10** umfasst eine Driftschicht **12**, einen Wannbereich **13**, einen Sourcebereich **14**, einen Wannkontaktbereich **15**, einen Bereich **16** zur Relaxation eines elektrischen Feldes und einen Bereich **17** zur Relaxation einer Überspannung. Die epitaktische Schicht **10** besteht vorzugsweise aus SiC.

[0021] In der ersten bevorzugten Ausführungsform weist das SiC-Substrat **11** den gleichen Leitfähigkeitstyp wie die Driftschicht **12** auf. Die Driftschicht **12** weist einen n-Typ (erster Leitfähigkeitstyp) auf und ist auf dem SiC-Substrat **11** vorgesehen. Die Driftschicht **12** besteht vorzugsweise aus SiC. Der Wannbereich **13** weist einen p-Typ (vom ersten Leitfähigkeitstyp verschiedener zweiter Leitfähigkeitstyp) auf und ist auf der Driftschicht **12** vorgesehen. Der Wannbereich **13** kann bei jedem einer Vielzahl von Abschnitten über der Driftschicht **12** angeordnet sein. Der Sourcebereich **14** weist den n-Typ auf und ist auf dem Wannbereich **13** vorgesehen. Der Wannkontaktbereich **15** weist den p-Typ auf und ist auf dem Wannbereich **13** vorgesehen. Der Wannkontaktbereich **15** hängt mit dem Wannbereich **13** zusammen. Der Wannkontaktbereich **15** dient dazu, Schaltcharakteristiken durch elektrisches Verbinden des Wannbereichs **13** mit der Sourceelektrode **24** zu stabilisieren.

den des Wannbereichs **13** mit der Sourceelektrode **24** zu stabilisieren.

[0022] Die epitaktische Schicht **10** ist mit einem Gategraben **31** mit einer inneren Oberfläche versehen. Die innere Oberfläche des Gategrabens **31** weist einen Boden, der bei einer tieferen Position als der Wannbereich **13** gelegen ist, und einen mit dem Boden zusammenhängenden lateralen Teil auf. Konkreter durchdringt der laterale Teil des Gategrabens **31** den Sourcebereich **14** und den Wannbereich **13**, so dass er die Driftschicht **12** erreicht. Der Gate-Isolierfilm **21** ist auf der inneren Oberfläche des Gategrabens **31** vorgesehen. Der Gate-Isolierfilm **21** ist beispielsweise ein Oxidfilm. Die Gateelektrode **22** ist im Gategraben **31** vorgesehen, während der Gate-Isolierfilm **21** zwischen der Gateelektrode **22** und dem Gategraben **31** vorgesehen ist.

[0023] Der Bereich **16** zur Relaxation eines elektrischen Feldes weist den p-Typ auf. Der Bereich **16** zur Relaxation eines elektrischen Feldes weist zumindest einen Teil auf, der unter dem Boden des Gategrabens **31** gelegen ist. In der ersten bevorzugten Ausführungsform berührt der Bereich **16** zur Relaxation eines elektrischen Feldes den Gategraben **31**, berührt konkreter den Boden des Gategrabens **31**.

[0024] Die Bereich **17** zur Relaxation einer Überspannung weist den n-Typ auf. Der Bereich **17** zur Relaxation einer Überspannung berührt zumindest einen Teil des Bodens des Gategrabens **31**. Der Bereich **17** zur Relaxation einer Überspannung ist durch den Bereich **16** zur Relaxation eines elektrischen Feldes von der Driftschicht **12** getrennt. Mit anderen Worten ist der Bereich **17** zur Relaxation einer Überspannung innerhalb des Bereichs **16** zur Relaxation eines elektrischen Feldes angeordnet.

[0025] Der Zwischenschicht-Isolierfilm **23** liefert eine Isolierung zwischen der Gateelektrode **22** und der Sourceelektrode **24**. Die Sourceelektrode **24** ist mit dem Sourcebereich **14** und dem Wannkontaktbereich **15** verbunden. Diese Verbindung ist vorzugsweise eine ohmsche Verbindung. Die Drainelektrode **25** ist auf der gegenüberliegenden Oberfläche (in **Fig. 1**, untere Oberfläche) des SiC-Substrats **11** vorgesehen. Somit ist der MOSFET **101** eine vertikale Halbleitervorrichtung. In der ersten bevorzugten Ausführungsform bildet die Drainelektrode **25** vorzugsweise einen ohmschen Kontakt mit dem SiC-Substrat **11**.

(Betrieb)

[0026] Im Folgenden wird der Betrieb des MOSFET **101** beschrieben.

[0027] Wenn an die Gateelektrode **22** eine positive Spannung angelegt wird, wird in einem Teil des

Wannenbereichs **13**, der den Gate-Isolierfilm **21** berührt, ein Kanal als Stromweg ausgebildet. Durch Anlegen einer positiven Spannung an die Drainelektrode **25** in diesem Zustand wird veranlasst, dass ein Strom von der Drainelektrode **25** in die Sourceelektrode **24** fließt, während er durch das SiC-Substrat **11**, die Driftschicht **12**, den Teil des Wannenbereichs **13** als Kanal und den Sourcebereich **14** gelangt.

[0028] Wenn danach die an die Gateelektrode **22** angelegte positive Spannung entfernt wird oder eine negative Spannung an die Gateelektrode **22** angelegt wird, wird der Kanal entfernt. Dadurch fließt, selbst wenn eine hohe Spannung an die Drainelektrode **25** angelegt ist, kein Strom zwischen dem Drain und der Source. Mit anderen Worten wird der MOSFET **101** in einen AUS-Zustand gebracht. Im AUS-Zustand entspannt bzw. relaxiert das Vorhandensein des Bereichs **16** zur Relaxation eines elektrischen Feldes eine Konzentration eines elektrischen Feldes auf dem Gate-Isolierfilm **21** am Boden des Gategrabens **31**.

[0029] Falls aus einem Grund wie etwa eines Kurzschlusses ein großer Strom erzeugt wird oder falls ein Schalten mit hoher Geschwindigkeit im MOSFET **101** ausgeführt wird, wird bewirkt, dass ein Verschiebungsstrom vom Bereich **16** zur Relaxation eines elektrischen Feldes in Richtung der Sourceelektrode **24** fließt. Zu dieser Zeit wird ein elektrisches Feld an den Gate-Isolierfilm **21** am Boden des Gategrabens **31** als Folge eines Spannungsabfalls angelegt, der durch den Verschiebungsstrom verursacht wird; eine Intensität des elektrischen Feldes wird durch den Bereich **17** zur Relaxation einer Überspannung reduziert. In einer Konfiguration, in der ein MOSFET bildendes Halbleitermaterial SiC ist und ein Bereich zur Relaxation eines elektrischen Feldes den p-Typ wie in der ersten bevorzugten Ausführungsform aufweist, ist der vorstehende Effekt, der durch Nutzen des Bereichs **17** zur Relaxation einer Überspannung erzielt wird, besonders deutlich, da das SiC vom p-Typ im Allgemeinen einen hohen elektrischen Widerstand aufweist.

(Herstellungsverfahren)

[0030] Unter Bezugnahme auf **Fig. 2** bis **Fig. 6** wird als Nächstes ein Verfahren zum Herstellen des MOSFET **101** beschrieben. Das folgende Herstellungsverfahren ist ein Beispiel und kann insbesondere im Hinblick auf die Reihenfolge, in der das Herstellungsverfahren ausgeführt wird, innerhalb eines Umfangs, der keine Beeinträchtigung mit sich bringt, geändert werden. Nur aktive Bereiche im MOSFET **101** werden beschrieben, und eine Beschreibung einer Anschlussstruktur wird weggelassen. Die Anschlussstruktur kann unter Verwendung einer allgemein bekannten Technik geeignet ausgelegt werden, um eine bestimmte Durchschlagsspannung sicherzustellen.

[0031] Bezug nehmend auf **Fig. 2** wird das SiC-Substrat **11** präpariert. Ferner wird auf dem SiC-Substrat **11** die epitaktische Schicht **10** präpariert. Zu diesem Zeitpunkt kann die epitaktische Schicht **10** unter Verwendung allein der Driftschicht **12** mit dem n-Typ konfiguriert werden. Konkret wird die epitaktische Schicht **10** vom n-Typ durch das auf dem SiC-Substrat **11** durchgeführte Verfahren für epitaktisches Wachstum gebildet. Typischerweise wird ein Substrat vom n-Typ und mit niedrigem Widerstand als das SiC-Substrat **11** verwendet. Das SiC-Substrat **11** ist jedoch nicht auf solch ein Substrat beschränkt. Eine Verunreinigungs- bzw. Störstellenkonzentration in der epitaktischen Schicht **10** und die Dicke der epitaktischen Schicht **10** sind in einer Weise auswählbar, die von einer für den MOSFET **101** geforderten Durchschlagsspannung abhängt. Beispielsweise reicht die Störstellenkonzentration von 1×10^{13} bis $1 \times 10^{18} \text{ cm}^{-3}$, und die Dicke reicht von 4 bis 200 μm .

[0032] Bezug nehmend auf **Fig. 3** werden unter Verwendung einer allgemeinen Lithografiertechnik und Ionenimplantationstechnik etc. der Wannenbereich **13** vom p-Typ, der Sourcebereich **14** vom n-Typ und der Wannenkontaktbereich **15** vom p-Typ gebildet. Jeder dieser Bereiche wird mittels einer Ionenimplantation gebildet, die unter Verwendung einer Maske durchgeführt wird, die ein Resist- oder ein Oxidfilm sein kann, der beispielsweise mittels Fotolithografie prozessiert wurde. Zu verwendende Ionen sind beispielsweise Aluminium-(Al-)Ionen für eine Ausbildung des Bereichs vom p-Typ und Stickstoff-(N-)Ionen für eine Ausbildung des Bereichs vom n-Typ. Für eine Ausbildung des Wannenbereichs **13** werden Al-Ionen implantiert, um beispielsweise eine Störstellenkonzentration von etwa 1×10^{15} bis etwa $1 \times 10^{18} \text{ cm}^{-3}$ und eine Implantationstiefe von etwa 0,3 bis etwa 2,0 μm zu erzielen. Der Sourcebereich **14** wird so ausgebildet, dass er eine Bodenfläche aufweist, die nicht über die Bodenfläche des Wannenbereichs **13** hinausgeht. Der Sourcebereich **14** weist eine Störstellenkonzentration auf, die die Störstellenkonzentration im Wannenbereich **13** übersteigt. Zum Beispiel reicht die Störstellenkonzentration im Sourcebereich **14** von etwa 1×10^{17} bis etwa $1 \times 10^{21} \text{ cm}^{-3}$. Zur Ausbildung des Wannenkontaktbereichs **15** werden Al-Ionen implantiert, um beispielsweise eine Störstellenkonzentration von etwa 1×10^{17} bis etwa $1 \times 10^{21} \text{ cm}^{-3}$ und eine Implantationstiefe von etwa 0,3 bis etwa 1,0 μm zu erzielen. Der Wannenkontaktbereich **15** wird so ausgebildet, dass er eine Bodenfläche aufweist, die den Wannenbereich **13** erreicht. Der Wannenkontaktbereich **15** wird wünschenswerterweise bei einer Substrattemperatur von 150°C oder mehr gebildet.

[0033] Bezug nehmend auf **Fig. 4** wird der Gategraben **31** unter Verwendung einer Lithografiertechnik und Ätztechnik gebildet. Der Bereich **16** vom p-Typ für eine Relaxation eines elektrischen Feldes und der Bereich **17** vom n-Typ zur Relaxation einer

Überspannung werden am Boden des Gategrabens **31** beispielsweise unter Verwendung einer Ionenimplantationstechnik gebildet. Der Gategraben **31** wird so ausgebildet, dass er durch den Sourcebereich **14** und den Wannbereich **13** hindurchgeht, um die Driftschicht **12** zu erreichen und so eine bestimmte Durchschlagsspannung sicherzustellen. Als ein Beispiel wird der Gategraben **31** mittels reaktiven Ionenätzens (RIE) bis zu einer Tiefe von etwa 0,5 bis etwa 3,0 μm gebildet. Der Bereich **16** zur Relaxation eines elektrischen Feldes wird so ausgebildet, dass er beispielsweise eine Störstellenkonzentration von etwa 1×10^{15} bis etwa $1 \times 10^{21} \text{ cm}^{-3}$ aufweist. Der Bereich **17** zur Relaxation einer Überspannung wird so ausgebildet, dass er beispielsweise eine Störstellenkonzentration von etwa 1×10^{15} bis etwa $1 \times 10^{21} \text{ cm}^{-3}$ aufweist. Eine Ionenimplantationsmaske, die bei der Ionenimplantation genutzt wird, um den Bereich **16** zur Relaxation eines elektrischen Feldes und den Bereich **17** zur Relaxation einer Überspannung zu bilden, kann die Gleiche wie eine Ätzmaske sein, die zum Ausbilden des Gategrabens **31** genutzt wird, oder kann eine separat präparierte Implantationsmaske sein.

[0034] Als Nächstes wird in einer Atmosphäre eines inaktiven bzw. inerten Gases wie etwa Ar-Gas unter Verwendung einer (in den Zeichnungen nicht dargestellten) Vorrichtung zur thermischen Prozessierung ein Tempern bzw. Ausheilen durchgeführt. Das Ausheilen wird beispielsweise in einer Zeitspanne von 30 Sekunden bis etwa eine Stunde bei einer Temperatur von 1300 bis 1900°C durchgeführt. Als Ergebnis dieses Ausheilens werden die implantierten Störstellen vom n-Typ (Donatorstörstellen) wie etwa N und die implantierten Störstellen vom p-Typ (Akzeptorstörstellen) wie etwa Al aktiviert.

[0035] Bezug nehmend auf **Fig. 5** werden der Gate-Isolierfilm **21** und die Gateelektrode **22** auf der epitaktischen Schicht **10** ausgebildet. Der Gate-Isolierfilm **21** wird durch einen thermischen Oxidationsprozess, Abscheidungsprozess oder eine Kombination des thermischen Oxidationsprozesses und des Abscheidungsprozesses gebildet. Nach Ausbilden des Gate-Isolierfilms **21** kann eine thermische Prozessierung in einer Atmosphäre aus Stickstoff, Ammoniak, NO oder N_2O durchgeführt werden. Die Gateelektrode **22** wird gebildet, indem beispielsweise ein Polysiliziumfilm über einen Prozess einer chemischen Gasphasenabscheidung (CVD) abgeschieden wird und der resultierende Polysiliziumfilm unter Verwendung eines mittels Fotolithografie strukturierten Resists als Maske geätzt wird. Polysilizium kann Verunreinigungen bzw. Störstellen wie etwa Phosphor (P) oder Bor (B) enthalten. Das Hinzufügen der Störstellen schafft einen niedrigen Schichtwiderstand.

[0036] Bezug nehmend auf **Fig. 6** wird der Zwischenschicht-Isolierfilm **23** gebildet. Der Zwischen-

schicht-Isolierfilm **23** wird gebildet, indem beispielsweise ein Isolierfilm durch einen Prozess wie etwa CVD präpariert und der resultierende Isolierfilm teilweise geätzt wird. Dieses Ätzen wird durchgeführt, um einen Kontakt im Zwischenschicht-Isolierfilm **23** auszubilden, wo jeder des Sourcebereichs **14** und des Wannkontaktbereichs **15** zumindest teilweise freigelegt ist. Ein als Nächstes durchgeführter Schritt dient zum Ausbilden eines ohmschen Kontakts in diesem Kontaktbereich. Als ein Beispiel wird zuerst auf der gesamten Substratoberfläche ein Metallfilm wie etwa Ni oder Ti abgeschieden. Danach wird eine thermische Prozessierung bei einer Temperatur von etwa 600 bis 1000°C durchgeführt, wodurch eine (in den Zeichnungen nicht dargestellte) Silizidschicht gebildet wird. Ein Teil dieses Metallfilms, der auf dem Zwischenschicht-Isolierfilm **23** zurückbleibt, wird durch Nassätzen entfernt.

[0037] Die Sourceelektrode **24** wird gebildet, indem ein leitfähiger Film abgeschieden und der resultierende leitfähige Film strukturiert wird. Ein zur Abscheidung des leitfähigen Films genutztes Metall ist beispielsweise Al, Cu, Ti, Ni, Mo, W oder Ta. Alternativ dazu können Nitride oder Legierungen dieser Metalle verwendet werden. Der leitfähige Film kann eine einzige Schicht oder gestapelte Schichten umfassen. Gleichzeitig mit der Ausbildung der Sourceelektrode **24** kann ein Gatepad so gebildet werden, dass es von der Sourceelektrode **24** getrennt und mit der Gateelektrode **22** verbunden ist.

[0038] Zurückverweisend auf **Fig. 1** wird die Drainelektrode **25** gebildet. Ein Metallfilm wie etwa Ti, Ni, Ag oder Au wird als die Drainelektrode **25** beispielsweise durch einen Sputterprozess oder Abscheidungsprozess gebildet. Um einen ohmschen Kontakt der Drainelektrode **25** sicherzustellen, wird die vorstehende Silizidschicht vorher auf der gegenüberliegenden Oberfläche (in **Fig. 1**, untere Oberfläche) des SiC-Substrats **11** ausgebildet. Als Ergebnis der vorstehenden Schritte ist die Ausbildung des MOSFET **101** abgeschlossen.

(Modifikation des Herstellungsverfahrens)

[0039] Modifikationen der Schritte zum Ausbilden des Gategrabens **31**, des Bereichs **16** zur Relaxation eines elektrischen Feldes und des Bereichs **17** zur Relaxation einer Überspannung, die oben unter Bezugnahme auf **Fig. 4** beschrieben wurden, werden im Folgenden unter Bezugnahme auf **Fig. 7** bis **Fig. 9** beschrieben.

[0040] Bezug nehmend auf **Fig. 7** wird die Driftschicht **12** geätzt, um einen vorläufigen Graben **30** auszubilden. Der vorläufige Graben **30** ist flacher als der Gategraben **31** (**Fig. 1**). Störstellen (beispielsweise Al) des p-Typs (vom ersten Leitfähigkeitstyp verschiedener zweiter Leitfähigkeitstyp) werden mittels

Ionenimplantation in den Boden des vorläufigen Grabens **30** implantiert. Dadurch wird der Bereich **16** zur Relaxation eines elektrischen Feldes gebildet. Als Ergebnis eines Zusammenstoßes der implantierten Ionen mit einem Halbleiterkristall hat ein Teil des Bereichs **16** zur Relaxation eines elektrischen Feldes bei einer verhältnismäßig tiefen Position eine größere Breite (Abmessung in der lateralen Richtung in **Fig. 7**) als ein Teil des Bereichs **16** zur Relaxation eines elektrischen Feldes bei einer verhältnismäßig flachen Position.

[0041] Bezug nehmend auf **Fig. 8** wird der Boden des vorläufigen Grabens **30** geätzt. Dadurch wird der Gategraben **31** mit einer größeren Tiefe als der vorläufige Graben **30** gebildet. Der Boden des Gategrabens **31** liegt bei einer tieferen Position als der Boden des vorläufigen Grabens **30** (**Fig. 7**). Folglich wird der Bereich **16** zur Relaxation eines elektrischen Feldes in der Umgebung des Randes des Bodens des Gategrabens **31** dicker.

[0042] Bezug nehmend auf **Fig. 9** werden Störstellen vom n-Typ (zum Beispiel N-Ionen) mittels Ionenimplantation in den Boden des Gategrabens **31** implantiert. Dadurch wird der Bereich **17** zur Relaxation einer Überspannung so ausgebildet, dass er zumindest einen Teil des Bodens des Gategrabens **31** berührt und durch den Bereich **16** zur Relaxation eines elektrischen Feldes von der Driftschicht **12** getrennt ist. In der Ionenimplantation zum Ausbilden des Bereichs **17** zur Relaxation einer Überspannung erreichen die implantierten Ionen eine Tiefe, die geringer als die Tiefe der Ionen ist, die zum Ausbilden des Bereichs **16** zur Relaxation eines elektrischen Feldes implantiert wurden. Als Folge ist eine Streuung der implantierten Ionen in einer Breitenrichtung (laterale Richtung in **Fig. 9**) während einer Ausbildung des Bereichs **17** zur Relaxation einer Überspannung verglichen mit einer Streuung der implantierten Ionen während einer Ausbildung des Bereichs **16** zur Relaxation eines elektrischen Feldes reduziert. Dies macht es möglich, die Breite des Bereichs **17** zur Relaxation einer Überspannung verglichen mit der Breite des Bereichs **16** zur Relaxation eines elektrischen Feldes zu reduzieren.

(Modifikation der Konfiguration)

[0043] **Fig. 10** ist eine partielle Schnittansicht, die einen MOSFET **102** als eine Modifikation des MOSFET **101** (**Fig. 1**) zeigt.

[0044] In dem MOSFET **102** umfasst die Driftschicht **12** einen Bereich **12a** mit niedriger Konzentration und einen Stromausdehnungsbereich **12b**. Der Stromausdehnungsbereich **12b** hat eine höhere Störstellenkonzentration als der Bereich **12a** mit niedriger Konzentration und ist unter dem Wannbereich **13** vom p-Typ angeordnet. Der Stromausdehnungsbe-

reich **12b** kann während der Ionenimplantation in die epitaktische Schicht **10** gebildet werden.

[0045] Der Stromausdehnungsbereich **12b** dient dazu, eine Ausdehnung einer Verarmungsschicht zu unterdrücken, die als Reaktion auf ein Anlegen einer Spannung an die Drainelektrode **25** in einem EIN-Zustand auftritt. Dies ermöglicht eine Reduzierung einer EIN-Spannung im MOSFET **102**. Der in **Fig. 10** gezeigte Stromausdehnungsbereich **12b** hat eine größere Tiefe als der Bereich **16** zur Relaxation eines elektrischen Feldes und der Bereich **17** zur Relaxation einer Überspannung. Die Implantationstiefe (Dicke) des Stromausdehnungsbereichs **12b** und die Störstellenkonzentration im Stromausdehnungsbereich **12b** können jedoch geeignet ausgelegt werden, um eine bestimmte Durchschlagsspannung und eine beabsichtigte Zuverlässigkeit zu erreichen.

(Überblick über den Effekt)

[0046] Der MOSFET **101** der ersten bevorzugten Ausführungsform (**Fig. 1**) enthält den Bereich **17** zur Relaxation einer Überspannung, der zumindest einen Teil des Bodens des Gategrabens **31** berührt. Dies verhindert, dass ein hohes elektrisches Feld, das sich aus steilen Spannungsvariationen in dem Bereich **16** zur Relaxation eines elektrischen Feldes ergibt, zumindest an den vorstehenden Teil des Gategrabens **31** angelegt wird. Als Folge wird das Auftreten eines Isolierungsdurchbruchs im Gate-Isolierfilm **21** reduziert.

[0047] In der ersten bevorzugten Ausführungsform weist der Bereich **16** zur Relaxation eines elektrischen Feldes den zweiten Leitfähigkeitstyp auf, welcher der p-Typ ist. In diesem Fall wird bewirkt, dass bei Auftreten einer Überspannung ein Lochstrom vom Bereich **16** zur Relaxation eines elektrischen Feldes in Richtung der Sourceelektrode **24** fließt. Im Fall eines SiC-Halbleiters ist der Widerstand des Bereichs vom p-Typ erheblich höher als der Widerstand des Bereichs vom n-Typ, so dass durch den Lochstrom in dem Bereich **16** zur Relaxation eines elektrischen Feldes als Bereich vom p-Typ eine große Potentialdifferenz hervorgerufen wird. Zu dieser Zeit kann ein Teil des Gate-Isolierfilms **21**, der den Bereich **16** zur Relaxation eines elektrischen Feldes berührt, einer Beaufschlagung eines hohen elektrischen Feldes ausgesetzt sein. In der ersten bevorzugten Ausführungsform wird an einen Teil des Gate-Isolierfilms **21**, der den Bereich **17** zur Relaxation einer Überspannung vom n-Typ berührt, dieses hohe elektrische Feld nicht angelegt. Als Folge wird im Gate-Isolierfilm **21** das Auftreten eines Isolierungsdurchbruchs reduziert.

[0048] In dem Verfahren zum Herstellen des MOSFET **101**, insbesondere in dem Verfahren, das die in **Fig. 7** bis **Fig. 9** gezeigten Schritte verwendet, wird

ein Ätzen weiter durchgeführt, nachdem der Bereich **16** zur Relaxation eines elektrischen Feldes durch Implantieren von Störstellen in den vorläufigen Graben **30** gebildet ist. Der Bereich **17** zur Relaxation einer Überspannung wird dann mittels einer Störstellenimplantation gebildet. In diesem Fall wird durch die einfachen Schritte der MOSFET **101** der ersten bevorzugten Ausführungsform erhalten.

<Zweite bevorzugte Ausführungsform>

[0049] Fig. 11 zeigt schematisch die Konfiguration eines MOSFET **103** (Siliziumcarbid-Halbleitervorrichtung) gemäß einer zweiten bevorzugten Ausführungsform und ist eine partielle Schnittansicht, genommen entlang einer Linie XI-XI in Fig. 12. Fig. 12 ist eine partielle Schnittansicht, genommen entlang einer Linie XII-XII in Fig. 11. Die Veranschaulichung der Sourceelektrode **24** ist aus Fig. 11 weggelassen.

[0050] Bezug nehmend auf Fig. 11 sind in der zweiten bevorzugten Ausführungsform in einer Richtung in der Ebene mehrere Zellenstrukturen des MOSFET **103** ausgerichtet. In Fig. 11 weist die Gateelektrode **22** in einem planaren Layout ein Gittermuster auf. Jedoch ist dies nicht das einzige planare Layout der Gateelektrode **22**, sondern die Gateelektrode **22** kann auch beispielsweise ein Streifenmuster aufweisen.

[0051] Bezug nehmend auf Fig. 12 weisen der rechte Bereich und der linke Bereich in Fig. 12 Konfigurationen ähnlich der Konfiguration in Fig. 1 (erste bevorzugte Ausführungsform) auf. Indes ist im zentralen Teil von Fig. 12 ein Sourcegraben **32** in der epitaktischen Schicht **10** vorgesehen.

[0052] Der Sourcegraben **32** erreicht den Bereich **17** zur Relaxation einer Überspannung. Die Sourceelektrode **24** geht durch den Sourcegraben **32** hindurch, so dass sie den Bereich **17** zur Relaxation einer Überspannung erreicht. Dadurch sind die Sourceelektrode **24** und der Bereich **17** zur Relaxation einer Überspannung elektrisch miteinander verbunden. Der Sourcegraben **32** erreicht den Bereich **16** zur Relaxation eines elektrischen Feldes. Die Sourceelektrode **24** geht durch den Sourcegraben **32** hindurch, so dass sie den Bereich **16** zur Relaxation eines elektrischen Feldes berührt. Dadurch sind die Sourceelektrode **24** und der Bereich **16** zur Relaxation eines elektrischen Feldes miteinander elektrisch verbunden.

[0053] In der zweiten bevorzugten Ausführungsform ist die vorstehende elektrische Kontaktstruktur beim zentralen Teil des Sourcegrabens **32** vorgesehen, und der externe laterale Teil des Sourcegrabens **32** ist mit der dem Gategraben **31** ähnlichen Struktur versehen. Folglich kann der Sourcegraben **32** zur Ausbildung eines Kanals ebenfalls beitragen.

[0054] Strukturen mit Ausnahme der vorstehenden Strukturen sind im Wesentlichen die gleichen wie jene der oben beschriebenen ersten bevorzugten Ausführungsform. Somit ist einem entsprechenden oder vergleichbaren Teil das gleiche Bezugszeichen gegeben, und er wird nicht nochmals beschrieben. Wie diejenige der ersten bevorzugten Ausführungsform kann die Driftschicht **12** der zweiten bevorzugten Ausführungsform den Bereich **12a** mit niedriger Konzentration und einen Stromausdehnungsbereich **12b** (Fig. 10) umfassen.

(Effekt)

[0055] In der zweiten bevorzugten Ausführungsform geht die Sourceelektrode **24** durch den Sourcegraben **32** hindurch, so dass sie den Bereich **17** zur Relaxation einer Überspannung berührt. Folglich wird bei Auftreten einer Überspannung ein Weg eines Verschiebungsstroms, der im Bereich **17** zur Relaxation einer Überspannung gebildet wird, wirksam mit der Sourceelektrode **24** verbunden. Dies macht es möglich, ein an den Gate-Isolierfilm **21** angelegtes elektrisches Feld weiter zu reduzieren. Als Folge wird das Auftreten eines Durchbruchs im Gate-Isolierfilm **21** weiter reduziert.

[0056] Die Sourceelektrode **24** geht durch den Sourcegraben **32** hindurch, so dass sie den Bereich **16** zur Relaxation eines elektrischen Feldes berührt. Folglich wird bei Auftreten einer Überspannung ein Weg eines Verschiebungsstroms, der im Bereich **16** zur Relaxation eines elektrischen Feldes gebildet wird, wirksam mit der Sourceelektrode **24** verbunden. Dies macht es möglich, ein an den Gate-Isolierfilm **21** angelegtes elektrisches Feld weiter zu reduzieren. Als Folge wird das Auftreten eines Isolierungsdurchbruchs im Gate-Isolierfilm **21** weiter reduziert.

<Dritte bevorzugte Ausführungsform>

(Konfiguration)

[0057] Fig. 13 zeigt schematisch die Konfiguration eines MOSFET **104** (Siliziumcarbid-Halbleitervorrichtung) gemäß einer dritten bevorzugten Ausführungsform und ist eine partielle Schnittansicht, genommen entlang einer Linie XIII-XIII in jeder der Fig. 14 und Fig. 15. Fig. 14 und Fig. 15 sind partielle Schnittansichten, genommen entlang einer Linie XIV-XIV bzw. einer Linie XV-XV in Fig. 13.

[0058] Bezug nehmend auf Fig. 13 sind in der dritten bevorzugten Ausführungsform mehrere Zellenstrukturen des MOSFET **104** in einer Richtung in der Ebene ausgerichtet. In Fig. 13 ist das planare Layout der Gateelektrode **22**, mit anderen Worten das planare Layout des Gategrabens **31**, ein Streifenmuster.

[0059] Bezug nehmend auf **Fig. 14** enthält der MOSFET **104** einen Teil, wo eine Querschnittskonfiguration der Querschnittskonfiguration des MOSFET **101** (**Fig. 1**) ähnlich ist. Zumindest dieser Teil hat die Funktion zum Ausbilden eines Kanals im MOSFET **104**.

[0060] Bezug nehmend auf **Fig. 15** enthält der MOSFET **104** einen Teil, wo sich eine Querschnittskonfiguration von der Querschnittskonfiguration des MOSFET **101** (**Fig. 1**) unterscheidet. Konkreter umfasst im MOSFET **104** die epitaktische Schicht **10** einen Seitenwand-Sourcebereich **52** (erster Verbindungsbereich), der den n-Typ aufweist. Der Seitenwand-Sourcebereich **52** erstreckt sich entlang der inneren Oberfläche des Gategrabens **31** und verbindet den Bereich **17** zur Relaxation einer Überspannung mit dem Sourcebereich **14**. Dadurch werden der Bereich **17** zur Relaxation einer Überspannung und der Sourcebereich **14** durch allein den Halbleiterbereich mit dem n-Typ miteinander verbunden. Im MOSFET **104** enthält ferner die epitaktische Schicht **10** einen Seitenwand-Wannenbereich **51** (zweiter Verbindungsbereich), der den p-Typ aufweist. Der Seitenwand-Wannenbereich **51** verbindet den Bereich **16** zur Relaxation eines elektrischen Feldes mit dem Wannenbereich **13**. Dadurch werden der Bereich **16** zur Relaxation eines elektrischen Feldes und der Wannenbereich **13** durch allein den Halbleiterbereich mit dem p-Typ miteinander verbunden. Der Seitenwand-Sourcebereich **52** ist durch den Seitenwand-Wannenbereich **51** von der Driftschicht **12** getrennt. In einem planaren Layout kann das Verhältnis eines Bereichs, der den Seitenwand-Wannenbereich **51** und den Seitenwand-Sourcebereich **52** enthält, mit anderen Worten ein Verhältnis zwischen der Konfiguration von **Fig. 14** und der Konfiguration von **Fig. 15**, so ausgelegt werden, dass eine bestimmte Kurzschlussstoleranz und ein bestimmter EIN-Widerstand erzielt werden.

(Effekt)

[0061] In der dritten bevorzugten Ausführungsform ist bei Auftreten einer Überspannung ein Weg eines Verschiebungsstroms, der im Bereich **17** zur Relaxation einer Überspannung gebildet wird, durch den Seitenwand-Sourcebereich **52** wirksam mit dem Sourcebereich **14** verbunden. Dies macht es möglich, ein an den Gate-Isolierfilm **21** angelegtes elektrisches Feld weiter zu reduzieren. Als Folge wird das Auftreten eines Isolierungsdurchbruchs im Gate-Isolierfilm **21** weiter reduziert.

[0062] Bei Auftreten einer Überspannung wird ein Weg eines Verschiebungsstroms, der im Bereich **16** zur Relaxation eines elektrischen Feldes gebildet wird, durch den Seitenwand-Wannenbereich **51** wirksam mit dem Wannenbereich **13** verbunden. Dies macht es möglich, ein an den Gate-Isolierfilm **21**

angelegtes elektrisches Feld weiter zu reduzieren. Als Folge wird das Auftreten eines Isolierungsdurchbruchs im Gate-Isolierfilm **21** weiter reduziert.

(Herstellungsverfahren)

[0063] Unter Bezugnahme auf **Fig. 16** bis **Fig. 19** wird als Nächstes ein Verfahren zum Herstellen des MOSFET **104** beschrieben. Schritte, die vor den im Folgenden beschriebenen Schritten durchgeführt werden, sind ähnlich den in **Fig. 2** und **Fig. 3** (erste bevorzugte Ausführungsform) dargestellten Schritten, so dass diese vorbereitenden Schritte nicht beschrieben werden.

[0064] Bezug nehmend auf **Fig. 16** wird die epitaktische Schicht **10** geätzt, um den Gategraben **31** auszubilden. Dieses Ätzen wird unter Verwendung einer Ätzmaske **41** durchgeführt. Als Nächstes werden Störstellen vom n-Typ (zum Beispiel N-Ionen) mittels einer schrägen Ionenimplantation in den lateralen Teil des Gategrabens **31** hinzugefügt, um den Seitenwand-Sourcebereich **52** zu bilden. Wie in **Fig. 16** dargestellt ist, ist die schräge Ionenimplantation ein Verfahren zum Implantieren von Ionen in einer gegen die Oberfläche des Substrats **11** geneigten Implantationsrichtung. In **Fig. 16** ist die Implantationsrichtung so ausgewählt, um die Ionen in eine seitliche Oberfläche (linksseitige Oberfläche) des Gategrabens **31** zu implantieren. Dadurch wird der Seitenwand-Sourcebereich **52** so ausgebildet, dass er sich entlang der linksseitigen Oberfläche des Gategrabens **31** erstreckt.

[0065] Bezug nehmend auf **Fig. 17** werden danach Ionen implantiert, während eine Komponente in der Ebene der Implantationsrichtung gegenüber der in **Fig. 16** gezeigten invertiert ist. Dadurch wird der Seitenwand-Sourcebereich **52** so ausgebildet, dass er sich entlang der gegenüberliegenden seitlichen Oberfläche (rechtsseitige Oberfläche) des Gategrabens **31** in **Fig. 17** erstreckt.

[0066] Bezug nehmend auf **Fig. 18** werden als Nächstes Störstellen vom p-Typ (Al-Ionen beispielsweise) mittels einer schrägen Ionenimplantation in den lateralen Teil des Gategrabens **31** hinzugefügt, um den Seitenwand-Wannenbereich **51** auszubilden. In **Fig. 18** ist die Implantationsrichtung so ausgewählt, dass die Ionen in eine seitliche Oberfläche (linksseitige Oberfläche) des Gategrabens **31** zu implantieren. Dadurch wird der Seitenwand-Wannenbereich **51** in der Umgebung der linksseitigen Oberfläche des Gategrabens **31** bei Vorhandensein des Seitenwand-Sourcebereichs **52** zwischen dieser seitlichen Oberfläche und dem Seitenwand-Wannenbereich **51** gebildet.

[0067] Bezug nehmend auf **Fig. 19** werden danach Ionen implantiert, während eine Komponente in der

Ebene der Implantationsrichtung gegenüber der in **Fig. 18** gezeigten invertiert ist. Dadurch wird der Seitenwand-Wannenbereich **51** in der Umgebung der gegenüberliegenden seitlichen Oberfläche (rechtsseitige Oberfläche) des Gategrabens **31** in **Fig. 19** bei Vorhandensein des Seitenwand-Sourcebereichs **52** zwischen dieser seitlichen Oberfläche und dem Seitenwand-Wannenbereich **51** gebildet.

[0068] Die vorhergehende Reihenfolge einer Ionenimplantation kann beliebig bestimmt werden. Folglich kann der Seitenwand-Sourcebereich **52** nach Ausbildung des Seitenwand-Wannenbereichs **51** gebildet werden. In jedem Ionenimplantationsschritt kann die vorstehende Ätzmaske **41** als Implantationsmaske für die Ionenimplantation genutzt werden. Nachfolgende Schritte sind im Wesentlichen die gleichen wie die Schritte, die in der ersten bevorzugten Ausführungsform unter Bezugnahme auf **Fig. 5** und deren folgenden Zeichnungen beschrieben wurden, so dass diese folgenden Schritte nicht beschrieben werden.

(Modifikation des Herstellungsverfahrens)

[0069] **Fig. 20** ist eine partielle Schnittansicht, die eine Modifikation der in **Fig. 18** und **Fig. 19** dargestellten Schritte schematisch zeigt. In einem in **Fig. 20** gezeigten Schritt werden die Störstellen vom p-Typ mittels einer rotierenden Ionenimplantation in den lateralen Teil des Gategrabens **31** hinzugefügt, um den Seitenwand-Wannenbereich **51** auszubilden. Wie in **Fig. 20** gezeigt ist, ist die rotierende Ionenimplantation eine schräge Ionenimplantation, begleitet von der Rotation des SiC-Substrats **11**. Anstelle einer Rotation des SiC-Substrats **11** kann eine Komponente in der Ebene einer Implantationsrichtung gedreht werden.

[0070] In dieser Modifikation kann der Seitenwand-Wannenbereich **51** gebildet werden, indem die Störstellen vom p-Typ mittels der rotierenden Ionenimplantation in den lateralen Teil des Gategrabens **31** hinzugefügt werden. Folglich wird der resultierende Seitenwand-Wannenbereich **51** ganz (in alle Richtungen) um den Gategraben **31** herum ausgebildet. Dies macht es möglich, den Seitenwand-Sourcebereich **52** durch den Seitenwand-Wannenbereich **51** zuverlässiger von der Driftschicht **12** zu trennen.

(Modifikation der Konfiguration)

[0071] **Fig. 21** ist partielle Schnittansicht, die einen MOSFET **105** als eine Modifikation des MOSFET **104** (**Fig. 15**) zeigt. In dem MOSFET **105** sind der Seitenwand-Wannenbereich **51** und der Seitenwand-Sourcebereich **52** nur auf einer seitlichen Oberfläche (in **Fig. 21**, linksseitige Oberfläche) des Gategrabens **31** vorgesehen und sind nicht auf der gegenüberliegenden seitlichen Oberfläche (in **Fig. 21**, rechtsseitige

Oberfläche) des Gategrabens **31** vorgesehen. In dieser Modifikation kann ein Kanal in dem MOSFET **105** auf der gegenüberliegenden seitlichen Oberfläche des Gategrabens **31** gebildet werden. Dies ermöglicht eine Reduzierung des EIN-Widerstands des MOSFET **105**. Ein planares Layout eines Bereichs, der den Seitenwand-Wannenbereich **51** und den Seitenwand-Sourcebereich **52** umfasst, kann entworfen werden, um eine bestimmte Kurzschluss toleranz und einen bestimmten EIN-Widerstand zu erzielen.

<Vierte bevorzugte Ausführungsform>

[0072] **Fig. 22** ist eine partielle Schnittansicht, die die Konfiguration eines MOSFET **106** (Siliziumcarbid-Halbleitervorrichtung) gemäß einer vierten bevorzugten Ausführungsform schematisch zeigt. In dem MOSFET **106** umfasst der Bereich **16** zur Relaxation eines elektrischen Feldes einen Kontaktteil **16a**, der den Gategraben **31** berührt, und einen getrennten Teil **16b**, der durch den Kontaktteil **16a** vom Gategraben **31** getrennt ist. Der Kontaktteil **16a** hat eine niedrigere Störstellenkonzentration als der getrennte Teil **16b**. Beispielsweise reicht die Störstellenkonzentration im Kontaktteil **16a** von 1×10^{15} bis $1 \times 10^{20} \text{ cm}^{-3}$, und die Störstellenkonzentration im getrennten Teil **16b** reicht von 1×10^{16} bis $1 \times 10^{21} \text{ cm}^{-3}$. Eine Störstellenkonzentration kann zwischen dem Kontaktteil **16a** und dem getrennten Teil **16b** un stetig verändert sein. Alternativ dazu kann die Störstellenkonzentration zwischen dem Kontaktteil **16a** und dem getrennten Teil **16b** stetig (graduell) verändert sein.

[0073] In der vierten bevorzugten Ausführungsform umfasst der Bereich **16** zur Relaxation eines elektrischen Feldes den Kontaktteil **16a**, der den Gategraben **31** berührt, und den getrennten Teil **16b**, der durch den Kontaktteil **16a** vom Gategraben **31** getrennt ist. Dies bewirkt, dass ein Verschiebungsstrom im Bereich **16** zur Relaxation eines elektrischen Feldes vorzugsweise in dem getrennten Teil **16b** mit der verhältnismäßig hohen Störstellenkonzentration fließt. Dies reduziert die Größe des Verschiebungsstroms, der im den Gategraben **31** berührenden Kontaktteil **16a** fließt. Folglich wird die Größe eines an den Gate-Isolierfilm angelegten elektrischen Feldes reduziert. Als Folge wird das Auftreten eines Isolierungsdurchschlags im Gate-Isolierfilm **21** reduziert.

<Fünfte bevorzugte Ausführungsform>

[0074] In einer fünften bevorzugten Ausführungsform wird irgendeine der Siliziumcarbid-Halbleitervorrichtungen gemäß den ersten bis vierten bevorzugten Ausführungsformen oder deren Modifikationen (MOSFETs **101** bis **106**), die oben beschrieben wurden, für einen Leistungswandler verwendet. Obgleich die vorliegende Erfindung nicht auf einen bestimmten Leistungswandler beschränkt ist, wird im Folgenden als die fünfte bevorzugte Ausführungsform eine An-

wendung der vorliegenden Erfindung auf einen Dreiphasen-Inverter beschrieben.

[0075] Fig. 23 ist ein Blockdiagramm, das die Konfiguration eines Leistungsumwandlungssystems schematisch zeigt, für das ein Leistungswandler **700** gemäß der fünften bevorzugten Ausführungsform der vorliegenden Erfindung verwendet wird. Der Leistungswandler **700** ist ein Dreiphasen-Inverter, der zwischen eine Stromversorgung **600** und eine Last **800** geschaltet ist. Der Leistungswandler **700** wandelt von der Stromversorgung **600** bereitgestellte DC-Leistung in AC-Leistung um und stellt die AC-Leistung der Last **800** bereit. Der Leistungswandler **700** enthält eine Hauptwandlerschaltung **701**, eine Ansteuerschaltung **702** und einen Steuerschaltung **703**. Die Hauptwandlerschaltung **701** enthält zumindest eine der Siliziumcarbid-Halbleitervorrichtungen gemäß den ersten bis vierten bevorzugten Ausführungsformen oder deren Modifikationen als Schaltelement. Die Hauptwandlerschaltung **701** wandelt die eingespeiste DC-Leistung in die AC-Leistung um und gibt die resultierende AC-Leistung ab. Die Ansteuerschaltung **702** gibt ein Ansteuersignal zum Ansteuern jeder Siliziumcarbid-Halbleitervorrichtung als das Schaltelement an diese Siliziumcarbid-Halbleitervorrichtung ab. Die Steuerschaltung **703** gibt ein Steuersignal zum Steuern der Ansteuerschaltung **702** an die Ansteuerschaltung **702** ab.

[0076] Die Stromversorgung **600** ist eine DC-Stromversorgung und stellt dem Leistungswandler **700** DC-Leistung bereit. Die Stromversorgung **600** kann unter Verwendung verschiedener Arten von Stromversorgungen konfiguriert sein. Beispielsweise kann die Stromversorgung **600** unter Verwendung eines DC-Systems, einer Solarzelle oder einer Batterie konfiguriert sein. Alternativ dazu kann die Stromversorgung **600** unter Verwendung einer Gleichrichterschaltung konfiguriert sein, die mit einem AC-System oder einem AC/DC-Wandler beispielsweise verbunden ist. Alternativ kann die Stromversorgung **600** noch unter Verwendung eines DC/DC-Wandlers, um von einem DC-System abgegebene DC-Leistung in eine vorbestimmte Leistung umzuwandeln, konfiguriert sein.

[0077] Die Last **800** ist ein Dreiphasenmotor, der durch von dem Leistungswandler **700** bereitgestellte AC-Leistung angetrieben wird. Die Last **800** ist nicht auf einen bestimmten Zweck beschränkt, sondern ist ein an verschiedenen Arten elektrischer Vorrichtungen zu installierender Motor. Beispielsweise wird die Last **800** als ein Motor für die Hybridfahrzeuge, Elektrofahrzeuge, Schienenfahrzeuge, Aufzüge oder Klimaanlage genutzt.

[0078] Im Folgenden wird der Leistungswandler **700** im Detail beschrieben. Die Hauptwandlerschaltung **701** umfasst (in Fig. 23 nicht dargestellt) ein Schaltelement und eine Freilaufdiode. Als Reaktion auf

ein Schalten des Schaltelements wandelt die Hauptwandlerschaltung **701** von der Stromversorgung **600** bereitgestellte DC-Leistung in AC-Leistung um und stellt die resultierende AC-Leistung der Last **800** bereit. Obgleich verschiedene spezifische Schaltungskonfigurationen für die Hauptwandlerschaltung **701** verwendbar sind, ist die Hauptwandlerschaltung **701** der fünften bevorzugten Ausführungsform eine Dreiphasen-Vollbrückenschaltung mit zwei Niveaus und kann unter Verwendung von sechs Schaltelementen und sechs Freilaufdioden, die mit entsprechenden der Schaltelemente antiparallel verbunden sind, konfiguriert sein. Je zwei der sechs Schaltelemente sind in Reihe geschaltet, um einen oberen Arm und einen unteren Arm zu bilden, und die oberen und unteren Arme bilden jeweils eine Phase (je eine U-Phase, eine V-Phase und eine W-Phase) der Vollbrückenschaltung. Ein Ausgangsanschluss der oberen und unteren Arme, nämlich drei Ausgangsanschlüsse der Hauptwandlerschaltung **701** sind mit der Last **800** verbunden.

[0079] Die Ansteuerschaltung **702** erzeugt ein Ansteuersignal zum Ansteuern des Schaltelements in der Hauptwandlerschaltung **701** und stellt das erzeugte Ansteuersignal einer Steuerelektrode des Schaltelements in der Hauptwandlerschaltung **701** bereit. Konkret gibt als Reaktion auf ein Steuersignal von der Steuerschaltung **703**, die später beschrieben wird, die Ansteuerschaltung **702** ein Ansteuersignal, um das Schaltelement in einen EIN-Zustand zu bringen, und ein Ansteuersignal, um das Schaltelement in einen AUS-Zustand zu bringen, an die Steuerelektrode jedes Schaltelements ab. Um das Schaltelement in einem EIN-Zustand zu halten, ist das Ansteuersignal ein Spannungssignal (EIN-Signal) bei einem Spannungspegel, der gleich einer Schwellenspannung des Schaltelements oder höher ist. Um das Schaltelement in einem AUS-Zustand zu halten, ist das Ansteuersignal ein Spannungssignal (AUS-Signal) bei einem Spannungspegel, der gleich der Schwellenspannung des Schaltelements oder geringer ist.

[0080] Die Steuerschaltung **703** steuert das Schaltelement in der Hauptwandlerschaltung **701**, um der Last **800** eine bestimmte Leistung bereitzustellen. Konkret berechnet die Steuerschaltung **703** eine Periode (EIN-Periode), in der jedes Schaltelement in der Hauptwandlerschaltung **701** in einem EIN-Zustand sein soll, basierend auf einer der Last **800** bereitzustellenden Leistung. Beispielsweise kann die Steuerschaltung **703** die Hauptwandlerschaltung **701** unter einer Pulsweitenmodulations-(PWM-)Steuerung zum Modulieren der EIN-Periode des Schaltelements als Reaktion auf eine abzugebende Spannung steuern. Die Steuerschaltung **703** gibt einen Steuerbefehl (Steuersignal) an die Ansteuerschaltung **702** ab, um in einem entsprechenden Moment ein EIN-Signal an ein Schaltelement, das

in einen EIN-Zustand gebracht werden soll, abzugeben und ein AUS-Signal an ein Schaltelement abzugeben, das in einen AUS-Zustand gebracht werden soll. Als Reaktion auf dieses Steuersignal gibt die Ansteuerschaltung **702** ein EIN-Signal oder ein AUS-Signal als Ansteuersignal an die Steuerelektrode jedes Schaltelements ab.

[0081] In der fünften bevorzugten Ausführungsform wird irgendeine der Siliziumcarbid-Halbleitervorrichtungen gemäß den ersten bis vierten bevorzugten Ausführungsformen oder deren Modifikationen, die oben beschrieben wurden, in der Hauptwandler-schaltung **701** im Leistungswandler **700** verwendet. Dies reduziert das Auftreten eines Isolierungsdurchbruchs in dem in der Siliziumcarbid-Halbleitervorrichtung vorgesehenen Gate-Isolierfilm. Als Folge wird der Hauptwandlerschaltung **701**, die im Leistungswandler **700** vorgesehen ist, eine verbesserte Betriebssicherheit verliehen.

[0082] In dem in der fünften bevorzugten Ausführungsform beschriebenen Beispiel wird die vorliegende Erfindung auf einen Dreiphasen-Inverter mit zwei Niveaus angewendet. Die vorliegende Erfindung ist jedoch nicht auf diesen Inverter beschränkt, sondern kann auf verschiedene Arten von Leistungswandlern angewendet werden. Obgleich der in der fünften bevorzugten Ausführungsform beschriebene Leistungswandler ein Leistungswandler mit zwei Niveaus ist, kann er auch ein Leistungswandler mit mehreren Niveaus, wie etwa ein Leistungswandler mit drei Niveaus, sein. Falls Leistung einer einphasigen Last bereitgestellt werden soll, ist die vorliegende Erfindung auf einen einphasigen Inverter anwendbar. Falls einer DC-Last Leistung bereitgestellt werden soll, ist die vorliegende Erfindung beispielsweise auf einen DC/DC-Wandler oder einen AC/DC-Wandler anwendbar.

[0083] Der Leistungswandler, auf den die vorliegende Erfindung angewendet wird, ist nicht auf den vorstehenden Fall, in dem die Last ein Motor ist, beschränkt. Beispielsweise ist der Leistungswandler, auf den die vorliegende Erfindung angewendet wird, als Stromversorgungsvorrichtung für irgendeine einer Elektroerosionsmaschine, einer Lasermaschine, einer Kocheinrichtung mit Induktionsheizung und eines Systems zur kontaktlosen Einspeisung von Leistung verwendbar. Der Leistungswandler, auf den die vorliegende Erfindung angewendet wird, ist ferner beispielsweise als Leistungskonditionierer in einem System zur Solarenergieerzeugung oder einem Elektrizitätsspeichersystem verwendbar.

[0084] Die in jeder der vorstehenden bevorzugten Ausführungsformen im Detail beschriebene Siliziumcarbid-Halbleitervorrichtung ist ein MOSFET. Die Siliziumcarbid-Halbleitervorrichtung kann jedoch ein Metall-Isolator-Halbleiter-Feldeffekttransis-

tor (MISFET) sein, der vom MOSFET verschieden ist. Die Siliziumcarbid-Halbleitervorrichtung kann auch ein anderer Transistor als der MISFET sein und kann beispielsweise ein Bipolartransistor mit isoliertem Gate (IGBT) sein. Ein IGBT kann beispielsweise erhalten werden, indem der Leitfähigkeitstyp des Siliziumcarbidsubstrats invertiert wird.

[0085] Die vorliegende Erfindung ist umsetzbar, indem all die bevorzugten Ausführungsformen frei kombiniert werden oder innerhalb des Umfangs der Erfindung gegebenenfalls jede bevorzugte Ausführungsform modifiziert oder weggelassen wird.

[0086] Obgleich die Erfindung im Detail dargestellt und beschrieben wurde, ist die vorstehende Beschreibung in allen Aspekten veranschaulichend und nicht beschränkend. Es versteht sich daher, dass zahlreiche Modifikationen und Variationen konzipiert werden können, ohne vom Umfang der Erfindung abzuweichen.

Patentansprüche

1. Siliziumcarbid-Halbleitervorrichtung (101 bis 106), umfassend:
 - ein Siliziumcarbidsubstrat (11); und
 - eine Halbleiterschicht (10), die auf dem Siliziumcarbidsubstrat (11) vorgesehen ist, wobei die Halbleiterschicht (10) umfasst:
 - eine Driftschicht (12), die einen ersten Leitfähigkeitstyp aufweist und auf dem Siliziumcarbidsubstrat (11) vorgesehen ist;
 - einen Wannbereich (13), der einen von dem ersten Leitfähigkeitstyp verschiedenen zweiten Leitfähigkeitstyp aufweist und auf der Driftschicht (12) vorgesehen ist;
 - einen Sourcebereich (14), der den ersten Leitfähigkeitstyp aufweist und auf dem Wannbereich (13) vorgesehen ist;
 - einen Gategraben (31), der eine innere Oberfläche mit einem Boden, der bei einer tieferen Position als der Wannbereich (13) gelegen ist, und einem dem Boden zusammenhängenden lateralen Teil aufweist;
 - einen Bereich (16) zur Relaxation eines elektrischen Feldes, der den zweiten Leitfähigkeitstyp aufweist und zumindest einen Teil aufweist, der unter dem Boden des Gategrabens (31) gelegen ist; und
 - einen Bereich (17) zur Relaxation einer Überspannung, der den ersten Leitfähigkeitstyp aufweist, zumindest einen Teil des Bodens des Gategrabens (31) berührt und durch den Bereich (16) zur Relaxation eines elektrischen Feldes von der Driftschicht (12) getrennt ist.
2. Siliziumcarbid-Halbleitervorrichtung (101 bis 106) nach Anspruch 1, wobei der erste Leitfähigkeitstyp ein n-Typ ist und der zweite Leitfähigkeitstyp ein p-Typ ist.

3. Siliziumcarbid-Halbleitervorrichtung (103) nach Anspruch 1 oder 2, ferner umfassend eine mit dem Sourcebereich (14) verbundene Sourceelektrode (24), wobei die Halbleiterschicht (10) einen Sourcegraben (32) enthält, der den Bereich (17) zur Relaxation einer Überspannung erreicht, und die Sourceelektrode (24) durch den Sourcegraben (32) hindurchgeht, um den Bereich (17) zur Relaxation einer Überspannung zu berühren.

4. Siliziumcarbid-Halbleitervorrichtung (103) nach Anspruch 3, wobei der Sourcegraben (32) den Bereich (16) zur Relaxation eines elektrischen Feldes erreicht und die Sourceelektrode (24) durch den Sourcegraben (32) hindurchgeht, um den Bereich (16) zur Relaxation eines elektrischen Feldes zu berühren.

5. Siliziumcarbid-Halbleitervorrichtung (104, 105) nach einem der Ansprüche 1 bis 4, wobei die Halbleiterschicht (10) einen ersten Verbindungsbereich (52) umfasst, der den ersten Leitfähigkeitstyp aufweist, sich entlang der inneren Oberfläche des Gategrabens (31) erstreckt und den Bereich (17) zur Relaxation einer Überspannung mit dem Sourcebereich (14) verbindet.

6. Siliziumcarbid-Halbleitervorrichtung (104, 105) nach Anspruch 5, wobei die Halbleiterschicht (10) einen zweiten Verbindungsbereich (51) umfasst, der den zweiten Leitfähigkeitstyp aufweist und den Bereich (16) zur Relaxation eines elektrischen Feldes mit dem Wannbereich (13) verbindet, und der erste Verbindungsbereich (52) durch den zweiten Verbindungsbereich (51) von der Driftschicht (12) getrennt ist.

7. Siliziumcarbid-Halbleitervorrichtung (106) nach einem der Ansprüche 1 bis 6, wobei der Bereich (16) zur Relaxation eines elektrischen Feldes einen Kontaktteil (16a), der den Gategraben (31) berührt, und einen getrennten Teil (16b) umfasst, der durch den Kontaktteil (16a) vom Gategraben (31) getrennt ist, und der Kontaktteil (16a) eine niedrigere Störstellenkonzentration als der getrennte Teil (16b) aufweist.

8. Leistungswandler (700), umfassend:
eine Hauptwandlerschaltung (701), die die Siliziumcarbid-Halbleitervorrichtung (101 bis 106) nach einem der Ansprüche 1 bis 7 enthält und eingespeiste Leistung in umgewandelte Leistung umwandelt und die umgewandelte Leistung abgibt;
eine Ansteuerschaltung (702), die ein Ansteuersignal zum Ansteuern der Siliziumcarbid-Halbleitervorrichtung (101 bis 106) an die Siliziumcarbid-Halbleitervorrichtung (101 bis 106) abgibt; und
eine Steuerschaltung (703), die ein Steuersignal zum Steuern der Ansteuerschaltung (702) an die Ansteuerschaltung (702) abgibt.

9. Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung (101 bis 106), umfassend:
Präparieren eines Siliziumcarbidsubstrats (11) und einer Halbleiterschicht (10), die auf dem Siliziumcarbidsubstrat (11) vorgesehen wird und eine Driftschicht (12) mit einem ersten Leitfähigkeitstyp enthält;

Ausbilden eines vorläufigen Grabens, indem die Driftschicht (12) geätzt wird;

Ausbilden eines Bereichs (16) zur Relaxation eines elektrischen Feldes, indem Störstellen eines vom ersten Leitfähigkeitstyp verschiedenen zweiten Leitfähigkeitstyps in einen Boden des vorläufigen Grabens implantiert werden;

Ausbilden eines Gategrabens (31), der eine größere Tiefe als der vorläufige Graben aufweist, indem der Boden des vorläufigen Grabens geätzt wird; und

Ausbilden eines Bereichs (17) zur Relaxation einer Überspannung, der zumindest einen Teil eines Bodens des Gategrabens (31) berührt und durch den Bereich (16) zur Relaxation eines elektrischen Feldes von der Driftschicht (12) getrennt ist, indem Störstellen des ersten Leitfähigkeitstyps in den Boden des Gategrabens (31) implantiert werden.

10. Verfahren zum Herstellen einer Siliziumcarbid-Halbleitervorrichtung (104), umfassend ein Siliziumcarbidsubstrat (11) und eine Halbleiterschicht (10), die auf dem Siliziumcarbidsubstrat (11) vorgesehen ist, wobei die Halbleiterschicht (10) eine Driftschicht (12), einen Wannbereich (13), einen Sourcebereich (14), einen Gategraben (31), einen Bereich (16) zur Relaxation eines elektrischen Feldes, einen Bereich (17) zur Relaxation einer Überspannung, einen ersten Verbindungsbereich (52) und einen zweiten Verbindungsbereich (51) umfasst, wobei die Driftschicht (12) einen ersten Leitfähigkeitstyp aufweist und auf dem Siliziumcarbidsubstrat (11) vorgesehen ist, wobei der Wannbereich (13) einen vom ersten Leitfähigkeitstyp verschiedenen zweiten Leitfähigkeitstyp aufweist und auf der Driftschicht (12) vorgesehen ist, wobei der Sourcebereich (14) den ersten Leitfähigkeitstyp aufweist und auf dem Wannbereich (13) vorgesehen ist, wobei der Gategraben (31) eine innere Oberfläche mit einem Boden, der bei einer tieferen Position als der Wannbereich (13) gelegen ist, und einem mit dem Boden zusammenhängenden lateralen Teil aufweist, wobei der Bereich (16) zur Relaxation eines elektrischen Feldes den zweiten Leitfähigkeitstyp aufweist und zumindest einen Teil aufweist, der unter dem Boden des Gategrabens (31) gelegen ist, wobei der Bereich (17) zur Relaxation einer Überspannung den ersten Leitfähigkeitstyp aufweist, zumindest einen Teil des Bodens des Gategrabens (31) berührt und durch den Bereich (16) zur Relaxation eines elektrischen Feldes von der Driftschicht (12) getrennt ist, wobei der erste Verbindungsbereich (52) den ersten Leitfähigkeitstyp aufweist, sich entlang der inneren Oberfläche des Gategrabens (31) erstreckt und den Bereich (17) zur Re-

laxation einer Überspannung mit dem Sourcebereich (14) verbindet, wobei der zweite Verbindungsbereich (51) den zweiten Leitfähigkeitstyp aufweist und den Bereich (16) zur Relaxation eines elektrischen Feldes mit dem Wannbereich (13) verbindet, wobei der erste Verbindungsbereich (52) durch den zweiten Verbindungsbereich (51) von der Driftschicht (12) getrennt ist, wobei das Verfahren umfasst:

Ausbilden des Gategrabens (31), indem die Halbleiterschicht (10) geätzt wird;

Ausbilden des ersten Verbindungsbereichs (52), indem Störstellen des ersten Leitfähigkeitstyps mittels einer schrägen Ionenimplantation in den lateralen Teil des Gategrabens (31) hinzugefügt werden; und

Ausbilden des zweiten Verbindungsbereichs (51), indem Störstellen des zweiten Leitfähigkeitstyps mittels einer rotierenden Ionenimplantation in den lateralen Teil des Gategrabens (31) hinzugefügt werden.

Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

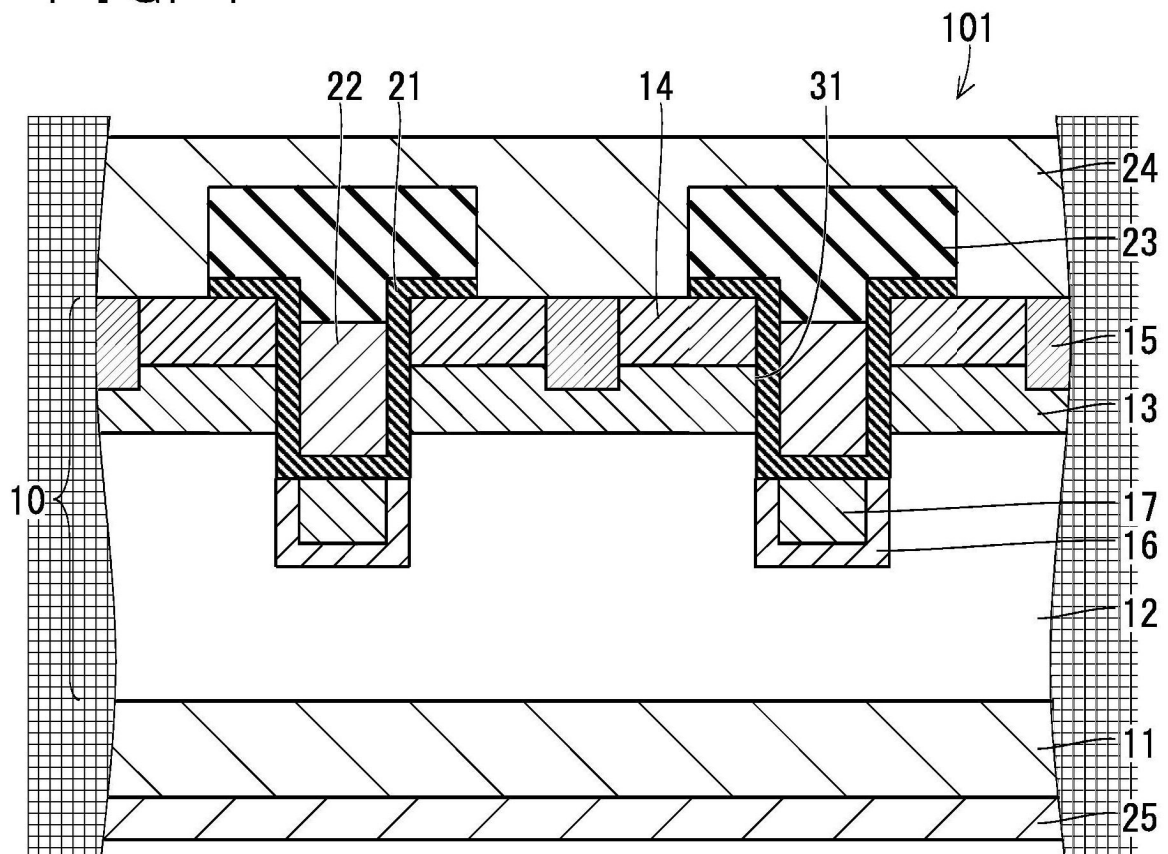


FIG. 2

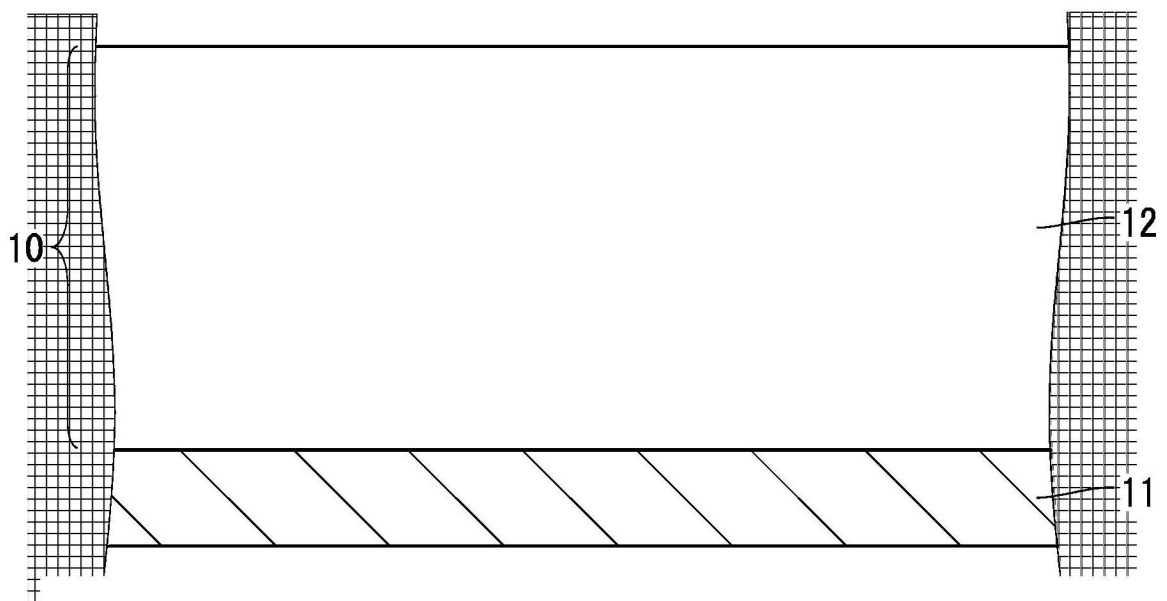


FIG. 5

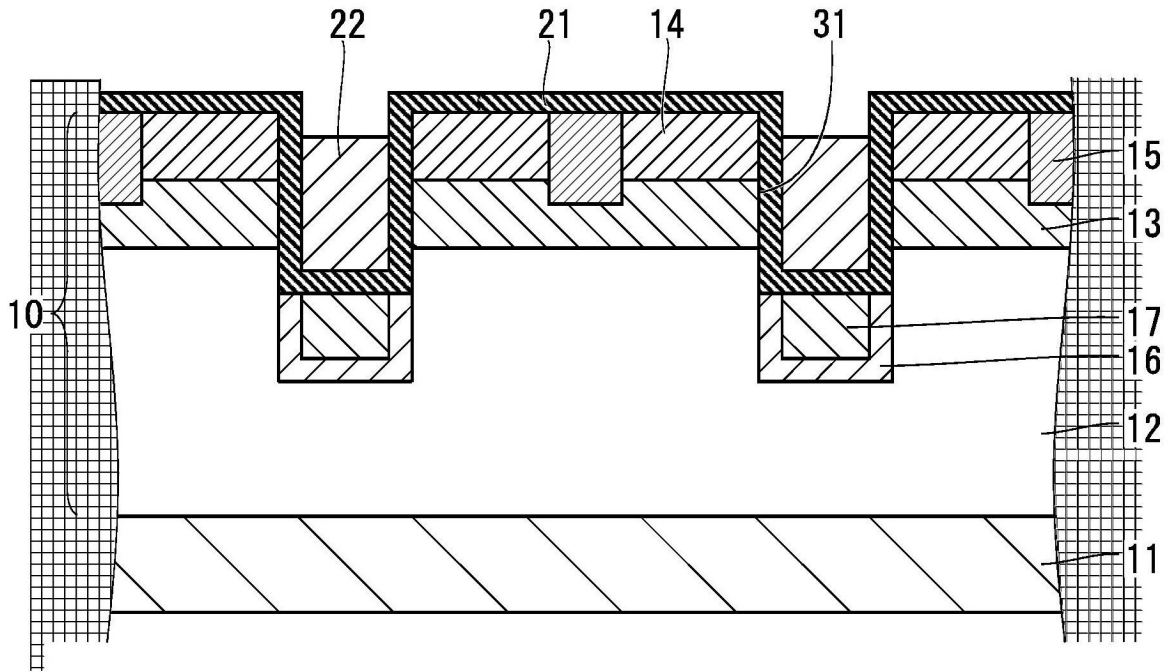


FIG. 6

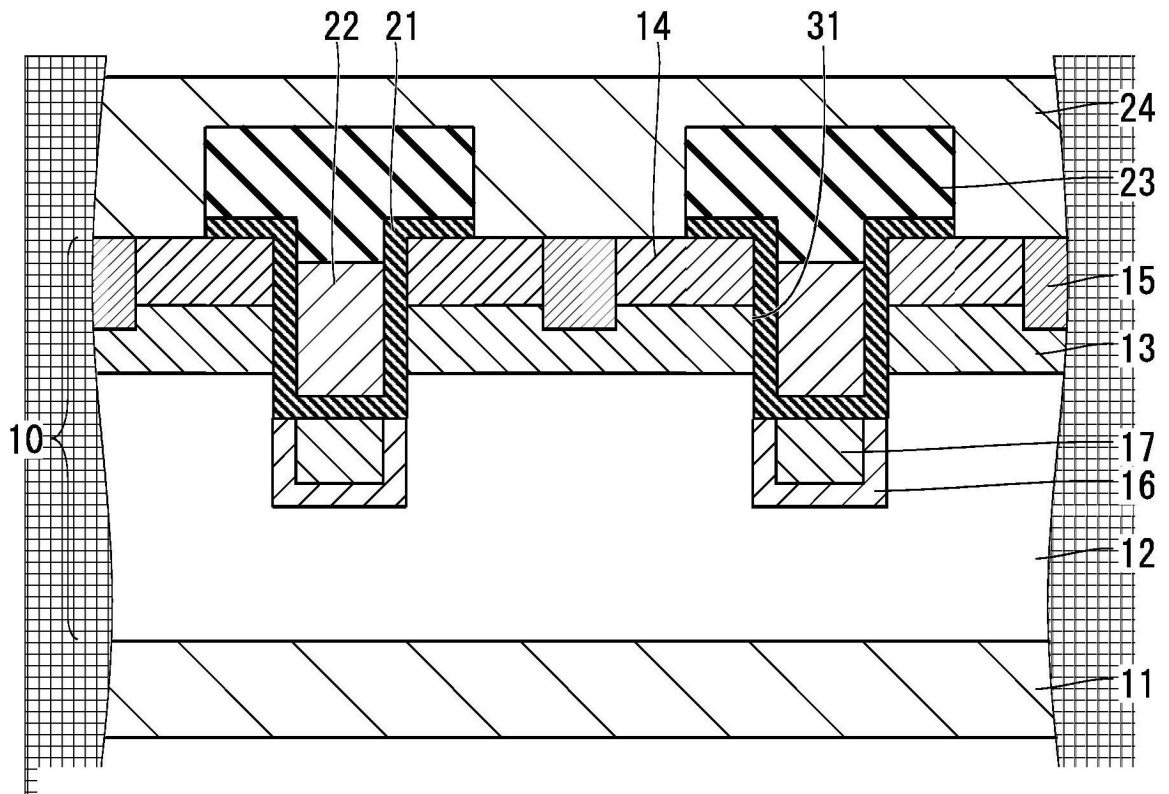


FIG. 7

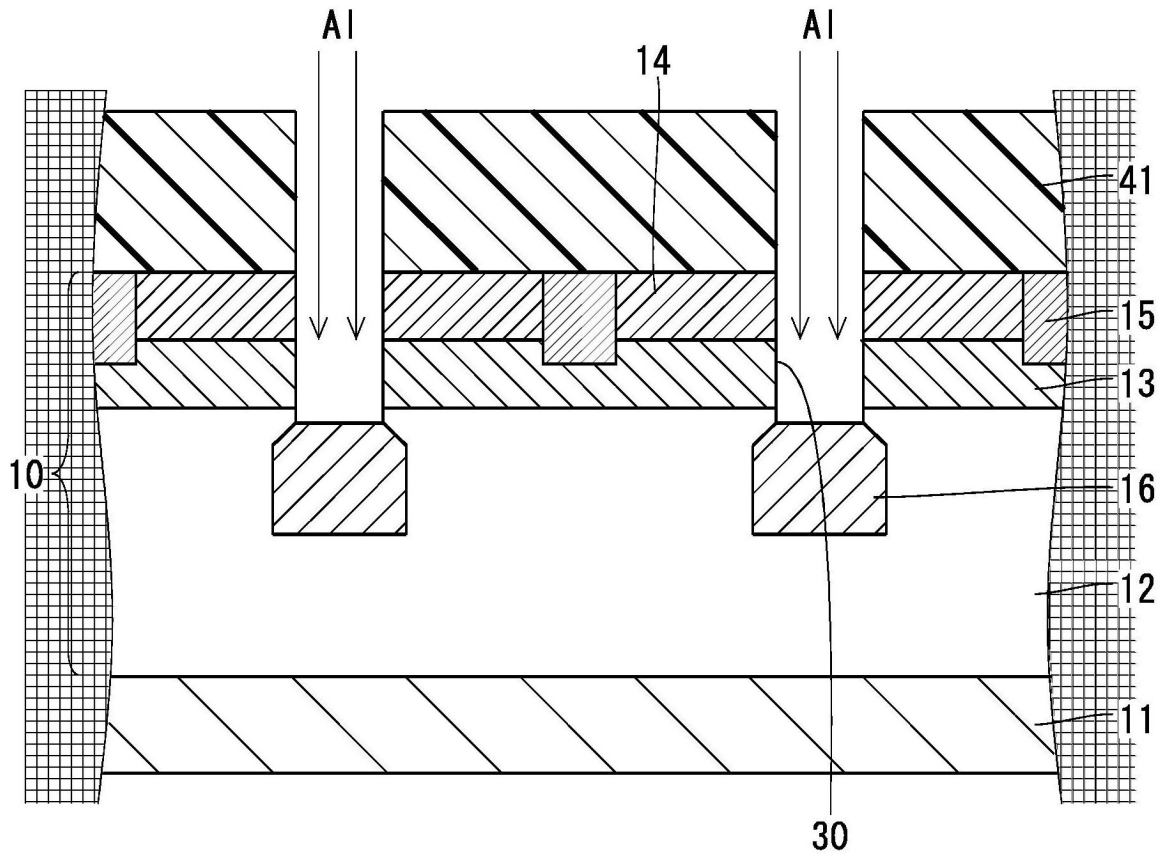


FIG. 8

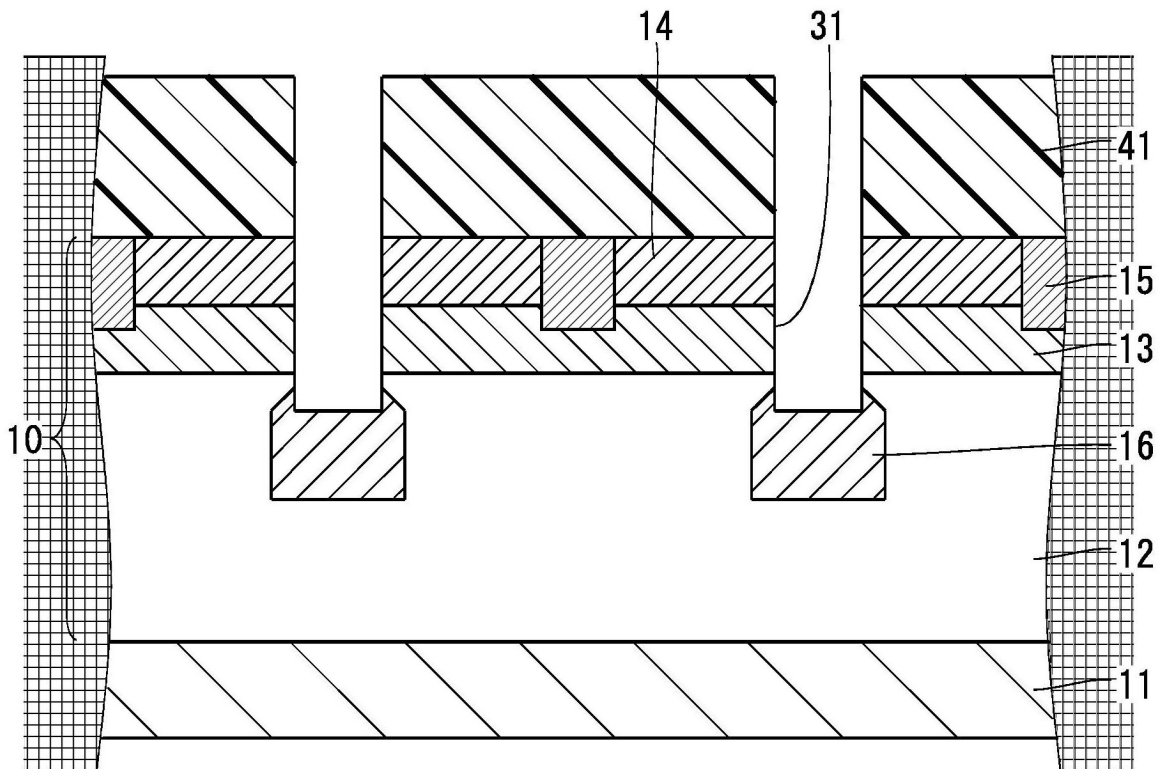


FIG. 9

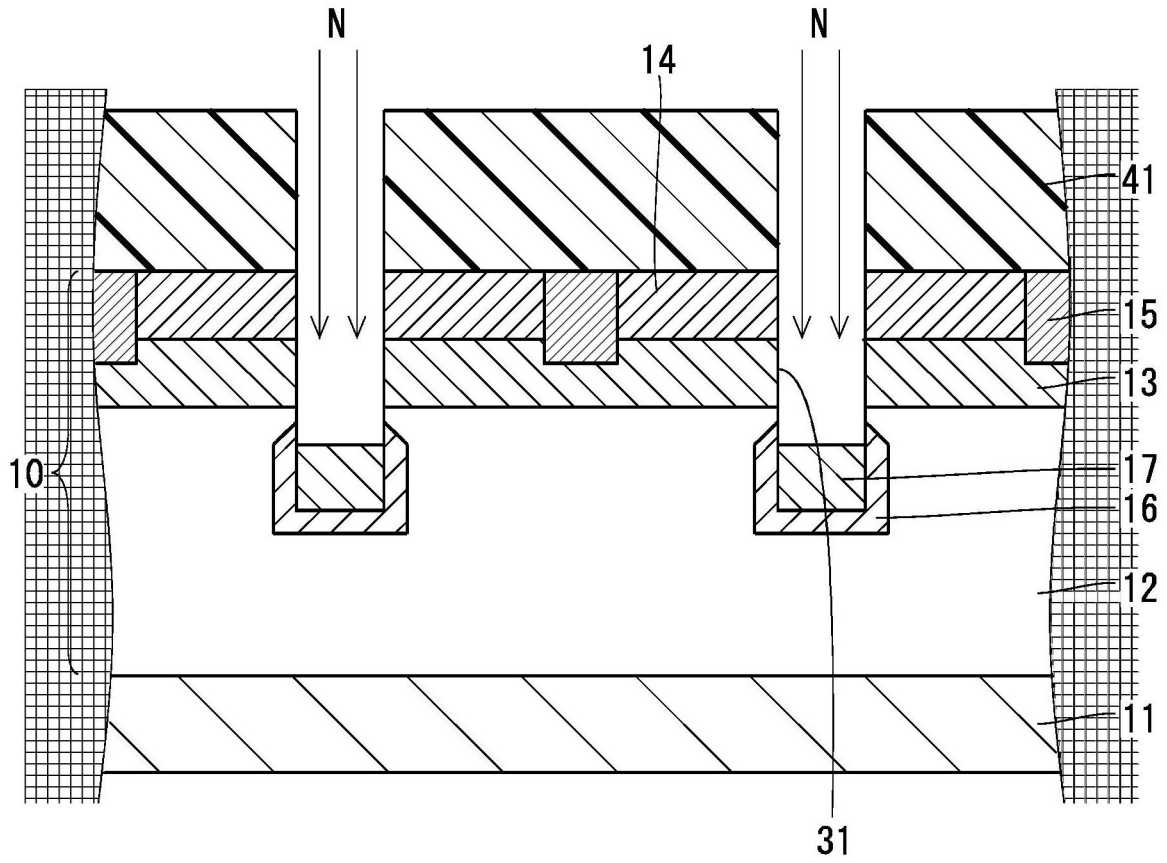


FIG. 10

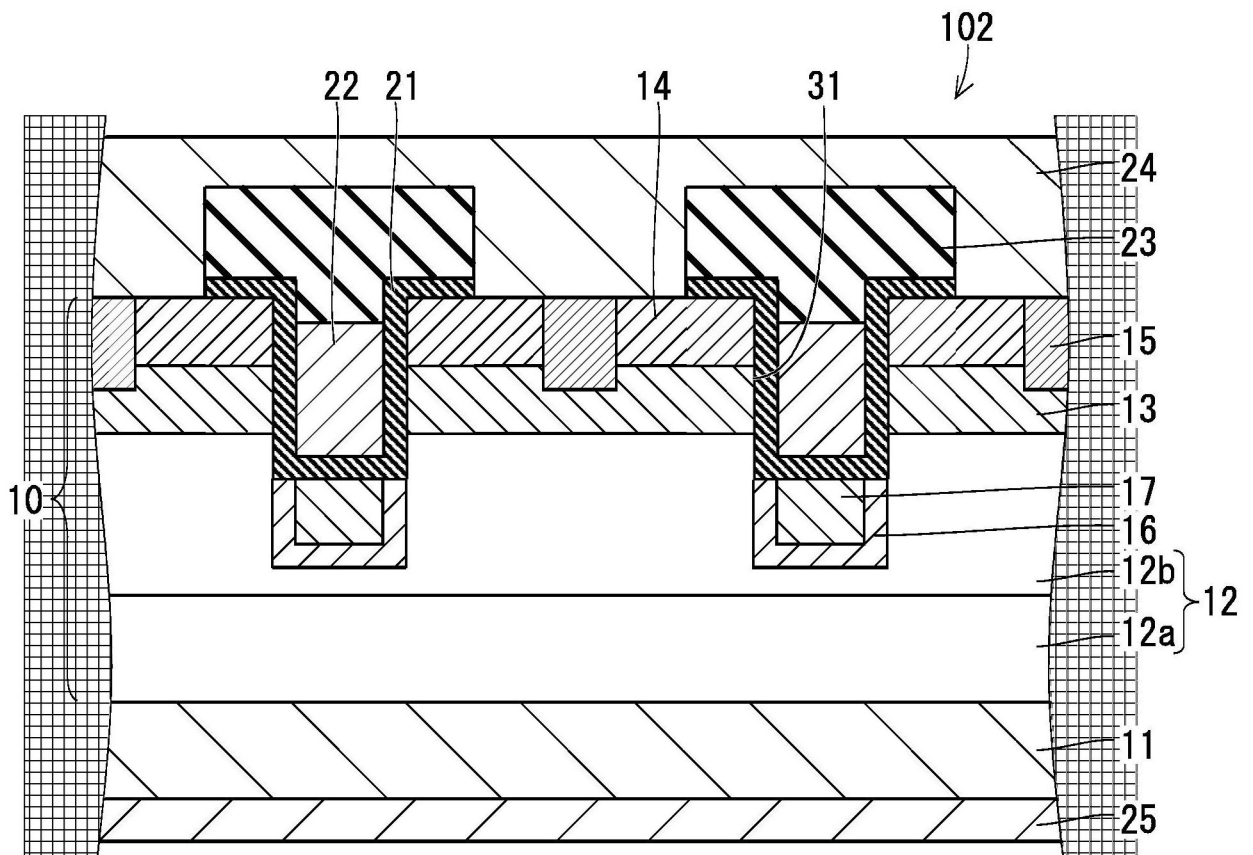


FIG. 11

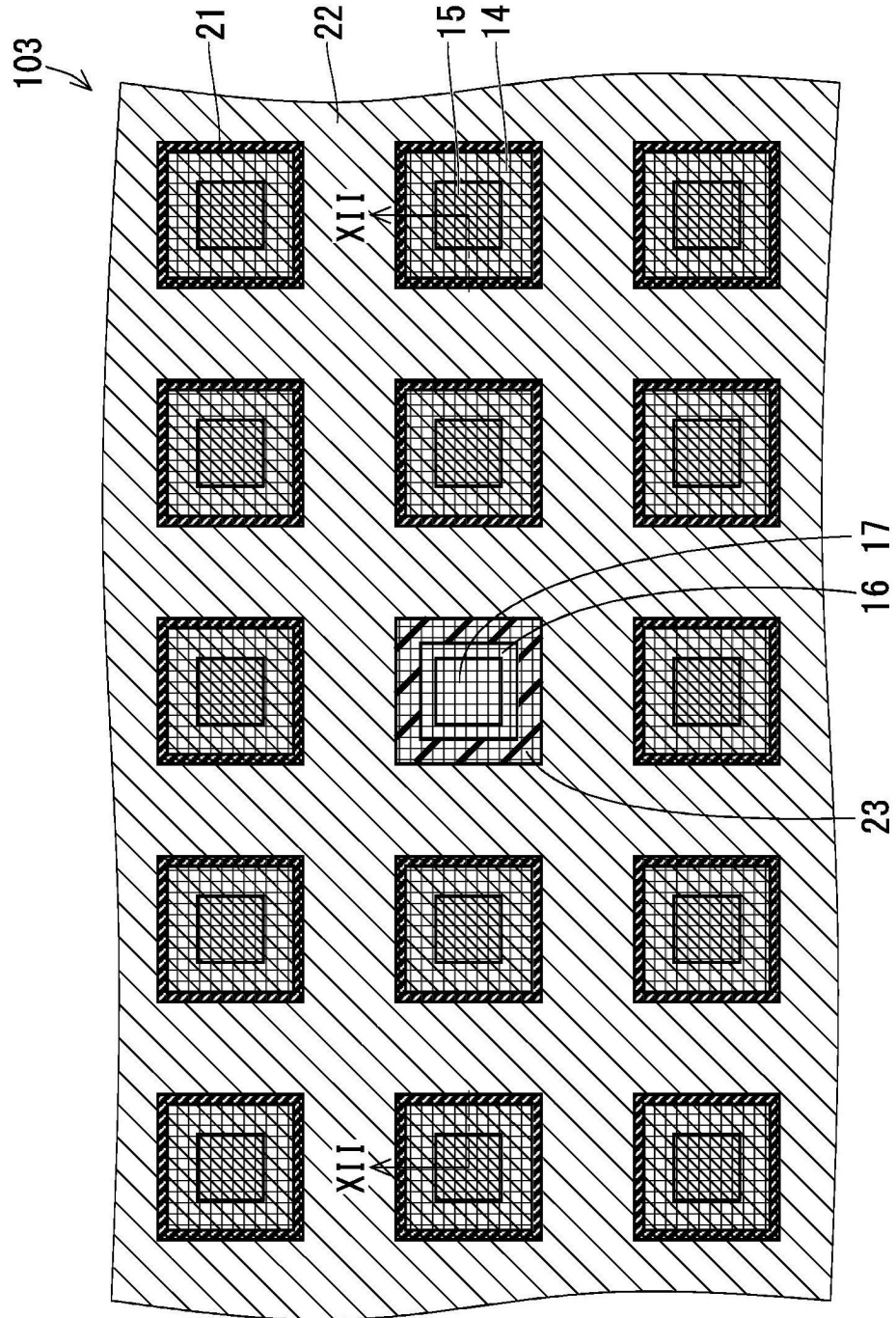


FIG. 12

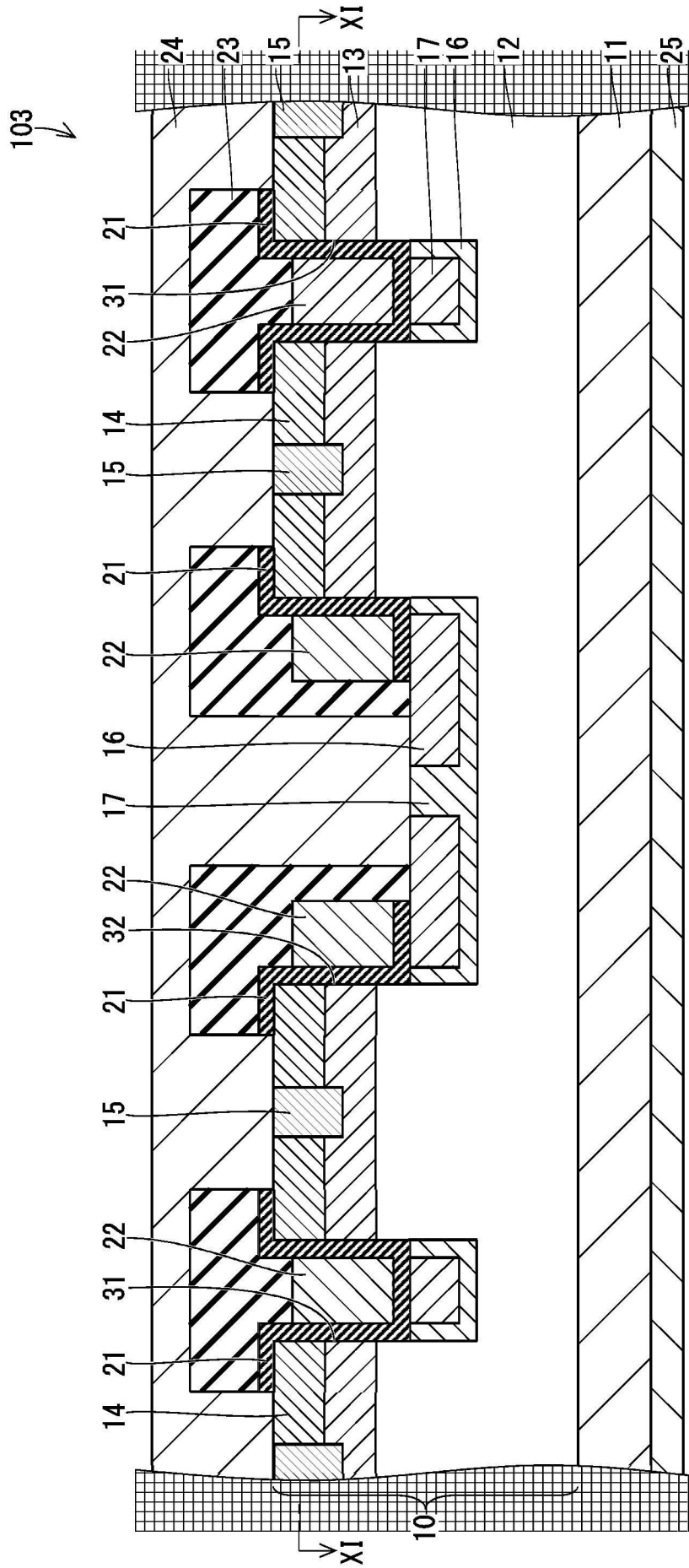


FIG. 13

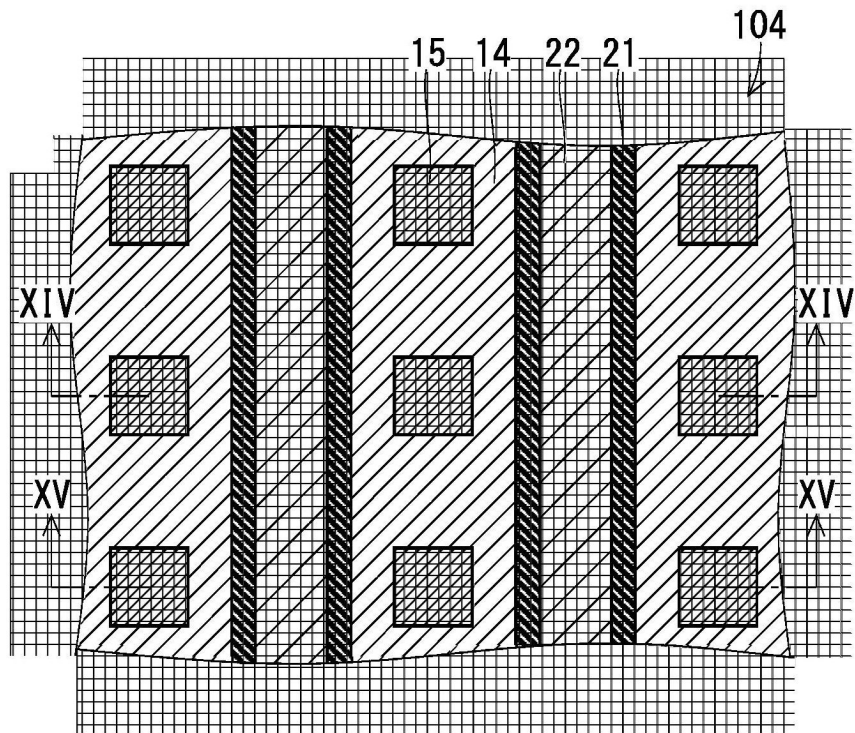


FIG. 14

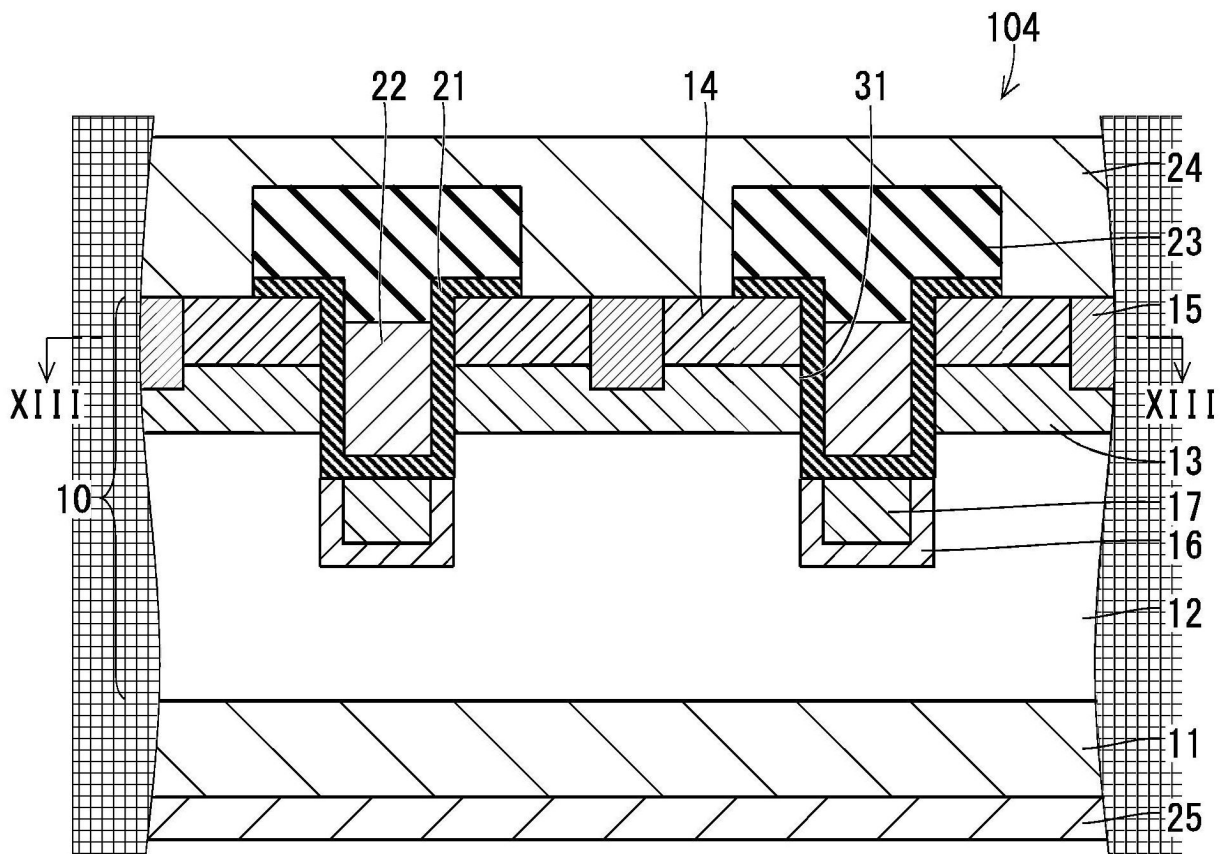


FIG. 15

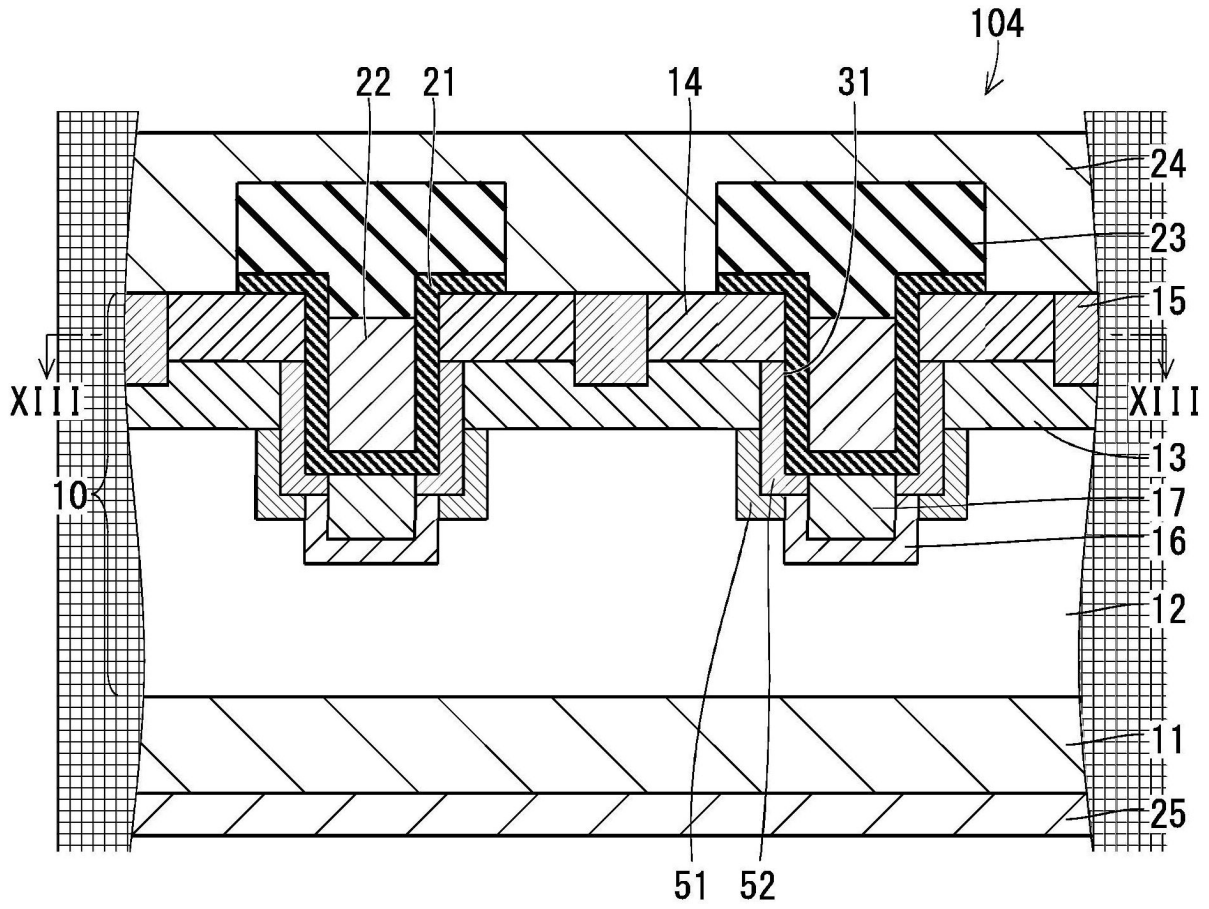


FIG. 16

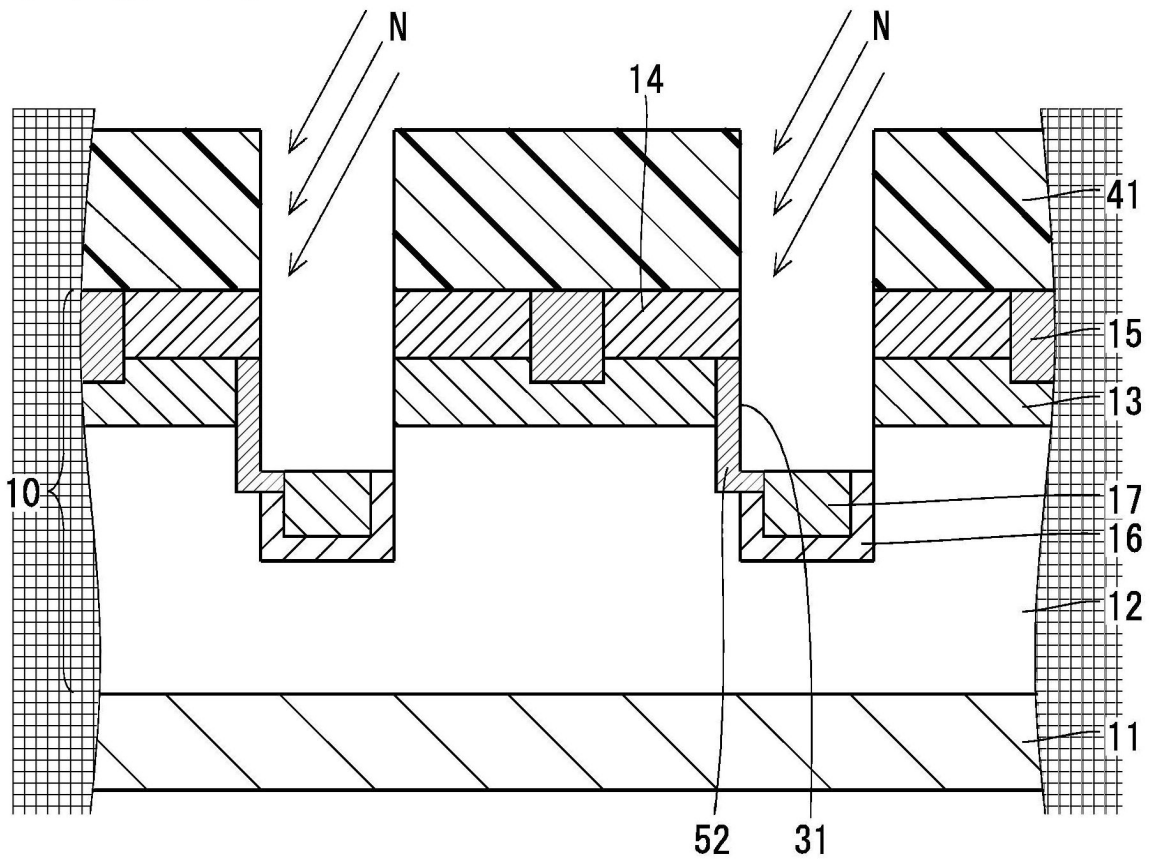


FIG. 17

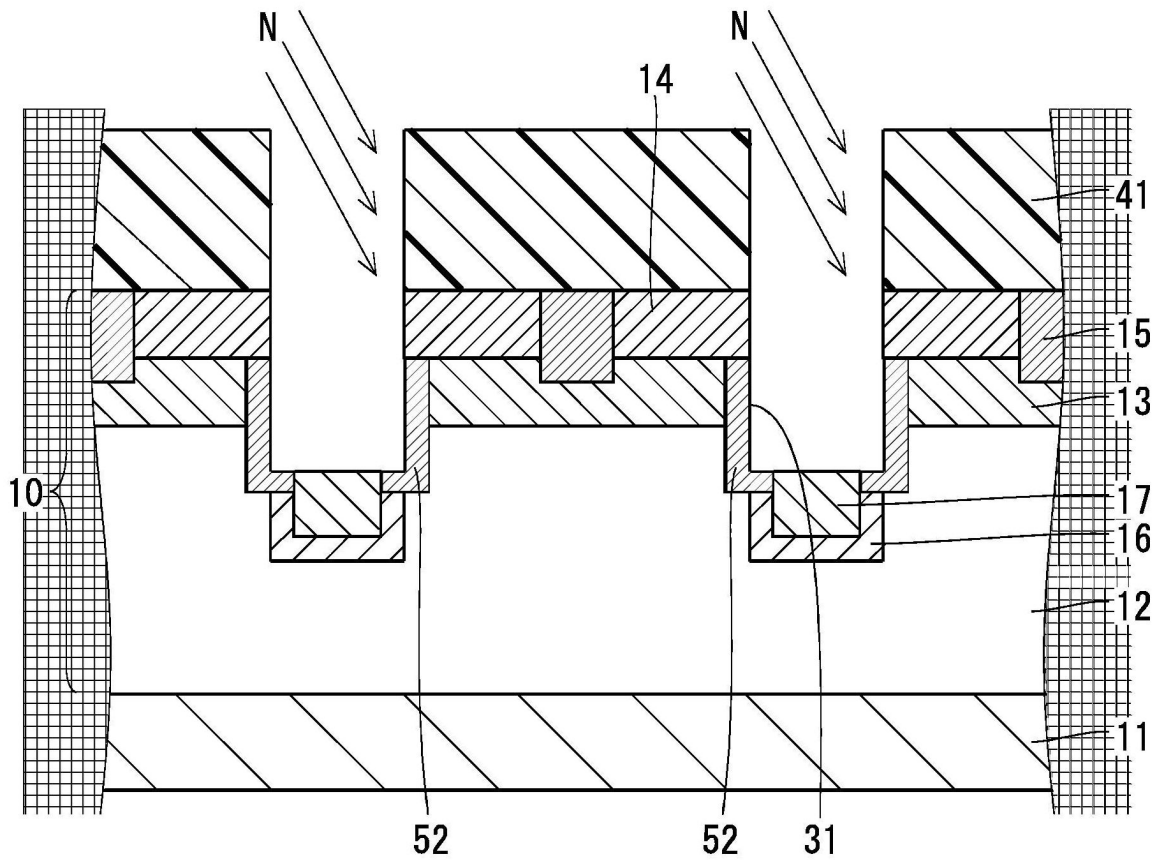


FIG. 18

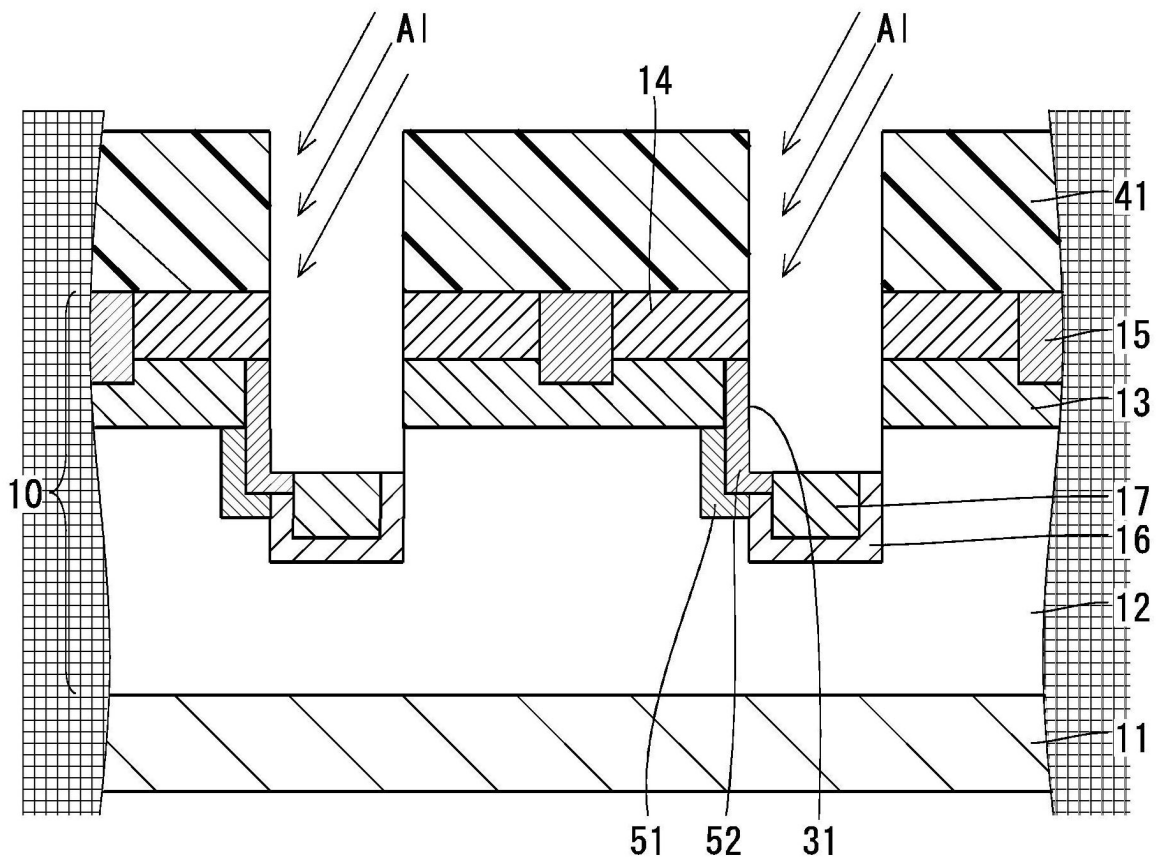


FIG. 19

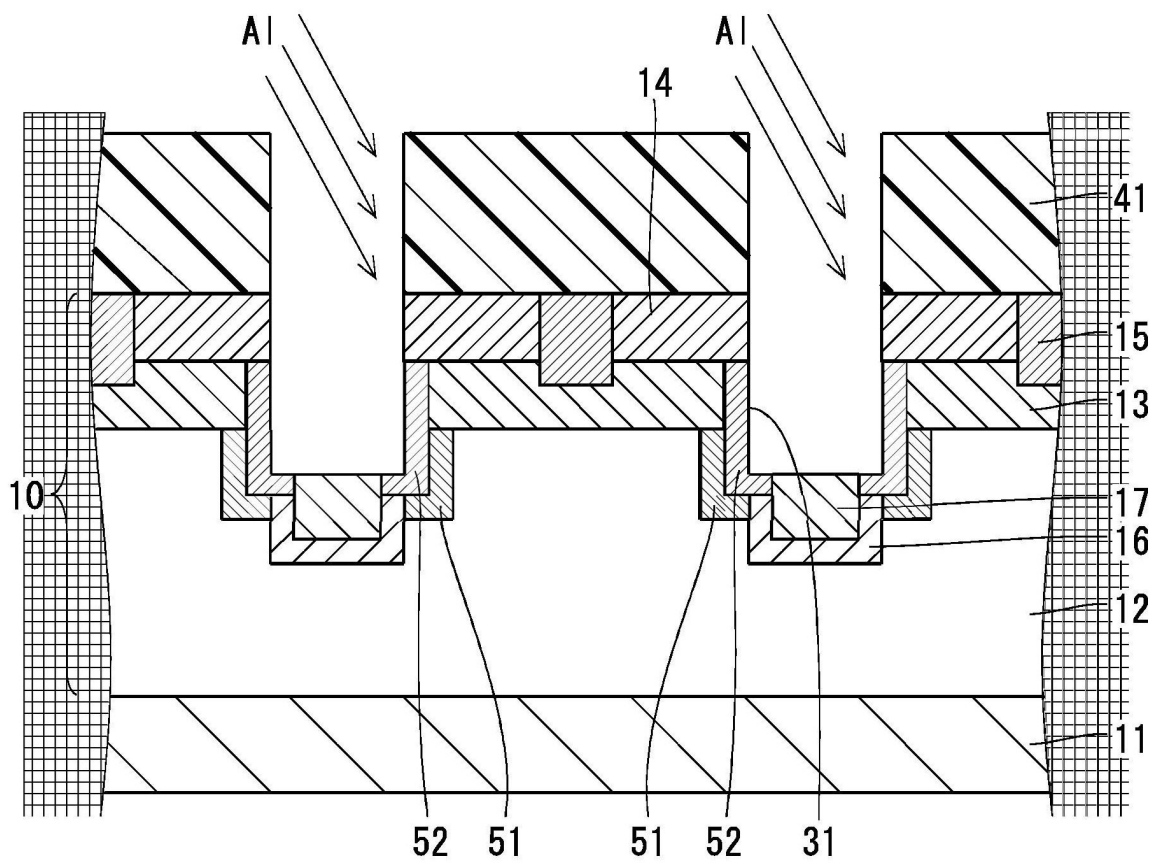


FIG. 20

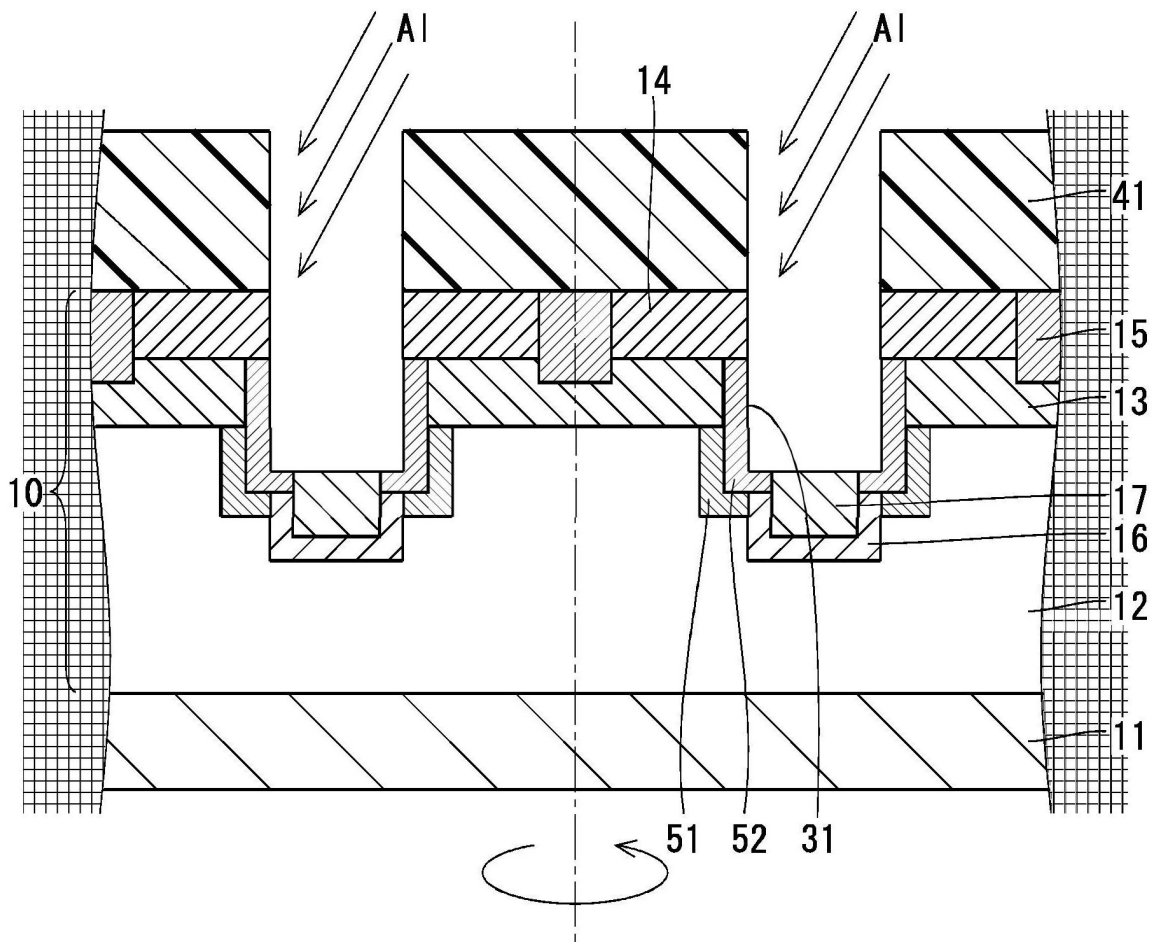


FIG. 21

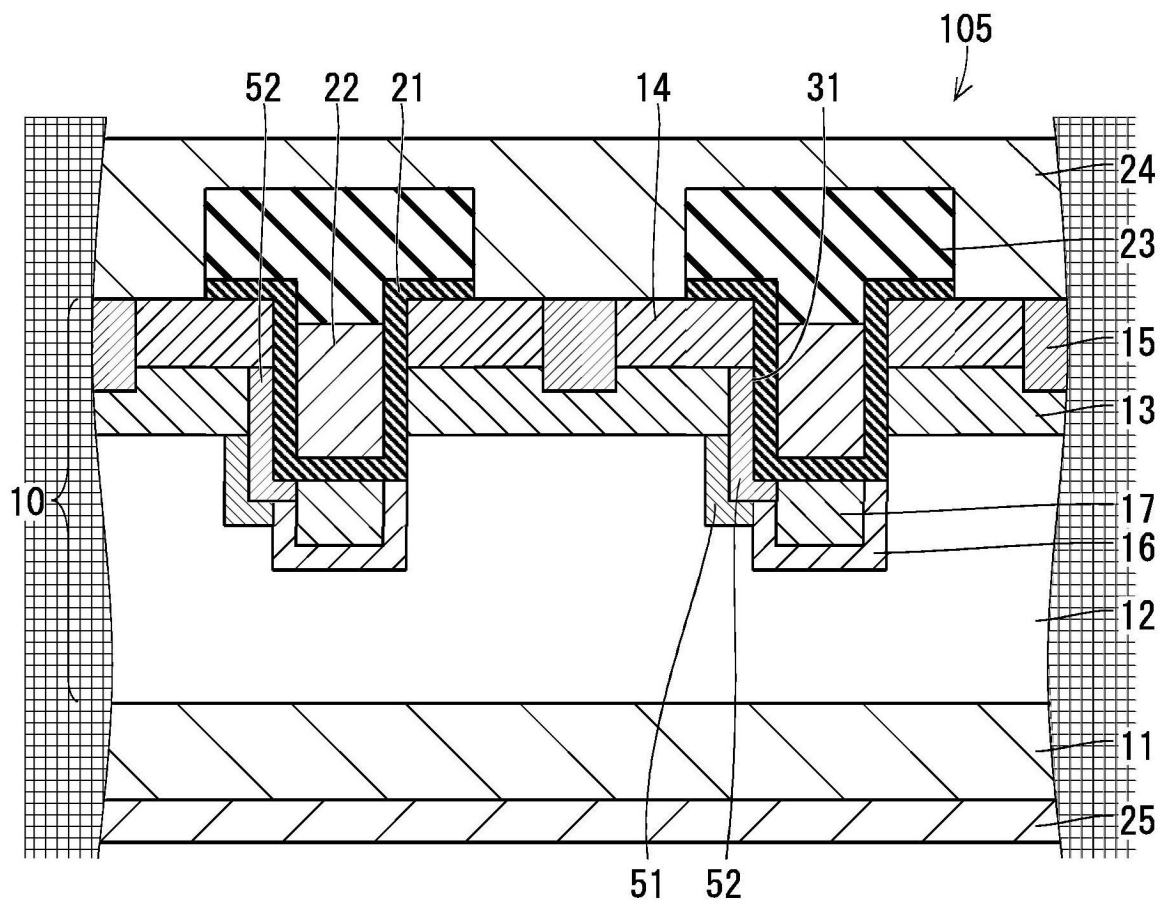


FIG. 22

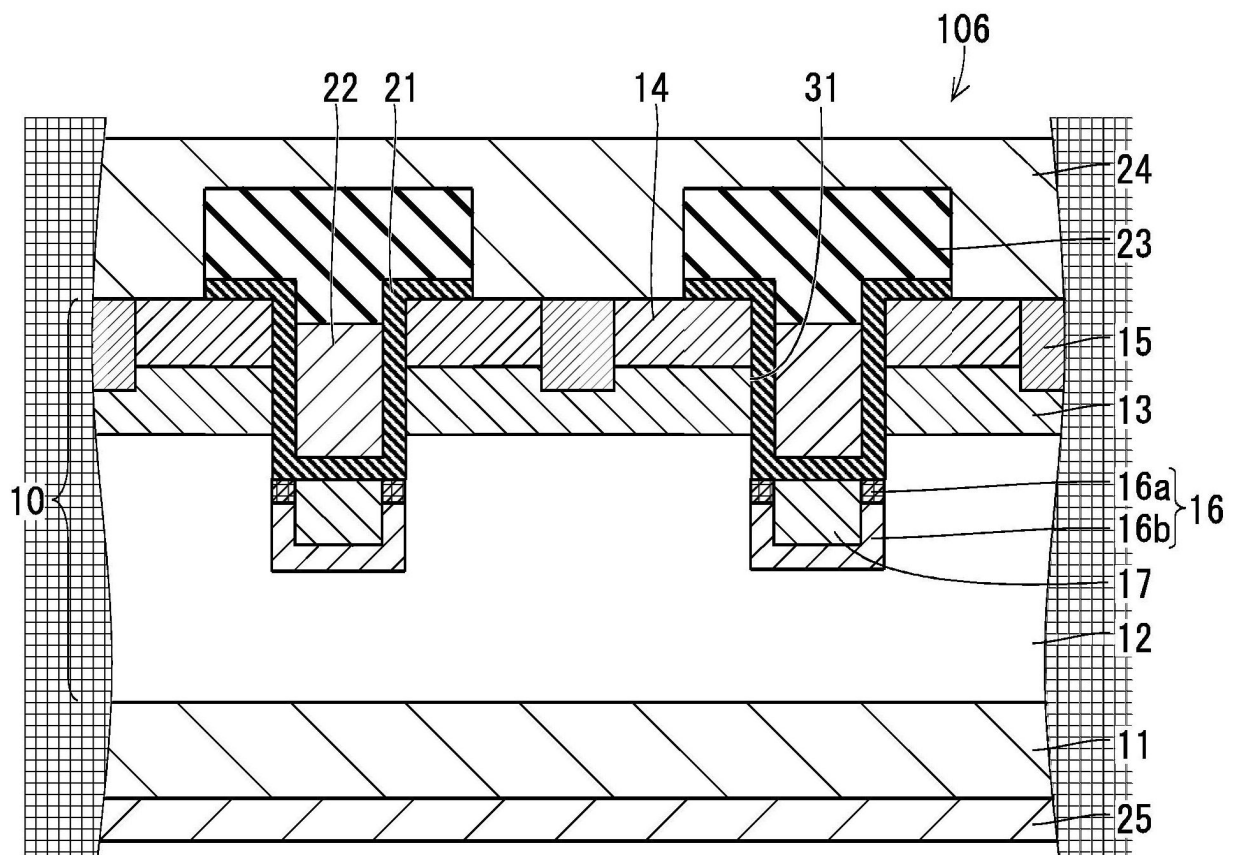


FIG. 23

