

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4669246号
(P4669246)

(45) 発行日 平成23年4月13日 (2011. 4. 13)

(24) 登録日 平成23年1月21日 (2011. 1. 21)

(51) Int. Cl.

F I

H O 1 L 27/04 (2006. 01)

H O 1 L 27/04 C

H O 1 L 21/822 (2006. 01)

H O 1 L 21/88 Z

H O 1 L 21/3205 (2006. 01)

H O 1 L 27/04 A

H O 1 L 23/52 (2006. 01)

H O 1 L 27/06 1 O 2 A

H O 1 L 27/06 (2006. 01)

請求項の数 7 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2004-236770 (P2004-236770)
 (22) 出願日 平成16年8月16日 (2004. 8. 16)
 (65) 公開番号 特開2006-54402 (P2006-54402A)
 (43) 公開日 平成18年2月23日 (2006. 2. 23)
 審査請求日 平成19年7月12日 (2007. 7. 12)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100110928
 弁理士 速水 進治
 (72) 発明者 益岡 完明
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 大窪 宏明
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 中柴 康隆
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

表層に導電層が設けられた半導体基板と、
 前記半導体基板の表面のうち平坦な部分上に設けられた容量膜と、
 前記容量膜上に設けられ、前記容量膜を挟んで対向する前記導電層との間で容量素子を構成する上部電極と、
 前記半導体基板に設けられたトランジスタと、
 前記トランジスタ上に設けられた層間窒化膜と、
 前記層間窒化膜上に設けられた絶縁膜と、を備え、
 前記容量膜は、前記トランジスタのゲート絶縁膜に比して厚く、
 前記絶縁膜は、前記容量膜と一体となって設けられている、半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置において、
 前記容量膜は、前記半導体基板側の表層に設けられた、金属元素の拡散を防止する絶縁膜を有する、半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、
 前記容量膜は、シリコン酸化膜よりも高い誘電率をもつ高誘電率膜である、半導体装置。

。

【請求項 4】

20

請求項 1 から 3 の何れか一項に記載の半導体装置において、
前記容量膜は、前記トランジスタのゲート絶縁膜に比して電氣的換算膜厚が薄い、半導体装置。

【請求項 5】

請求項 1 から 4 の何れか一項に記載の半導体装置において、
前記半導体基板における前記容量膜が設けられている部分は、シリサイド化されていない、半導体装置。

【請求項 6】

半導体基板に、不純物を導入して形成される不純物拡散層を形成する導電層形成工程と
、
前記半導体基板上にトランジスタを形成する工程と、
前記トランジスタ上に層間窒化膜を形成する工程と、
前記層間窒化膜上、および前記導電層が形成された前記半導体基板の表面のうち平坦な部分上に容量膜を形成する容量膜形成工程と、
前記容量膜上に、前記容量膜を挟んで対向する前記導電層との間で容量素子を構成する上部電極を形成する電極形成工程と、をこの順番で含み、

前記容量膜は、前記トランジスタのゲート絶縁膜に比して厚く形成されている、半導体装置の製造方法。

【請求項 7】

請求項 6 に記載の半導体装置の製造方法において、
前記半導体基板は、トランジスタ形成領域と容量素子形成領域とを有し、
前記トランジスタ形成領域に前記トランジスタを形成する工程と、
前記容量素子形成領域にシリサイドブロックを形成するシリサイドブロック形成工程と、
をこの順番で含み、

前記トランジスタを形成する前記工程および前記シリサイドブロック形成工程よりも後に、前記半導体基板の表面における前記シリサイドブロックが形成されていない部分をシリサイド化するシリサイド工程を行い、

前記シリサイド工程よりも後に前記シリサイドブロックを除去するシリサイドブロック除去工程を行い、

前記容量膜形成工程は、前記シリサイドブロック除去工程よりも後に実行される、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

従来の半導体装置としては、例えば特許文献 1，2 に記載されたものがある。特許文献 1 に記載の半導体装置は、トランジスタと同一の基板上に設けられた容量素子を備えている。この半導体装置において、半導体基板上には下部電極として機能する金属膜が設けられており、この金属膜上に容量膜および上部電極が順に積層されている。

【0003】

また、特許文献 2 に記載の半導体装置においては、半導体基板の容量素子形成領域にトレンチが設けられている。このトレンチにより表面に凹凸が形成された半導体基板上に、容量膜および上部電極が順に積層されている。また、半導体基板の表層には不純物拡散層が設けられており、これらの不純物拡散層、容量膜および上部電極により容量素子が構成されている。

【特許文献 1】特開 2003 - 17592 号公報

【特許文献 2】特開 2002 - 222924 号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1, 2に記載の半導体装置には、以下に述べるように、容量素子の容量値の均一性という点で改善の余地がある。

【0005】

特許文献1に記載の半導体装置においては、容量膜を金属膜上に直接形成している。ところが、金属膜は半導体基板等に比して表面が粗いたため、膜厚が均一になるように容量膜を形成することが困難である。容量膜の膜厚の不均一性は、容量値の空間的なばらつきにつながってしまう。

【0006】

また、特許文献2に記載の半導体装置においては、表面に凹凸が形成された半導体基板上に容量膜を形成している。この場合、凹部と凸部とでは容量膜の成膜状態が相違するため、容量膜の膜厚を均一にすることが困難である。同様に、凹部の底面と側面との間においても、均一な膜厚を得ることが困難である。

【0007】

本発明は、上記課題に鑑みてなされたものであり、容量値の均一性が高い容量素子を備える半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明によれば、

表層に導電層が設けられた半導体基板と、

前記半導体基板の表面のうち平坦な部分上に設けられた容量膜と、

前記容量膜上に設けられ、前記容量膜を挟んで対向する前記導電層との間で容量素子を構成する上部電極と、

前記半導体基板に設けられたトランジスタと、

前記トランジスタ上に設けられた層間窒化膜と、

前記層間窒化膜上に設けられた絶縁膜と、を備え、

前記容量膜は、前記トランジスタのゲート絶縁膜に比して厚く、

前記絶縁膜は、前記容量膜と一体となって設けられている、半導体装置が提供される。

【0009】

この半導体装置においては、半導体基板上の実質的に平坦な部分に容量膜が設けられている。半導体基板は金属等に比べて表面が滑らかなため、膜厚の均一性が高い容量膜を設けることができる。したがって、容量値の均一性が高い容量素子を備える半導体装置が実現される。

【0010】

容量膜は、半導体基板側の表層に設けられた、金属元素の拡散を防止する絶縁膜を有していてもよい。これにより、容量膜中の金属元素が半導体基板に拡散するのを防ぐことができる。

【0011】

容量膜は、シリコン酸化膜よりも高い誘電率をもつ高誘電率膜であってもよい。容量素子におけるリーク電流を抑制する上では容量膜が厚い方が好ましい。しかし、容量膜を厚くするほど、容量値が小さくなってしまう。この点、容量膜に高誘電率膜を用いることにより、大きな容量値を確保しつつ、リーク電流を抑制するのに十分な膜厚とすることができる。

【0012】

上記半導体装置は、半導体基板に設けられ、当該半導体装置の内部回路を構成するトランジスタを備え、容量膜は、トランジスタのゲート絶縁膜に比して厚くてもよい。これにより、容量素子におけるリーク電流を抑制することができる。また、この場合において、容量膜は、トランジスタのゲート絶縁膜に比して電気的換算膜厚が薄くてもよい。これにより、リーク電流を抑制しつつ、大きな容量値を得ることができる。

10

20

30

40

50

【 0 0 1 3 】

ここで、容量膜の電気的換算膜厚とは、その容量膜が呈する容量値に対して、それと同じ容量値を呈するシリコン酸化膜の膜厚のことである。

【 0 0 1 4 】

上記半導体装置は、トランジスタ上に設けられた層間窒化膜と、層間窒化膜上に設けられた絶縁膜と、を備え、絶縁膜は、容量膜と一体となって設けられていてもよい。層間窒化膜上に上記絶縁膜が設けられていることにより、層間窒化膜の厚みを所望に設計することができる。また、この半導体装置の製造工程において、この絶縁膜は容量膜と同一工程で形成することができる。なお、層間窒化膜の窒化膜には、S i O N等の酸窒化膜も含まれる。

10

【 0 0 1 5 】

半導体基板における容量膜が設けられている部分は、シリサイド化されていなくてもよい。シリサイド表面よりもシリサイド化されていない半導体基板表面の方が滑らかであるため、シリサイド上に容量膜を設ける場合に比して、容量膜の膜厚の均一性を高めるのに適している。

【 0 0 1 6 】

また、本発明によれば、

半導体基板に、不純物を導入して形成される不純物拡散層を形成する導電層形成工程と

、

前記半導体基板上にトランジスタを形成する工程と、

前記トランジスタ上に層間窒化膜を形成する工程と、

前記層間窒化膜上、および前記導電層が形成された前記半導体基板の表面のうち平坦な部分上に容量膜を形成する容量膜形成工程と、

前記容量膜上に、前記容量膜を挟んで対向する前記導電層との間で容量素子を構成する上部電極を形成する電極形成工程と、をこの順番で含み、

前記容量膜は、前記トランジスタのゲート絶縁膜に比して厚く形成されている、半導体装置の製造方法が提供される。

20

【 0 0 1 7 】

この製造方法においては、半導体基板上の実質的に平坦な部分に容量膜を形成している。半導体基板は金属等に比べて表面が滑らかなため、膜厚の均一性が高い容量膜を形成することができる。したがって、容量値の均一性が高い容量素子を備える半導体装置を得ることができる。

30

【 0 0 1 8 】

半導体基板は、トランジスタ形成領域と容量素子形成領域とを有し、上記製造方法は、トランジスタ形成領域にトランジスタを形成するトランジスタ形成工程と、容量素子形成領域にシリサイドブロックを形成するシリサイドブロック形成工程と、トランジスタ形成工程およびシリサイドブロック形成工程よりも後に、半導体基板の表面におけるシリサイドブロックが形成されていない部分をシリサイド化するシリサイド工程と、シリサイド工程よりも後にシリサイドブロックを除去するシリサイドブロック除去工程と、を含み、容量膜形成工程は、シリサイドブロック除去工程よりも後に実行されてもよい。

40

【 0 0 1 9 】

この製造方法によれば、トランジスタ部分のみシリサイド化され、容量素子部分はシリサイド化されていないという構成の半導体装置を得ることができる。かかる構成は、トランジスタにおける寄生抵抗の低減および容量素子における容量膜の均一性の双方に適している。

【 発明の効果 】

【 0 0 2 0 】

本発明によれば、容量値の均一性が高い容量素子を備える半導体装置およびその製造方法が実現される。

【 発明を実施するための最良の形態 】

50

【 0 0 2 1 】

以下、図面を参照しつつ、本発明による半導体装置およびその製造方法の好適な実施形態について詳細に説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

【 0 0 2 2 】

図 1 は、本発明による半導体装置の一実施形態を示す断面図である。半導体装置 1 は、容量素子形成領域 2 0 およびトランジスタ形成領域 3 0 を有しており、それぞれの領域に容量素子およびトランジスタが設けられている。半導体装置 1 の容量素子形成領域 2 0 において、P 型の半導体基板 1 0 の表層には、導電層として N 型ウエル 2 2 が形成されている。N 型ウエル 2 2 の一部には、ウエルコンタクト用の拡散層 2 3 が形成されており、拡散層 2 3 の表層部分 2 3 a は、シリサイド化されている。シリサイドとしては、例えば CoNi_2 または NiSi である。この拡散層 2 3 が形成された部分は、後述する下部電極用のコンタクト 5 4 と接する部分である。N 型ウエル 2 2 が形成された半導体基板 1 0 の表面には、容量膜 2 4 が直接に成膜されている。ここで、半導体基板 1 0 表面における容量膜 2 4 が成膜された部分は、実質的に平坦である。また、半導体基板 1 0 における容量膜 2 4 が設けられている部分は、シリサイド化されていない。

10

【 0 0 2 3 】

容量膜 2 4 は、シリコン酸化膜よりも高い誘電率をもつ高誘電率膜である。このような膜材料として、ジルコニウム、ハフニウム、ランタノイド、アルミニウム、インジウム、ガリウムまたはその酸化物が例示される。すなわち、 Zr 、 Hf 、 Pr 、 La 、 Lu 、 Eu 、 Yb 、 Sm 、 Ho 、 Ce 、 Al 、 In 、 Ga およびこれらの酸化物が挙げられる。具体的には、 ZrO_x 、 HfO_2 、 HfSiO 、 HfO_x 、 HfAlO_x 、 Al_2O_3 、 In_2O_3 、 Ga_2O_3 等が挙げられる。

20

【 0 0 2 4 】

また、容量膜 2 4 の一部には、金属元素の拡散を防止する絶縁膜（金属元素拡散防止膜）2 4 a が形成されている。具体的には、容量膜 2 4 における半導体基板 1 0 側の表層に金属元素拡散防止膜 2 4 a が形成されている。金属元素拡散防止膜 2 4 a としては、例えば SiO_2 膜を用いることができる。

【 0 0 2 5 】

容量膜 2 4 上には、上部電極 2 6 が設けられている。上部電極 2 6 は、容量膜 2 4 を挟んで対向する N 型ウエル 2 2 との間で容量素子（オンチップキャパシタ）を構成している。すなわち、N 型ウエル 2 2 はこの容量素子の下部電極として機能する。なお、この容量素子は、いわゆる M I S（Metal-Insulator-Semiconductor）キャパシタである。上部電極 2 6 としては、例えば TiN または W 等の金属膜を用いることができる。なお、この容量素子は、例えば、半導体装置 1 において電源とグランドとの間に挿入され、ノイズキャンセラーとして用いられる。

30

【 0 0 2 6 】

半導体装置 1 のトランジスタ形成領域 3 0 において、半導体基板 1 0 の表層には、P 型ウエル 3 2 が形成されている。さらに、P 型ウエル 3 2 の表層にはソース・ドレイン領域 3 4 が形成されており、ソース・ドレイン領域 3 4 の表層の一部分 3 4 a はシリサイド化されている。半導体基板 1 0 の P 型ウエル 3 2 が形成された部分上には、ゲート絶縁膜 3 6 およびゲート電極 3 8 が順に積層されている。ゲート電極 3 8 の表層部分 3 8 a はシリサイド化されている。ゲート絶縁膜 3 6 およびゲート電極 3 8 の側面は、サイドウォール 4 0 によって覆われている。ゲート絶縁膜 3 6 としては、例えば SiON または SiO_2 が用いられる。また、ゲート電極 3 8 としては、例えばポリシリコンが用いられる。なお、上述の容量膜 2 4 の厚みは、ゲート絶縁膜 3 6 に比して厚い。一方で、容量膜 2 4 の電気的換算膜厚は、ゲート絶縁膜 3 6 に比して薄い。

40

【 0 0 2 7 】

以上の P 型ウエル 3 2、ソース・ドレイン領域 3 4、ゲート絶縁膜 3 6 およびゲート電極 3 8 により N 型 M O S F E T が構成されている。このトランジスタは、半導体装置 1 に

50

において内部回路を構成するものである。

【 0 0 2 8 】

上記トランジスタ上には、層間窒化膜 4 2 が成膜されている。層間窒化膜 4 2 としては、例えば SiN または SiON 等が用いられる。層間窒化膜 4 2 上には、絶縁膜 4 4 が成膜されている。この絶縁膜 4 4 は、組成および厚みが上述の容量膜 2 4 と同一である。本実施形態においては特に、これらの容量膜 2 4 および絶縁膜 4 4 は、同時に成膜されている。

【 0 0 2 9 】

また、半導体装置 1 には、コンタクト 5 2 , 5 4 , 5 6 , 5 8 が形成されている。これらのコンタクト 5 2 , 5 4 , 5 6 , 5 8 は、上部電極 2 6 、 N 型ウエル 2 2 、ソース・ドレイン領域 3 4 およびゲート電極 3 8 にそれぞれ接続されている。半導体基板 1 0 の上部空間においては、上述の容量素子およびトランジスタの全体を覆うように、層間絶縁膜 6 0 が形成されている。さらに、半導体装置 1 には、STI (シャロートレンチアイソレーション) 6 2 , 6 4 , 6 6 , 6 8 が形成されている。STI 6 2 は、容量素子とトランジスタとを分離している。STI 6 4 は、容量素子と、図中右側に隣接する他の素子 (図示せず) とを分離している。STI 6 6 は、トランジスタと、図中左側に隣接する他の素子 (図示せず) とを分離している。また、STI 6 8 は、容量素子において上部電極と下部電極とを分離している。

【 0 0 3 0 】

続いて、図 2 ~ 図 5 を参照しつつ、本発明による半導体装置の製造方法の一実施形態として、半導体装置 1 を製造する方法の一例を説明する。まず、半導体基板 1 0 を準備する。半導体基板 1 0 においては、容量素子形成領域 2 0 とトランジスタ形成領域 3 0 とが予め規定されている。この半導体基板 1 0 の所定位置に STI 6 2 , 6 4 , 6 6 , 6 8 を形成した後、容量素子形成領域 2 0 に N 型ウエル 2 2 を形成する (導電層形成工程)。また、トランジスタ形成領域 3 0 に P 型ウエル 3 2 を形成する。さらに、ゲート絶縁膜 3 6 、ゲート電極 3 8 およびサイドウォール 4 0 を形成する。続いて、ソース・ドレイン注入を行い、ソース・ドレイン領域 3 4 を形成する。本実施形態においては、このとき拡散層 2 3 も同時に形成する。これにより、トランジスタ形成領域 3 0 にトランジスタが形成される (トランジスタ形成工程)。

【 0 0 3 1 】

次に、半導体基板 1 0 上における容量膜 2 4 を形成する部分に、シリサイドブロック 7 2 を形成する (シリサイドブロック形成工程)。シリサイドブロック 7 2 としては、例えば SiO_2 を用いることができる。また、シリサイドブロック 7 2 の厚さは、例えば 20 nm 程度である。この状態で、半導体基板 1 0 の表層をシリサイド化する (シリサイド工程)。これにより、拡散層 2 3 の表層部分 2 3 a 、ソース・ドレイン領域 3 4 表層の一部分 3 4 a 、およびゲート電極 3 8 の表層部分 3 8 a がシリサイド化される。一方で、半導体基板 1 0 における容量膜 2 4 が設けられる部分は、シリサイド化されない (図 2)。

【 0 0 3 2 】

次に、半導体基板 1 0 の表面側の全面に、SiN 膜 4 2 a を成長させる (図 3)。その後、容量膜 2 4 を形成する領域以外をレジスト 7 4 で覆い、当該領域上の SiN 膜 4 2 a とシリサイドブロック 7 2 とをエッチングにより除去する (シリサイドブロック除去工程)。これにより、トランジスタ上に層間窒化膜 4 2 が設けられる (図 4)。

【 0 0 3 3 】

次に、レジスト 7 4 を除去し、半導体基板 1 0 における SiN 膜 4 2 a およびシリサイドブロック 7 2 が除去された部分上に、例えば CVD により SiO_2 等の金属元素拡散防止膜 2 4 a を成長させる。その後、半導体基板 1 0 の表面側の全面に、 HfO_2 または HfSiO 等の高誘電率膜を成長させる (容量膜形成工程)。この高誘電率膜は、容量素子形成領域 2 0 において金属元素拡散防止膜 2 4 a と共に容量膜 2 4 を構成するとともに、トランジスタ形成領域 3 0 における絶縁膜 4 4 となる。さらに、上記高誘電率膜上に TiN または W 等の金属膜 2 6 a を形成する。続いて、この金属膜 2 6 a における上部電極 2

10

20

30

40

50

6 とすべき部分をレジスト 7 6 で覆う (図 5)。

【 0 0 3 4 】

この状態でエッチングを行い、当該部分以外の金属膜 2 6 a を除去する。これにより、上部電極 2 6 が形成される (電極形成工程)。さらに、層間絶縁膜 6 0 を形成した後、コンタクト 5 2 , 5 4 , 5 6 , 5 8 を形成する。以上により、図 1 に示す半導体装置 1 が得られる。

【 0 0 3 5 】

本実施形態の効果の説明する。本実施形態においては、半導体基板 1 0 の実質的に平坦な部分上に容量膜 2 4 が設けられている。半導体基板は金属等と比べて表面が滑らかなため、膜厚の均一性が高い容量膜 2 4 を設けることができる。したがって、容量値の均一性が高い容量素子を備える半導体装置 1 が実現されている。

10

【 0 0 3 6 】

一方、特許文献 1 に記載の半導体装置においては、金属膜上に容量膜を形成しているため、均一な膜厚の容量膜を得ることが困難である。また、特許文献 2 に記載の半導体装置においては、半導体基板上に容量膜を形成してはいるものの、半導体基板表面における容量膜が形成された部分は平坦ではなく凹凸が形成されている。それゆえ、凹部と凸部とにおける容量膜の成膜条件の相違等に起因して、均一な膜厚を得ることが困難である。

【 0 0 3 7 】

容量膜 2 4 における半導体基板 1 0 側の表層には、金属元素拡散防止膜 2 4 a が設けられている。これにより、容量膜 2 4 中の金属元素が半導体基板 1 0 に拡散するのを防ぐことができる。ただし、金属元素拡散防止膜 2 4 a を設けることは必須ではなく、これを設けない構成としてもよい。

20

【 0 0 3 8 】

容量膜 2 4 として高誘電率膜を用いている。容量素子におけるリーク電流を抑制する上では容量膜 2 4 が厚い方が好ましい。しかし、容量膜 2 4 を厚くするほど、容量値が小さくなってしまふ。この点、容量膜 2 4 に高誘電率膜を用いることにより、大きな容量値を確保しつつ、リーク電流を抑制するのに十分な膜厚とすることができる。ただし、容量膜 2 4 として高誘電率膜を用いることが必須ではない。したがって、例えば SiON 膜または SiO₂ 膜を容量膜 2 4 として用いてもよい。

【 0 0 3 9 】

30

容量膜 2 4 は、トランジスタのゲート絶縁膜 3 6 に比して厚い。これにより、容量素子におけるリーク電流を抑制することができる。しかも、容量膜 2 4 は、ゲート絶縁膜 3 6 に比して電氣的換算膜厚が薄い。リーク電流を抑制しつつ、大きな容量値を得ることができる。ただし、容量膜 2 4 の厚みは、トランジスタのゲート絶縁膜 3 6 に比して同一であっても薄くてもよい。また、容量膜 2 4 の電氣的換算膜厚は、トランジスタのゲート絶縁膜 3 6 に比して同一であっても厚くてもよい。

【 0 0 4 0 】

層間窒化膜 4 2 上に、容量膜 2 4 と同時に形成された絶縁膜 4 4 が設けられている。これにより、層間窒化膜 4 2 の厚みを所望に設計することができる。すなわち、層間窒化膜 4 2 をコンタクト開口時のエッチングストッパとして用いる必要がある場合、層間窒化膜 4 2 は薄い方が好ましく、それゆえ層間窒化膜 4 2 の膜厚に一定の制約がかかる。この点、半導体装置 1 においては絶縁膜 4 4 がエッチングストッパとして機能するため、層間窒化膜 4 2 にかかる制約はない。したがって、絶縁膜 4 4 が設けられていることにより、層間窒化膜 4 2 の厚みの自由度が増している。このように層間窒化膜 4 2 の膜厚の自由度が高いことは、層間窒化膜 4 2 直下のトランジスタの特性を制御する上で好ましい。また、半導体装置 1 の製造工程において、絶縁膜 4 4 は容量膜 2 4 と同一工程で形成することができる。ただし、絶縁膜 4 4 を設けることは必須ではなく、これを設けない構成としてもよい。

40

【 0 0 4 1 】

半導体基板 1 0 における容量膜 2 4 が設けられている部分は、シリサイド化されてい

50

い。シリサイド表面よりもシリサイド化されていない半導体基板表面の方が滑らかであるため、シリサイド上に容量膜 2 4 を設ける場合に比して、容量膜 2 4 の膜厚の均一性を高めるのに適している。特に、本実施形態においては、トランジスタ部分のみシリサイド化され、容量素子部分はシリサイド化されていないという構成の半導体装置 1 が得られる。かかる構成は、トランジスタにおける寄生抵抗の低減および容量素子における容量膜の均一性の双方に適している。ただし、半導体基板 1 0 における容量膜 2 4 が設けられている部分がシリサイド化されていないことは必須ではなく、この部分がシリサイド化された構成であってもよい。

【 0 0 4 2 】

図 6 は、図 1 に示す半導体装置 1 の一変形例を示す断面図である。半導体装置 1 a においては、上部電極 2 6 と下部電極 (N 型ウエル 2 2) との間に S T I (図 1 の S T I 6 8) が設けられていない。また、拡散層 2 3 が、N 型ウエル 2 2 の表層のうち、S T I 6 2 , 6 4 で囲まれる領域の全体に形成されている。半導体装置 1 a におけるその他の構成は、半導体装置 1 と同様である。

【 0 0 4 3 】

図 7 は、半導体装置 1 の他の変形例を示す断面図である。半導体装置 1 b においては、半導体基板 1 0 の平坦な表面上に容量膜 2 5 が設けられている。この容量膜 2 5 は、組成および厚みがゲート絶縁膜 3 6 と同一であり、ゲート絶縁膜 3 6 と同一工程にて成膜することができる。容量膜 2 5 上には、上部電極 2 7 が設けられている。この上部電極 2 7 は、組成および厚みがゲート電極 3 8 と同一であり、ゲート電極 3 8 と同一工程にて形成することができる。上部電極 2 7 における半導体基板 1 0 と反対側の表層部分 2 7 a は、シリサイド化されている。この部分 2 7 a のシリサイド化は、部分 2 3 a , 3 4 a , 3 8 a のシリサイド化と同一工程にて行うことができる。また、半導体装置 1 b においては、層間窒化膜 4 2 がトランジスタおよび容量素子の双方を覆うように設けられている。

【 0 0 4 4 】

かかる構成の半導体装置 1 a , 1 b においても、半導体基板 1 0 の実質的に平坦な部分上に直接に容量膜 2 5 が設けられている。このため、容量値の均一性が高い容量素子を備える半導体装置 1 a , 1 b が実現されている。特に、半導体装置 1 b においては、容量素子の容量膜 2 5 および上部電極 2 7 が、それぞれトランジスタのゲート絶縁膜 3 6 およびゲート電極 3 8 と同一の層構造をとっている。このため、上述のように容量膜 2 5 とゲート絶縁膜 3 6 とを同一工程にて形成することができ、また上部電極 2 7 とゲート電極 3 8 とも同一工程にて形成することができる。したがって、半導体装置 1 b によれば、製造工程が特に簡略化することができる。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 本発明による半導体装置の一実施形態を示す断面図である。

【 図 2 】 本発明による半導体装置の製造方法の一実施形態を示す工程図である。

【 図 3 】 本発明による半導体装置の製造方法の一実施形態を示す工程図である。

【 図 4 】 本発明による半導体装置の製造方法の一実施形態を示す工程図である。

【 図 5 】 本発明による半導体装置の製造方法の一実施形態を示す工程図である。

【 図 6 】 図 1 に示す半導体装置 1 の変形例を示す断面図である。

【 図 7 】 図 1 に示す半導体装置 1 の変形例を示す断面図である。

【 符号の説明 】

【 0 0 4 6 】

1 半導体装置

1 a 半導体装置

1 b 半導体装置

1 0 半導体基板

2 0 容量素子形成領域

2 2 N 型ウエル

10

20

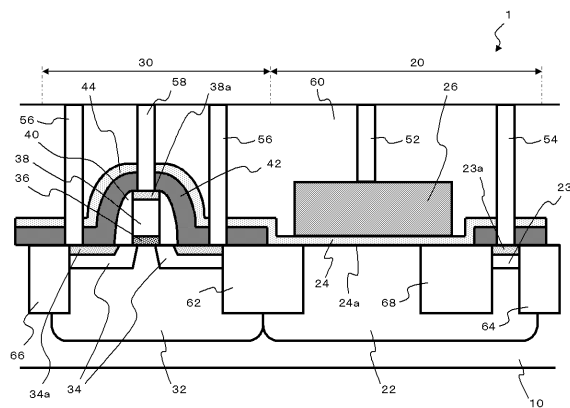
30

40

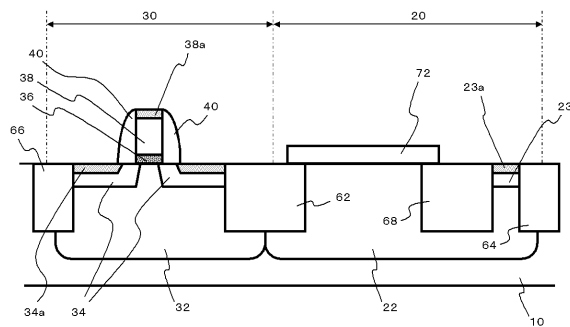
50

- | | |
|-----------------------|------------|
| 2 3 | 拡散層 |
| 2 4 , 2 5 | 容量膜 |
| 2 4 a | 金属元素拡散防止膜 |
| 2 6 , 2 7 | 上部電極 |
| 3 0 | トランジスタ形成領域 |
| 3 2 | P型ウエル |
| 3 4 | ソース・ドレイン領域 |
| 3 6 | ゲート絶縁膜 |
| 3 8 | ゲート電極 |
| 4 0 | サイドウォール |
| 4 2 | 層間窒化膜 |
| 4 4 | 絶縁膜 |
| 5 2 , 5 4 , 5 6 , 5 8 | コンタクト |
| 6 0 | 層間絶縁膜 |
| 7 2 | シリサイドブロック |
| 7 4 , 7 6 | レジスト |
| 6 2 , 6 4 , 6 6 , 6 8 | STI |

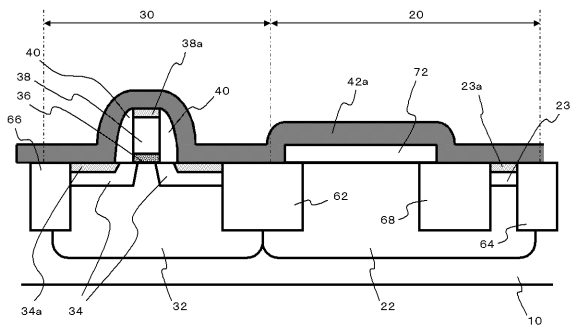
【圖 1】



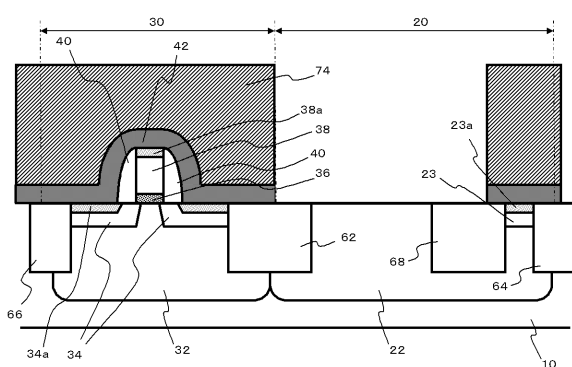
【圖 2】



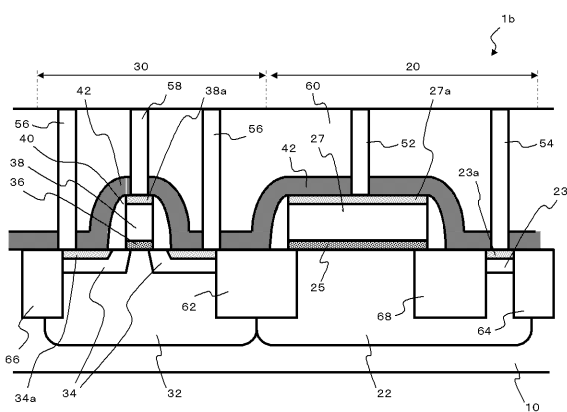
【 図 3 】



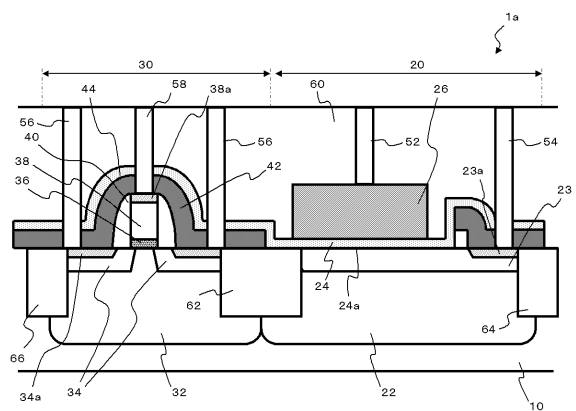
【圖 4】



【圖 7】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/8234 (2006.01)

審査官 宇多川 勉

(56)参考文献 特開2001-308274(JP,A)
特開2003-158197(JP,A)
特開平01-222468(JP,A)
特開平06-291262(JP,A)
特開平05-259115(JP,A)
特開2000-124336(JP,A)
特開2000-174216(JP,A)
特開2003-051549(JP,A)
国際公開第2004/021440(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/822
H 0 1 L 21/3205
H 0 1 L 21/8234
H 0 1 L 23/52
H 0 1 L 27/04
H 0 1 L 27/06