



## 【特許請求の範囲】

## 【請求項 1】

S O I 基板の上に形成されたトランジスタと；  
前記トランジスタの端子のうち電位が固定される端子に接続された配線と；  
前記 S O I 基板の上に形成され、通常のトランジスタとして機能しないダミーゲートとを  
備え、

前記ダミーゲートはゲート酸化膜とゲート電極層とを有し、当該電極層が前記配線に接  
続されることを特徴とする半導体装置。

## 【請求項 2】

前記ダミーゲートは、前記 S O I 基板の上に形成されるトランジスタのゲートと共通のブ  
ロセスによって形成されることを特徴とする請求項 1 に記載の半導体装置。 10

## 【請求項 3】

前記電位が固定される端子は、前記トランジスタのゲート電極であることを特徴とする  
請求項 1 又は 2 に記載の半導体装置。

## 【請求項 4】

前記電位が固定される端子は、ソース/ドレイン電極であることを特徴とする請求項 1  
又は 2 に記載の半導体装置。

## 【請求項 5】

前記配線は、電源配線であることを特徴とする請求項 1 , 2 , 3 又は 4 に記載の半導体  
装置。 20

## 【請求項 6】

前記配線は、グラウンド配線であることを特徴とする請求項 1 , 2 , 3 又は 4 に記載の  
半導体装置。

## 【請求項 7】

前記配線は、電源配線及びグラウンド配線であることを特徴とする請求項 1 , 2 , 3 又  
は 4 に記載の半導体装置。

## 【請求項 8】

前記ダミーゲートは、前記配線の下で当該配線に沿って配置されることを特徴とする請  
求項 1 , 2 , 3 , 4 , 5 , 6 又は 7 に記載の半導体装置。

## 【請求項 9】

S O I 基板の上に形成される半導体装置の製造方法において、 30

前記 S O I 基板の上に、ゲート酸化膜を複数箇所に形成する工程と；

前記複数のゲート酸化膜の上にゲート電極を各々形成する工程と；

前記ゲート酸化膜及びゲート電極が形成された領域のうち、トランジスタとして使用す  
る領域にのみソース/ドレイン領域を形成することで、トランジスタ用ゲートとトランジ  
スタとして機能しないダミーゲートとを区別する工程と；

前記ダミーゲートのゲート電極に接続されたダミーゲート用コンタクト領域と、前記ト  
ランジスタの電位固定される端子に接続されるトランジスタ用コンタクト領域とを各々形  
成する工程と；

前記ダミーゲート用コンタクト領域及びトランジスタ用コンタクト領域との上に配置さ  
れ、当該ダミーゲート用コンタクト領域とトランジスタ用コンタクト領域とが共通して接  
続される配線層を形成する工程とを含むことを特徴とする半導体装置の製造方法。 40

## 【請求項 10】

前記トランジスタの電位固定された端子は、当該トランジスタのゲート電極であること  
を特徴とする請求項 9 に記載の製造方法。

## 【請求項 11】

前記トランジスタの電位固定された端子は、当該トランジスタのソース/ドレイン電極  
であることを特徴とする請求項 9 に記載の製造方法。

## 【請求項 12】

前記配線は、電源配線であることを特徴とする請求項 9 , 10 又は 11 に記載の製造方 50

法。

【請求項 13】

前記配線は、グラウンド配線であることを特徴とする請求項 9, 10 又は 11 に記載の製造方法。

【請求項 14】

前記配線は、電源配線及びグラウンド配線であることを特徴とする請求項 9, 10 又は 11 に記載の製造方法。

【請求項 15】

前記ダミーゲートは、前記配線の下で当該配線に沿って配置されることを特徴とする請求項 9, 10, 11, 12, 13 又は 14 に記載の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、SOI (Silicon On Insulator) 構造を有する半導体装置に適用して有効な技術に関するものである。更に詳しくは、プロセス中のチャージ注入によって生じるトランジスタのゲート酸化膜へのダメージを低減するための構造及び製造方法に関する。

【背景技術】

【0002】

近年、半導体装置においては、低消費電力と高速動作性を実現するために、SOI と呼ばれる技術が用いられている。SOI 技術を用いた IC (集積回路) は、SOI ウエハから製造される。SOI ウエハにおいては、素子形成領域となる半導体層と基板とが、第 1 の絶縁膜である厚いシリコン酸化膜 (埋め込み酸化膜) で分離された構造となっている。SOI ウエハの半導体層にトランジスタを形成した場合、チャンネル領域や拡散領域となるシリコンは、シリコン酸化膜によって基板と完全に絶縁された状態となる。

20

【0003】

近年のシリコン (Si) プロセスでは、ウエハの大口径化により、均一なプラズマコンディションを得るためにプラズマパワーが増大する傾向にある。また、デバイス素子の微細化と高速化に伴って、ゲート酸化膜は薄膜化し、配線は長くなる傾向にある。エッチングや CVD 装置のプラズマパワーの増大によって、プロセス中にウエハに注入されるチャージ量が更に増大する。これらのチャージが配線やゲートを介してトランジスタのゲート酸化膜に注入されると、ゲート酸化膜の劣化や特性の変動などの要因となる。プラズマプロセス中のチャージによるデバイスへの影響を、PID (Plasma Induced Damage) という。ゲート酸化膜が薄くなると、PID による電界が大きくなり、チャージがゲート酸化膜に注入されやすくなる。また、ゲートにつながる配線が長くなると、アンテナ効果によりチャージが集まって PID を加速することが知られている。

30

【0004】

図 1 は、アンテナ効果の様子を示す。図 1 において、符号 10 は基板、12 はゲート酸化膜、14 はゲート電極、16 はコンタクトホールに埋め込まれた導電材料、18 は配線、20 は層間絶縁膜を示す。アンテナ効果とは、図 1 に示すように、プロセス中にウエハに注入されるチャージが配線 18 で集められることである。

40

【0005】

近年の微細化が進んだデバイスでは、PID 対策としてゲートにつながる配線の長さを制限 (アンテナ基準の設定) したり、基準以上の配線長となる場合は PID 回避用の保護素子を接続する等して対応している。

【0006】

特開 2003 - 31677 号公報に開示された発明では、バルクウエハを用いた半導体装置において、平坦化に用いられるダミーパターンを配線につなぐことにより、アンテナ効果による素子破壊を防止している。

【特許文献 1】特開 2003 - 31677 号公報

50

## 【0007】

SOI基板上に形成されたトランジスタは、埋め込み酸化膜によりSi支持基板と完全に絶縁されている。このため、配線を介したチャージ注入に対して保護用の基板ダイオードを形成するには、埋め込み酸化膜の下にPN接合を形成し、コンタクトで接続するなどの余分な工程が発生する。更に、バルクウェハでは考慮する必要のないソースやドレインからのチャージについても考慮する必要がある。ソースやドレインから注入されたチャージは拡散していく場所がないため、ボディ内に蓄積していく。ボディ内のチャージが増加すると電位が上がり、最も薄いゲート酸化膜に電界ストレスが加わり、ゲート酸化膜にダメージを与えてしまう。このように、SOIウエハ上にトランジスタを形成する場合には、ゲートだけでなく、ソース・ドレインから注入されるチャージによるダメージを考慮する必要がある。

10

## 【0008】

特開2003-133559号公報に開示された発明では、SOI基板を用いた半導体装置において、配線と接続される不純物拡散層(ソース/ドレイン：“/”は「あるいは」の意味で使用するものとする)を設けることにより、アンテナ効果による素子破壊を防止している。

【特許文献2】特開2003-133559号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0009】

特開2003-31677号公報及び特開2003-133559号公報に開示された発明においては、何れの場合も、アンテナ効果対策用の領域を確保する必要があり、レイアウト上の制約を受けるか、チップ自体が大型化してしまう。

20

## 【0010】

本発明は、上記のような状況に鑑みて成されたものであり、SOIウエハ上にトランジスタを形成する際に、トランジスタのゲート酸化膜へのチャージダメージの影響を低減可能は半導体装置の構造及び製造方法を提供することを目的とする。

## 【0011】

本発明の他の目的は、アンテナ効果対策用の領域を特別に確保する必要がなく、レイアウト上の制約が少ない半導体装置の構造及び製造方法を提供することにある。

30

【課題を解決するための手段】

## 【0012】

上記目的を達成するために、本発明の第1の態様に係る半導体装置は、SOI基板上に形成されたトランジスタと；前記トランジスタの電位固定される端子に接続された配線と；前記SOI基板上に形成され、通常のトランジスタとして機能しないダミーゲートとを備える。そして、前記ダミーゲートはゲート酸化膜とゲート電極層とを有し、当該電極層が前記配線に接続された構造を採用する。

## 【0013】

本発明の第2の態様に係る半導体装置の製造方法は、SOI基板上に、ゲート酸化膜を複数箇所に形成する工程と；前記複数のゲート酸化膜の上にゲート電極を各々形成する工程と；前記ゲート酸化膜及びゲート電極が形成された領域のうち、トランジスタとして使用する領域にのみソース/ドレイン領域を形成することで、トランジスタ用ゲートとトランジスタとして機能しないダミーゲートとを区別する工程と；前記ダミーゲートのゲート電極に接続されたダミーゲート用コンタクト領域と、前記トランジスタの電位固定される端子に接続されるトランジスタ用コンタクト領域とを各々形成する工程と；前記ダミーゲート用コンタクト領域及びトランジスタ用コンタクト領域との上に配置され、当該ダミーゲート用コンタクト領域とトランジスタ用コンタクト領域とが共通して接続される配線層を形成する工程とを含んでいる。

40

## 【0014】

本発明によれば、配線を介して電氣的に連結されるゲート酸化膜の総面積を増やすこと

50

で、SOIトランジスタのゲート酸化膜へのチャージダメージの影響が低減される。

【0015】

ダミーゲートは、SOI基板上に形成されるトランジスタのゲートと共通のプロセスによって形成可能であるため、プロセスの複雑化や工程の増加を招くことがない。

【0016】

ダミーゲートは、配線の直下に当該配線に沿って形成することができるため、チップレイアウトの制約を受けることが少ない。通常は、電源やグラウンド等の配線の下にはトランジスタを形成しないため、そのスペースを利用してダミーゲートを配置・形成することにより、チップサイズの大型化を避けることができる。

【発明を実施するための最良の形態】

10

【0017】

以下、本発明を実施するための最良の形態について、実施例を用いて詳細に説明する。図2は、本発明の第1実施例に係る半導体装置のレイアウトを示す平面図である。図3は、第1実施例に係る半導体装置の構造を示す断面図である。図4は、第1実施例に係る半導体装置の構造を示す平面図である。本実施例に係る半導体装置(チップ)100は、多数のトランジスタを備え、種々の機能を発揮する複数の回路ブロック102と;回路ブロック102を包囲するように配置された電源配線104及びグラウンド配線106とを備えている。なお、電源配線及びグラウンド配線は、必ずしもチップの外周付近であったり、回路ブロックを包囲するように配置する必要はない。

【0018】

20

電源配線104及びグラウンド配線106は、各々、電源端子(Vdd)108及びグラウンド端子(GND)110に接続されている。電源を供給する電源配線104及びグラウンド電位に固定するグラウンド配線106の下(下層)には、ゲート酸化膜を有するダミーゲート114, 116が形成されている。ダミーゲート114, 116は、各々、電源配線104及びグラウンド配線106に沿って配置される。なお、ダミーゲート114, 116は、電源配線104及びグラウンド配線106の全域に渡って形成される場合のほか、回路レイアウト等の兼ね合いで配線下に部分的に形成することも可能である。

【0019】

ダミーゲート114, 116の幅は、電源配線104及びグラウンド配線106の幅や、トランジスタTr1, Tr2のゲート幅よりも広くすることが好ましい。ゲート酸化膜の総面積を増大させるためである。

30

【0020】

図3に示すように、ダミーゲート114と電源配線104とは、コンタクト134aを介して接続される。同様に、ダミーゲート116とグラウンド配線106とはコンタクト134dを介して接続される。回路中で使用されるトランジスタTr1は、ソースまたはドレインがコンタクト134bを介して電源配線104に接続される。同様に、トランジスタTr2は、ソースまたはドレインがコンタクト134cを介してグラウンド配線106に接続される。グラウンド配線106と電源配線104は、回路動作中の電位が変わらないため、回路動作によりダミーゲート114, 116の電位も変化しない。

【0021】

40

一般に、グラウンド配線106や電源配線104の下にはトランジスタを配置しないため、ダミーゲート(114, 116)の追加によるチップ面積の増加は生じない。すなわち、本実施例においては、ダミーゲートを追加することによる回路動作への影響や、面積ペナルティの発生がない。グラウンド配線106や電源配線104の下にダミーゲート114, 116を形成し、コンタクト134a, 134dを介してこれらを接続しているため、グラウンド配線106につながるトランジスタTr2や電源配線104につながるトランジスタTr1へのチャージダメージを低減することができる。すなわち、本実施例では、グラウンド配線106や電源配線104の下にゲート酸化膜114a, 116aを有するダミーゲート114, 116を形成して接続することで、グラウンド配線106や電源配線104から注入されるチャージによってダメージを受けるゲート酸化膜の総面積を

50

増やし、トランジスタ $T r 1$ 、 $T r 2$ へのチャージダメージを低減可能となっている。

#### 【0022】

図3に示す半導体装置を製造する際には、先ず、 $S i$ 支持基板124、酸化膜埋め込み層( $S i O_2$ 層)126、 $S i$ 層128からなる $S O I$ (Silicon on Insulator)基板を用意する。次に、公知の素子分離法( $S T I$ 法、 $L O C O S$ 法等)を用いて活性領域と絶縁領域に分離する。次に、例えば熱酸化処理等によって $S i$ 層128上にゲート絶縁膜(114a, 116a,  $T r 1 a$ ,  $T r 2 a$ )を成膜する。次に、ゲート絶縁膜(114a, 116a,  $T r 1 a$ ,  $T r 2 a$ )上にゲート電極用Poly-Si膜(図示せず)を成膜し、リソグラフィによりゲートパターン(レジストパターン)を形成する。その後、ゲートパターンをマスクとして、Poly-Si層をエッチングにより除去し、ゲート電極(114b, 116b,  $T r 1 b$ ,  $T r 2 b$ )を成形する。次に、トランジスタ $T r 1$ 、 $T r 2$ の形成領域の $S i$ 層128の拡散領域に不純物のインプラと熱拡散を行うことでソースやドレイン(図示せず)を形成し、 $S O I$ トランジスタ $T r 1$ 、 $T r 2$ を完成させる。ここで、ダミーゲート114、116はトランジスタとして機能しないため、不純物拡散領域を形成する必要はない。

10

#### 【0023】

その後、例えば $C V D$ 法によって層間絶縁膜120を素子分離層(図示せず)、 $S i$ 層128、及びゲート電極(114b, 116b,  $T r 1 b$ ,  $T r 2 b$ )上に堆積させる。層間絶縁膜120を堆積させた後、層間絶縁膜120上にレジスト(図示せず)を塗布し、例えば公知のドライエッチング法等により、コンタクトホールを形成する。コンタクトホールは、配線104とダミーゲート114及びトランジスタ $T r 1$ とを接続するとともに、配線106とダミーゲート116及びトランジスタ $T r 2$ とを接続する位置に成形される。

20

#### 【0024】

続いて、コンタクトホール内に、タングステン( $W$ )等の導電性材料を成長させ、コンタクト(コンタクト領域)134a, 134b, 134c, 134dを形成する。余分なタングステン( $W$ )等の導電材料は、エッチバックなどで除去する。次に、層間絶縁膜120及びコンタクト134a, 134b, 134c, 134d上に、例えばスパッタリング法によって $A l$ 又は $A l$ 合金からなる金属膜を堆積し、当該金属膜をフォトリソグラフィ技術によってパターンングを行うことで、第1配線層として電源配線104及びグラウンド配線106を形成する。なお、電源配線104及びグラウンド配線106の上に、更に層間絶縁膜を介して第2、第3・・・の配線層を形成することもできる。

30

#### 【0025】

配線を介して注入されるチャージ量は、アンテナ効果により配線が長いほど多くなる。一方で、ゲート酸化膜の面積が大きいほど、電荷が分散されてチャージダメージは小さくなる。このため、本実施例のように、ダミーゲート114、116を接続して配線104、106につながる総ゲート酸化膜面積を増やすことで、回路で使用するトランジスタ $T r 1$ 、 $T r 2$ へのチャージダメージを低減することができる。回路動作上、ゲート酸化膜面積の増加は寄生容量の増加になるが、電位が固定されていれば回路の動作には影響がない。本実施例のように、回路動作で電位が固定される端子につながる配線を介して、ダミーゲート114、116を接続することで、 $S O I$ 基板上に形成されたトランジスタ $T r 1$ 、 $T r 2$ への回路動作の影響を回避できる。

40

#### 【0026】

図5は、本発明の第2実施例に係る半導体装置の構造を示す断面図である。図6は、第2実施例に係る半導体装置の構造を示す平面図である。本実施例においては、回路として使用するトランジスタ $T r 1$ 、 $T r 2$ の端子のうち、電位を固定する端子につながる配線204、206に、ゲート酸化膜を有するダミーゲート214、216を接続する。回路動作上、ゲート電位が固定されているトランジスタ $T r 1$ は、配線204を介してダミーゲート214に接続される。また、ソースやドレインの電位が固定されているトランジスタ $T r 2$ は、配線206を介してダミーゲート216に接続される。なお、上述した第1

50

実施例と同様に、ダミーゲート214, 216はゲート酸化膜が形成されていればよく、ソースやドレインなどのトランジスタとしての構造は必要ない。また、ダミーゲートのゲート面積についても、できるだけ大きくすることが好ましい。

**【0027】**

図5に示すように、ダミーゲート214と配線204とは、コンタクト234aを介して接続される。同様に、ダミーゲート216と配線206とはコンタクト234dを介して接続される。回路中で使用されるトランジスタTr1は、ゲート電極Tr1bがコンタクト234bを介して配線204に接続される。一方、トランジスタTr2は、ソースまたはドレインがコンタクト234cを介して配線206に接続される。ダミーゲート214, 216は配線204, 206を介して、トランジスタTr1, Tr2の電位固定された端子に接続されるため、回路動作によってダミーゲート214, 216の電位が変化することはない。

10

**【0028】**

図5に示す半導体装置を製造する際には、先ず、Si支持基板224, 酸化膜埋め込み層(SiO<sub>2</sub>層)226, Si層228からなるSOI(Silicon on Insulator)基板を用意する。次に、公知の素子分離法(STI法、LOCOS法等)を用いて活性領域と絶縁領域に分離する。次に、例えば熱酸化処理等によってSi層228上にゲート絶縁膜(214a, 216a, Tr1a, Tr2a)を成膜する。次に、ゲート絶縁膜(214a, 216a, Tr1a, Tr2a)上にゲート電極用Poly-Si膜(図示せず)を成膜し、リソグラフィによりゲートパターン(レジストパターン)を形成する。その後、ゲートパターンをマスクとして、Poly-Si層をエッチングにより除去し、ゲート電極(214b, 216b, Tr1b, Tr2b)を成形する。次に、トランジスタTr1, Tr2の形成領域のSi層228の拡散領域に不純物のインプラと熱拡散を行うことでソースやドレイン(図示せず)を形成し、SOIトランジスタTr1, Tr2を完成させる。ダミーゲート214, 216はトランジスタとして機能しないため、不純物拡散領域を形成する必要はない。

20

**【0029】**

その後、例えばCVD法によって層間絶縁膜220を素子分離層(図示せず)、Si層228、及びゲート電極(214b, 216b, Tr1b, Tr2b)上に堆積させる。層間絶縁膜220を堆積させた後、層間絶縁膜220上にレジスト(図示せず)を塗布し、例えば公知のドライエッチング法等により、コンタクトホール(図示せず)を形成する。コンタクトホールは、配線204とダミーゲート214及びトランジスタTr1とを接続するとともに、配線206とダミーゲート216及びトランジスタTr2とを接続する位置に成形される。

30

**【0030】**

続いて、コンタクトホール内に、タングステン(W)等の導電性材料を成長させ、コンタクト(コンタクト領域)234a, 234b, 234c, 234dを形成する。余分なタングステン(W)等の導電材料は、エッチバックなどで除去する。層間絶縁膜220及びコンタクト234a, 234b, 234c, 234d上に、例えばスパッタリング法によってAl又はAl合金からなる金属膜を堆積し、当該金属膜をフォトリソグラフィ技術によってパターンニングを行うことで、第1配線層として配線204, 206を形成する。なお、配線204, 206の上に、更に層間絶縁膜を介して第2、第3・・・の配線層を形成することもできる。

40

**【0031】**

配線を介して注入されるチャージ量は、アンテナ効果により配線が長いほど多くなる。一方で、ゲート酸化膜の面積が大きいほど、電荷が分散されてチャージダメージは小さくなる。第1実施例の場合と同様に、ダミーゲート214, 216を接続して配線204, 206につながる総ゲート酸化膜面積を増やすことで、回路で使用するトランジスタTr1, Tr2へのチャージダメージを低減することができる。回路動作上、ゲート酸化膜面積の増加は寄生容量の増加になるが、電位が固定されていれば回路の動作には影響がない

50

。本実施例のように、回路動作で電位が固定される端子につながる配線 204, 206 を介して、ダミーゲート 214, 216 を接続することで、SOI 基板上に形成されたトランジスタ Tr1, Tr2 への回路動作の影響を回避できる。

【0032】

以上、本発明について第1及び第2の実施例を示して説明したが、本発明はこれらの実施例に限定されるものではなく、請求項に記載された技術的思想の範囲内において適宜設計変更可能なものである。SOI ウエハ以外にも、薄い導電層が絶縁物に挟まれた構造であれば他の構造のウエハにも適用可能である。例えば、サファイア基盤上にSi層が形成されたSOS (Silicon On Sapphire) ウエハでも同様又は類似の効果が期待できる。更には、SOI ウエハの埋め込み酸化膜を除去した構造にも適用可能である。

10

【図面の簡単な説明】

【0033】

【図1】図1は、SOI 基板上で生じるアンテナ効果を説明するための概略断面図である。

【図2】図2は、本発明の第1実施例に係る半導体装置のレイアウトを示す平面図である。

【図3】図3は、第1実施例に係る半導体装置の構造を示す断面図である。

【図4】図4は、第1実施例に係る半導体装置の構造を示す平面図である。

【図5】図5は、本発明の第2実施例に係る半導体装置の構造を示す断面図である。

【図6】図6は、第2実施例に係る半導体装置の構造を示す平面図である。

20

【符号の説明】

【0034】

100 半導体チップ

102 回路ブロック

104 電源配線

106 グラウンド配線

114, 116, 214, 216 ダミーゲート

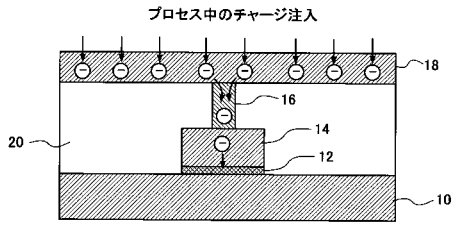
134a, 134b, 134c, 134d コンタクト

204, 206 配線

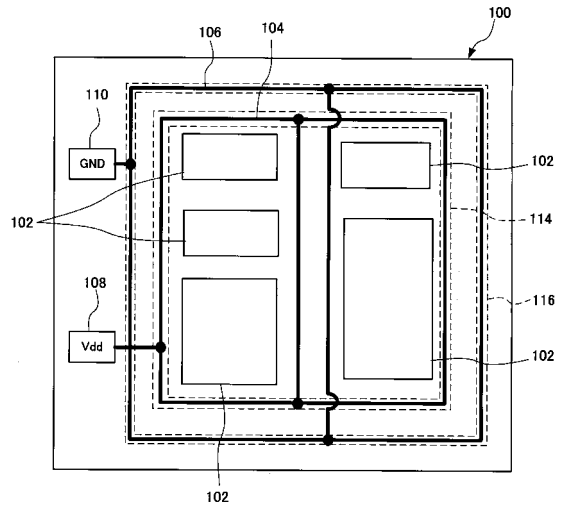
Tr1, Tr2 トランジスタ

30

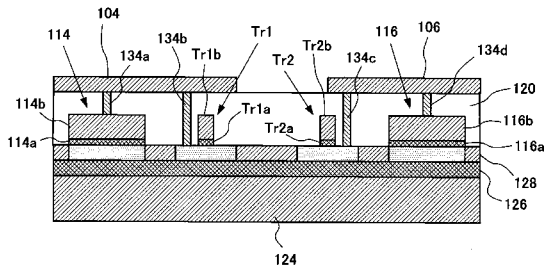
【図 1】



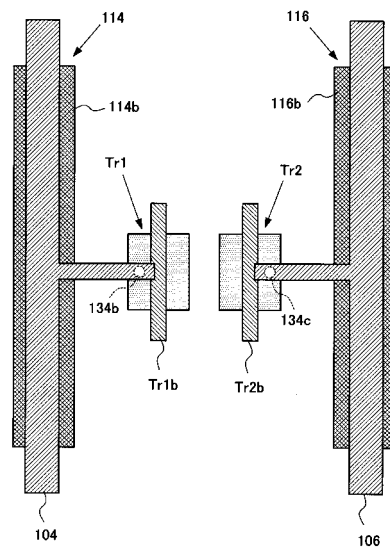
【図 2】



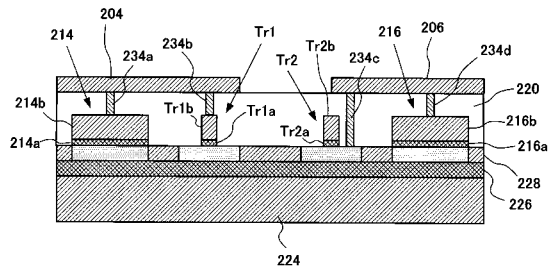
【図 3】



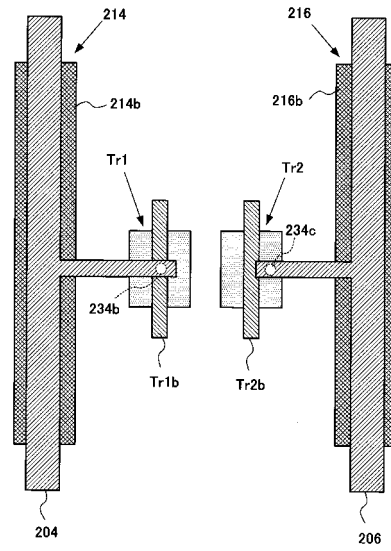
【図 4】



【 図 5 】



【 図 6 】



---

フロントページの続き

Fターム(参考) 5F110 AA16 AA22 AA30 CC02 DD04 DD05 DD13 EE09 EE37 FF02  
FF23 GG02 GG12 HJ13 HJ23 HL04 HM19 NN02 NN35 NN62  
NN66