



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I640992 B

(45)公告日：中華民國 107 (2018) 年 11 月 11 日

(21)申請案號：106119196

(22)申請日：中華民國 106 (2017) 年 06 月 09 日

(51)Int. Cl. : G11C16/08 (2006.01)

G11C8/10 (2006.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：陳宗仁 CHEN, CHUNG-ZEN (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW 559812

US 5761135

US 6014328

US 6285593

US 2016/0225438A1

審查人員：劉耀允

申請專利範圍項數：14 項 圖式數：10 共 28 頁

(54)名稱

字元線解碼器電路

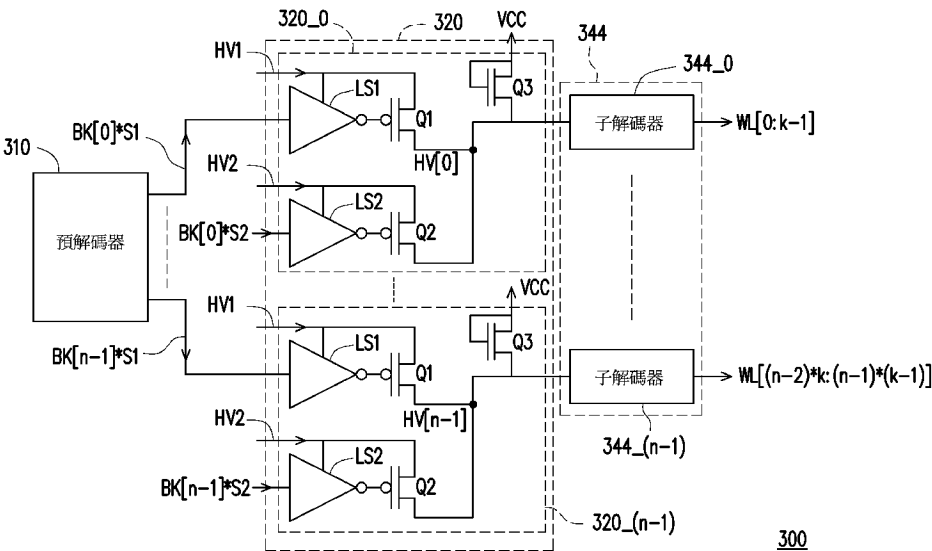
WORD LINE DECODER CIRCUIT

(57)摘要

一種字元線解碼器電路，設置在記憶體儲存裝置。記憶體儲存裝置包括記憶體晶胞陣列。字元線解碼器電路包括字元線解碼器以及電源供應器電路。字元線解碼器耦接至記憶體儲存裝置的多條字元線。電源供應器電路耦接至字元線解碼器。電源供應器電路用以在讀取模式提供第一電源給字元線解碼器，並且在待機模式提供第二電源給字元線解碼器。第一電源的電壓值大於或小於第二電源的電壓值

A word line decoder circuit located in a memory storage apparatus is provided. The memory storage apparatus includes a memory cell array. The word line decoder circuit includes a word line decoder and a power supply circuit. The word line decoder is coupled to a plurality of word lines of the memory storage apparatus. The power supply circuit is coupled to the word line decoder. The power supply circuit is configured to provide a first power to the word line decoder in a read mode, and provide a second power to the word line decoder in a standby mode. A voltage value of the first power is larger than or smaller than that of the second power.

指定代表圖：



【圖3】

- 符號簡單說明：
- 300 . . . 字元線解碼器電路
 - 310 . . . 預解碼器
 - 320 . . . 電源供應器電路
 - 320_0、320_(n-1) . . . 電源供應器
 - 344 . . . 字元線解碼器
 - 344_0、344_(n-1) . . . 子解碼器
 - HV1 . . . 第一電源
 - HV2 . . . 第三電源
 - VCC . . . 第一電壓
 - Q1、Q2、Q3 . . . 電晶體開關
 - HV[0]、HV[n-1] . . . 節點
 - BK[0]*S1、BK[0]*S2、BK[n-1]*S1、BK[n-1]*S2 . . . 控制訊號
 - LS1、LS2 . . . 位準移位器

【發明說明書】

【中文發明名稱】字元線解碼器電路

【英文發明名稱】WORD LINE DECODER CIRCUIT

【技術領域】

【0001】 本發明是有關於一種解碼器電路，且特別是有關於一種字元線解碼器電路。

【先前技術】

【0002】 一般而言，記憶體儲存裝置通常有三種操作模式，包括讀取模式(read mode)、待機模式(standby mode)以及深度省電模式(deep power down mode)。記憶體儲存裝置在深度省電模式中需要一個指令來喚醒其動態操作。因此，在深度省電模式中，記憶體儲存裝置消耗的電流非常地低。雖然在深度省電模式中的記憶體儲存裝置有此優點，但是利用指令來喚醒記憶體儲存裝置，通常需要耗費相當多的時間。

【0003】 此外，在現有技術中，處於待機模式的記憶體儲存裝置其電源通常是高電壓(high voltage，HV)，此高電壓的存在將導致記憶體儲存裝置的漏電流變大，從而增加其消耗電流。

【發明內容】

【0004】 本發明提供一種字元線解碼器電路，其於在待機模式中

的消耗電流可被降低。

【0005】 本發明的字元線解碼器電路設置在記憶體儲存裝置並且記憶體儲存裝置包括記憶體晶胞陣列(cell array)。字元線解碼器電路包括字元線解碼器以及電源供應器電路。字元線解碼器耦接至記憶體儲存裝置的多條字元線。電源供應器電路耦接至字元線解碼器。電源供應器電路用以在讀取模式提供第一電源給字元線解碼器，並且在待機模式提供第二電源給字元線解碼器。第一電源的電壓值大於或小於第二電源的電壓值。

【0006】 在本發明的一實施例中，上述的電源供應器電路更用以在讀取模式提供第三電源給字元線解碼器。第三電源的電壓值大於或小於第二電源的電壓值。

【0007】 在本發明的一實施例中，上述的第一電源的電壓值等於第三電源的電壓值。

【0008】 在本發明的一實施例中，上述的讀取模式包括第一讀取期間以及第二讀取期間。字元線解碼器在第一讀取期間接收第一電源。字元線解碼器在第二讀取期間接收第三電源。

【0009】 在本發明的一實施例中，在第一讀取期間，記憶體晶胞陣列當中的第一區塊(bank)被讀取。在第二讀取期間記憶體晶胞陣列當中的第二區塊被讀取。

【0010】 在本發明的一實施例中，上述的第一區塊與第二區塊是記憶體晶胞陣列中相同的區塊。

【0011】 在本發明的一實施例中，上述的第一區塊與第二區塊是記憶體晶胞陣列中不相同的區塊。

【0012】 在本發明的一實施例中，上述的字元線解碼器包括多個子解碼器(sub-decoder)。各子解碼器耦接至字元線當中對應的多條字元線。

【0013】 在本發明的一實施例中，上述的電源供應器電路包括多個電源供應器。各電源供應器耦接至子解碼器當中對應的其中之一。各電源供應器用以在讀取模式提供第一電源或者第三電源給其耦接的子解碼器，並且在待機模式提供第二電源給其耦接的子解碼器。

【0014】 在本發明的一實施例中，上述的電源供應器電路耦接至第一電荷泵(charge pump)電路。第一電荷泵電路用以提供第一電源，並且在第一電源低於第一參考電壓時，提升第一電源的電壓值。

【0015】 在本發明的一實施例中，上述的電源供應器電路耦接至第二電荷泵電路。第二電荷泵電路用以提供第三電源，並且在第三電源低於第二參考電壓時，提升第三電源的電壓值。

【0016】 在本發明的一實施例中，上述的字元線解碼器電路更包括預解碼器(pre-decoder)。預解碼器耦接至電源供應器電路。預解碼器用以在讀取模式選擇記憶體晶胞陣列當中的區塊以進行讀取操作。

【0017】 在本發明的一實施例中，上述的第二電源是選自第一電壓、第二電壓以及第三電壓當中之一者。

【0018】 在本發明的一實施例中，上述的第一電壓大於第二電壓。第二電壓大於第三電壓。

【0019】 基於上述，在本發明的示範實施例中，電源供應器電路在讀取模式提供第一電源給字元線解碼器，並且在待機模式提供第二電源給字元線解碼器。因此，字元線解碼器電路在待機模式中的消耗電流可被降低。

【0020】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0021】

圖 1 繪示本發明一實施例之記憶體儲存裝置的概要示意圖。

圖 2 繪示圖 1 實施例之記憶體晶胞陣列電路的概要示意圖。

圖 3 繪示本發明一實施例之字元線解碼器電路的概要示意圖。

圖 4 繪示圖 3 實施例之訊號波形的概要示意圖。

圖 5 繪示本發明另一實施例之訊號波形的概要示意圖。

圖 6 繪示圖 1 實施例之電壓產生器電路的概要示意圖。

圖 7 繪示本發明另一實施例之字元線解碼器電路的概要示意圖。

圖 8 繪示圖 7 實施例之控制訊號產生電路的概要示意圖。

圖 9 繪示圖 8 實施例之控制訊號的波形示意圖。

圖 10 繪示本發明另一實施例之字元線解碼器電路的概要示意圖。

【實施方式】

【0022】 以下提出多個實施例來說明本發明，然而本發明不僅限於所例示的多個實施例。又實施例之間也允許有適當的結合。在本案說明書全文(包括申請專利範圍)中所使用的「耦接」一詞可指任何直接或間接的連接手段。舉例而言，若文中描述第一裝置耦接於第二裝置，則應該被解釋成該第一裝置可以直接連接於該第二裝置，或者該第一裝置可以透過其他裝置或某種連接手段而間接地連接至該第二裝置。此外，「訊號」一詞可指至少一電流、電壓、電荷、溫度、資料、電磁波或任何其他一或多個訊號。

【0023】 圖 1 繪示本發明一實施例之記憶體儲存裝置的概要示意圖。圖 2 繪示圖 1 實施例之記憶體晶胞陣列電路的概要示意圖。請參考圖 1 至圖 2，本實施例之記憶體儲存裝置 100 包括記憶體控制電路 110 以及記憶體晶胞陣列 120。在本實施例中，記憶體控制電路 110 用以控制記憶體儲存裝置 100 操作在多種操作模式其中之一。本實施例之操作模式例如包括讀取模式以及待機模式。在本實施例中，電壓產生器電路 130 在不同的操作模式提供第一電源 P1、第二電源 P2 或第三電源 P3 給記憶體儲存裝置 100。記憶體晶胞陣列 120 電性連接至記憶體控制電路 110。記憶體晶胞陣列

120 用以儲存資料。在本實施例中，記憶體晶胞陣列 120 例如包括 4 個記憶體區塊(memory bank) 122_1 至 122_4，惟其數量僅用以例示說明，本發明並不限於此。各記憶體區塊具有對應的位元線解碼器電路 142、字元線解碼器電路 144 以及感測放大器電路 146，以協同記憶體控制電路 110 完成資料存取的操作。

【0024】 在本實施例中，記憶體控制電路 110、記憶體晶胞陣列 120 以及電壓產生器電路 130 當中的各種電路功能區塊的電路架構可分別由所屬技術領域的任一種適合的電路來加以實施，本發明並不加以限制，其詳細步驟及實施方式可以由所屬技術領域的通常知識獲致足夠的教示、建議與實施說明，因此不再贅述。

【0025】 圖 3 繪示本發明一實施例之字元線解碼器電路的概要示意圖。請參考圖 3，本實施例之字元線解碼器電路 300 包括電源供應器電路 320 以及字元線解碼器 344。電源供應器電路 320 的輸入端耦接至預解碼器 310，輸出端耦接至字元線解碼器 344。字元線解碼器 344 的輸入端耦接至電源供應器電路 320，輸出端耦接至記憶體儲存裝置 100 的多條字元線(未繪示)。

【0026】 具體而言，在本實施例中，預解碼器 310 接收區塊位址訊號，並且將其解碼以輸出區塊位址 BK[0]至區塊位址 BK[n-1]給電源供應器電路 320，其中 n 為大於 2 的正整數。在讀取期間，記憶體晶胞陣列 120 當中的一或多個目標區塊會被選擇，並且被讀取。在本實施例中，電源供應器電路 320 包括多個電源供應器 320_0 至 320_(n-1)，字元線解碼器 344 包括多個子解碼器 344_0

至 $344_{(n-1)}$ 。在本實施例中，記憶體儲存裝置 100 的字元線例如每 k 條被分為一組，每一字元線組耦接至子解碼器 344_0 至 $344_{(n-1)}$ 當中對應的一個子解碼器，其中 k 為大於 1 的正整數。因此，在本實施例中，子解碼器 344_0 輸出的字元線位址 $WL[0:k-1]$ 例如是對應第 1 條到第 k 條字元線的位址，子解碼器 $344_{(n-1)}$ 輸出的字元線位址 $WL[(n-2)*k:(n-1)*(k-1)]$ 例如是對應第 $(n-2)*k$ 條到第 $(n-1)*(k-1)$ 條字元線的位址，其中「 $*$ 」為乘號。

【0027】 在本實施例中，電源供應器電路 320 在讀取模式中提供第一電源 HV1 或第三電源 HV2 給字元線解碼器 344，並且在待機模式中提供第二電源給字元線解碼器 344。舉例而言，在本實施例中，對應區塊位址 $BK[0]$ 的目標區塊例如被讀取，因此，在讀取模式中，電源供應器 320_0 接收的第一電源 HV1 或第三電源 HV2 經由電晶體開關 Q1 或 Q2 提供給子解碼器 344_0 。在此例中，在讀取期間，節點 HV[0] 的電壓等於第一電源 HV1 或第三電源 HV2。在本實施例中，在待機模式中，電晶體開關 Q1 及 Q2 不導通，電晶體開關 Q3 導通，因此經由電晶體開關 Q3 提供給子解碼器 344_0 的第二電源，其電壓值例如是 $VCC-V_t$ ，其中 VCC 為偏壓 VCC 的電壓值， V_t 為電晶體開關 Q3 的臨界電壓值。在本實施例中，第一電源 HV1 與第三電源 HV2 的電壓值可以相等或不相等。在本實施例中，第一電源 HV1 的電壓值小於第二電源的電壓值 $VCC-V_t$ ，並且與第三電源 HV2 的電壓值小於第二電源的電壓值 $VCC-V_t$ 。

【0028】 此外，在電源供應器電路 320 當中其他電源供應器的操作方法可參考電源供應器 320_0，在此不再贅述。因此，在本實施例中，各電源供應器用以在讀取模式提供第一電源或者第三電源給其耦接的子解碼器，並且在待機模式提供第二電源給其耦接的子解碼器。在本實施例中，是以電源供應器電路 320 在讀取模式中提供兩個電源其中之一給字元線解碼器 344 作為例示說明，但本發明並不加以限制。在一實施例中，在讀取模式中也可以僅有一個電源(例如第一電源或者第三電源)提供給字元線解碼器，或者在讀取模式中從兩個以上的多個電源當中選擇一個提供給字元線解碼器，本發明對此並不加以限制。

【0029】 圖 4 繪示圖 3 實施例之訊號波形的概要示意圖。請參考圖 3 及圖 4，在本實施例中，讀取模式包括第一讀取期間 T1 以及第二讀取期間 T2。在第一讀取期間 T1，對應區塊位址 BK[m]的記憶體區塊被讀取，並且在第二讀取期間 T2，對應區塊位址 BK[m]的記憶體區塊被讀取，其中 m 為大於等於 0 的整數。也就是說，在本實施例的讀取模式中，記憶體晶胞陣列中相同的區塊被讀取。舉例而言，請參照圖 3，假設 $m=0$ ，區塊位址 BK[m]為 BK[0]，表示在本實施例的讀取模式中，在第一讀取期間 T1 和第二讀取期間 T2，對應區塊位址 BK[0]的記憶體區塊被讀取。

【0030】 在本實施例中，在第一讀取期間 T1，第一選擇訊號 S1 為高準位，控制訊號 BK[0]*S1 通過位準移位器 LS1 後將導通電晶體開關 Q1。此時，第二選擇訊號 S2 為低準位，電晶體開關 Q2 不

導通。因此，在第一讀取期間 $T1$ ，第一電源 $HV1$ 傳遞至節點 $HV[0]$ 並且提供給子解碼器 344_0 。在第一讀取期間 $T1$ ，第一電源 $HV1$ 的電壓準位為讀取操作所需的目標電壓 HVt 。在本實施例中，在第二讀取期間 $T2$ ，第二選擇訊號 $S2$ 為高準位，控制訊號 $BK[0]*S2$ 通過位準移位器 $LS2$ 後將導通電晶體開關 $Q2$ 。此時，第一選擇訊號 $S1$ 為低準位，電晶體開關 $Q1$ 不導通。因此，在第二讀取期間 $T2$ ，第三電源 $HV2$ 傳遞至節點 $HV[0]$ 並且提供給子解碼器 344_0 。在第二讀取期間 $T2$ ，第三電源 $HV2$ 的電壓準位為讀取操作所需的目標電壓 HVt 。

【0031】 圖 5 繪示本發明另一實施例之訊號波形的概要示意圖。請參考圖 4 及圖 5，本實施例之讀取操作類似於圖 4 實施例，惟兩者之間主要的差異例如在於在本實施例的讀取模式中，記憶體晶胞陣列中不同的區塊被讀取。具體而言，在本實施例中，在第一讀取期間 $T1$ ，對應區塊位址 $BK[m]$ 的記憶體區塊被讀取，並且在第二讀取期間 $T2$ ，對應區塊位址 $BK[m+h]$ 的記憶體區塊被讀取，其中 h 為大於 0 的正整數。此外，本實施例的電源供應器電路 320 在讀取模式中提供電源給字元線解碼器 344 的操作方法，其詳細步驟及實施方式可以由圖 4 實施例獲致足夠的教示、建議與實施說明，因此不再贅述。

【0032】 圖 6 繪示圖 1 實施例之電壓產生器電路的概要示意圖。請參考圖 1、圖 3 及圖 6，本實施例之電壓產生器電路 130 包括第一電荷泵電路 610 以及第二電荷泵電路 620。第一電荷泵電路 610

用以提供第一電源 P1 給記憶體晶胞陣列 120，並且在第一電源 P1 低於參考電壓 Vref (第一參考電壓)時，提升第一電源 P1 的電壓值。第二電荷泵電路 620 用以提供第三電源 P3 給記憶體晶胞陣列 120，並且在第三電源 P3 低於參考電壓 Vref (第二參考電壓)時，提升第三電源 P3 的電壓值。在本實施例中，第一電荷泵電路 610 以及第二電荷泵電路 620 接收的參考電壓 Vref 可以相同或不相同，本發明並不加以限制。

【0033】 具體而言，在本實施例中，第一電荷泵電路 610 包括振盪器 612、電荷泵 614 以及比較器 616。電荷泵 614 用以產生第一電源 HV1 並且輸出第一電源 HV1 給字元線解碼器 320 以及比較器 616。當第一電源 HV1 的電壓值低於參考電壓 Vref 時，比較器 616 輸出致能訊號 EN1 並且回授給振盪器 612 以致能振盪器 612 產生振盪訊號，從而電荷泵 614 據此來提升第三電源 P3 至預設的電壓值。此外，本實施例的第二電荷泵電路 620 的操作方法，其詳細步驟及實施方式可以由第一電荷泵電路 610 的揭示內容獲致足夠的教示、建議與實施說明，因此不再贅述。

【0034】 在本實施例中，第一電荷泵電路 610 以及第二電荷泵電路 620 當中的各種電路功能區塊(例如振盪器、電荷泵以及比較器)的電路架構可分別由所屬技術領域的任一種適合的電路來加以實施，本發明並不加以限制，其詳細步驟及實施方式可以由所屬技術領域的通常知識獲致足夠的教示、建議與實施說明，因此不再贅述。

【0035】 在圖 3 的實施例中，在待機模式中，電源供應器電路 320 例如是提供具有電壓值 $VCC-V_t$ (第二電壓)的第二電源給字元線解碼器 344，但本發明並不限於此。在其他實施例中，在待機模式中，電源供應器電路例如是提供具有電壓值 VCC (第一電壓)的第二電源給字元線解碼器，例如圖 10，或者是提供具有電壓值 VSS (第三電壓)的第二電源給字元線解碼器，例如圖 7。換句話說，在本發明的示範實施例中，第二電源是選自第一電壓 VCC 、第二電壓 $VCC-V_t$ 以及第三電壓 VSS 當中之任一者。第一電壓 VCC 大於第二電壓 $VCC-V_t$ ，以及第二電壓 $VCC-V_t$ 大於第三電壓 VSS 。

【0036】 圖 7 繪示本發明另一實施例之字元線解碼器電路的概要示意圖。請參考圖 3 及圖 7，本實施例之字元線解碼器電路 400 類似於圖 3 實施例之字元線解碼器電路 300，惟兩者之間主要的差異例如在於，電源供應器電路 420 提供具有電壓值 VSS (第三電壓)的第二電源給字元線解碼器 444。

【0037】 具體而言，以電源供應器 420_0 為例，節點 $HV[0]$ 耦接至電晶體開關 $Q4$ 的一端。電晶體開關 $Q4$ 的另一端耦接至第三電壓 VSS ，電晶體開關 $Q4$ 的控制端受控於控制訊號 $\overline{BK[0]D}$ 。其中，控制訊號 $\overline{BK[0]D}$ 表示經延遲的區塊位址 $BK[0]$ 的反相訊號。在待機模式中，控制訊號 $\overline{BK[0]D}$ 控制電晶體開關 $Q4$ 導通，控制訊號 $BK[0]*S1$ 、 $BK[0]*S2$ 分別控制電晶體開關 $Q1$ 、 $Q2$ 不導通，因此，第三電壓 VSS 經由電晶體開關 $Q4$ 提供給子解碼器 444_0。在本實施例中，在待機模式中，其他電源供應器提供第三電壓 VSS 給對

應的子解碼器的操作方式可參考電源供應器 420_0，以此類推，在此不再贅述。在本實施例中，第一電源 HV1 的電壓值大於第二電源的電壓值 VSS，並且與第三電源 HV2 的電壓值大於第二電源的電壓值 VSS。

【0038】 圖 8 繪示圖 7 實施例之控制訊號產生電路的概要示意圖。圖 9 繪示圖 8 實施例之控制訊號的波形示意圖。請參考圖 7 至圖 9，本實施例之控制訊號產生電路 800 包括延遲元件 810 以及或閘 820。延遲元件 810 接收區塊位址 BK[0]，並且將其延遲一段延遲時間 TD。接著，或閘 820 再依據區塊位址 BK[0]以及經延遲的區塊位址 BK[0]來產生輸出訊號 BK[0]D。之後，輸出訊號 BK[0]D 被輸出至控制訊號產生電路 800 的下一級電路進行反相，以產生控制訊號 $\overline{BK[0]D}$ 。其他的控制訊號，例如控制訊號 $\overline{BK[n-1]D}$ 的產生方式可以此類推，在此不再贅述。在本發明的示範實施例中，控制訊號的產生方式有很多種，圖 8 及圖 9 所繪示者僅用以例示說明，本發明並不限於此。

【0039】 圖 10 繪示本發明另一實施例之字元線解碼器電路的概要示意圖。請參考圖 3 及圖 10，本實施例之字元線解碼器電路 500 類似於圖 3 實施例之字元線解碼器電路 300，惟兩者之間主要的差異例如在於，電源供應器電路 520 提供具有電壓值 VCC (第一電壓)的第二電源給字元線解碼器 544。

【0040】 具體而言，以電源供應器 520_0 為例，節點 HV[0]耦接至電晶體開關 Q5 的一端。電晶體開關 Q5 的另一端耦接至第一電壓

VCC，電晶體開關 Q5 的控制端受控於控制訊號 $\overline{BK[0]DH}$ 。其中，控制訊號 $\overline{BK[0]DH}$ 表示經延遲的區塊位址 BK[0]的反相訊號的高準位訊號。在待機模式中，控制訊號 $\overline{BK[0]DH}$ 控制電晶體開關 Q5 導通，控制訊號 BK[0]*S1、BK[0]*S2 分別控制電晶體開關 Q1、Q2 不導通，因此，第一電壓 VCC 經由電晶體開關 Q5 提供給子解碼器 544_0。在本實施例中，在待機模式中，其他電源供應器提供第一電壓 VCC 給對應的子解碼器的操作方式可參考電源供應器 520_0，以此類推，在此不再贅述。在本實施例中，第一電源 HV1 的電壓值小於第二電源的電壓值 VCC，並且與第三電源 HV2 的電壓值小於第二電源的電壓值 VCC。

【0041】 綜上所述，在本發明的示範實施例中，在待機模式中，字元線解碼器的電源並非是由電荷泵提供的高電壓 (high voltage, HV)，以降低電晶體次臨界區電流 (sub-threshold current)，從而降低待機電流。字元線解碼器的電源在待機模式中例如是第一電壓、第二電壓或者第三電壓。在本發明的示範實施例中，在讀取模式中，例如設計有兩種電源，即第一電源及第三電源。在接收到讀取指令時，此兩個電源交替提供給字元線解碼器。在本發明的示範實施例中，在同一讀取模式中，被讀取的多個區塊可能是記憶體晶胞陣列當中同一個區塊或不同的區塊。因此，在本發明的示範實施例中，字元線解碼器的在待機模式中的消耗電流可被降低。

【0042】 雖然本發明已以實施例揭露如上，然其並非用以限定本

發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0043】

100：記憶體儲存裝置

110：記憶體控制電路以及

120：記憶體晶胞陣列

130：電壓產生器電路

122_1、122_2、122_3、122_4：記憶體區塊

142：位元線解碼器電路

144：字元線解碼器電路

146：感測放大器電路

300、400、500：字元線解碼器電路

310、410、510：預解碼器

320、420、520：電源供應器電路

320_0、320_(n-1)、420_0、420_(n-1)、520_0、520_(n-1)：

電源供應器

344、444、544：字元線解碼器

344_0、344_(n-1)、444_0、444_(n-1)、544_0、544_(n-1)：

子解碼器

610：第一電荷泵電路	$BK[0]*S1$ 、 $BK[0]*S2$ 、
612：振盪器	$BK[n-1]*S1$ 、 $BK[n-1]*S2$ 、
614：電荷泵	$\overline{BK[0]D}$ 、 $\overline{BK[n-1]D}$ 、 $\overline{BK[0]DH}$ 、
616：比較器	$\overline{BK[n-1]DH}$ ：控制訊號
620：第二電荷泵電路	$BK[0]D$ ：輸出訊號
800：控制訊號產生電路	$S1$ ：第一選擇訊號
810：延遲元件	$S2$ ：第二選擇訊號
820：或閘	$BK[0]$ 、 $BK[m]$ 、 $BK[m+h]$ 、
$P1$ 、 $HV1$ ：第一電源	$BK[x]$ ：區塊位址
$P2$ ：第二電源	$WL[0:k-1]$ 、
$P3$ 、 $HV2$ ：第三電源	$WL[(n-2)*k:(n-1)*(k-1)]$ ：字元
HVt ：目標電壓	線位址
VCC ：第一電壓	$T1$ ：第一讀取期間
VSS ：第三電壓	$T2$ ：第二讀取期間
$Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ 、 $Q5$ ：	$LS1$ 、 $LS2$ ：位準移位器
電晶體開關	$Vref$ ：參考電壓
$HV[0]$ 、 $HV[n-1]$ ：節點	$EN1$ 、 $EN2$ ：致能訊號



I640992

【發明摘要】

IPC分類: G11C 16/08 (2006.01)
G11C 8/10 (2006.01)

【中文發明名稱】字元線解碼器電路

【英文發明名稱】WORD LINE DECODER CIRCUIT

【中文】一種字元線解碼器電路，設置在記憶體儲存裝置。記憶體儲存裝置包括記憶體晶胞陣列。字元線解碼器電路包括字元線解碼器以及電源供應器電路。字元線解碼器耦接至記憶體儲存裝置的多條字元線。電源供應器電路耦接至字元線解碼器。電源供應器電路用以在讀取模式提供第一電源給字元線解碼器，並且在待機模式提供第二電源給字元線解碼器。第一電源的電壓值大於或小於第二電源的電壓值

【英文】A word line decoder circuit located in a memory storage apparatus is provided. The memory storage apparatus includes a memory cell array. The word line decoder circuit includes a word line decoder and a power supply circuit. The word line decoder is coupled to a plurality of word lines of the memory storage apparatus. The power supply circuit is coupled to the word line decoder. The power supply circuit is configured to provide a first power to the word line decoder in a read mode, and provide a second power to the word line decoder in a standby mode. A voltage value of the first power is larger than or smaller than that of the second power.

【發明申請專利範圍】

【第1項】一種字元線解碼器電路，設置在一記憶體儲存裝置並且該記憶體儲存裝置包括一記憶體晶胞陣列，該字元線解碼器電路包括：

一字元線解碼器，耦接至該記憶體儲存裝置的多條字元線；以及

一電源供應器電路，耦接至該字元線解碼器，用以在一讀取模式提供一第一電源給該字元線解碼器，並且在一待機模式提供一第二電源給該字元線解碼器，

其中該第一電源的電壓值大於或小於該第二電源的電壓值。

【第2項】如申請專利範圍第1項所述的字元線解碼器電路，其中該電源供應器電路更用以在該讀取模式提供一第三電源給該字元線解碼器，其中該第三電源的電壓值大於或小於該第二電源的電壓值。

【第3項】如申請專利範圍第2項所述的字元線解碼器電路，其中該第一電源的電壓值等於該第三電源的電壓值。

【第4項】如申請專利範圍第2項所述的字元線解碼器電路，其中該讀取模式包括一第一讀取期間以及一第二讀取期間，該字元線解碼器在該第一讀取期間接收該第一電源，以及該字元線解碼器在該第二讀取期間接收該第三電源。

【第5項】如申請專利範圍第4項所述的字元線解碼器電路，其中在該第一讀取期間，該記憶體晶胞陣列當中的一第一區塊被讀取，以及在該第二讀取期間，該記憶體晶胞陣列當中的一第二區塊被讀取。

【第6項】如申請專利範圍第5項所述的字元線解碼器電路，其中該第一區塊與該第二區塊是該記憶體晶胞陣列中相同的區塊。

【第7項】如申請專利範圍第5項所述的字元線解碼器電路，其中該第一區塊與該第二區塊是該記憶體晶胞陣列中不同的區塊。

【第8項】如申請專利範圍第2項所述的字元線解碼器電路，其中該字元線解碼器包括：

多個子解碼器，各該子解碼器耦接至該些字元線當中對應的多條字元線。

【第9項】如申請專利範圍第8項所述的字元線解碼器電路，其中該電源供應器電路包括：

多個電源供應器，各該電源供應器耦接至該些子解碼器當中對應的其中之一，其中各該電源供應器用以在該讀取模式提供該第一電源或者該第三電源給其耦接的子解碼器，並且在該待機模式提供該第二電源給其耦接的子解碼器。

【第10項】如申請專利範圍第2項所述的字元線解碼器電路，其中該電源供應器電路耦接至一第一電荷泵電路，該第一電荷泵電路用以提供該第一電源，並且在該第一電源低於一第一參考電壓時，提升該第一電源的電壓值。

【第11項】如申請專利範圍第10項所述的字元線解碼器電路，其中該電源供應器電路耦接至一第二電荷泵電路，該第二電荷泵電路用以提供該第三電源，並且在該第三電源低於一第二參考電壓時，提升該第三電源的電壓值。

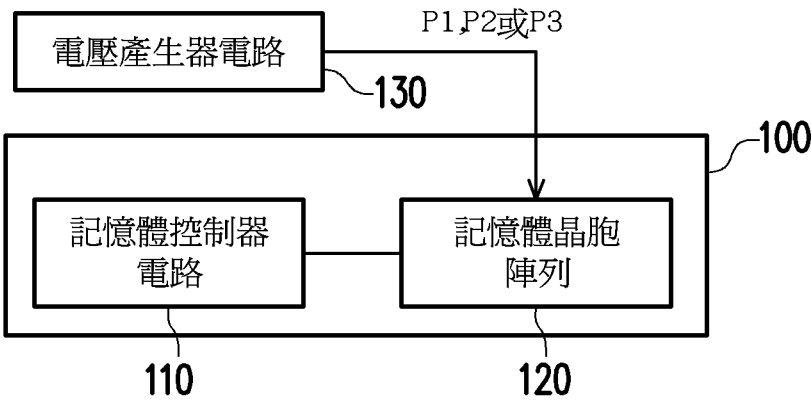
【第12項】如申請專利範圍第1項所述的字元線解碼器電路，更包括：

一預解碼器，耦接至該電源供應器電路，用以在該讀取模式選擇該記憶體晶胞陣列當中的一區塊以進行一讀取操作。

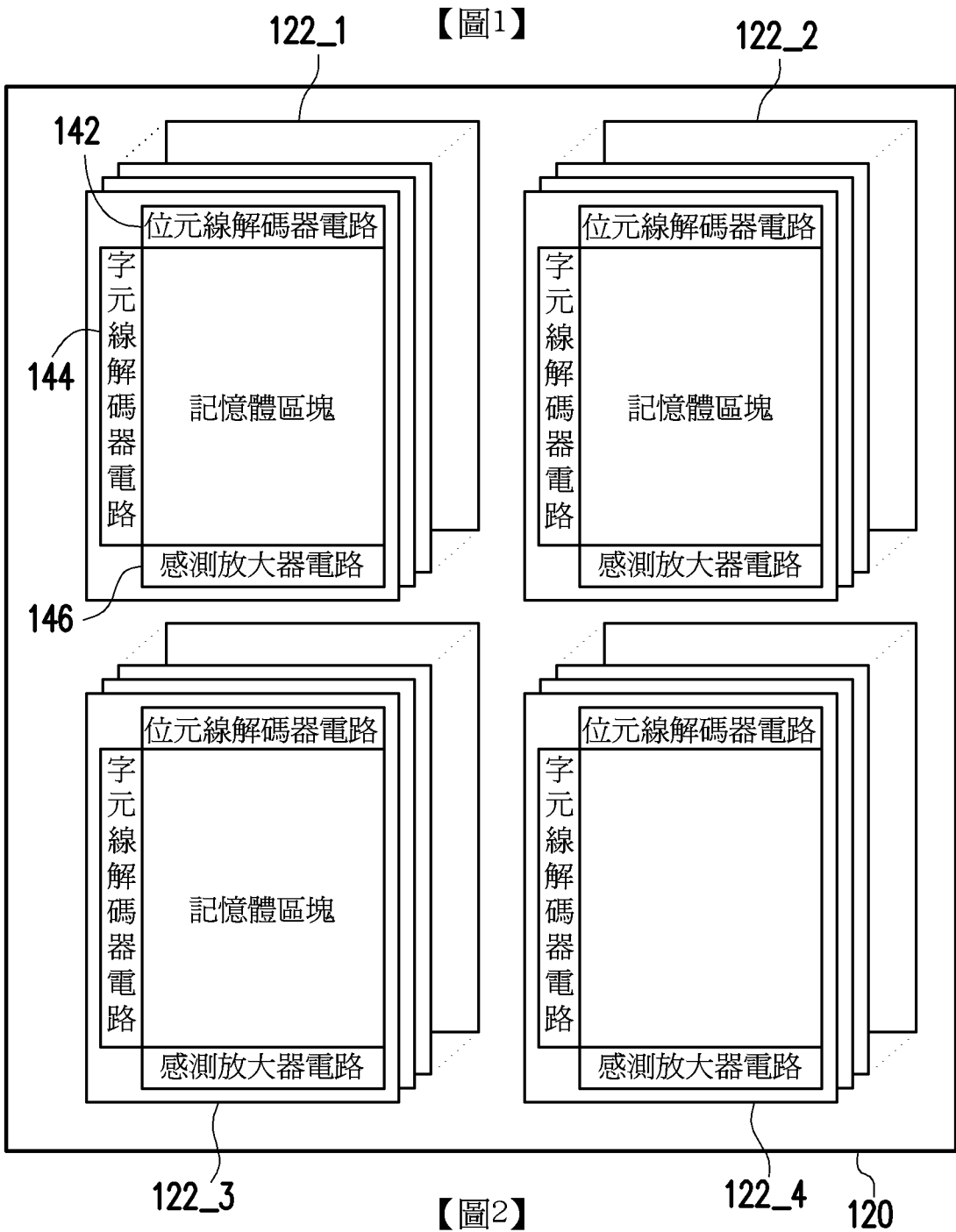
【第13項】如申請專利範圍第1項所述的字元線解碼器電路，其中該第二電源是選自一第一電壓、一第二電壓以及一第三電壓當中之 one 者。

【第14項】如申請專利範圍第13項所述的字元線解碼器電路，其中該第一電壓大於該第二電壓，以及該第二電壓大於該第三電壓。

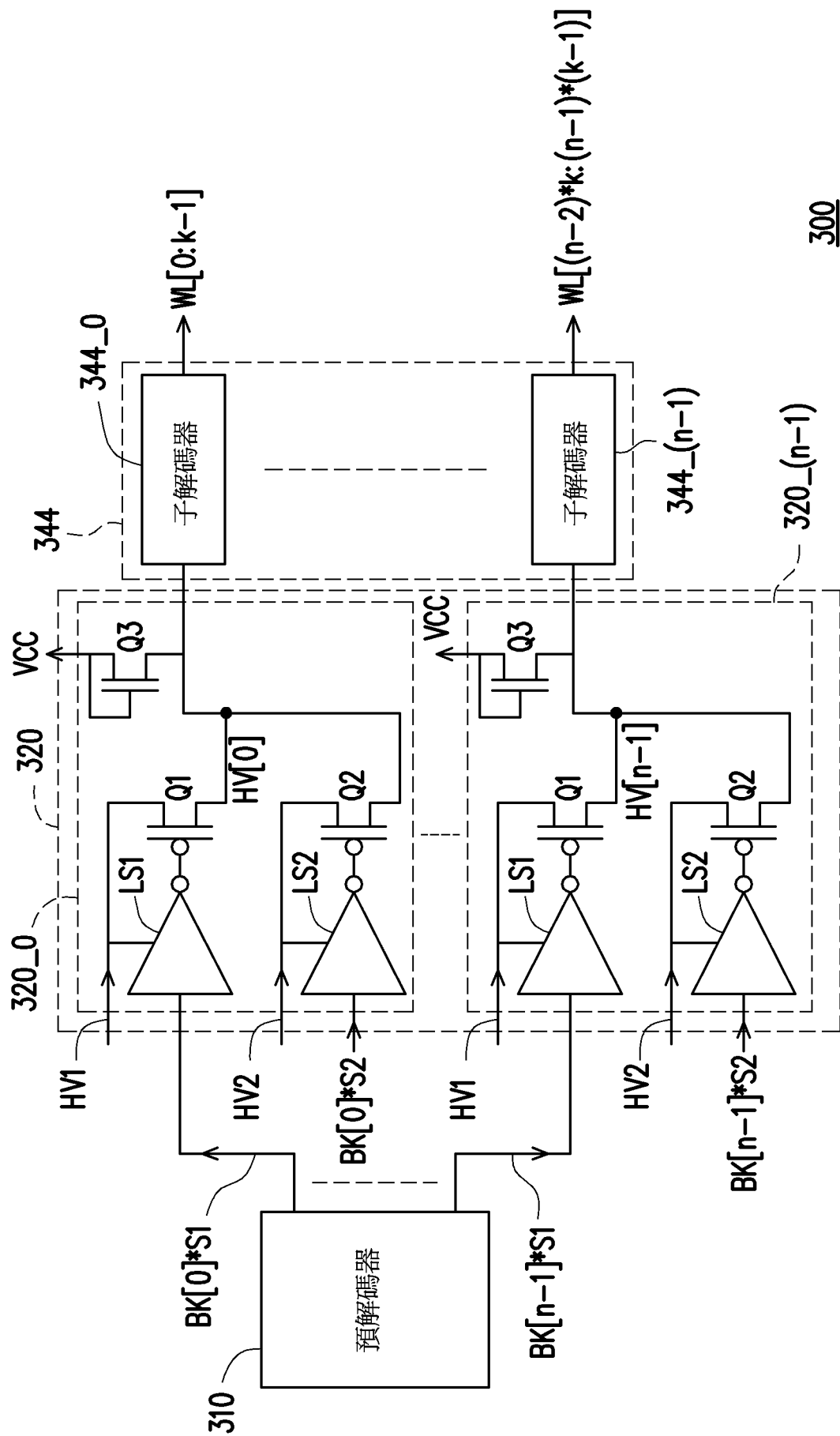
【發明圖式】



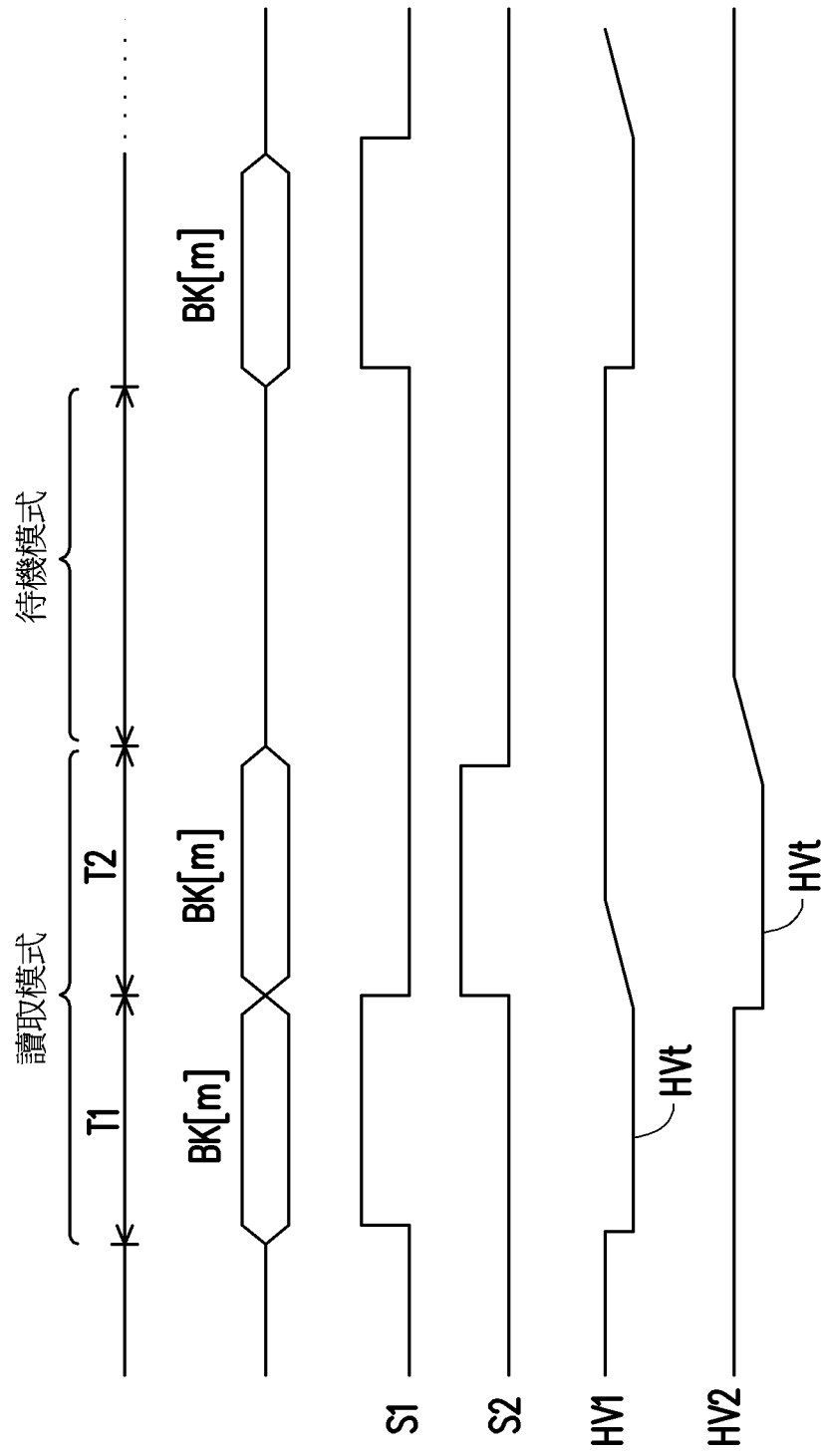
【圖1】



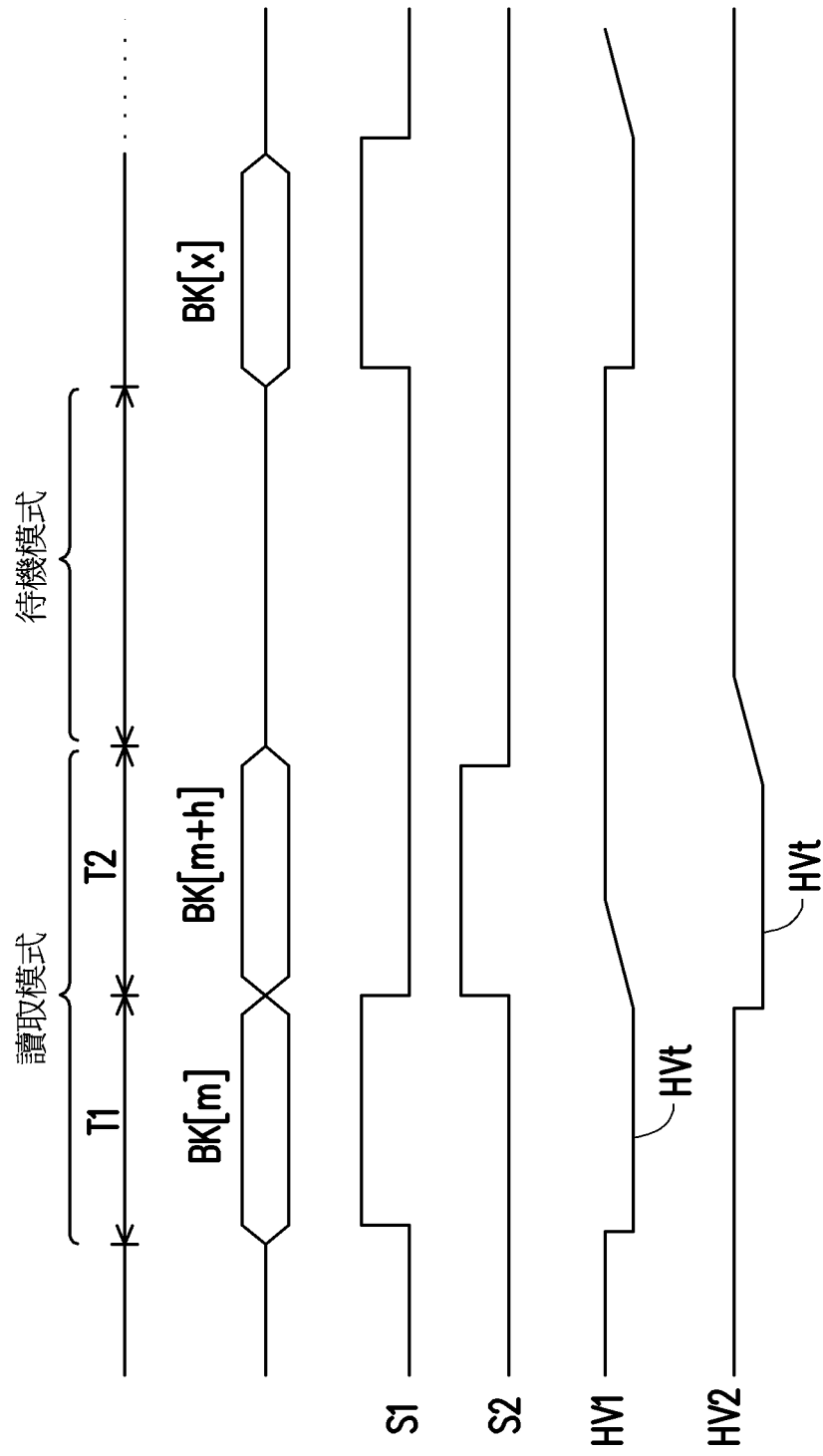
【圖2】



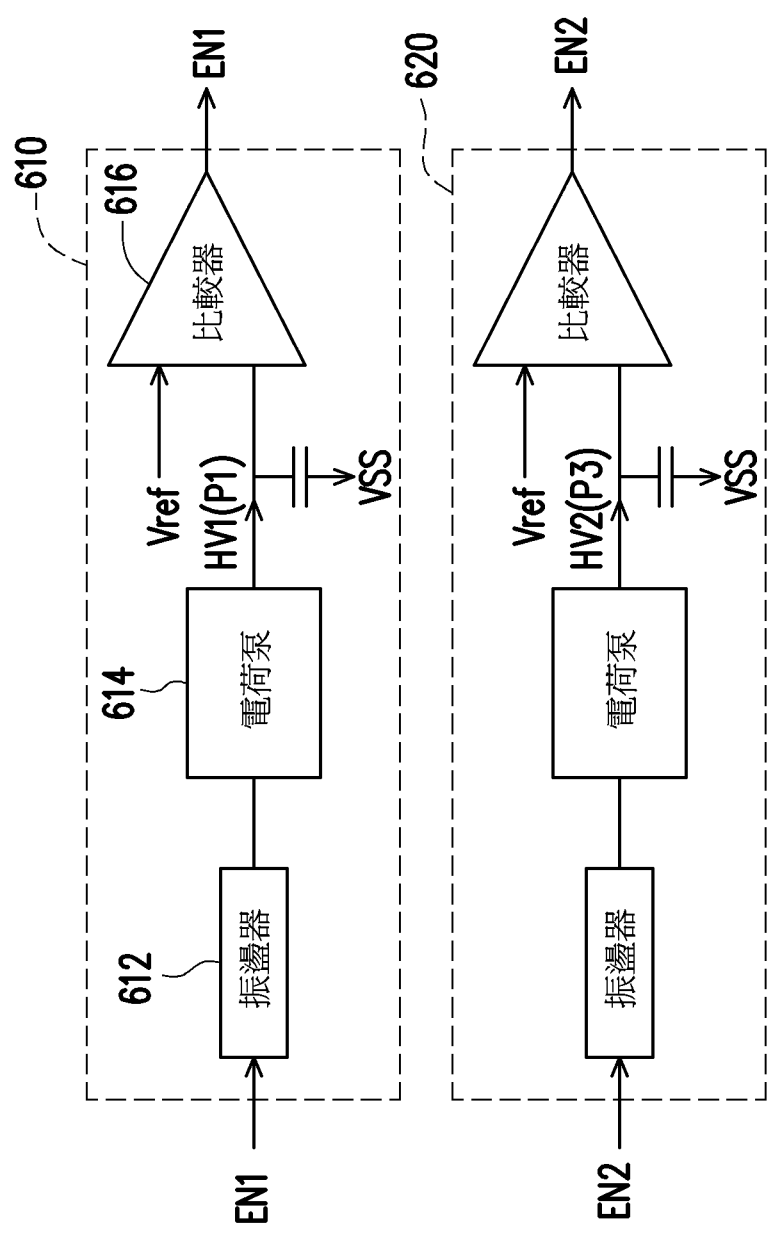
【圖3】



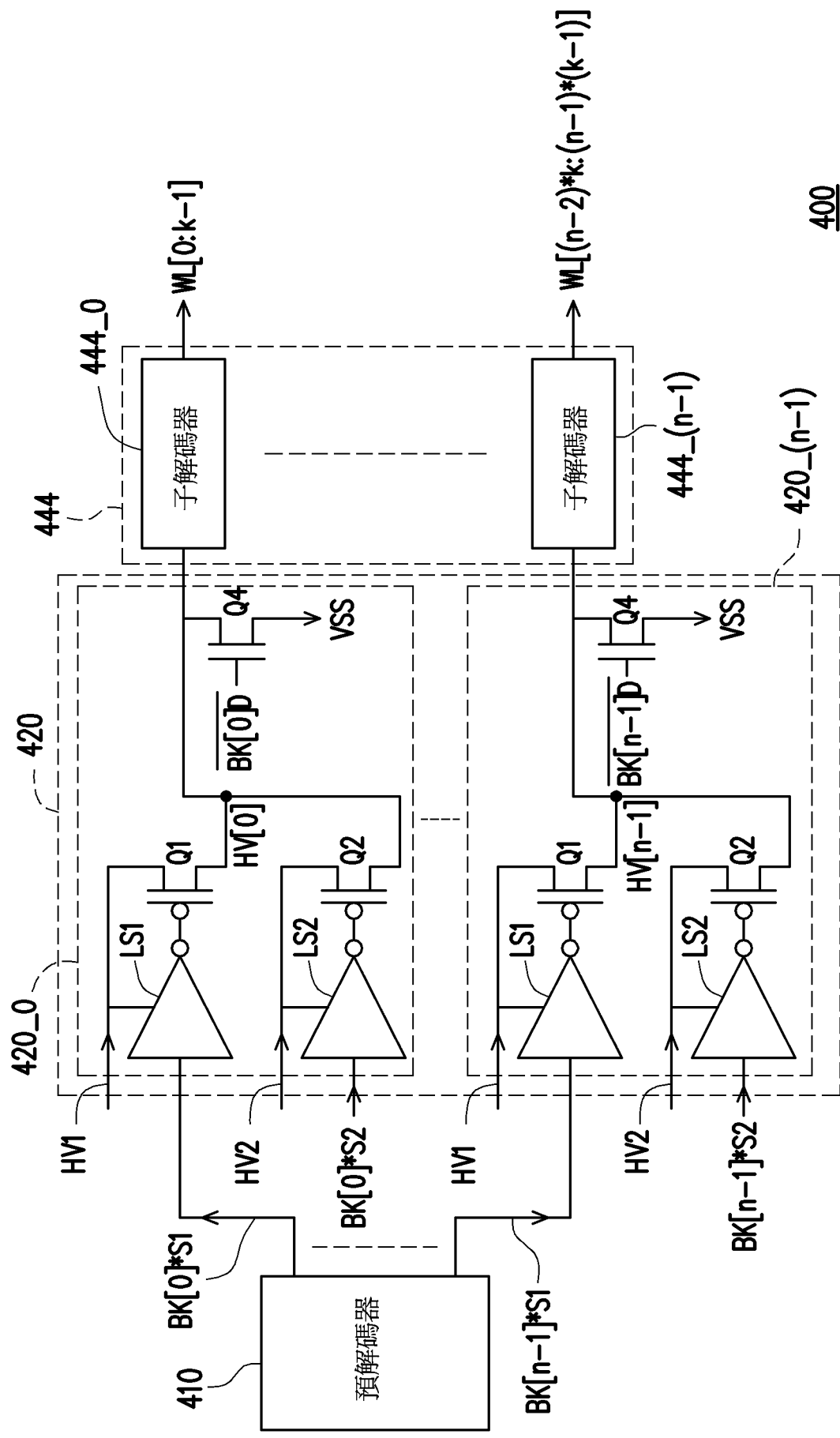
【圖4】



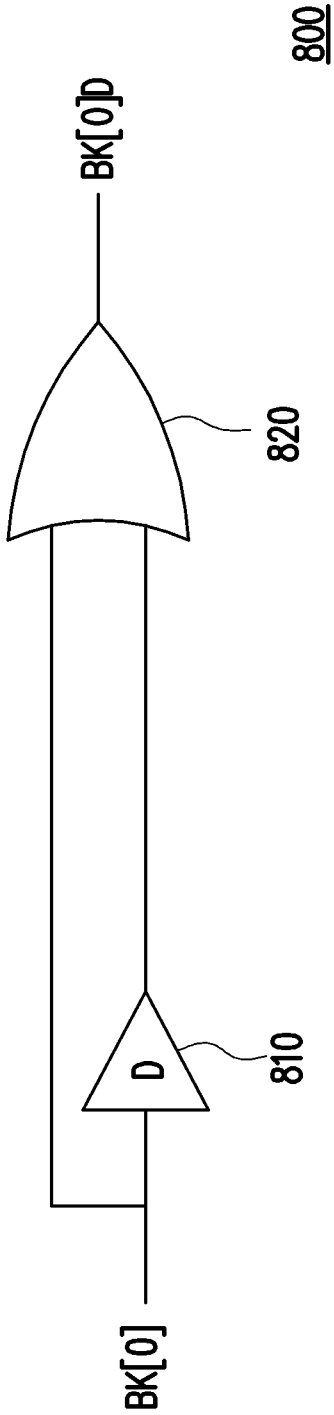
【圖5】



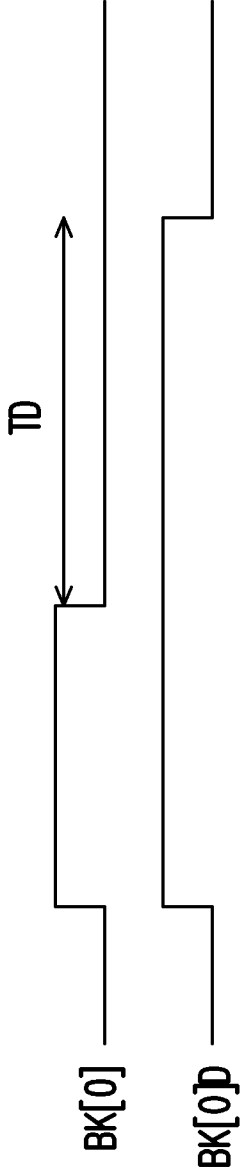
【圖6】



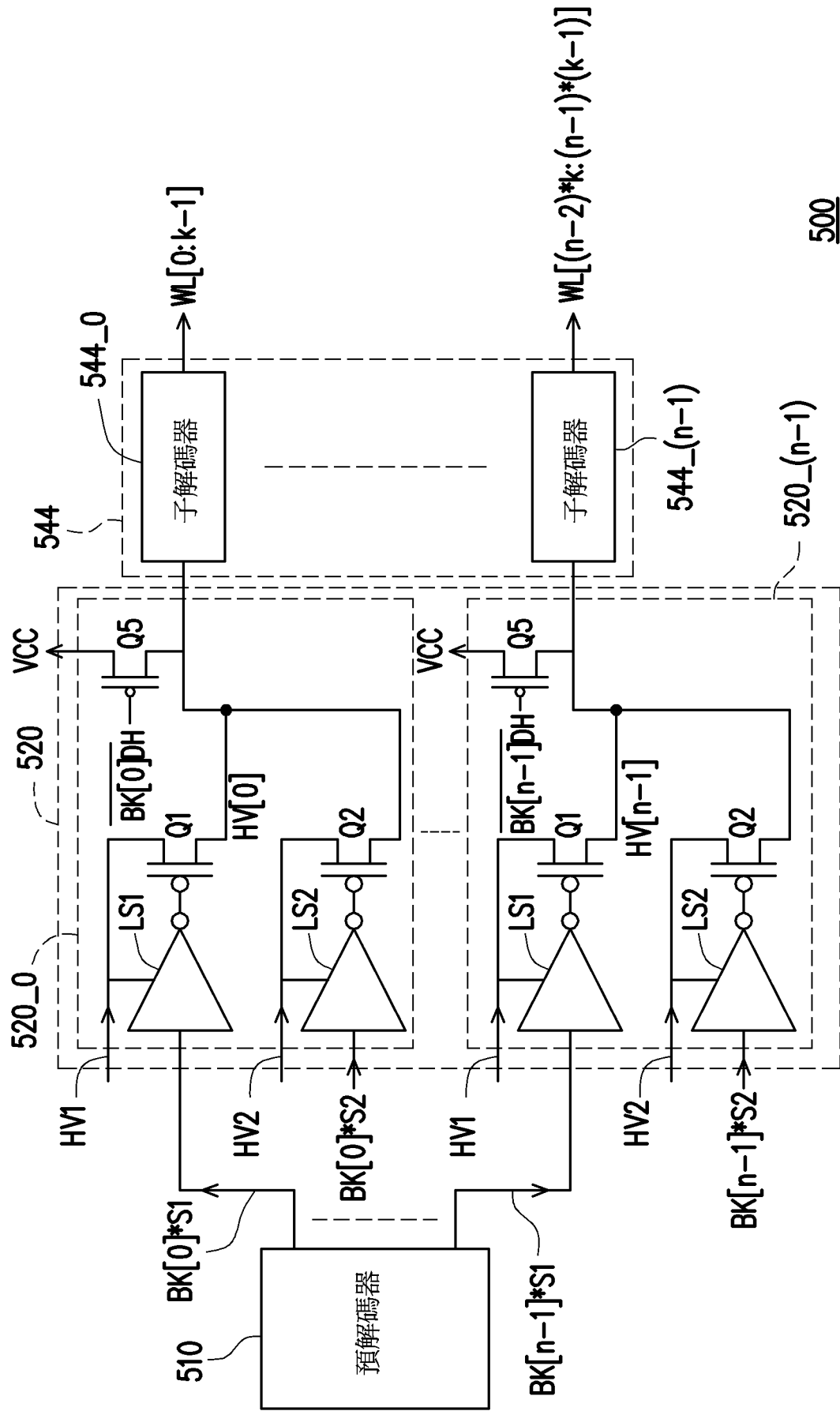
【圖7】



【圖8】



【圖9】



【圖10】

【指定代表圖】 圖3。

【代表圖之符號簡單說明】

300：字元線解碼器電路

310：預解碼器

320：電源供應器電路

320_0、320_(n-1)：電源供應器

344：字元線解碼器

344_0、344_(n-1)：子解碼器

HV1：第一電源

HV2：第三電源

VCC：第一電壓

Q1、Q2、Q3：電晶體開關

HV[0]、HV[n-1]：節點

BK[0]*S1、BK[0]*S2、BK[n-1]*S1、BK[n-1]*S2：控制訊號

LS1、LS2：位準移位器

【特徵化學式】

無