



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0041433
(43) 공개일자 2017년04월17일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 29/78648 (2013.01)

H01L 29/78618 (2013.01)

(21) 출원번호 10-2015-0140841

(22) 출원일자 2015년10월07일

심사청구일자 2015년10월07일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

장진

서울특별시 서초구 잠원로 88, 302동 908호(잠원동, 신반포아파트)

엄재광

서울특별시 동대문구 경희대로 26, 푸른솔문화관 129호(회기동, 경희대학교)

(74) 대리인

김연권

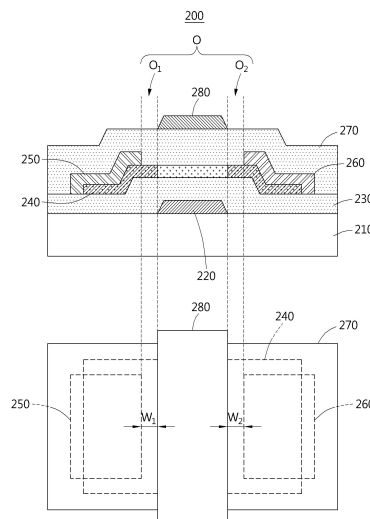
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 듀얼 게이트 박막 트랜지스터 및 그의 제조 방법

(57) 요약

듀얼 게이트 박막 트랜지스터가 개시된다. 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터는 기판, 기판 상에 위치한 제1 게이트 전극, 제1 게이트 전극 상에 위치한 산화물 반도체층, 산화물 반도체층에 위치한 소스 전극 및 드레인 전극 및 산화물 반도체층 상에 위치한 제2 게이트 전극을 포함한다. 여기서, 제1 및 제2 게이트 전극은 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 소스 전극 및 드레인 전극 사이의 오프셋 영역을 포함하며, 오프셋 영역에 해당하는 산화물 반도체층은 할로젠계 가스로 플라즈마 처리된다.

대표도 - 도2



(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 2924/13069 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10052044

부처명 산업통상지원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업핵심기술개발사업

연구과제명 유연기관 상의 8K 디스플레이용 고품위 TFT 개발

기 여 율 1/1

주관기관 경희대학교 산학협력단

연구기간 2015.06.01 ~ 2020.05.31

명세서

청구범위

청구항 1

듀얼 게이트 박막 트랜지스터에 있어서,

기관;

상기 기관 상에 위치한 제1 게이트 전극;

상기 제1 게이트 전극 상에 위치한 산화물 반도체층;

상기 산화물 반도체층에 위치한 소스 전극 및 드레인 전극; 및

상기 산화물 반도체층 상에 위치한 제2 게이트 전극;을 포함하며,

상기 제1 및 제2 게이트 전극은,

상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역을 포함하며,

상기 오프셋 영역에 해당하는 상기 산화물 반도체층은 할로겐계 가스로 플라즈마 처리된, 듀얼 게이트 박막 트랜지스터.

청구항 2

제1항에 있어서,

상기 산화물 반도체층은,

상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 연장되어 플라즈마 처리된, 듀얼 게이트 박막 트랜지스터.

청구항 3

제1항에 있어서,

상기 오프셋 영역은,

상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역; 및

상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역

을 포함하는, 듀얼 게이트 박막 트랜지스터.

청구항 4

제3항에 있어서,

상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 갖는, 듀얼 게이트 박막 트랜지스터.

청구항 5

제3항에 있어서,

상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 갖는, 듀얼 게이트 박막 트랜지스터.

청구항 6

제3항 내지 제5항 중 어느 한 항에 있어서,

상기 제1 및 제2 오프셋 영역은 0.5 μ m 이상의 폭을 갖는, 듀얼 게이트 박막 트랜지스터.

청구항 7

제1항에 있어서,

상기 할로겐계 가스는,

플루오린 (fluorine; F) 원소를 포함하는 가스인, 듀얼 게이트 박막 트랜지스터,

청구항 8

제7항에 있어서,

상기 산화물 반도체층은,

0.1% 내지 10% 농도의 플루오린(F) 원소를 포함하는, 듀얼 게이트 박막 트랜지스터.

청구항 9

제1항에 있어서,

상기 제1 게이트 전극과 상기 산화물 반도체층 사이에 위치된 게이트 절연층; 및

상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 위치하는 보호층을 더 포함하는 듀얼 게이트 박막 트랜지스터.

청구항 10

제1항에 있어서,

상기 산화물 반도체층은,

비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하는 듀얼 게이트 박막 트랜지스터.

청구항 11

듀얼 게이트 박막 트랜지스터의 제조 방법에 있어서,

기관 상에 제1 게이트 전극을 형성하는 단계;

상기 제1 게이트 전극 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 상기 드레인 전극 상에 보호층을 형성하는 단계; 및

상기 보호층 상에 제2 게이트 전극을 형성하는 단계;를 포함하며,

상기 산화물 반도체층을 형성한 이후에, 상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 제1 게이트 전극 및 상기 제2 게이트 전극과, 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역에 해당하는 상기 산화물 반도체층을 할로겐계 가스를 이용하여 플라즈마 처리하는 단계

를 더 포함하는 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 12

제11항에 있어서,

상기 플라즈마 처리하는 단계는,

상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 상기 플라즈마 처리하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 13

제11항에 있어서,

상기 플라즈마 처리하는 단계는,

상기 산화물 반도체층 상에서 상기 오프셋 영역이 노출되도록, 포토 레지스트를 도포하여 상기 오프셋 영역을 제외한 다른 영역들을 마스크하는 단계;

상기 할로겐계 가스를 이용하여 상기 오프셋 영역을 420℃ 이하의 온도에서 플라즈마 처리하는 단계; 및

상기 포토 레지스트를 제거하는 단계

를 포함하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 14

제11항에 있어서,

상기 오프셋 영역은,

상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역; 및

상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역

을 포함하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 15

제14항에 있어서,

상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 갖는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 16

제14항에 있어서,

상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 갖는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 17

제14항 내지 제16항 중 어느 한 항에 있어서,

상기 제1 및 제2 오프셋 영역은,

0.5 μ m 이상의 폭을 갖는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 18

제11항에 있어서,

상기 할로젠계 가스는,

플루오린 (fluorine; F)을 포함하는 가스인, 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 19

제11항에 있어서,

상기 제1 게이트 전극 상에 상기 산화물 반도체층 사이에 게이트 절연층을 형성하는 단계; 및

상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 보호층을 형성하는 단계를 더 포함하는 듀얼 게이트 박막 트랜지스터의 제조 방법.

청구항 20

제11항에 있어서,

상기 산화물 반도체층을 형성하는 단계는,

상기 게이트 절연층 상에 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 증착하는, 듀얼 게이트 박막 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시 예들은 전기적 특성 및 신뢰성이 향상된 듀얼 게이트 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 박막 트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 반도체층과, 채널 영역과 중첩되며 게이트 절연층에 의해 반도체층과 절연되는 게이트 전극을 포함한다.

[0003] 최근 들어 박막 트랜지스터의 반도체층으로 산화물 반도체를 이용하기 위한 연구가 계속되고 있다. 박막 트랜지스터에서 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 이러한 산화물 반도체를 이용하면 별도의 장비를 추가적으로 구입하지 않고도 기존의 장비를 이용하여 저온에서 박막 트랜지스터를 제조할 수 있는 등 여러 가지 장점이 있다. 그러나 산화물 반도체층을 구비하는 박막

트랜지스터는 구조 및 공정 조건에 따라 전기적 특성이 쉽게 변화되기 때문에 신뢰성이 낮은 문제점이 있다.

- [0004] 한편, LCD(Liquid Crystal Display) 패널 또는 AMOLED(Active-Matrix Organic Light Emitting Diode) 디스플레이 패널에 적용하기 위하여 높은 신뢰성을 갖는 박막 트랜지스터가 요구되며, 이를 위해 일부 구조를 변경하여 2개의 게이트 전극을 포함하는 듀얼 게이트 박막 트랜지스터가 개발되었다. 그러나, 듀얼 게이트 박막 트랜지스터의 경우, 2개의 게이트 전극과 소스/드레인 전극의 구조에 따라 발생하는 기생 전압 또는 고저항 특성으로 인해 전기적 특성 및 신뢰성을 높이는데 한계가 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본공개특허 특허공개공보 제2013-012610호(2013.01.17, 얇은 막 트랜지스터 및 그 제조 방법)

발명의 내용

해결하려는 과제

- [0006] 본 발명의 실시예들의 목적은 전기적 특성 및 신뢰성이 향상될 수 있는 듀얼 게이트 박막 트랜지스터 및 그의 제조 방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0007] 실시예에 따른 듀얼 게이트 박막 트랜지스터는 기판, 상기 기판 상에 위치한 제1 게이트 전극, 상기 제1 게이트 전극 상에 위치한 산화물 반도체층, 상기 산화물 반도체층에 위치한 소스 전극 및 드레인 전극 및 상기 산화물 반도체층 상에 위치한 제2 게이트 전극을 포함하며, 상기 제1 및 제2 게이트 전극은 상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역을 포함하며, 상기 오프셋 영역에 해당하는 상기 산화물 반도체층은 할로젠계 가스로 플라즈마 처리된다.
- [0008] 일 실시예에 따르면, 상기 산화물 반도체층은 상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 연장되어 플라즈마 처리될 수 있다.
- [0009] 일 실시예에 따르면, 상기 오프셋 영역은 상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역 및 상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역을 포함할 수 있다.
- [0010] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 가질 수 있다.
- [0011] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 가질 수 있다.
- [0012] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 0.5 μ m 이상의 폭을 가질 수 있다.
- [0013] 한편, 일 실시예에 따르면, 상기 할로젠계 가스는 플루오린(fluorine; F)을 포함하는 가스일 수 있다.
- [0014] 일 실시예에 따르면, 상기 산화물 반도체층은 0.1% 내지 10% 농도의 플루오린(F) 원소를 포함할 수 있다.
- [0015] 한편, 상기 듀얼 게이트 박막 트랜지스터는 상기 제1 게이트 전극과 상기 산화물 반도체층 사이에 위치한 게이트 절연층 및 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 위치하는 보호층을 더 포함할 수 있다.
- [0016] 일 실시예에 따르면, 상기 산화물 반도체층은 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함할 수 있다.
- [0017] 한편, 실시예에 따른 듀얼 게이트 박막 트랜지스터의 제조 방법은 기판 상에 제1 게이트 전극을 형성하는 단계, 상기 제1 게이트 전극 상에 게이트 절연층을 형성하는 단계, 상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계, 상기 산화물 반도체층 상에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 소스 전극 및 상기 드

레인 전극 상에 보호층을 형성하는 단계 및 상기 보호층 상에 제2 게이트 전극을 형성하는 단계를 포함한다. 여기서, 상기 듀얼 게이트 박막 트랜지스터의 제조 방법은 상기 산화물 반도체층을 형성한 이후에, 상기 듀얼 게이트 박막 트랜지스터의 수직축을 기준으로 상기 제1 게이트 전극 및 상기 제2 게이트 전극과, 상기 소스 전극 및 상기 드레인 전극 사이의 오프셋 영역에 해당하는 상기 산화물 반도체층을 할로젠계 가스를 이용하여 플라즈마 처리하는 단계를 더 포함한다.

- [0018] 일 실시예에 따르면, 상기 플라즈마 처리하는 단계는 상기 오프셋 영역에서부터 상기 소스 전극 및 상기 드레인 전극이 접촉되는 영역까지 상기 플라즈마 처리할 수 있다.
- [0019] 일 실시예에 따르면, 상기 플라즈마 처리하는 단계는 상기 산화물 반도체층 상에서 상기 오프셋 영역이 노출되도록, 포토 레지스트를 도포하여 상기 오프셋 영역을 제외한 다른 영역들을 마스킹하는 단계, 상기 할로젠계 가스를 이용하여 상기 오프셋 영역을 420℃ 이하의 온도에서 플라즈마 처리하는 단계 및 상기 포토 레지스트를 제거하는 단계를 포함할 수 있다.
- [0020] 일 실시예에 따르면, 상기 오프셋 영역은 상기 제1 및 제2 게이트 전극의 일 측과 상기 소스 전극 사이에 해당하는 제1 오프셋 영역 및 상기 제1 및 제2 게이트 전극의 타 측과 상기 드레인 전극 사이에 해당하는 제2 오프셋 영역을 포함할 수 있다.
- [0021] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 동일한 폭을 가질 수 있다.
- [0022] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 서로 상이한 폭을 가질 수 있다.
- [0023] 일 실시예에 따르면, 상기 제1 및 제2 오프셋 영역은 0.5 μ m 이상의 폭을 가질 수 있다.
- [0024] 한편, 상기 할로젠계 가스는 플루오린(F) 원소를 포함하는 가스일 수 있다.
- [0025] 일 실시예에 따르면, 상기 듀얼 게이트 박막 트랜지스터의 제조 방법은, 상기 제1 게이트 전극 상에 상기 산화물 반도체층 사이에 게이트 절연층을 형성하는 단계 및 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이에 보호층을 형성하는 단계를 더 포함할 수 있다.
- [0026] 일 실시예에 따르면, 상기 산화물 반도체층을 형성하는 단계는 상기 게이트 절연층 상에 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 증착할 수 있다.

발명의 효과

- [0027] 본 발명의 실시예들에 따르면, 듀얼 게이트 박막 트랜지스터의 전기적 특성 및 신뢰성이 향상될 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 단면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 듀얼 게이트 박막 트랜지스터의 단면도 및 평면도이다.
- 도 3 내지 도 8은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 제조 방법을 도시한 도면이다.
- 도 9a 및 도 9b는 일반적인 듀얼 게이트 박막 트랜지스터의 산화물 반도체층과, 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 산화물 반도체층의 플루오린(F) 원소 농도를 분석한 XPS(X-ray Photoelectron Spectroscopy) 그래프이다.
- 도 10은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 온도 신뢰성을 나타내는 그래프이다.
- 도 11a 내지 도 11c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전이(Transfer) 특성을 나타내는 그래프이다.
- 도 12a 내지 도 12c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전압-전류를 나타내는 그래프이다.

도 13은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 문턱 전압을 나타내는 그래프이다.

도 14a 내지 도 14c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 광-전압 신뢰성을 나타내는 그래프이다.

도 15a 및 도 15b는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터를 디스플레이 패널에 적용한 예를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하에서, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 이러한 실시예들에 의해 권리범위가 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0030] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.
- [0031] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0032] 한편, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되지 않는다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0033] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 산화물 반도체 트랜지스터의 단면도이다.
- [0035] 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터(이하, "박막 트랜지스터"라 함)는 디스플레이 장치를 구성하는 발광 다이오드를 구동시키기 위한 화소 소자로 사용된다.
- [0036] 도 1을 참조하면, 박막 트랜지스터(100)는 기판(110), 제1 게이트 전극(120), 게이트 절연층(130), 산화물 반도체층(140), 소스 전극(150), 드레인 전극(160), 보호층(170) 및 제2 게이트 전극(180)을 포함한다.
- [0037] 여기서, 제1 및 제2 게이트 전극(120, 180)은 박막 트랜지스터(100)의 수직축을 기준으로 소스 전극(150) 및 드레인 전극(160) 사이의 오프셋 영역(0)을 포함한다. 또한, 오프셋 영역(0)에 해당하는 산화물 반도체층(140)은 할로젠계 가스로 플라즈마 처리된 상태일 수 있다.
- [0038] 도 1에 도시된 박막 트랜지스터(100)는 구동시, 오프셋 영역(0)에 의해 기생 전압이 감소 또는 차단되고, 플라즈마 처리된 산화물 반도체층(140)에 의해 전기적 특성 및 신뢰성이 향상될 수 있다.
- [0039] 도 2는 본 발명의 다른 실시예에 따른 듀얼 게이트 박막 트랜지스터의 단면도 및 평면도이다. 도 2를 참조하면, 박막 트랜지스터(200)는 기판(210), 제1 게이트 전극(220), 게이트 절연층(230), 산화물 반도체층(240), 소스 전극(250), 드레인 전극(260), 보호층(270) 및 제2 게이트 전극(280)을 포함한다.
- [0040] 제1 게이트 전극(220)은 기판(210) 상에 형성된다. 여기서, 제1 게이트 전극(220)은 박막 트랜지스터(200)에서 하부에 위치되는 것으로, 하부 게이트 전극(Bottom Gate)이 된다.
- [0041] 게이트 절연층(230)은 기판(210) 상에 형성되며, 제1 게이트 전극(220)을 덮는 형태로 형성되어, 제1 게이트 전극(220)과 산화물 반도체층(240)을 절연시키는 기능을 한다.
- [0042] 산화물 반도체층(240)은 게이트 절연층(230) 상에 형성된다.
- [0043] 이 실시예에 따르면, 산화물 반도체층(240)은 오프셋 영역(0)을 포함한다.
- [0044] 오프셋 영역(0)은 박막 트랜지스터(200)의 수직축을 기준으로 제1 게이트 전극(220) 및 제2 게이트

전극(280)과, 소스 전극(250) 및 드레인 전극(260) 사이의 영역이다. 따라서, 오프셋 영역(0)은 제1 게이트 전극(220)과 제2 게이트 전극(280)을 중심으로 소스 전극(250) 사이의 제1 오프셋 영역(O_1)과, 드레인 전극(260) 사이의 제2 오프셋 영역(O_2)을 포함할 수 있다.

[0045] 여기서, 제1 및 제2 오프셋 영역(O_1 , O_2)은 서로 동일한 폭($W_1=W_2$)을 가질 수 있으며, 서로 상이한 폭($W_1 \neq W_2$)을 가질 수도 있다. 구체적으로, 제1 게이트 전극(220)과 제2 게이트 전극(280)의 형성 위치 및 크기가 같고, 소스 전극(250) 및 드레인 전극(260) 각각이 제1 게이트 전극(220) 및 제2 게이트 전극(280)과 이격된 거리가 같을 경우, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 동일한 폭($W_1=W_2$)을 가질 수 있다.

[0046] 반면, 제1 게이트 전극(220)과 제2 게이트 전극(280)의 형성 위치 및 크기가 같다 하더라도, 소스 전극(250) 및 드레인 전극(260) 각각이 제1 게이트 전극(220) 및 제2 게이트 전극(280)과 이격된 거리가 다른 경우에는 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 서로 다른 폭($W_1 \neq W_2$)을 가질 수 있다.

[0047] 또한, 제1 게이트 전극(220)과 제2 게이트 전극(280)의 형성 위치 및 크기가 다른 경우에도, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 서로 다른 폭($W_1 \neq W_2$)을 가질 수 있다.

[0048] 이 실시예에 따르면, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)은 $0.5\mu\text{m}$ 이상의 폭을 가질 수 있다.

[0049] 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)의 폭(W_1 , W_2)이 $0.5\mu\text{m}$ 미만일 경우, 게이트 전극들(220, 280)과 소스 전극(250)/드레인 전극(260) 사이에 기생 전압이 발생할 수 있다.

[0050] 또한, 제1 오프셋 영역(O_1)과 제2 오프셋 영역(O_2)의 폭(W_1 , W_2)이 너무 클 경우에는 오프셋 영역에 해당하는 산화물 반도체층(240)이 높은 저항을 갖게 되어 소자의 전기적 특성이 저하될 수 있다. 따라서, 폭(W_1 , W_2)의 최대 값은 박막 트랜지스터(200)의 사이즈 또는 공정 특성에 따라 당업자(설계자 또는 제조자)가 소자의 전기적 특성이 저하되지 않는 범위 내에서 적절한 값으로 설계할 수 있다.

[0051] 한편, 산화물 반도체층(240)의 일부 영역은 할로젠계 가스로 플라즈마 처리된 상태이다. 구체적으로, 산화물 반도체층(240)은 오프셋(offset) 영역(0)에서부터 소스 전극(250) 및 드레인 전극(260)이 접촉되는 영역까지 플라즈마 처리된 상태일 수 있다. 여기서, 할로젠계 가스는 플루오린(fluorine; F)을 포함하는 가스일 수 있으며, 바람직하게는 트리플루오르화질소(nitrogen fluoride; NF_3) 가스 또는 테트라플루오르메탄(tetrafluoromethane; CF_4)일 수 있다.

[0052] 산화물 반도체층(240)이 NF_3 또는 CF_4 가스로 플라즈마 처리될 경우, 상부 표면에서부터 일정 두께(예를 들어, 약 9nm)까지 플루오린(F) 원소가 확산될 수 있다. 이 경우, 플루오린(F) 원소는 산화물 반도체층(240) 내에 0.1% 내지 10%의 농도로 확산될 수 있다.

[0053] 이 같이, NF_3 또는 CF_4 가스로 플라즈마 처리됨에 따라, 산화물 반도체층(240)은 플루오린(F) 원소에 의해 낮은 저항을 갖게 된다. 따라서, 산화물 반도체층(240)은 소스 전극(250) 및 드레인 전극(260)과의 오믹 접촉 특성이 향상될 수 있다.

[0054] 또한, 산화물 반도체층(240)의 온도 안정성이 높아져 산화물 반도체층(240) 형성 이후에 진행될 추가 공정들에서 적용되는 온도에 대한 신뢰성이 향상될 수 있다.

[0055] 또한, 산화물 반도체층(240)에서 소스 전극(250) 및 드레인 전극(260)과 접촉되는 영역은 NF_3 또는 CF_4 가스로 플라즈마 처리됨에 따라 전도성을 갖게 되어 소스 전극(250) 및 드레인 전극(260)과 함께 전극으로 사용될 수 있다.

[0056] 한편, 실시예에 따르면, 산화물 반도체층(240)은 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)로 형성될 수 있다. 그러나, 이에 한정되지 않으며, 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 등의 물질로 형성될 수도 있다.

[0057] 소스 전극(250) 및 드레인 전극(260)은 서로 수평한 방향으로 형성된다. 소스 전극(250) 및 드레인 전극(260)은 금속 재질일 수 있으며, 일례로 몰리브덴(Mo)이 사용될 수 있다. 도면을 통해 도시하지는 않았으나, 소스 전극

(250)과 드레인 전극(260) 사이의 산화물 반도체층(240) 상에 에치 스톱퍼(미도시)가 위치될 수 있다.

- [0058] 보호층(Passivation Layer)(270)은 소스 전극(250) 및 드레인 전극(260)의 상에 형성되며, 보호층(270)은 산화물(일례로, 실리콘 산화물(SiO_2)) 또는 질화물로 구성될 수 있다.
- [0059] 제2 게이트 전극(280)은 보호층(270) 상에 형성된다. 여기서, 제2 게이트 전극(280)은 박막 트랜지스터(200)에서 상부에 위치되는 것으로, 상부 게이트 전극(Top Gate)이 된다.
- [0060] 실시예에 따르면, 제1 및 제2 게이트 전극(220, 280)은 빛을 차단할 수 있는 금속 재질로 형성되거나, 빛을 투과할 수 있는 투명한 금속 재질로 형성될 수 있다. 일례로, 몰리브덴(Mo) 또는 구리(Cu)로 형성될 수 있다.
- [0061] 제1 및 제2 게이트 전극(220, 280)은 물리적으로 분리된 구조로 형성될 수 있고, 또는 연결 전극(미도시)를 통해 물리적으로 연결된 구조로 형성될 수도 있다. 제1 및 제2 게이트 전극(220, 280)에 동일한 전압을 인가하는 경우, 산화물 반도체층(240)에 형성되는 채널의 넓이가 증가하여 소스 전극(250)/드레인 전극(260)을 통과하는 전류의 양을 증가시킬 수 있게 된다.
- [0062] 도 3 내지 도 8은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 제조 방법을 도시한 도면이다.
- [0063] 도 3을 참조하면, 박막 트랜지스터의 제조를 위해 먼저, 유리(glass), 플라스틱 또는 석영 재질 등으로 이루어진 기판(210) 상에 제1 게이트 전극(220)을 형성한다. 제1 게이트 전극(220)은 기판(210) 상에 금속 물질을 증착 및 패터닝하여 형성될 수 있다. 또한, 제1 게이트 전극(220)은 몰리브덴(Mo) 또는 구리(Cu)와 같은 금속 물질로 형성될 수 있다.
- [0064] 이후, 도 4에서와 같이, 기판(210) 및 제1 게이트 전극(220) 상에 게이트 절연층(230) 및 산화물 반도체층(240)을 차례로 형성한다. 구체적으로, PECVD(Plasma-enhanced chemical vapor deposition) 방법으로 산화물 또는 질화물 등을 증착하여 게이트 절연층(230)을 형성한다.
- [0065] 그리고, 그 상부에 반응성 스퍼터링 방법으로 비정질 인듐 갈륨 징크 옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)를 증착 및 패터닝하여 약 20nm 두께의 산화물 반도체층(240)을 형성할 수 있다. 그러나, 산화물 반도체층(240)을 형성하는 물질은 이에 한정되지 않는다.
- [0066] 한편, 도 5를 참조하면, 할로젠 원소를 이용하여 산화물 반도체층(240)을 플라즈마 처리한다. 구체적으로, 산화물 반도체층(230)을 형성한 이후에, 게이트 절연층(230) 및 산화물 반도체층(240) 상에 포토 레지스트(10)를 도포한 후, 소정의 패턴을 포함하는 마스크를 이용하여 포토 레지스트(10)를 노광(photolithography)한다. 이 과정에 의해 산화물 반도체층(240)에서 오프셋 영역에 해당하는 영역과, 소스 전극 및 드레인 전극과 접촉될 영역이 노출될 수 있다.
- [0067] 그리고 난 후, 진공 상태에서 약 390℃의 온도 분위기 및 200W 파워의 플라즈마를 인가하고, 이 과정에서 할로젠계 가스의 일종인 플루오린(F) 원소를 포함하는 가스, 예를 들어, NF_3 또는 CF_4 가스를 20sccm의 유량으로 주입하여 산화물 반도체층(240)을 플라즈마 처리할 수 있다. 이 실시예에서는 플라즈마 처리시, NF_3 또는 CF_4 가스를 이용하는 것으로 설명하였으나, 이에 한정되지 않으며 플루오린(F) 원소를 포함하는 다른 가스가 이용될 수도 있다.
- [0068] 이 같은 공정에 의해, 도 6에 도시된 것처럼 산화물 반도체층(240)에서 오프셋 영역에 해당하는 영역에서부터 소스 전극 및 드레인 전극과 접촉될 영역까지 플라즈마 처리될 수 있다. 이 공정에 의해, 산화물 반도체층(240)은 상부 표면에서부터 일정 두께까지 플루오린(F) 원소가 포함될 수 있다. 여기서, 산화물 반도체층(240)의 플루오린(F) 원소 농도는 0.1% 내지 10%가 될 수 있다.
- [0069] 상술한 플라즈마 처리가 완료되면, 식각을 통해 포토 레지스트(10)를 제거할 수 있다.
- [0070] 한편, 도 6에서는 오프셋 영역에 해당하는 영역에서부터 소스 전극 및 드레인 전극과 접촉될 영역에 대하여, 산화물 반도체층(240)을 플라즈마 처리하는 것으로 도시 및 설명하였다. 그러나, 산화물 반도체층(240)에서 오프

셋 영역에 해당하는 영역만을 플라즈마 처리할 수도 있다. 이 경우에는 도 1에 도시된 것과 같은 박막 트랜지스터(100)를 제조할 수 있다.

- [0071] 이후, 도 7에서와 같이, 산화물 반도체층(240) 상에 소스 전극(250) 및 드레인 전극(260)을 형성한다. 여기서, 소스 전극(250) 및 드레인 전극(260) 역시 산화물 반도체층(240) 상에 금속 물질을 증착 및 패터닝하여 형성될 수 있으며, 금속 물질은 몰리브덴(Mo) 또는 구리(Cu) 등이 될 수 있다.
- [0072] 한편, 도 8에서와 같이, 보호층(270) 및 제2 게이트 전극(280)을 순차적으로 형성한다. 보호층(270)은 소스 전극(250) 및 드레인 전극(260)과 제2 게이트 전극(280)을 절연시키기 위한 구성으로 SiO_2 와 같은 산화물이 될 수 있다.
- [0073] 도 9a 및 도 9b는 일반적인 듀얼 게이트 박막 트랜지스터의 산화물 반도체층과, 본 발명의 실시예에 따라 제조된 듀얼 게이트 박막 트랜지스터의 산화물 반도체층의 플루오린(F) 원소 성분을 분석한 XPS(X-ray Photoelectron Spectroscopy) 그래프이다.
- [0074] 도 9a는 박막 트랜지스터에서 플라즈마 처리가 안된 산화물 반도체층(a-IGZO)의 플루오린(F) 원소 농도를 나타내는 것이다. 도 9a에서와 같이, 산화물 반도체층은 NF_3 가스에 의해 플라즈마 처리가 되지 않은 상태이므로, 20nm 두께에 걸쳐 플루오린(F) 원소가 검출되지 않은 것을 알 수 있다.
- [0075] 도 9b는 도 3 내지 도 8에 도시된 방법에 따라 제조된 박막 트랜지스터에서 플라즈마 처리가 된 산화물 반도체층(a-IGZO)의 플루오린(F) 원소 농도를 나타내는 것으로, 산화물 반도체층에서 플루오린(F) 원소가 검출되었다. 구체적으로, NF_3 가스를 이용한 플라즈마 처리로 인해, 20nm 두께를 갖는 산화물 반도체층의 표면에서부터 약 9 nm의 두께에 걸쳐 0.1% 내지 10%의 농도로 플루오린(F) 원소가 검출된 것을 알 수 있다.
- [0076] 도 10은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 온도에 따른 신뢰성을 나타내는 그래프이다. 구체적으로, 도 10은 본 실시예에서와 같이 산화물 반도체층을 NF_3 가스로 플라즈마 처리한 후 어닐링 처리하는 동안, 상온에서 600℃까지 어닐링 온도를 증가시키면서 산화물 반도체층의 캐리어 농도, 홀 이동도 및 면저항을 측정한 그래프이다.
- [0077] 도 10을 참조하면, 산화물 반도체층은 상온에서 420℃까지는, 캐리어 농도, 홀 이동도, 면저항을 일정하게 유지하는 것을 알 수 있다. 또한, 500℃ 내지 600℃에서 캐리어 농도, 홀 이동도, 면저항이 변경되나 그 변경 정도가 크지 않은 것을 알 수 있다. 이 같이, 산화물 반도체층을 NF_3 가스로 플라즈마 처리하게 되면, 상온에서 600℃의 어닐링 온도에서도 산화물 반도체층의 물리적 특성이나 저항성 등 변화되는 것을 방지할 수 있다. 이를 고려할 때, 산화물 반도체층을 플라즈마 처리할 시에도, 600℃ 이하의 온도를 적용할 수 있으며, 바람직하게는 420℃ 이하의 온도에서 처리함으로써 산화물 반도체층의 전기적 특성 및 신뢰성을 향상시킬 수 있다.
- [0078] 도 11 내지 도 14는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전기적 특성을 나타내는 그래프이다. 여기서, 듀얼 게이트 박막 트랜지스터는 도 3 내지 도 8에 도시된 제조 방법에 의해 제조된 것으로, 제1 오프셋 영역(제1 및 제2 게이트 전극과, 소스 전극 사이의 오프셋 영역) 및 제2 오프셋 영역(제1 및 제2 게이트 전극과, 드레인 전극 사이의 오프셋 영역)이 3 μm 의 폭을 갖는다.
- [0079] 도 11a 내지 도 11c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 전이(Transfer) 특성을 나타내는 그래프이다.
- [0080] 드레인-소스 전압(VDS)이 각각 0.1V 및 1V인 상태에서, 제1 게이트 전극(하부 게이트 전극)에 전압을 인가했을 때(Bottom Sweep, BS)(도 11a.), 제2 게이트 전극(상부 게이트 전극)에 전압을 인가했을 때(Top Sweep, TS)(도 11b), 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(Dual Sweep, DS)(도 11c)의 전이 특성을 나타낸 그래프이다.

- [0081] 도 11a 내지 도 11c를 참조하면, 제1 게이트 전극이나 제2 게이트 전극에 전압을 인가했을 때보다, 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때, 전류 최대값이 증가하는 것을 알 수 있다.
- [0082] 도 12a 내지 도 12c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 출력(Output) 특성을 나타내는 그래프이다.
- [0083] 제1 게이트 전극(하부 게이트 전극)에 전압을 인가했을 때(Bottom Sweep, BS)(도 12a), 제2 게이트 전극(상부 게이트 전극)에 전압을 인가했을 때(Top Sweep, TS)(도 12b), 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(Dual Sweep, DS)(도 12c)의 출력 특성을 나타낸 그래프이다. 이때, 각 게이트 전극에 인가되는 전압은 0~10V 까지 2.5V 단위로 증가시켰다.
- [0084] 도 12a 내지 도 12c를 참조하면, 드레인 전압이 증가함에 따라 드레인 전류가 포화되는 것을 알 수 있다. 또한, 제1 게이트 전극이나 제2 게이트 전극에 전압을 인가했을 때보다(BS, TS), 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(DS), 낮은 게이트 전압에서도 큰 드레인 전류가 발생하는 것을 알 수 있다. 따라서, 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(DS), 박막 트랜지스터의 저전압 구동이 가능할 것이다.
- [0085] 또한, 제1 및 제2 게이트 전극 모두에 전압을 인가했을 때(DS), 전류 크라우딩(crowding) 효과가 없는 점으로 보아 플라즈마 처리된 산화물 반도체층이 좋은 오믹 접촉층으로 작용하고 있음을 알 수 있다.
- [0086] 도 13은 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 문턱 전압을 나타내는 그래프이다.
- [0087] 박막 트랜지스터에서 드레인 전압을 0.1V로 고정 인가한 상태에서, 제2 게이트 전극(상부 게이트 전극)에 인가되는 정전압(constant voltage) 각각에 대하여 제1 게이트 전극(하부 게이트 전극)에 0V 내지 20V의 전압을 인가한 경우의 전이 곡선을 나타낸 그래프이다. 도 13a를 참조하면, 제2 게이트 전극(상부 게이트 전극)에 인가되는 정전압(constant voltage)에 따라 문턱 전압이 체계적으로 변화됨을 알 수 있다.
- [0088] 도 14a 내지 도 14c는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터의 광-전압 신뢰성을 나타내는 그래프이다.
- [0089] 듀얼 게이트 박막 트랜지스터에 10000lux의 가시광선 빛(white light)를 조사하고 있는 상태에서, 제1 게이트 전극(하부 게이트 전극)에 전압을 인가하거나(Bottom Sweep, BS)(도 14a) 또는, 제2 게이트 전극(상부 게이트 전극)에 전압을 인가하거나(Top Sweep, TS)(도 14b) 또는, 제1 및 제2 게이트 전극 모두에 전압을 인가하여(Dual Sweep, DS)(도 14c), 그 인가 시간(stress time)에 따른 드레인 전류를 측정하였다.
- [0090] 도 14a 내지 도 14c를 참조하면, 모두 문턱 전압의 변화가 거의 없으며 특히, 도 14c에서와 같이 제1 게이트 전극과 제2 게이트 전극 모두에 게이트 전압을 인가했을 때(DS), 초기 특성과 전압 인가 시간(stress time)이 경과된 후의 특성에 변화가 크지 않으므로, 박막 트랜지스터의 신뢰성이 향상된 것을 알 수 있다.
- [0091] 도 15a 및 도 15는 본 발명의 실시예에 따른 듀얼 게이트 박막 트랜지스터를 디스플레이 패널에 적용한 예를 나타내는 도면이다.
- [0092] 도 15a를 참조하면, LCD(Liquid Crystal Display) 패널은 하나의 화소 소자 당 실시예에 따른 박막 트랜지스터가 1개 삽입될 수 있다. 구체적으로, 박막 트랜지스터(1000)에서 상부 게이트 전극(제2 게이트 전극) 및 하부 게이트 전극(제1 게이트 전극)은 게이트 구동부의 라인과 연결될 수 있다.
- [0093] 도 15b를 참조하면, AMOLED(Active-Matrix Organic Light Emitting Diode) 디스플레이 패널은 하나의 화소 소자 당 실시예에 따른 박막 트랜지스터가 2개 삽입될 수 있다. 구체적으로, 제1 박막 트랜지스터(400)는 스위칭(switching) 트랜지스터로 기능하며, 제1 박막 트랜지스터(2000)에 포함된 2개의 게이트 전극은 게이트 구동부의 라인과 연결될 수 있다.
- [0094] 또한, 제2 박막 트랜지스터(3000)는 구동(driving) 트랜지스터로 기능하며, 제2 박막 트랜지스터(3000)에 포함된 2개의 게이트 전극은 제1 박막 트랜지스터(2000)의 드레인 전극과 연결될 수 있다.

[0095] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0096] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0097] 100, 200: 듀얼 게이트 박막 트랜지스터

110, 210: 기판

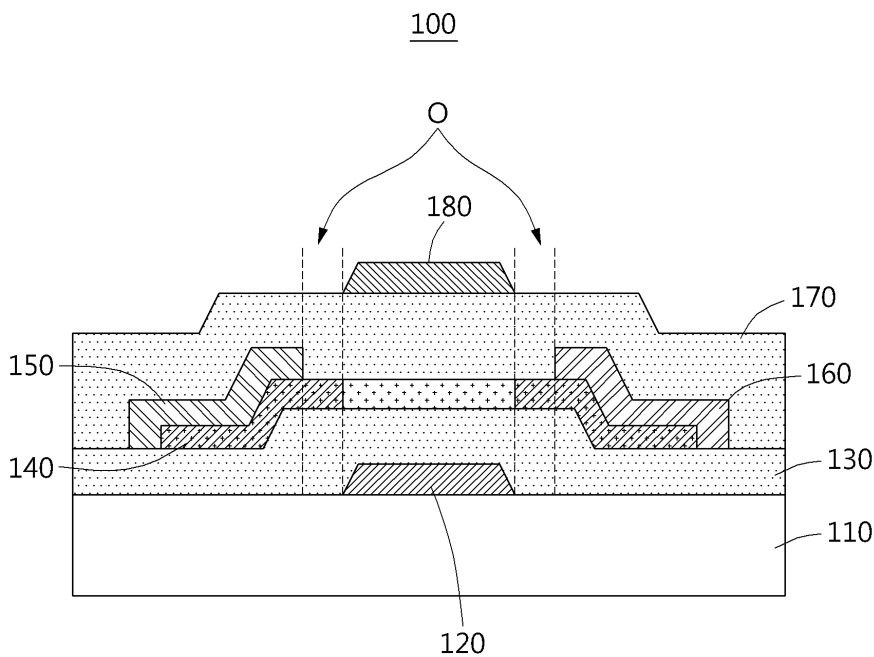
120, 220: 제1 게이트 전극

140, 240: 산화물 반도체층

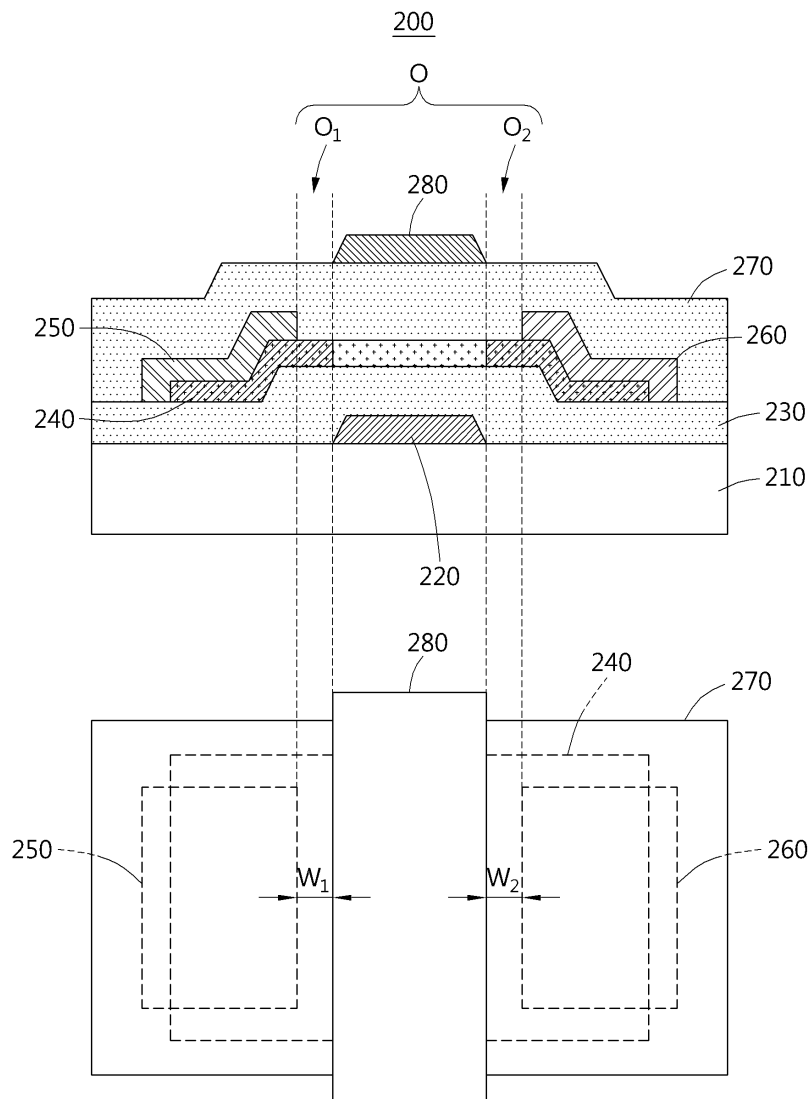
180, 280: 제2 게이트 전극

도면

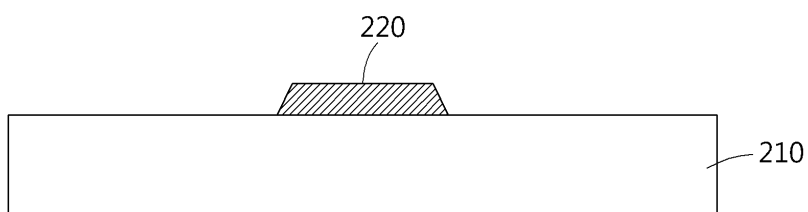
도면1



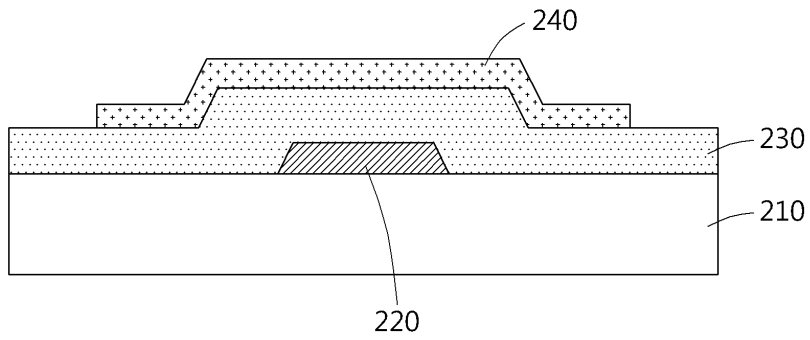
도면2



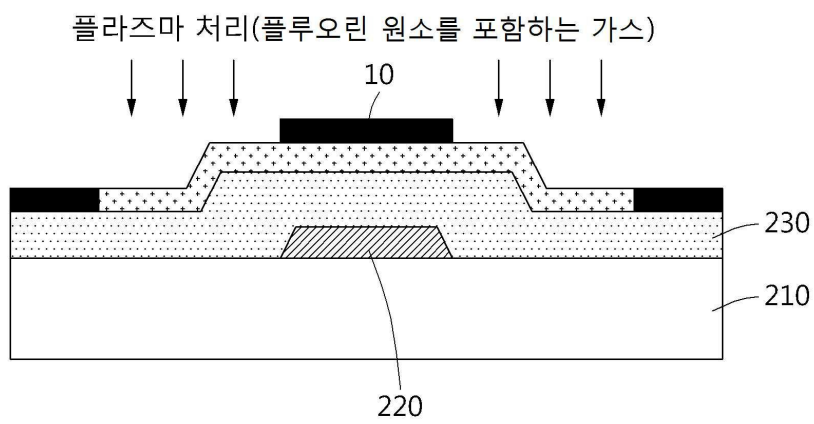
도면3



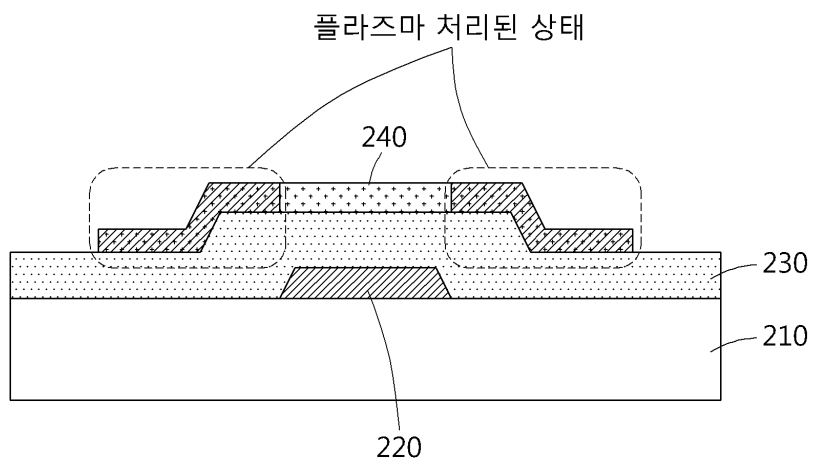
도면4



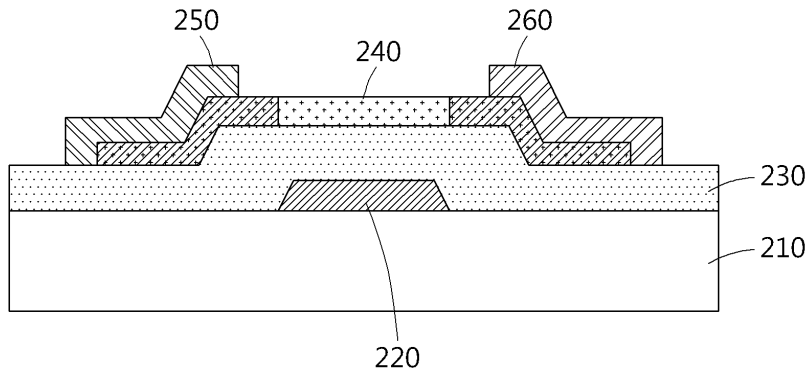
도면5



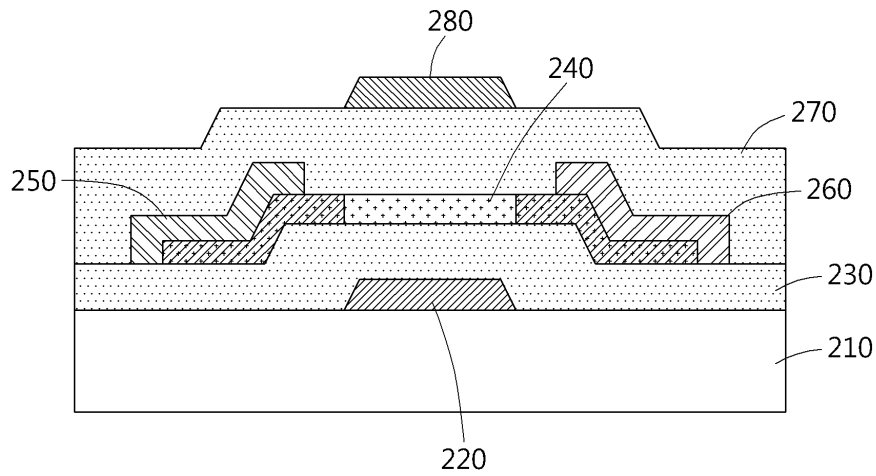
도면6



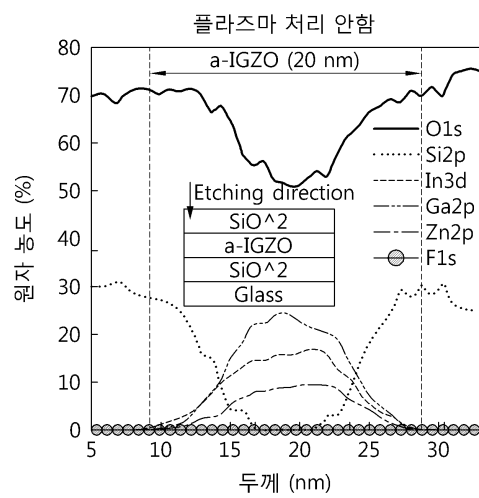
도면7



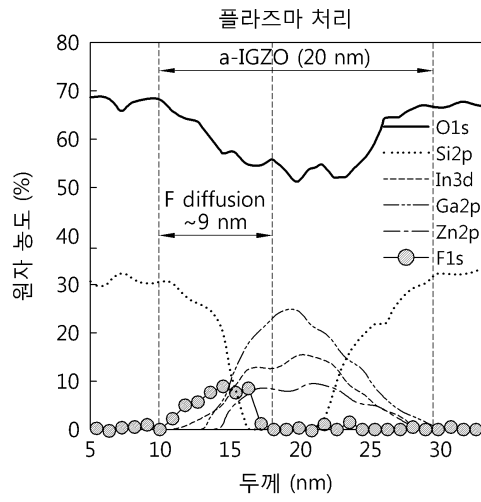
도면8



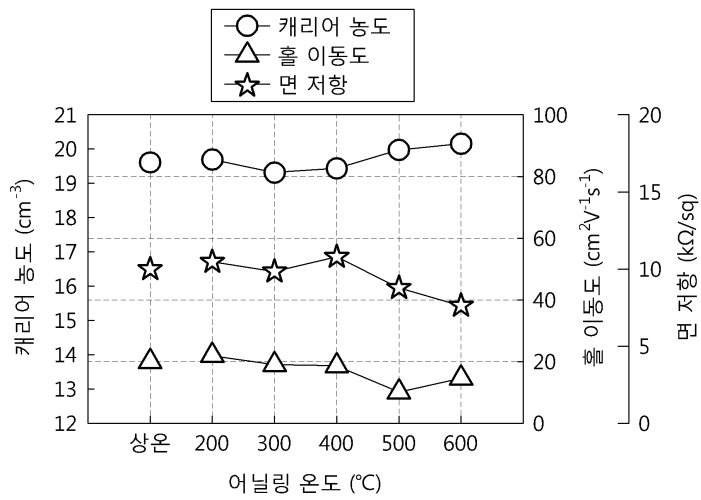
도면9a



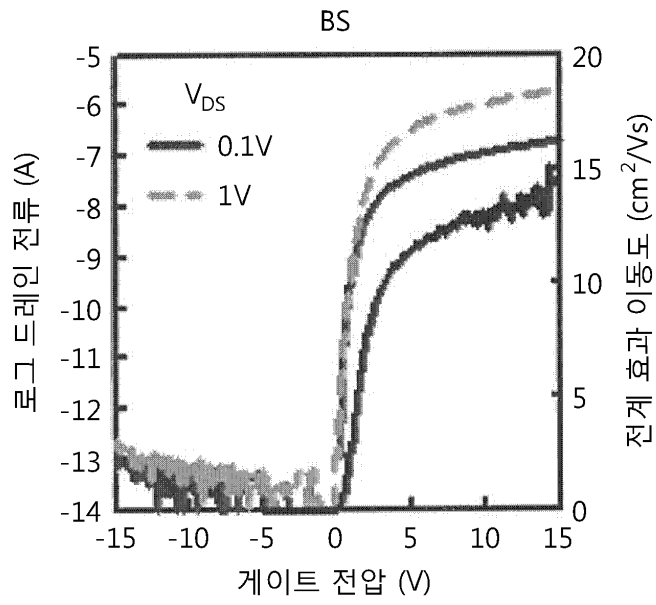
도면9b



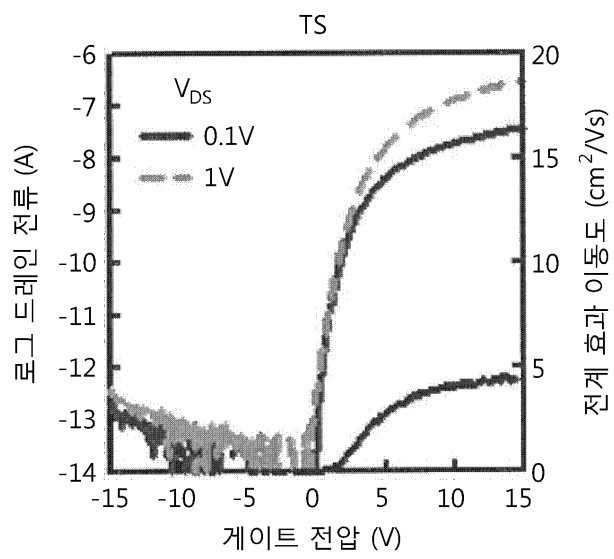
도면10



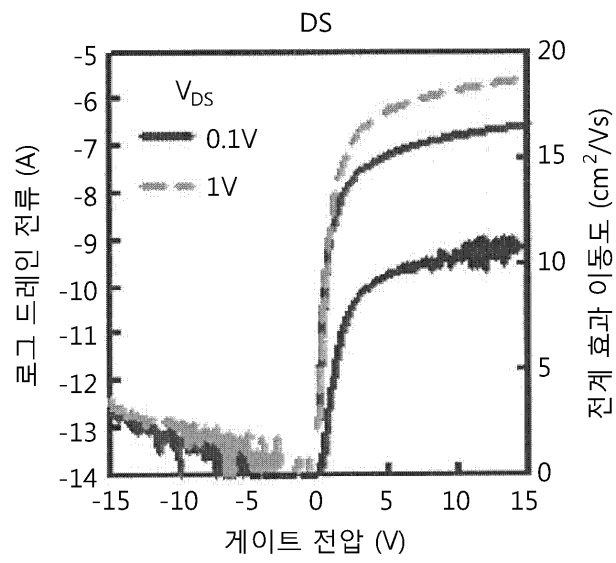
도면11a



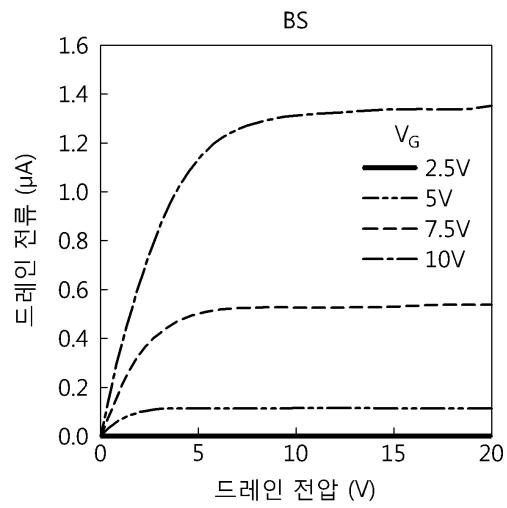
도면11b



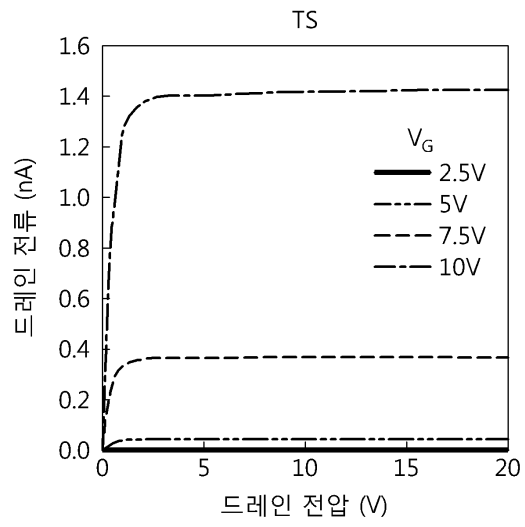
도면11c



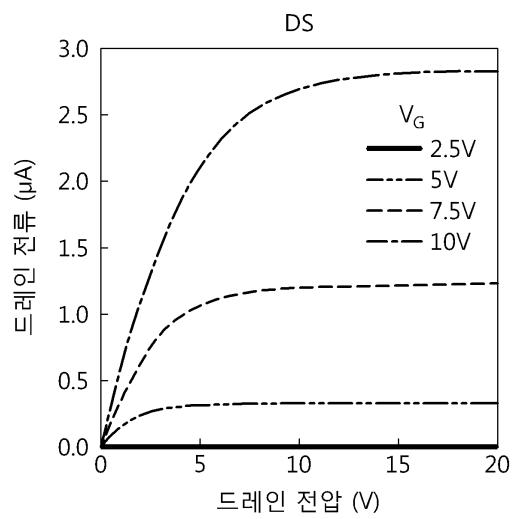
도면12a



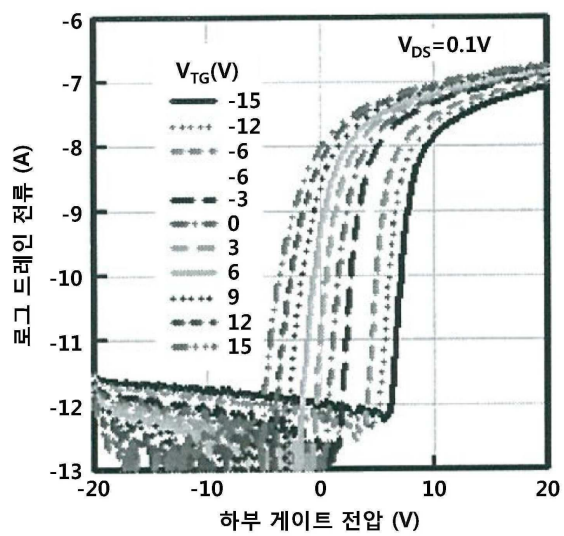
도면12b



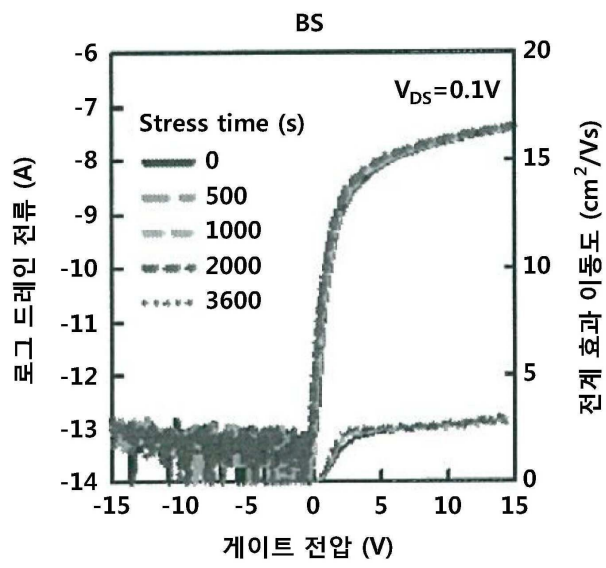
도면12c



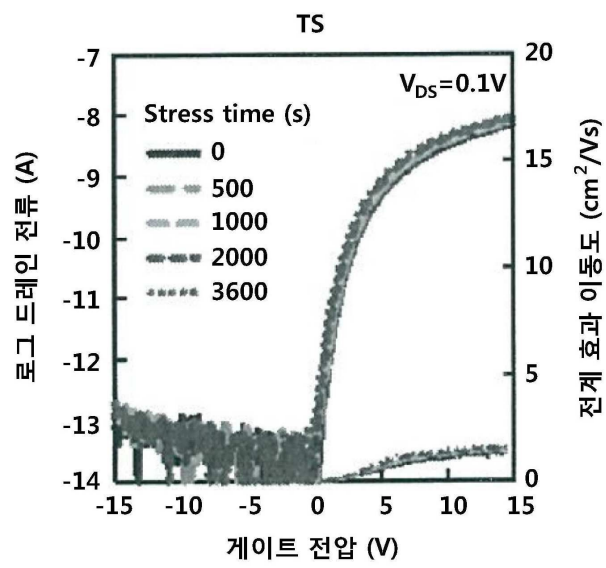
도면13



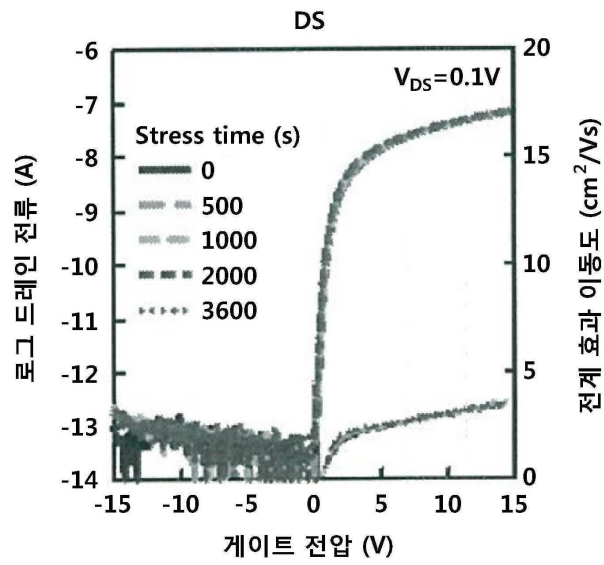
도면14a



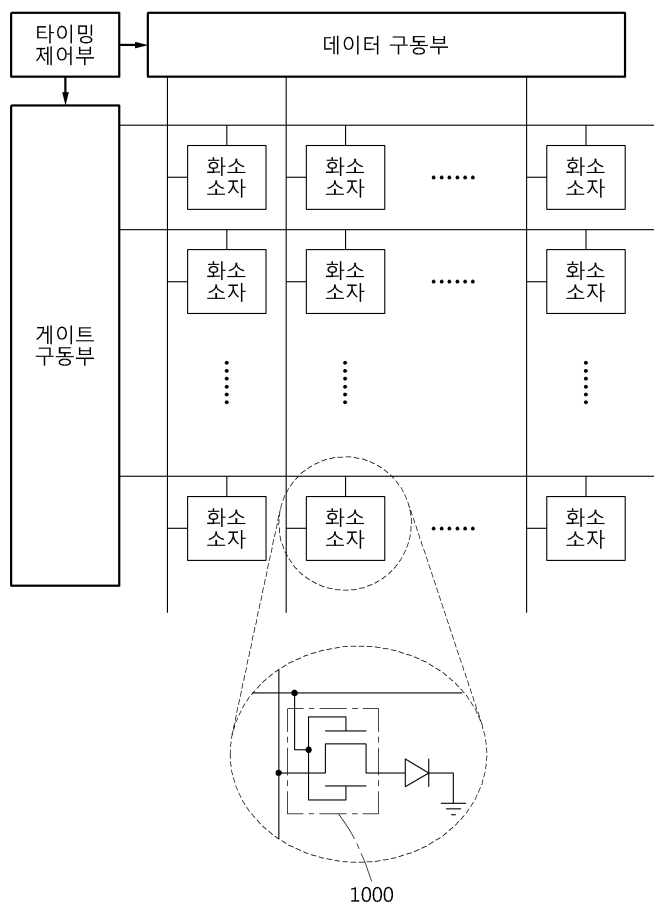
도면14b



도면14c



도면15a



도면15b

