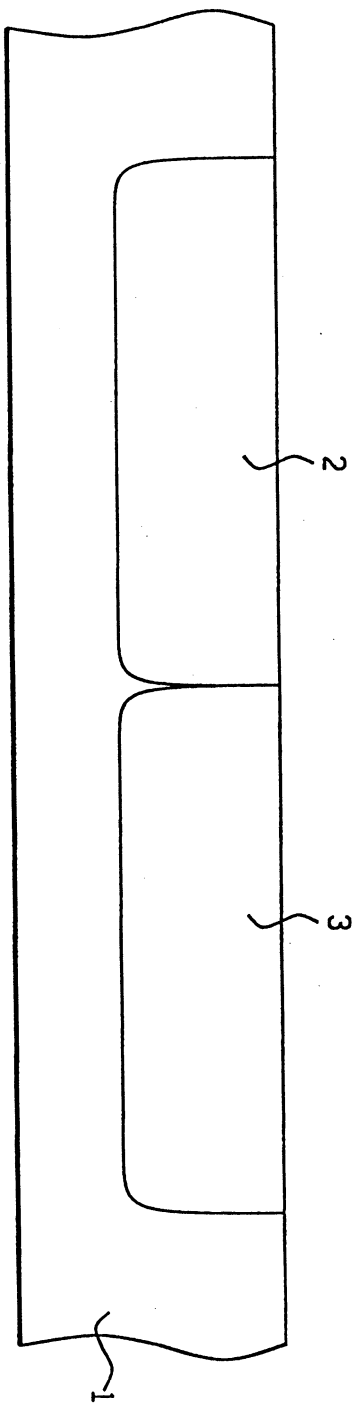
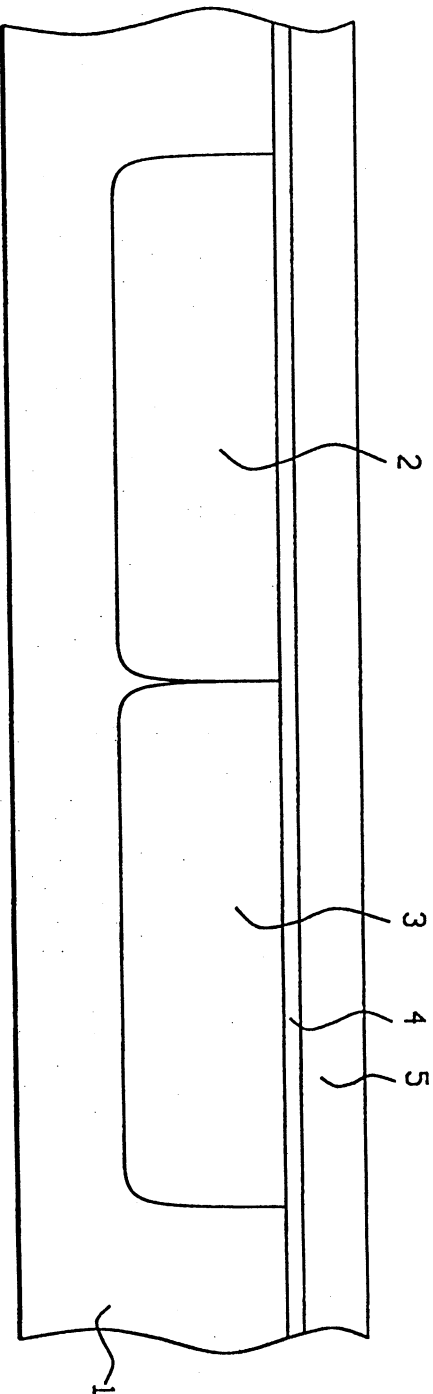
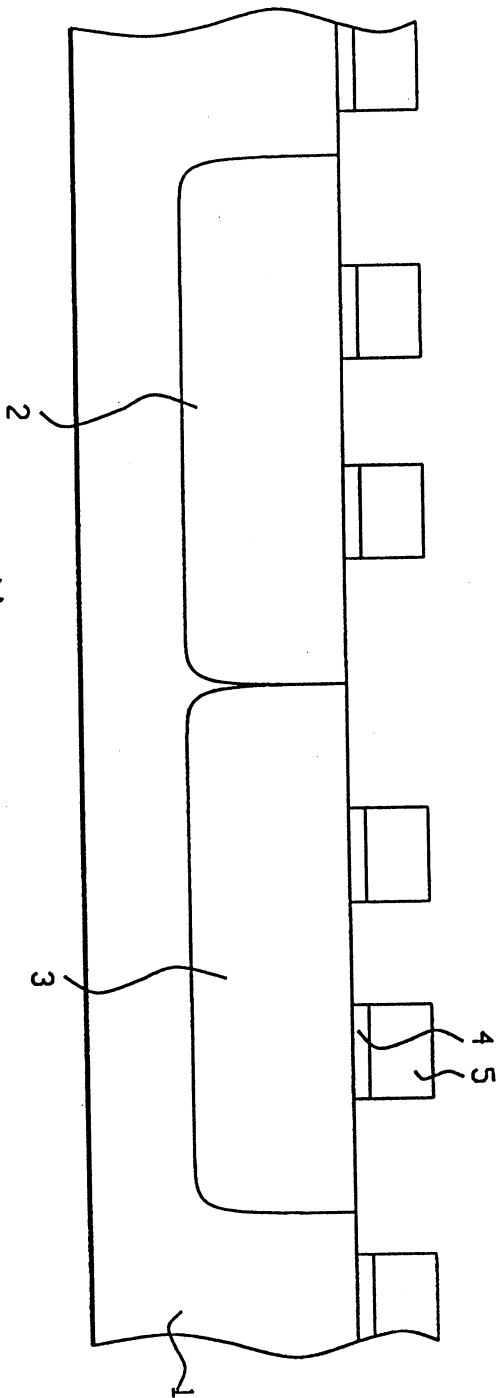




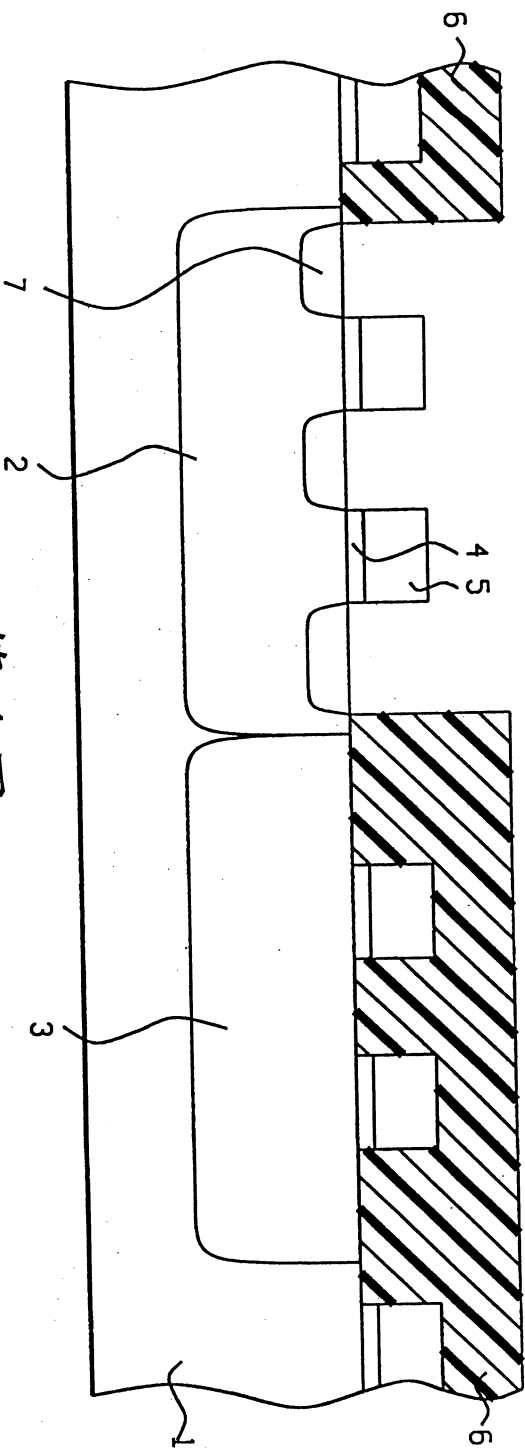
第 1 圖



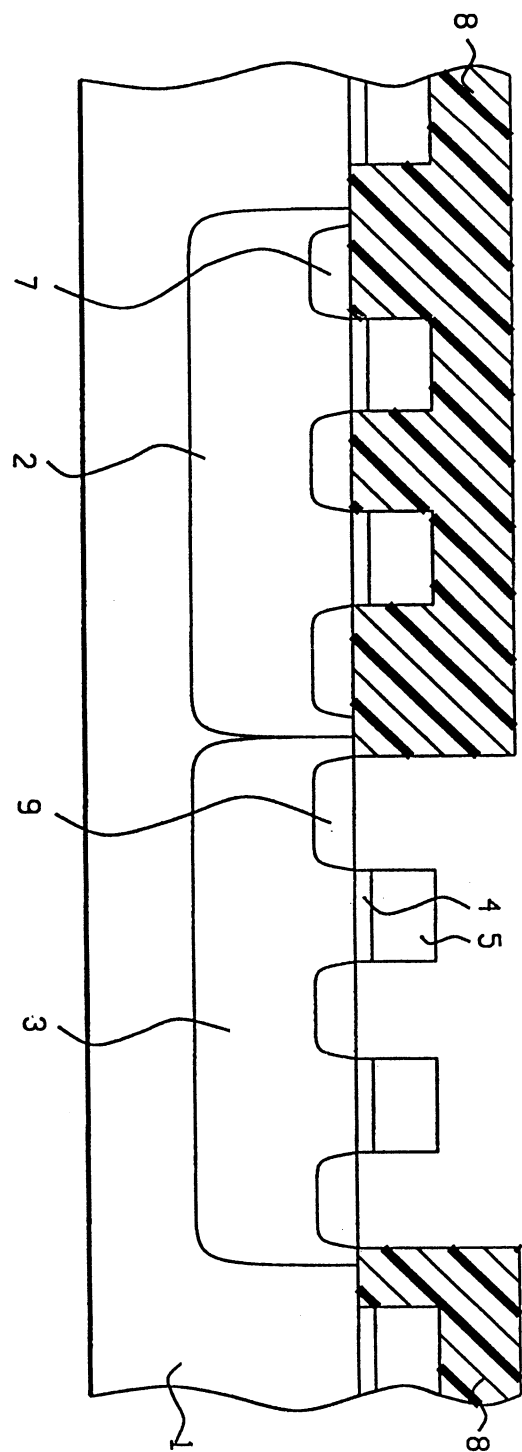
第 2 圖



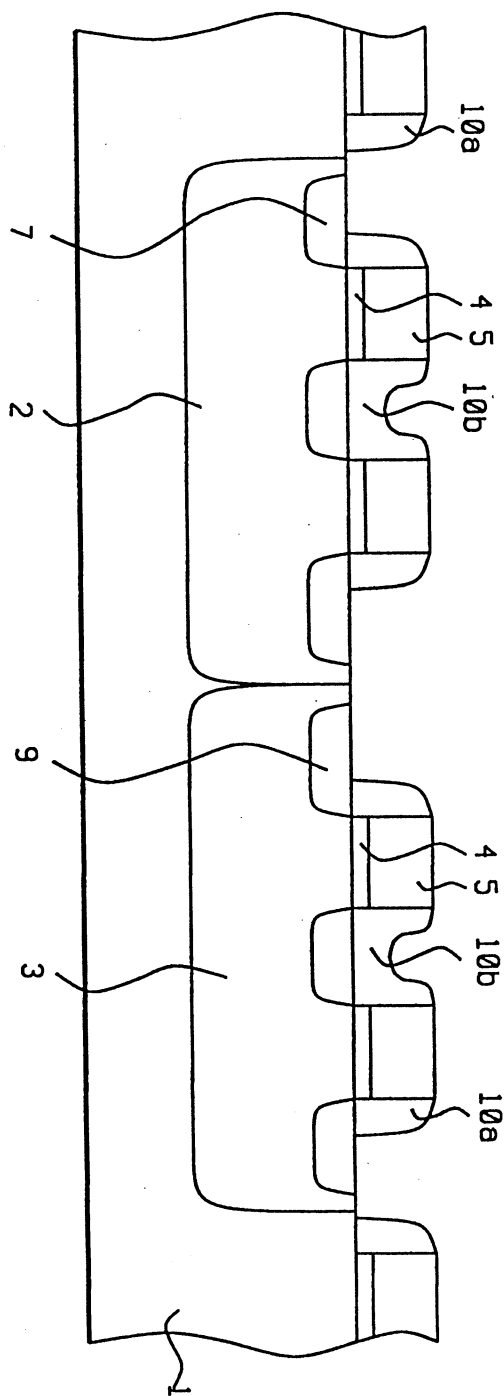
第 3 圖



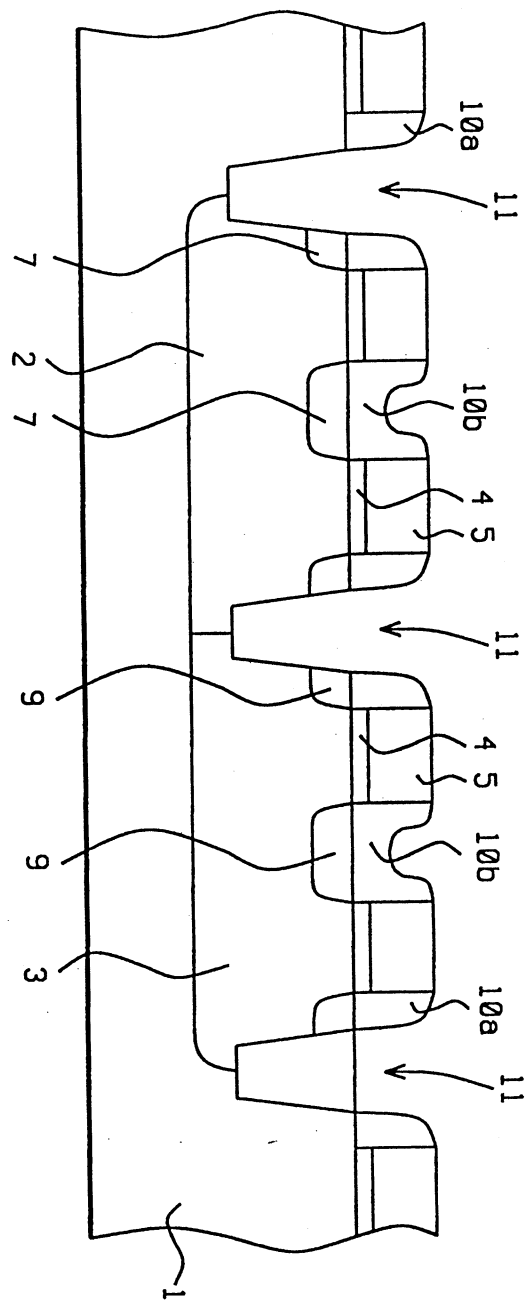
第 4 圖



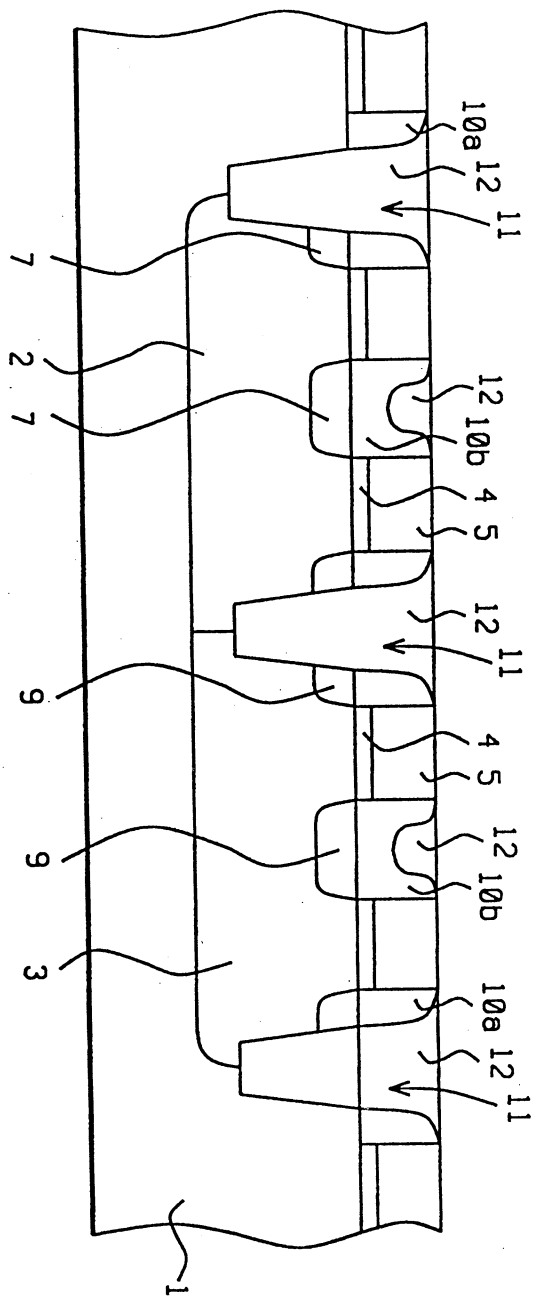
第5圖



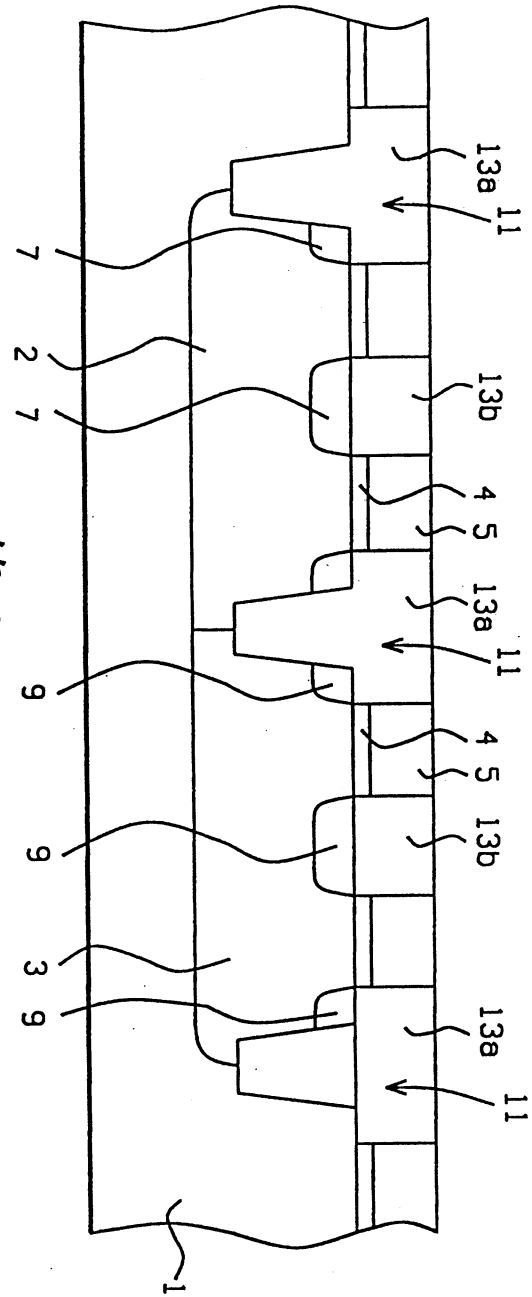
第6圖



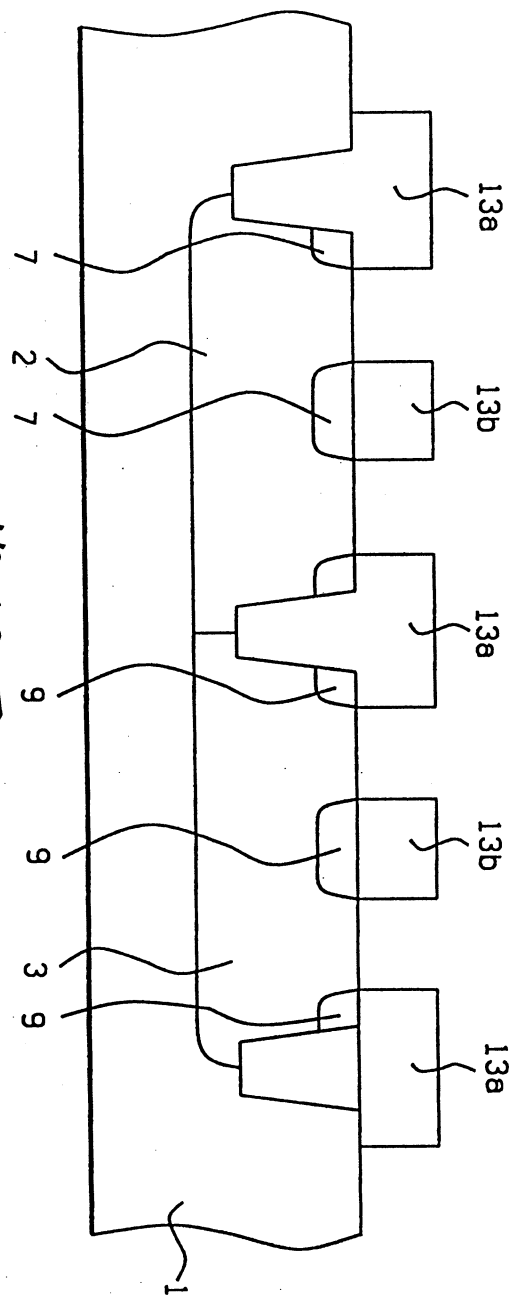
第7圖



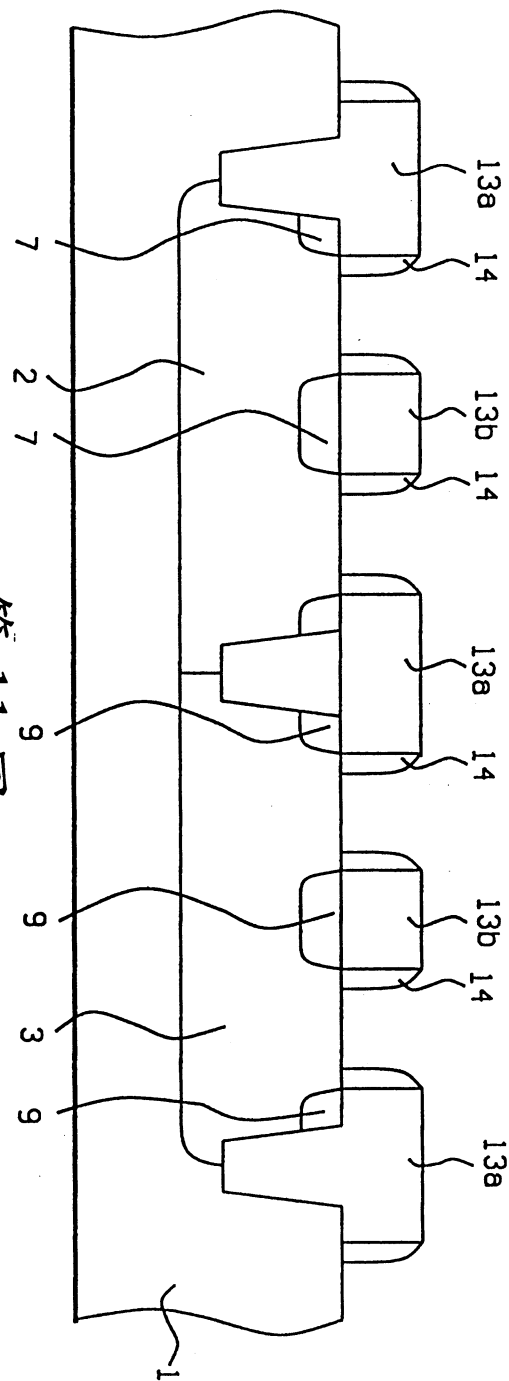
第8圖



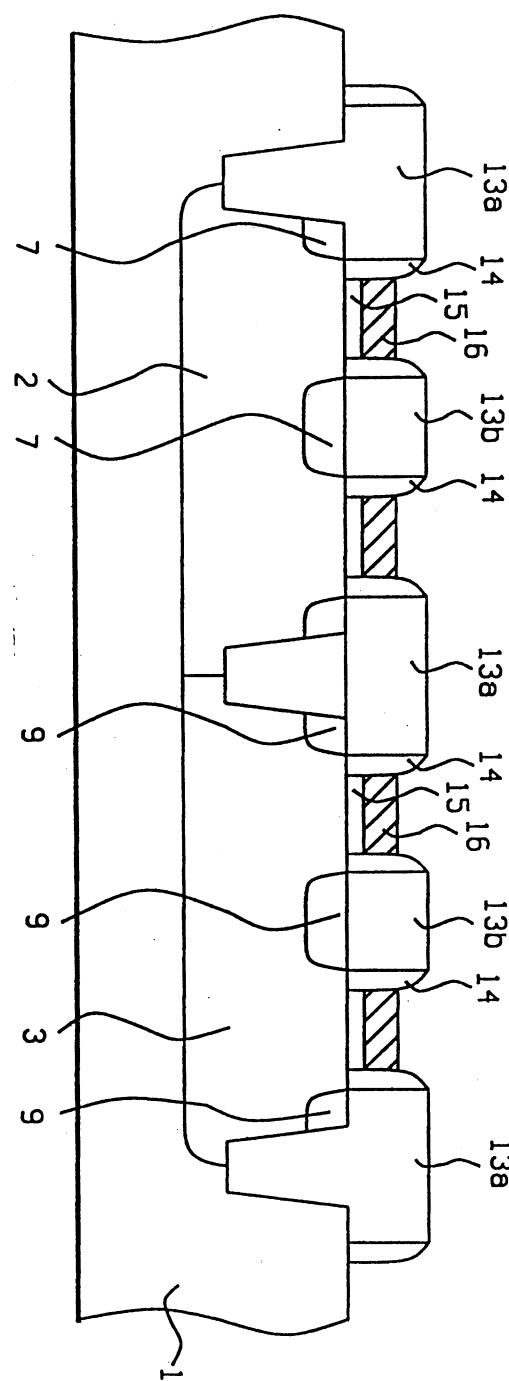
第 9 圖



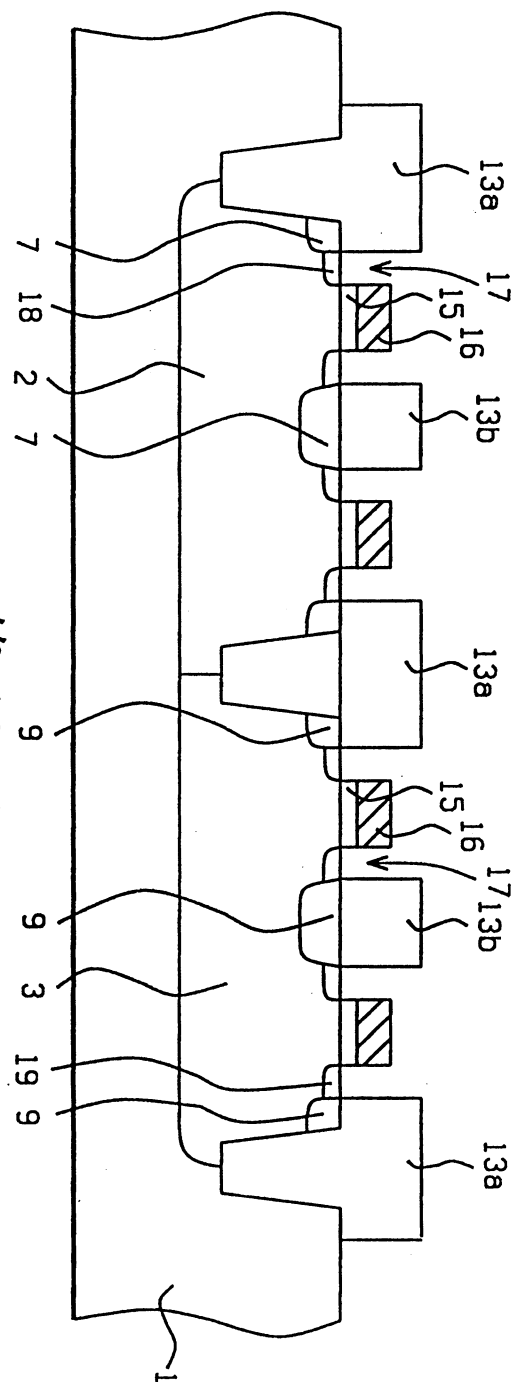
第 10 圖



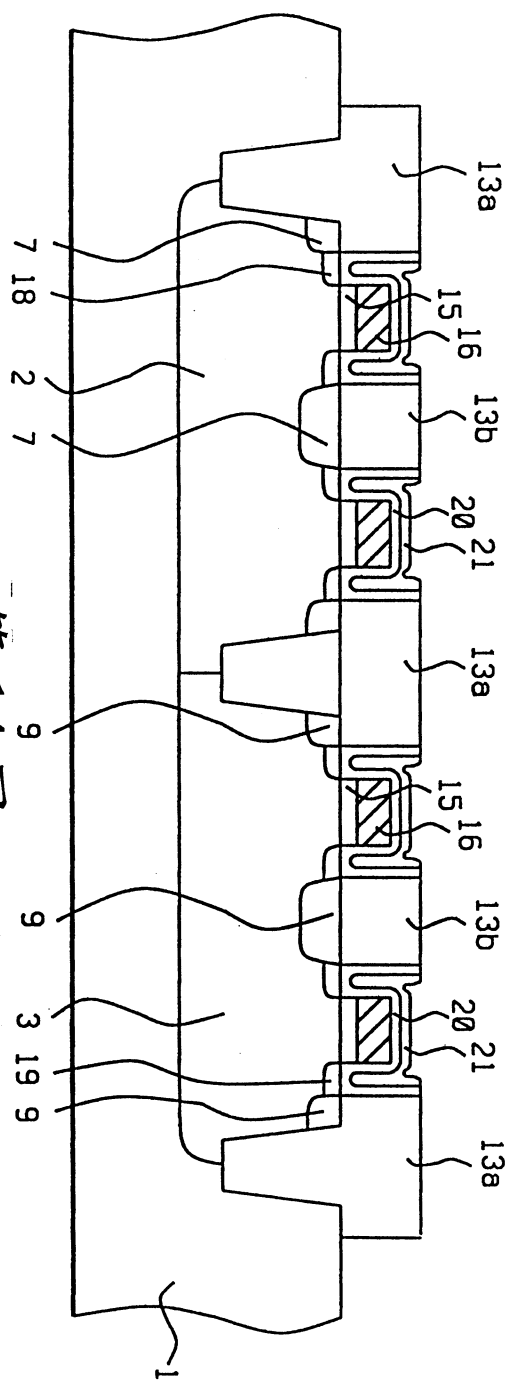
第 11 圖



第 12 圖



第 13 圖



第 14 圖

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92/21331

※ 申請日期：92.8.5

※IPC 分類：H01L 21/56

一、發明名稱：(中文/英文)

自行對準—鑲嵌式閘極結構至隔離區之方法

Method Of Self-Aligning A Damascene Gate Structure To Isolation Regions

二、申請人：(共 1 人)

姓名或名稱：(中文/英文) ID：

新加坡商·特許半導體製造公司

Chartered Semiconductor Manufacturing, Ltd.

代表人：(中文/英文) 巴利魏特/BARRY WAITE

住居所或營業所地址：(中文/英文)

新加坡 738406 森林工業園區二街 60 號

60 Woodlands Ind. Park D, St. 2, Singapore 738406

國 籍：(中文/英文) 新加坡/SG

三、發明人：(共 5 人)

姓 名：(中文/英文) ID：

丹尼爾業/Daniel Yen

鐘慶泰/Ching-Thiam Chung

成威華/Wei Hua Cheng

賈斯特聶/Chester Nieh

李棟朋/Tong Boon Lee

國 籍：(中文/英文)

中華民國/ROC

新加坡/SG

新加坡/SG

中華民國/ROC

新加坡/SG

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國，2002/08/22，10/225,805

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種使用於製造半導體元件之方法，並且特別是有關於一種使用於自行對準一鑲嵌式閘極結構到隔離區之方法。

【先前技術】

微型化或有能力製造包括有次微米特徵的半導體元件，已成為微影技術的優點，使用更精密的曝光照相機及使用更高級的感光材料，已在光阻層中提供要定義的希望獲得次微米影像，然後包括有次微米影像的相同光阻層使用作為一蝕刻罩幕，以提供要移轉的次微米影像或特徵到使用於半導體元件的材料上，其係藉由非等向性乾式蝕刻製程。然而，有能力正確對準或覆蓋上部次微米特徵到底部次微米特徵，仍會存在問題。

本發明將描述一種新穎製程順序，其中形成一閘極結構及一底部閘極絕緣層，以自行對準現存的隔離區，此新穎方法順序使用一種單一微影技術製程、及單一微影技術罩幕或光罩、以形成隔離區、隨後的自行對準閘極絕緣層、及閘極結構。閘極結構及底部閘極絕緣層，可藉由鑲嵌式製程而形成，且具有由高介電常數(high k)閘極絕緣層所組成的閘極絕緣層。習用技藝如 Ang 等揭露的美國專利第 6,258,677 號；Rodder 揭露的美國專利第 6,261,887B1 號；Hsieh 等揭露的美國專利第 6,248,634 號；及 Tsutsumi 揭露的美國專利第 5,789,792 號，均描述整合閘極結構及已

形成的隔離區之方法。然而，這些習用技藝沒有一種描述本發明所描述的新穎製程，其係為一種鑲嵌式閘極結構及閘極絕緣層，係自行對準的定義隔離區。

【發明內容】

本發明之主要目的，係在製造一種半導體元件，其中閘極結構及底部閘極絕緣層係自行對準隔離區。

本發明之另一目的，係在定義一鑲嵌式閘極結構及閘極絕緣層，以自行對準隔離區，而無須使用一種定義閘極結構的微影技術製程。

根據本發明，係揭露一種形成一閘極結構及底部閘極絕緣狀以自行對準隔離區之方法，氮化矽狀係形成於P井區及N井區兩者的頂部表面上，其係位在一半導體基板的頂部上。在形成濃摻雜源極/汲極區之後，在部份未被氮化矽狀覆蓋的P井區及N井區中，氧化矽間隙壁係形成於氮化矽狀的側壁上，以覆蓋部份的濃摻雜源極/汲極區。然後使用微影技術及乾式蝕刻製程，以在部份的半導體基板中形成淺溝槽狀，其係位在氮化矽狀之間，其係與氧化矽間隙壁排列，以氧化矽填充淺溝槽狀，接著進行密質化及平坦化製程，以產生一淺溝槽隔離(STI)結構，且在STI結構的底部部份，其係位在半導體基板的P井區及N井區中，且同時覆蓋位在氮化矽狀間的STI結構頂部，選擇性移除氮化矽狀會產生STI結構，其係由額外的停留氧化矽間隙壁所組成且藉其擴大。在STI結構側壁上形成氮化矽間隙壁之後，沈積一高介電常數(high k)層及一傳導層，接著一回蝕製程，而

產生一鑲嵌式傳導閘極結構及一高介電常數閘極絕緣層，其係位在氮化矽間隙壁之間，其依次位在暴露STI結構側壁上。選擇性移除氮化矽間隙壁係提供形成輕摻雜源極/汲極(LDD)區，以獲得空間隙，其係在LDD區接合位在STI區下的濃摻雜源極/汲極區。以氮化矽-氧化矽混合層再次填充由移除氮化矽間隙壁產生的間隙，接著沈積一層間介電層(ILD)，到在P井區及N井區兩者中的濃摻雜源極/汲極區的開口，然後在ILD層中及STI結構的頂部中獲得，其係藉由選擇性乾式蝕刻製程，其使用氮化矽成份的混合層，作為一側壁蝕刻阻絕層。沈積一金屬層、填充開口，接著圖案化製程，以定義希望的金屬接觸窗及被導線結構。

【實施方式】

形成一互補式金屬氧化物半導體(CMOS)元件之方法，係包括有一N通道、金屬氧化物半導體(NMOS)元件、及一P通道，金屬氧化物半導體(PMOS)及以一種提供自行對準一閘極結構及底部閘極絕緣層到隔離區的製程為特徵，現在將詳述於后。使用半導體基板1，其係由一P型(具有<100>結晶方向的單晶矽基板)所組成，且顯示於第1圖。P井區2(使用於容納NMOS元件)係形成於半導體基板1的一第一區中。一光阻狀(圖中未顯示)係使用作為一概括的罩幕，以提供要進行於半導體基板的第一區中的硼或BF₂離子離子佈植，在移除光阻狀(圖中未顯示)之後，藉由氧電漿去灰製程，在半導體基板1的一第二區中，用於形成N井區3的離子佈植中，使用另一個光阻狀以罩幕P井區2，此係藉由砷

或磷離子的離子佈植而獲致，藉由氧電漿去灰製程再次移除光阻狀。在井區形成製程期間，進行額外的離子佈植製程，以在兩者井區的頂部中形成貫穿(punch through)及臨限電壓調整區，這些區並未顯示於圖式中。

接著第2圖及第3圖中提出及描述獲得虛設閘極罩幕狀(要使用於定義在P井區2中NMOS元件及在N井區3中PMOS元件的濃摻雜源極/汲極區)，二氧化矽層4(要使用作為一墊氧化層)首先形成於半導體基板1頂部表面上，以達到一個厚度在30到1000埃之間，其係藉由熱氧化處理製程、或藉由低壓化學氣相沈積(LPCVD)、或藉由電漿加強化學氣相沈積(PECVD)製程。然後藉由LPCVD或PECVD製程上部氮化矽層5沈積到一個厚度在50到2000埃。接著使用一光阻狀(未顯示於圖中)作為一蝕刻罩幕，以提供定義虛設罩幕閘極狀於墊氧化層4上，其係由氮化矽層5所組成，藉由一非等向性反應離子蝕刻(RIE)製程而達成定義虛設閘極罩幕狀，其係使用 CF_4 或 Cl_2 作為氮化矽層的蝕刻劑，而同時使用 CHF_3 作為氧化矽層4的選擇性蝕刻劑，其具有RIE製程選擇性停止露出半導體基板1的頂部表面。藉由氧電漿去灰製程而移除使用於定義虛設閘極罩幕狀的光阻狀。

接著形成光阻狀6，且在使用於定義在P井區2中的濃摻雜N型源極/汲極區7離子佈植製程中，使用於保護位在半導體基板1PMOS區中的N井區3，此係使用砷或磷離子而獲致，其係以一能量在1到100KeV間及一劑量在 $1\text{E}15$ 到 $5\text{E}15\text{atoms}/\text{cm}^2$ 植入，此製程的結果係顯示於第4圖中。在

藉由氧電漿去灰製程而移除光阻狀6之後，形成光阻狀8，且在N井區3中使用於形成濃摻雜P型源極/汲極區9的離子佈植中概略畫出半導體基板1的NMOS區，其係位在半導體基板1的PMOS區中。此係使用BF₂的硼而獲致，其係以一能量在0.1到30KeV之間及一劑量在1E15到5E15atoms/cm²之間入，此製程的結果係顯示於第5圖中。在完成使用於定義濃摻雜離子佈植製程之後，使用氧電漿去灰製程而移除光阻狀8。

接著沈積一氧化矽層，以達到一個厚度在50到100埃之間，其係藉由使用四氧乙基矽(TEOS)作為一來源的LPCVD或PECVD製程。在位於兩井區上虛設閘極罩幕狀之間的窄間隙壁，完全地由氧化矽層所填充，而同時在一井區上虛設閘極罩幕狀、及在一井區外虛設閘極罩幕狀之間的較寬間隙壁，並未由氧化矽層所填充。接著使用一全面性、非等向性RIE製程(其係使用CHF₃作為氧化矽的蝕刻劑)，以形成氧化矽間隙壁10a於在較寬間隙壁暴露中虛設閘極罩幕狀的側壁上，而同時在虛設閘極罩幕狀之間的較窄間隙壁係以氧化矽狀10所填充，這些製程結果係顯示於第6圖中。

接著敘述定義淺溝槽狀11，且顯示於第7圖中，使用一選擇性RIE製程，以移除半導體基板1的區，以暴露出虛設閘極罩幕狀間的寬間隙壁，其係排列於氧化矽間隙壁10a。使用SF₆作為氧化矽的蝕刻劑及氧化矽間隙壁10a作為一蝕刻罩幕而達成選擇性RIE製程，其係具有一個矽對氮化矽或氧化矽的高蝕刻比，以提供淺溝槽狀11，其係要使用虛設

閘極罩幕狀的氮化矽而定義的。氧化矽狀10 b(其係位在虛設閘極罩幕狀間的窄間隙壁)保護底部的井區，免於受到此乾式蝕刻製程影響。淺溝槽狀11(在半導體基板1中形成一深度在1500到7000埃之間)係位在P井區2及N井區3間的介面上，且在半導體基板1井區及非井區間的介面上，淺溝槽狀11定義為一個在75到90°C間的錐狀，使經由隨後CVD製程有效的填充這些狀。

在絕緣體填充淺溝槽狀11之前，熱成長一薄襯墊二氧化矽層於淺溝槽狀的暴露表面上，當與使用於完全填充淺溝槽狀的隨後CVD氧化矽層相較之下，形成厚度在30到500埃之間的襯墊層(未顯示於圖中)，係提供改良的介電質整合。現在沈積氧化矽層12，以達到一個厚度在30到1000埃之間，其係藉由使用TEOS作為一來源的LPCVD或PECVD製程，以完成填充淺溝槽狀11。部份的氧化矽層12亦沈積覆蓋於虛設閘極罩幕狀的氧化矽層5頂部表面上，且上部氧化矽狀10b，接著使用一化學機械研磨(CMP)製程用於平坦化製程，以選擇性移除氮化矽層5頂部表面的部份氧化矽層12，以產生絕緣層或填充淺溝槽狀的氧化矽，此係顯示說明於第8圖。

接著進行一回火製程，其在惰性環境中以一個溫度在500到1200°C之間進行，其係用於化學氣相沈積氧化矽層12為目的。密質化製程會產生進化STI區13a，其係在淺溝槽狀11中的是由氧化矽層12所組成、及之前位在虛設閘極罩幕狀上的是由氧化矽間隙壁10a所組成。此外，在STI區13b

係定義位在虛設閘極罩幕狀間的窄間隙壁中，且STI13b係由一個以氧化矽狀10b為特徵的底部部份所組成、及由一個以氧化矽層12為特徵的頂部部份。回火製程的結果係顯示說明於第9圖。

接著描述移除虛設閘極罩幕狀，且顯示說明於第10圖，藉由使用熱磷酸溶液而選擇性地移除掉氮化矽層5，以暴露出墊二氧化矽層4的頂部表面，其係位在STI區之間。若希望氮化矽層5時，則可藉由使用 Cl_2 的RIE製程作為氮化矽的選擇性蝕刻劑而移除掉。接著藉由使用 CHF_3 作為蝕刻劑的RIE製程而選擇性移除墊二氧化矽層4，此製程亦會造成移除STI區頂部的某些氧化矽。濃摻雜源極/汲極區的所有部份(在兩區中)，完全位於STI區13a及STI區13b之下。

接著藉由LPCVD或PECVD而沈積一氮化矽層，以達到一個厚度在30到1000埃之間，氮化矽的厚度將會隨後決定輕摻雜源極/汲極(LDD)區的寬度，然後使用一非等向性RIE製程(係使用 CF_4 或 Cl_2 作為氮化矽的選擇性蝕刻劑)，以定義STI區13a側壁上及STI區13b側壁上的氮化矽間隙壁14，這些製程的結果係顯示說明於第11圖。

接著沈積一高介電質常數(高介電常數)金屬氧化層(如氧化鋁(Al_2O_3)、氧化鋇(ZrO_2)或氧化鈦(HfO_2))，以達到一個厚度在15到300埃之間，其係藉由金屬有機化學氣相沈積(MOCVD)、或藉由原子層化學氣相沈積(ALCVD)製程。高介電常數層15將會使用作為CMOS元件的閘極絕緣層，高介電常數氧化層15的高介電質常數(其係介於7到500之間)，

會容許使用一個較厚的層。此較高介電常數層提供氧當量厚度(EOT)，其係等於較薄、較低介電常數相似物。此接著沈積傳導層，其係包括有一金屬，如鎢、鋁、鋁-銅、銅或鎢金屬矽化物，其厚度在50到1000埃之間，其係藉由電漿氣相沈積(PVD)、或藉由CVD製程，希望的是，傳導層可由一同步(in situ)摻雜多晶矽層所組成。在STI區間的間隙壁中的傳導層厚度係大於STI區頂部表面上的傳導層厚度，因此，一全面性回蝕或化學機械研磨(CMP)製程可使用於形成所希望的傳導閘極結構，且自行對準到STI區，而無須使用微影製程。此使用於移除所有STI區頂部表面的傳導層較薄部份及較薄高介電常數層部份的回蝕製程，係藉由使用非等向性RIE製程而達成，其係使用 Cl_2 作為蝕刻劑。此係顯示說明於第12圖，希望的是，CMP製程亦可使用移除STI區頂部表面的傳導層較薄部份，再次產生定義傳導閘極結構，且亦無須使用微影製程就可以達成。

現在選擇性移除STI區13a側壁、及STI區13b側壁的氮化矽間隙壁14，其係藉由使用一種熱磷酸溶液，希望移除氮化矽間隙壁14，亦可藉由一種RIE製程而達成，其係使用 Cl_2 或 CF_4 作為一種氮化矽的選擇性蝕刻劑。間隙壁17(係藉由移除氮化矽間隙壁所產生，以暴露出部份的P井區2及部份的N井區3)將會受到在P井區2暴露部份中使用於形成N型LDD區18、在N井區3中使用於形成P型LDD區9的離子佈植製程的影響。藉由砷或磷離子的佈植而獲得N型LDD區18，其係以能量在1到100KeV、且劑量在 $2\text{E}13$ 到 $5\text{E}14\text{atoms}/\text{cm}^2$ ，

而同時藉由硼或 BF_2 離子的佈植而獲得P型LDD區19，其係以能量在0.1到30KeV、且劑量在 $2\text{E}13$ 到 $5\text{E}14$ atoms/ cm^2 。形成LDD區，以自行對準傳導閘極結構16，以接合濃摻雜源極/汲極相似物，其係位在STI區下，這些製的結果係顯示說明於第13圖中。

接著描述再次填充間隙壁17，其係藉由移除氮化矽間隙壁14而產生，且顯示於第14圖。首先沈積氧化矽層20，以達到一個厚度在20到1000埃之間，其係藉由LPCVD或PECVD製程。氧化矽層20排列於傳導閘極結構16的側壁、及STI區13a及13b的側壁，然而，無須完全填充間隙壁17。接著沈積氮化矽層21，以達到一個厚度在50到1000埃之間，其係藉由LPCVD或PECVD製程，且混合的氮化矽層21及氧化矽層20現在完全填充間隙壁19。然後使用一光阻狀(未顯示於圖式中)作為一蝕刻罩幕，以容許氮化矽層21及氧化矽層20頂部表面要移除的部份氮化矽層21，其係移除只覆蓋在傳導閘極結構16上、且只填充間隙壁19。使用於獲得此的蝕刻製程，係為一RIE製程，其係使用 CF_4 或 Cl_2 作為一作為氮化矽的選擇性蝕刻劑。然後移除使用於氮化矽移除製程期間保護特定區的光阻狀，其係藉由氧電漿去灰製程。希望的是，一CMP製程可使用於移除STI區頂部的部份氮化矽層21，而同時留下其他部份的氮化矽層21，其係位在較短傳導閘極結構上。

接著沈積層間介電層(ILD)22(係由氧化矽或硼磷矽玻璃(BPSG))，以達到一個厚度在500到1000埃之間，其係藉

由LPCVD或PECVD製程。一種CMP製程係使用於平坦化目的，而造成一個ILD層22的平滑頂部表面。一光阻狀(未顯示於圖式中)係使用作為一蝕刻罩，以產生在ILD層22中、在部份的STI區13a及13b中要定義的開口23，以暴露出在P井區2及N井區3兩者中部份的濃摻雜源極/汲極區頂部表面，藉由RIE製程而形成開口23，其係使用 CHF_3 作為一氧化矽或BPSG選擇性蝕刻劑，因此在定義開口23期間及隨後金屬矽化物形成製程期間，接合氮化矽元件21的開口23，提供保護傳導閘極結構及底部高介電常數閘極絕緣層，上述之製程的結果係顯示說明於第15圖。

在藉由氧電漿去灰製程移除使用於定義開口23的光阻狀之後，藉由PVD製程而沈積一金屬層(如鈷、鎳、鈦、或鎢)，以達到一個在30到100埃之間的厚度。進行一回火製程，其係使用習用的爐管製程或藉由使用快速熱回火(RTA)製程之一，而產生形成金屬矽化物於在開口23中暴露於的部份濃摻雜源極/汲極區上，金屬矽化物層為顯示於圖式中。位於ILD層22頂部表面上或開口23內避上的部份的金屬層保持未反應，且藉由濕式蝕刻製程選擇性的移除。接著藉由PVD或CVD製程而沈積一金屬層(如鎢)，以達到一個厚度在500到5000埃之間，以完成填充開口23。然後移除ILD層22頂部表面的部份金屬層，其係藉由CMP製程，以在開口23中產生形成金屬接觸窗及內連線，覆蓋及接觸N型濃摻雜源極/汲極區7，其係位在NMOS元件的P井區2中，且覆蓋及接觸P型濃摻雜源極/汲極區9，其係位在PMOS元件的N井區3

中。

以上所述係藉由實施例說明本發明之特點，其目的在使熟習該技術者能瞭解本發明之內容並據以實施，而非限定本發明之專利範圍，故，凡其他未脫離本發明所揭示之精神所完成之等效修飾或修改，仍應包含在以下所述之申請專利範圍中。

【圖式簡單說明】

第 1 圖到第 15 圖係為橫剖面圖，係描述使用於製造一閘極結構及底部閘極絕緣狀之重要步驟，其兩者均自行對準隔離區。

【主要元件符號說明】

- 1 半導體基板
- 2 P井區
- 3 N井區
- 4 氧化矽層
- 5 氮化矽層
- 6 光阻狀
- 7 濃摻雜N型源極/汲極區
- 8 光阻狀
- 9 濃摻雜P型源極/汲極區
- 10a 氧化矽間隙壁
- 10b 氧化矽狀
- 11 淺溝槽狀
- 12 氧化矽層

- 13a STI區
- 13b STI區
- 14 氮化矽間隙壁
- 15 高介電常數層
- 16 傳導閘極結構
- 18 N型LDD區
- 19 間隙壁
- 20 氧化矽層
- 21 氮化矽層
- 22 ILD層
- 23 開口
- 24 內連接結構

五、中文發明摘要：

一種製造 CMOS 元之製程，其中傳導閘極結構係定義自行對準淺溝槽隔離(STI)區，而無須使用微影技術製程，本製程的特徵係在半導體基板中定義淺溝槽開口，其係在未被虛設閘極結構所覆蓋、或未被位在虛設閘極結構的側壁上的氧化矽間隙壁所覆蓋，以氧化矽填充淺溝槽開口且移除虛設閘極結構，會產生包括有填充淺溝槽開口的 STI 區，上部氧化矽狀、及上部的氧化矽狀側壁上的氧化矽側壁間隙壁，形成 STI 區側壁上的氮化矽間隙壁，接著沈積一傳導閘極結構的一高介電常數閘極絕緣層，且該傳導閘極結構形成自行對準 STI 區。

六、英文發明摘要：

A process for fabricating a CMOS device in which conductive gate structures are defined self-aligned to shallow trench isolation (STI), regions, without using a photolithographic procedure, has been developed. The process features definition of shallow trench openings in regions of a semiconductor substrate not covered by dummy gate structures, or by silicon oxide spacers located on sides of the dummy gate structures. Filling of the shallow trench openings with silicon oxide, and removal of the dummy gate structures, result in STI regions comprised of filled shallow trench openings, overlying silicon oxide shapes, and silicon

oxide sidewall spacers on the sides of the overlying silicon oxide shapes. Formation of silicon nitride spacers on the sides of the STI regions, is followed by deposition of a high k gate insulator layer and of a conductive gate structure, with the conductive gate structure formed self-aligned to the STI regions.

十、申請專利範圍：

1. 一種製造一金屬氧化物半導體場效電晶體(MOSFET)元件於一半導體基板上之方法，其係包括有：

形成混合絕緣結構於該半導體結構的第一部份頂部表面上；

形成濃摻雜源極/汲極區於該半導體基板的第二部份中，其係未被該混合絕緣結構所覆蓋；

形成第一絕緣間隙壁於該混合絕緣結構側壁上，其每個第一絕緣間隙壁連接及覆蓋一部份的濃摻雜源極/汲極區；

在未被該混合絕緣結構或該第一絕緣間隙壁所覆蓋的部份該半導體基板中，定義淺溝槽開口；

填充具有一第一絕緣層於該混合絕緣結構間的該淺溝槽開口、及間隙壁，以產生淺溝槽隔離(STI)區，且其每個STI區係由一填充淺溝槽開口的底部絕緣層所組成、及由位於該混合絕緣結構側壁上的一上部第一絕緣層狀所組成，及位於該混合絕緣結構側壁上的該第一絕緣層之間係壁，其係為該上部第一絕緣層狀的一成份；

選擇性地移除該混合絕緣結構；

形成第二絕緣間隙壁於該STI區側壁上；

形成一閘極絕緣層於一部份的該半導體基板未被該STI區或該第二絕緣間隙壁覆蓋處；

形成一傳導閘極結構於該閘極絕緣層上，且該傳導閘極自行對準該STI區；

移除該第二絕緣間隙壁；

形成輕摻雜源極/汲極區於部份的半導體基板上藉由移除該第二絕緣間隙壁而暴露處，且每個輕摻雜源極/汲極區相鄰一起，且接合一濃摻雜源極/汲極區，其依次位於一STI下；

形成一混合絕緣層於該STI區及該傳導閘極結構間的間隙壁，且該混合絕緣層覆蓋於該輕摻雜源極/汲極區；

沈積一第二絕緣層；

在該第二絕緣層及在該STI區中形成開口，以暴露出部份的該濃摻雜源極/汲極區；

形成金屬矽化物層於該濃摻雜源極/汲極區的暴露部份中；及

形成金屬結構於該開口中，且該金屬結構位於覆蓋該金屬矽化物層。

2. 如申請專利範圍第1項所述之方法，其中該混合絕緣結構係包括有一具有厚度50到2000埃之間的上部氮化矽狀、及一具有厚度30到1000埃之間的底部二氧化矽狀。

3. 如申請專利範圍第1項所述之方法，其中該濃摻雜源極/汲極區係為N型濃摻雜源極/汲極區，其係藉由砷或磷離子的離子佈植而獲致，以能量在1到100KeV之間及劑量在 $1\text{E}15$ 到 $5\text{E}15\text{atoms}/\text{cm}^2$ 佈植。

4. 如申請專利範圍第1項所述之方法，其中該濃摻雜源極/汲極區係為P型濃摻雜源極/汲極區，其係藉由硼或 BF_2 離子的離子佈植而獲致，以能量在0.1到30KeV之間及劑量在 $1\text{E}15$ 到 $5\text{E}15\text{atoms}/\text{cm}^2$ 佈植。

5. 如申請專利範圍第 1 項所述之方法，其中該第一絕緣間隙壁係為氧化矽間隙壁，其係由沈積一氧化矽層而獲致，該氧化矽層係藉由 LPCVD 或 PECVD 製程而獲得，其厚度在 50 到 1000 埃間，然後藉由使用 CHF_3 作為一蝕刻劑的非等向性 RIE 製程而定義。
6. 如申請專利範圍第 1 項所述之方法，其中該淺溝槽開口在該半導體基板中形成一個深度在 1500 到 7000 埃之間，且具有一個在 75 到 90°C 間的錐狀，其係藉由使用 SF_6 作為矽的蝕刻劑的一種 RIE 製程。
7. 如申請專利範圍第 1 項所述之方法，其中使用於填充該淺溝槽開口的該第一絕緣層，係為一氧化矽層，其係藉由 LPCVD 或 PECVD 製程而獲致，其厚度在 30 到 500 埃之間，係使用 (TEOS) 作為一來源。
8. 如申請專利範圍第 1 項所述之方法，其中係藉由 RIE 製程移除該混合絕緣結構上之間隙壁，其係使用 CF_4 或 Cl_2 作為氮化矽的蝕刻劑，而同時使用 CHF_3 作為二氧化矽的蝕刻劑。
9. 如申請專利範圍第 1 項所述之方法，其中藉由濕式蝕刻製程而選擇性地移除該混合絕緣結構上之間隙壁的該氮化矽狀，其係使用磷酸溶液。
10. 如申請專利範圍第 1 項所述之方法，其中該第二絕緣間隙壁係為氮化矽，其係由沈積一氮化矽層而獲致，該氮化矽層係藉由 LPCVD 或 PECVD 製程而獲得，其厚度在 30 到 1000 埃之間，然後藉由使用 CF_4 或 Cl_2 作為一蝕刻劑的非等

向性 RIE 製程而定義。

11. 如申請專利範圍第 1 項所述之方法，其中該閘極絕緣層係為一高介電常數層，其係由氧化鋁(Al_2O_3)、氧化鋯(ZrO_2)或二氧化鈦(HfO_2)三者之一所組成，其厚度係為 15 到 300 埃之間，藉由金屬有機化學氣相沈積(MOCVD)或藉由原子層化學氣相沈積(ALCVD)製程而獲致。

12. 如申請專利範圍第 1 項所述之方法，其中該閘極絕緣層係由一個 7 到 100 的介電常數所組成。

13. 如申請專利範圍第 1 項所述之方法，其中該傳導閘極結構係形成於一個厚度在 50 到 1000 埃之間，且係包括有一選自於包含有；鋁、鋁-銅、銅、鎢、矽化鎢或摻雜多晶矽所組成的組群。

14. 如申請專利範圍第 1 項所述之方法，其中該第二絕緣間隙壁係選擇性地除掉，其係藉由使用熱磷酸作為一氮化矽蝕刻劑的濕式蝕刻製程。

15. 如申請專利範圍第 1 項所述之方法，其中該輕摻雜源極/汲極區係為 N 型濃摻雜源極/汲極區，其係藉由砷或磷離子的離子佈植而獲致，以能量在 1 到 100KeV 之間及劑量在 $2\text{E}13$ 到 $5\text{E}14\text{atoms}/\text{cm}^2$ 佈植。

16. 如申請專利範圍第 1 項所述之方法，其中該輕摻雜源極/汲極區係為 P 型濃摻雜源極/汲極區，其係藉由硼或 BF_2 離子的離子佈植而獲致，以劑量在 $2\text{E}13$ 到 $5\text{E}14\text{atoms}/\text{cm}^2$ 佈植。

17. 如申請專利範圍第 1 項所述之方法，其中位於該 STI 區

及該傳導閘極結構間該間隙壁中的該混合絕緣層，係包括有一底部氧化矽層，其係具有一個厚度在 30 到 1000 埃之間，其係藉由 LPCVD 或 PECVD 製程所獲致，且包括有一上部氮化矽層，其係具有一個厚度在 50 到 1000 埃之間，其係藉由 LPCVD 或 PECVD 製程所獲致。

18. 一種製造一互補式金屬氧化物半導體(CMOS)元件於一半導體基板上之方法，其中一閘極結構係定義自行對準到絕緣區，而無須使用微影技術製程，其係包括有：

形成一 P 型井區於該半導體基板的一第一部份上，該半導體基板係要使用於容納該 CMOS 元件的一 N 通道金屬氧化物半導體(NMOS)元件；

形成一 N 井區於該半導體基板的一第二部份上，該半導體基板係要使用於容納該 CMOS 元件的一 P 通道金屬氧化物半導體(PMOS)基板元件；

形成混合絕緣結構於該半導體基板的一頂部表面上，每個包括有一個具有一底部二氧化矽狀和一上部氮化矽狀；

形成 N 型濃摻雜源極/汲極區於部份的該 P 井區上，其係未被該混合絕緣結構所覆蓋；

形成 P 型濃摻雜源極/汲極區於部份的該 N 井區上，其係未被該混合絕緣結構所覆蓋；

形成氧化矽間隙壁於該混合絕緣結構的側壁上，每個氧化矽間隙壁覆蓋於一部份的一濃摻雜源極/汲極區上；

定義淺溝槽開口於部份的該半導體結構上，其係未被該混合絕緣結構、或未被該氧化矽間隙壁所覆蓋；

以一氧化矽層填充該淺溝槽開口，以產生淺溝槽隔離 (STI) 區，其每個 STI 區係包括有一填充淺溝槽開口的氧化矽、及包括有一位於該混合絕緣結構側壁間的上部氧化矽狀 (其位於側壁)、及預先形成於該混合絕緣結構側牆上之氧化矽間隙壁，其係形成於該上部氧化矽狀的側邊且為該上部氧化矽狀的構成成份；

選擇性地移除該混合絕緣結構；

形成氮化矽間隙壁於該 STI 區的側壁上；

形成一高介電常數閘極 (高 k) 層於部份的該半導體基板上，其係未被該 STI 區、或未被該氮化矽間隙壁所覆蓋；

形成一傳導閘極結構於每個高介電常數絕緣層上，且該傳導閘極結構自行對準該 STI 區；

移除該氮化矽間隙壁；

形成 N 型輕摻雜源極/汲極區於部份的該 P 井區中，其係藉由移除該氮化矽間隙壁而暴露出來，其每個 N 型輕摻雜源極/汲極區係相鄰在一起，且接合一 N 型濃摻雜源極/汲極區，其依次位於 STI 區之下；

形成 P 型輕摻雜源極/汲極區於部份的該 N 井區中，其係藉由移除該氮化矽間隙壁而暴露出來，其每個 P 型輕摻雜源極/汲極係相鄰在一起，且接合一 P 型濃摻雜源極/汲極區，其依次位於 STI 區之下；

形成一混合絕緣層，其係包括有一上部氮化矽層及一底部氧化矽層，其係在該 STI 區及該傳導閘極結構間的隙壁中，該混合絕緣層係覆蓋輕摻雜源極/汲極區；

沈積一層間介電層(ILD)；

形成開口於該 ILD 層中及該 STI 區中，以暴露出部份的該 N 型濃摻雜源極/汲極區，且暴露出部份的該 P 型濃摻雜源極/汲極區；

形成矽化鈷於暴露部份的濃摻雜源極/汲極區上；及

形成金屬結構於該開口中，其該金屬結構係覆蓋且接觸該矽化鈷層上。

19. 如申請專利範圍第 18 項所述之方法，其中該混合絕緣層的該上部氮化矽狀厚度，係在 50 到 2000 埃之間。

20. 如申請專利範圍第 18 項所述之方法，其中該 N 型濃摻雜源極/汲極區係藉由砷或磷離子的離子佈植而獲致，以能量在 1 到 100KeV 之間及劑量在 $1E15$ 到 $5E15atoms/cm^2$ 佈植。

21. 如申請專利範圍第 18 項所述之方法，其中該 P 型濃摻雜源極/汲極區係藉由硼或 BF_2 離子的離子佈植而獲致，以能量在 0.1 到 30KeV 之間及劑量在 $1E15$ 到 $5E15atoms/cm^2$ 佈植。

22. 如申請專利範圍第 18 項所述之方法，其中該氧化矽間隙壁係藉由 LPCVD 或 PECVD 製程而沈積一氧化矽層而獲致，其厚度在 50 到 1000 埃之間，然後藉由使用 CHF_3 作為一蝕刻劑的非等向性 RIE 製程而定義。

23. 如申請專利範圍第 18 項所述之方法，其中該淺溝槽開口在該半導體基板中形成一個深度在 1500 到 7000 埃之間，且具有一個在 75 到 90°C 間的錐狀，其係藉由使用 SF_6

作為矽的蝕刻劑的一種 RIE 製程。

24. 如申請專利範圍第 18 項所述之方法，其中使用於填充該淺溝槽開口的該氧化矽層，係藉由 LPCVD 或 PECVD 製程而獲致，其厚度在 30 到 500 埃之間，係使用 (TEOS) 作為一來源。

25. 如申請專利範圍第 18 項所述之方法，其中該混合絕緣結構上之間隙壁，其係使用 CF_4 或 Cl_2 作為氮化矽的蝕刻劑，而同時使用 CHF_3 作為二氧化矽的蝕刻劑。

26. 如申請專利範圍第 18 項所述之方法，其中藉由濕式蝕刻製程而選擇性地移除該混合絕緣結構上之間隙壁的該氮化矽狀，其係使用一熱磷酸溶液。

27. 如申請專利範圍第 18 項所述之方法，其中該氮化矽間隙壁係由沈積一氮化矽層而獲致，該氮化矽層係藉由 LPCVD 或 PECVD 製程而獲得，其厚度在 30 到 1000 埃之間，然後藉由使用 CF_4 或 Cl_2 作為一蝕刻劑的非等向性 RIE 製程而定義。

28. 如申請專利範圍第 18 項所述之方法，其中該高介電常數閘極絕緣層係由氧化鋁 (Al_2O_3)、氧化鋯 (ZrO_2) 或氧化鈦 (HfO_2) 所組成，其厚度係為 15 到 300 埃之間，藉由金屬有機化學氣相沈積 (MOCVD) 或藉由原子層化學氣相沈積 (ALCVD) 製程而獲致。

29. 如申請專利範圍第 18 項所述之方法，其中該高介電常數閘極絕緣層係由一個 7 到 100 的介電常數所組成。

30. 如申請專利範圍第 18 項所述之方法，其中該傳導閘極

結構形成於一個厚度在 50 到 1000 埃之間，且係包括有一選自於包含有；鋁、鋁-銅、銅、鎢、矽化鎢或摻雜多晶矽所組成材料的組群。

31. 如申請專利範圍第 18 項所述之方法，其中該氮化矽間隙壁係選擇性地除掉，其係藉由使用熱磷酸作為一氮化矽蝕刻劑的濕式蝕刻製程。

32. 如申請專利範圍第 18 項所述之方法，其中該 N 型輕摻雜源極/汲極區係藉由砷或磷離子的離子佈植而獲致，以能量在 1 到 100KeV 之間及劑量在 $2E13$ 到 $5E14atoms/cm^2$ 佈植。

33. 如申請專利範圍第 18 項所述之方法，其中該 P 型淡摻雜源極/汲極區，其係藉由硼或 BF_2 離子的離子佈植而獲致，以劑量在 $2E13$ 到 $5E14atoms/cm^2$ 佈植。

七、指定代表圖：

(一)本案指定代表圖為：第(十五)圖。

(二)本代表圖之元件符號簡單說明：

- 1 半導體基板
- 2 P 井區
- 3 N 井區
- 4 氧化矽層
- 5 氮化矽層
- 6 光阻狀
- 7 濃摻雜 N 型源極/汲極區
- 8 光阻狀
- 9 濃摻雜 P 型源極/汲極區
- 10a 氧化矽間隙壁
- 10b 氧化矽狀
- 11 淺溝槽狀
- 12 氧化矽層
- 13a STI 區
- 13b STI 區
- 14 氮化矽間隙壁
- 15 高介電常數層
- 16 傳導閘極結構
- 18 N 型 LDD 區
- 19 間隙壁
- 20 氧化矽層
- 21 氮化矽層
- 22 ILD 層
- 23 開口
- 24 內連接結構

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：