



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월16일
(11) 등록번호 10-1057208
(24) 등록일자 2011년08월09일

(51) Int. Cl.
H01L 31/04 (2006.01) H01L 21/205 (2006.01)
(21) 출원번호 10-2008-7010677
(22) 출원일자(국제출원일자) 2006년09월29일
심사청구일자 2008년05월02일
(85) 번역문제출일자 2008년05월02일
(65) 공개번호 10-2008-0065635
(43) 공개일자 2008년07월14일
(86) 국제출원번호 PCT/JP2006/319510
(87) 국제공개번호 WO 2007/040183
국제공개일자 2007년04월12일
(30) 우선권주장
JP-P-2005-00290191 2005년10월03일 일본(JP)
(56) 선행기술조사문헌
JP2000252495 A*
JP2005123466 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
샤프 가부시키키가이샤
일본 오사카후 오사카시 아베노구 나가이쎄쵸 22
방 22고
(72) 발명자
기시모토 가즈시
일본 619-0232 교오토후 소라꾸군 세이까쵸 사꾸
라가오까 3-28-9
(74) 대리인
성재동, 장수길

전체 청구항 수 : 총 25 항

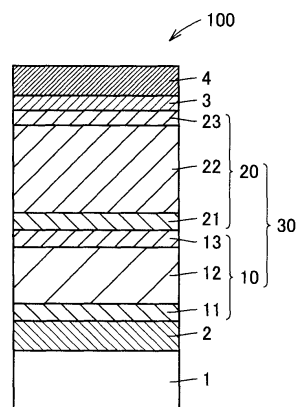
심사관 : 손희수

(54) 실리콘계 박막 광전 변환 장치, 그 제조 방법 및 그 제조장치

(57) 요약

본 실리콘계 박막 광전 변환 장치의 제조 방법은, 기판(1) 위에 형성된 투명 도전막(2) 상에, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실 내에서, 순차적으로 형성해서 이중 pin 구조 적층체(30)를 형성하고, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)은, 플라즈마 CVD 성막실에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01W/cm² 이상 0.3W/cm² 이하로 형성되는 것을 특징으로 한다. 이에 의해, 양호한 품질을 갖고, 광전 변환 효율이 높은 실리콘계 박막 광전 변환 장치를, 간단한 제조 장치를 이용해서 저비용이면서 또한 고효율로 제조할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

기판(1) 위에 투명 도전막(2)을 형성하는 공정과, 상기 투명 도전막(2) 위에 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)을 차례로 형성해서 이중 pin 구조 적층체(30)를 형성하는 공정을 포함하고,

상기 이중 pin 구조 적층체(30)를 형성하는 공정은 동일한 플라즈마 CVD 성막실(220) 내에서 행하고, 상기 플라즈마 CVD 성막실 내의 캐소드와 애노드 사이의 거리는 3 mm 이상 20 mm 이하이고,

상기 제1 p형 반도체층(11), 상기 i형 비정질 실리콘계 광전 변환층(12) 및 상기 제1 n형 반도체층(13)은, 상기 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하로 형성되는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 2

기판(1) 위에 형성된 투명 도전막(2) 위에, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 형성해서 이중 pin 구조 적층체(30)를 형성하고, 상기 플라즈마 CVD 성막실 내의 캐소드와 애노드 사이의 거리는 3 mm 이상 20 mm 이하이고,

상기 제1 p형 반도체층(11), 상기 i형 비정질 실리콘계 광전 변환층(12) 및 상기 제1 n형 반도체층(13)은, 상기 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하로 형성되는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 3

제1항 또는 제2항에 있어서, 상기 제1 p형 반도체층(11)의 두께는 2 nm 이상 50 nm 이하이며, 상기 i형 비정질 실리콘계 광전 변환층(12)의 두께는 $0.1\ \mu\text{m}$ 이상 $0.5\ \mu\text{m}$ 이하이며, 상기 제1 n형 반도체층(13)의 두께는 2 nm 이상 50 nm 이하인 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 4

제1항 또는 제2항에 있어서, 상기 제2 p형 반도체층(21)의 두께는 2 nm 이상 50 nm 이하이며, 상기 i형 미결정 실리콘계 광전 변환층(22)의 두께는 $0.5\ \mu\text{m}$ 이상 $20\ \mu\text{m}$ 이하이며, 상기 제2 n형 반도체층(23)의 두께는 2 nm 이상 50 nm 이하인 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 5

제1항 또는 제2항에 있어서, 상기 제2 p형 반도체층(21)은, 상기 기판(1)의 베이스 온도가 $250\ ^\circ\text{C}$ 이하이며, 상기 플라즈마 CVD 성막실(220) 내로 도입하는 원료 가스가, 실란계 가스와 수소 가스를 함유하는 희석 가스를 포함하고, 상기 실란계 가스에 대한 상기 희석 가스의 유량이 100배 이상의 조건으로 형성되는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 6

제1항 또는 제2항에 있어서, 상기 제1 p형 반도체층(11) 및 상기 제2 p형 반도체층(21)의 도전형 결정 불순물 원자는, 붕소 원자 또는 알루미늄 원자인 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 7

제1항 또는 제2항에 있어서, 상기 i형 미결정 실리콘계 광전 변환층(22)은, 상기 기판(1)의 베이스 온도가 $250\ ^\circ\text{C}$ 이하이며, 상기 플라즈마 CVD 성막실로 도입하는 원료 가스가 실란계 가스와 희석 가스를 포함하고, 실란계 가스에 대한 희석 가스의 유량이 30배 이상 100배 이하의 조건으로 형성되고, 라만 분광법에 의해 측정되는 480

nm^{-1} 에 있어서의 피크에 대한 520 nm^{-1} 에 있어서의 피크의 피크 강도비 I_{520}/I_{480} 이 5 이상 10 이하인 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 8

제1항 또는 제2항에 있어서, 상기 제1 n형 반도체층(13) 및 상기 제2 n형 반도체층(23)의 도전형 결정 불순물 원자는, 인 원자인 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 9

제1항 또는 제2항에 있어서, 상기 제2 n형 반도체층(23)은, 상기 기판(1)의 베이스 온도가 250°C 이하이며, 상기 플라즈마 CVD 성막실(220)로 도입하는 원료 가스 중의 실리콘 원자에 대한 인 원자의 함유율이 0.1 원자 % 이상 5 원자 % 이하인 조건으로 형성되는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 10

제1항 또는 제2항에 있어서, 상기 이중 pin 구조 적층체(30)를 형성한 후에, 상기 이중 pin 구조 적층체(30)를 포함하는 적층형 실리콘계 박막 광전 변환 장치(100)를 상기 플라즈마 CVD 성막실(220)로부터 반출하고, 상기 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 11

제10항에 있어서, 상기 잔류막의 제거는 수소 gas와, 불활성 gas와, 불소계의 클리닝 gas로 이루어지는 군으로부터 선택되는 적어도 1종류의 가스를 플라즈마화한 가스 플라즈마에 의해 행해지는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 12

제10항에 있어서, 상기 잔류막의 제거는, 상기 잔류막의 표면층으로부터 상기 캐소드(222) 및 상기 실내면(221) 중 적어도 어느 하나에 가장 가까운 위치에 있는 제1 n형층까지를 에칭 제거하고, 상기 잔류막의 상기 캐소드(222) 및 상기 실내면(221) 중 적어도 어느 하나에 가장 가까운 위치에 있는 i형층을, 두께 방향으로 10 nm 이상 상기 i형층의 두께 전체의 90% 이하 범위의 깊이로 에칭 제거함으로써 행해지는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 13

제10항에 있어서, 상기 캐소드 상의 상기 잔류막의 제거는, 상기 플라즈마 CVD 성막실(220)의 상기 캐소드(222) 상의 상기 잔류막의 적산 막 두께가 10 μm 이상 1000 μm 이하일 때에, 수소 gas, 불활성 gas 및 불소계 클리닝 gas로 이루어지는 군으로부터 선택되는 적어도 1종류의 가스를 플라즈마화한 가스 플라즈마에 의해 행해지는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 14

제1항 또는 제2항에 기재된 제조 방법에 의해 형성된 이중 pin 구조 적층체(30)의 제2 n형 반도체층(23) 위에, 또한 p형 반도체층(41), i형 결정질 실리콘계 광전 변환층(42) 및 n형 반도체층(43)으로 구성되는 결정질 pin 구조 적층체(40)를 적어도 1개 적층하는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 15

제1항 또는 제2항의 제조 방법에 의해 제조된 적층형 실리콘계 박막 광전 변환 장치.

청구항 16

기판(1) 위에 형성된 투명성 도전막(2)과, 이중 pin 구조 적층체(30)를 포함하는 적층형 실리콘계 박막 광전 변환 장치(100)이며,

상기 이중 pin 구조 적층체(30)는 상기 투명성 도전막(2) 위에 차례로 형성되어 있는 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)으로 구성되고,

상기 제1 n형 반도체층(13) 및 상기 제2 p형 반도체층(21)은, 각각 불순물 질소 원자 농도가 $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 또한 불순물 산소 원자 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치.

청구항 17

삭제

청구항 18

기관(1) 위에 형성된 투명 도전막(2) 위에, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 형성해서 이중 pin 구조 적층체(30)를 형성하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법에 이용되는 제조 장치이며,

상기 제조 장치는, 내부에 캐소드(222) 및 애노드(223)가 배치되어 있는 플라즈마 CVD 성막실(220)과, 상기 플라즈마 CVD 성막실 내(220)의 가스 압력을 조정하는 가스 압력 조정부(211)와, 상기 캐소드에 전력을 공급하는 전력 공급부(201)를 포함하고,

상기 캐소드(222)와 상기 애노드(223)의 거리는 3 mm 이상 20 mm 이하이며,

상기 제1 p형 반도체층(11), 상기 i형 비정질 실리콘계 광전 변환층(12) 및 상기 제1 n형 반도체층(13)의 형성에 있어서, 상기 가스 압력 조정부(211)는 상기 CVD 성막실(220) 내의 가스 압력을 200 Pa 이상 3000 Pa 이하의 범위로 제어할 수 있고, 상기 전력 공급부(201)는 상기 캐소드(222)의 단위 면적당의 전력 밀도를 0.01 W/cm^2 이상 0.3 W/cm^2 이하의 범위로 제어할 수 있는 적층형 실리콘계 박막 광전 변환 장치의 제조 장치.

청구항 19

기관(1) 위에 형성된 투명 도전막(2) 위에, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)을, 동일한 플라즈마 CVD 성막실 내(220)에서, 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성하고,

상기 플라즈마 CVD 성막실 내의 캐소드와 애노드 사이의 거리는 3 mm 이상 20 mm 이하이고,

상기 p형 반도체층(11), 상기 i형 비정질 실리콘계 광전 변환층(12) 및 상기 n형 반도체층(13)은, 상기 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01 W/cm^2 이상 0.3 W/cm^2 이하로 형성되는 것을 특징으로 하는 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 20

제19항에 있어서, 상기 비정질 pin 구조 적층체(10)를 형성한 후에, 상기 비정질 pin 구조 적층체(10)를 포함하는 실리콘계 박막 광전 변환 장치(500)를 상기 플라즈마 CVD 성막실(220)로부터 반출하고, 상기 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 21

제19항에 기재된 제조 방법에 의해 제조된 실리콘계 박막 광전 변환 장치.

청구항 22

기관(1) 위에 형성된 투명 도전막(2) 위에, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성하는 실리콘계 박막 광전 변환 장치의 제조 방법에 이용되는 제조 장치이며,

상기 제조 장치는, 내부에 캐소드(222) 및 애노드(223)가 배치되어 있는 플라즈마 CVD 성막실(220)과, 상기 플라즈마 CVD 성막실(220) 내의 가스 압력을 조정하는 가스 압력 조정부(211)와, 상기 캐소드(222)에 전력을 공급하는 전력 공급부(201)를 포함하고,

상기 캐소드(222)와 상기 애노드(223)의 거리는 3 mm 이상 20 mm 이하이며,

상기 p형 반도체층(11), 상기 i형 비정질 실리콘계 광전 변환층(12) 및 상기 n형 반도체층(13)의 형성에 있어서, 상기 가스 압력 조정부(211)는 상기 CVD 성막실(220) 내의 가스 압력을 200 Pa 이상 3000 Pa 이하의 범위로 제어할 수 있고, 상기 전력 공급부(201)는 상기 캐소드(222)의 단위 면적당의 전력 밀도를 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 범위로 제어할 수 있는 실리콘계 박막 광전 변환 장치의 제조 장치.

청구항 23

기관(1) 위에 형성된 투명 도전막(2) 상에, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 형성해서 이중 pin 구조 적층체(60)를 형성하고,

상기 플라즈마 CVD 성막실 내의 캐소드와 애노드 사이의 거리는 3 mm 이상 20 mm 이하이고,

상기 제1 p형 반도체층(11), 상기 제1 i형 비정질 실리콘계 광전 변환층(12), 상기 제1 n형 반도체층(13), 상기 제2 p형 반도체층(21), 상기 제2 i형 비정질 실리콘계 광전 변환층(52) 및 상기 제2 n형 반도체층(23)은, 상기 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하로 형성되는 것을 특징으로 하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 24

제23항에 있어서, 상기 이중 pin 구조 적층체(60)를 형성한 후에, 상기 이중 pin 구조 적층체(60)를 포함하는 적층형 실리콘계 박막 광전 변환 장치(600)를 상기 플라즈마 CVD 성막실(220)로부터 반출하고, 상기 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법.

청구항 25

제23항에 기재된 제조 방법에 의해 제조된 적층형 실리콘계 박막 광전 변환 장치.

청구항 26

기관(1) 위에 형성된 투명 도전막(2) 위에, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 형성해서 이중 pin 구조 적층체(60)를 형성하는 적층형 실리콘계 박막 광전 변환 장치의 제조 방법에 이용되는 제조 장치이며,

상기 제조 장치는, 내부에 캐소드(222) 및 애노드(223)가 배치되어 있는 플라즈마 CVD 성막실(220)과, 상기 플라즈마 CVD 성막실(220) 내의 가스 압력을 조정하는 가스 압력 조정부(211)와, 상기 캐소드(222)에 전력을 공급하는 전력 공급부(201)를 포함하고,

상기 캐소드(222)와 상기 애노드(223)의 거리는 3 mm 이상 20 mm 이하이며,

상기 제1 p형 반도체층(11), 상기 제1 i형 비정질 실리콘계 광전 변환층(12), 상기 제1 n형 반도체층(13), 상기 제2 p형 반도체층(21), 상기 제2 i형 비정질 실리콘계 광전 변환층(52) 및 상기 제2 n형 반도체층(23)의 형성에 있어서, 상기 가스 압력 조정부(211)는 상기 CVD 성막실(220) 내의 가스 압력을 200 Pa 이상 3000 Pa 이하의 범위로 제어할 수 있고, 상기 전력 공급부(201)는 상기 캐소드(222)의 단위 면적당의 전력 밀도를 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 범위로 제어할 수 있는 적층형 실리콘계 박막 광전 변환 장치의 제조 장치.

명세서

기술분야

[0001] 본 발명은, 양호한 성능을 갖는 실리콘계 박막 광전 변환 장치, 그 제조 방법 및 그 제조 장치에 관한 것으로, 특히 생산 비용 및 생산 효율이 비약적으로 개선된 실리콘계 박막 광전 변환 장치, 그 제조 방법 및 그 제조 장치에 관한 것이다. 또한, 본원에 있어서, 「다결정」, 「미결정」 및 「결정질」의 용어는, 부분적으로 비정질 상태를 포함하는 것을 의미하는 것으로 한다.

배경 기술

[0002] 최근, 예를 들어 다결정 실리콘 또는 미결정 실리콘과 같은 결정질 실리콘을 포함하는 박막을 이용한 태양 전지의 개발 및 생산량의 확대가 세계적으로 주목을 받고 있다. 이 태양 전지의 큰 특징은, 대면적의 저렴한 기판 위에, 플라즈마 CVD 장치 또는 스퍼터 장치와 같은 성막 장치를 이용하여, 반도체막 또는 금속 전극막을 적층시키고, 그 후에 레이저 패터닝 등의 방법을 이용하여, 동일 기판 위에 제작한 태양 전지 셀을 분리 접속시킴으로써, 태양 전지의 저비용화와 고성능화를 양립시킬 수 있는 점이다. 그러나, 그러한 제조 공정에 있어서는, 디바이스 제작의 기간 장치인 CVD 장치로 대표되는 제조 장치의 고비용화에 의한 태양 전지의 제조 비용의 상승이, 대규모 보급에 대한 장벽 중 하나가 되고 있다.

[0003] 종래부터, 태양 전지의 생산 장치로서는, 복수의 성막실(챔버라고도 부름, 이하 동일)을 직선 형상으로 연결한 인라인 방식, 또는 중앙에 중간실을 마련하고, 그 주위에 복수의 성막실을 배치하는 멀티 챔버 방식이 채용되고 있다. 그러나, 인라인 방식에서는 기판 반송의 동선이 직선 형상이기 때문에, 부분적으로 유지 보수의 필요가 발생한 경우에도, 장치 전체를 정지시켜야만 한다. 예를 들어, 가장 유지 보수가 필요해지는 i형 실리콘 광전 변환층의 형성을 행하는 성막실을 복수 포함하고 있으므로, i형 실리콘 광전 변환층의 형성을 행하는 1개의 성막실에 유지 보수가 필요해진 경우라도, 생산 라인 전체가 정지하게 된다고 하는 단점이 있다.

[0004] 한편, 멀티 챔버 방식은 성막되어야 할 기판이 중간실을 경유해서 각 성막실로 이동하게 되는 방식이며, 각각의 성막실과 중간실 사이에 기밀을 유지할 수 있는 가동 구획이 마련되어 있으므로, 어느 1개의 성막실에 문제점이 발생한 경우에도, 다른 성막실은 사용 가능해, 생산이 전체적으로 정지하게 된다고 하는 일은 없다. 그러나, 이 멀티 챔버 방식의 생산 장치에서는, 중간실을 통한 기판의 동선이 복수 있어, 중간실의 기계적인 구조가 복잡해지는 것은 피할 수 없다. 예를 들어, 중간실과 각 성막실 사이의 기밀성을 유지하면서 기판을 이동시키는 기구가 복잡해 고가가 된다. 또한, 중간실 주위에 배치되는 성막실의 수가 공간적으로 제한된다고 하는 문제도 있다.

[0005] 이러한 문제점을 감안하여, p형 반도체층, i형 미결정 실리콘계 광전 변환층 및 n형 반도체층이, 동일한 플라즈마 CVD 성막실 내에서 차례로 계속해서 형성되고, 또한 p형 반도체층은 성막실 내의 압력이 667 Pa(5 Torr) 이상의 조건으로 형성되는 것을 특징으로 하는 실리콘계 박막 광전 변환 장치의 제조 방법이 제안되어 있다[예를 들면 일본 특허 공개 평 제2000-252495호 공보(특허 문헌 1)을 참조]. 이 방법에 의하면, 양호한 성능 및 품질을 갖는 광전 변환 장치를 간단한 장치에 의해 저비용이면서 또한 고효율로 제조할 수 있다.

[0006] 그러나, 이 제조 방법에서는 목표로 하는 생산성 향상을 구하여, 이 방법으로 동일 성막실 내에서 반복하여, p형 반도체층, i형 실리콘계 광전 변환층 및 n형 반도체층(이하, 「pin층」이라고도 함. 또한, 이 p형층, i형층 및 n형층이 이 순서대로 배열된 구조를 「pin 구조」라고도 함)의 형성을 행함으로써, 플라즈마 CVD 성막실의 캐소드 상의 잔류막 및 실내면 상에 형성된 잔류막 중 적어도 어느 하나에 있어서의 n형층 중의 n형 도우펀트가, 다음의 p형 반도체층 및 i형 실리콘계 광전 변환층을 형성하는 초기 단계에 있어서, n형 도우펀트가 p형 반도체층 및 i형 실리콘계 광전 변환층으로 혼입되는 사태를 피할 수 없다고 하는 문제가 있다.

[0007] 즉, 플라즈마 CVD 성막실 내에 있어서, 우선 p형 반도체층을 형성할 때에 성막실의 캐소드 상 및 실내면 상 중 적어도 어느 하나에 p형층이 형성되고, 다음에 i형 실리콘계 광전 변환층을 형성할 때에 상기 p형층 상에 i형층이 형성되고, 다음에 n형 반도체층을 형성할 때에 상기 i형층 상에 n형층이 형성된다. 이렇게 해서 플라즈마 CVD 성막실의 캐소드 상 및 실내면 상 중 적어도 어느 하나에, 잔류막으로서 p형층, i형층 및 n형층의 적층막이 형성된다. 이러한 잔류막에 있어서의 n형층 중의 n형 도우펀트(n형 불순물 원자라고도 함, 이하 동일)가, 다음의 p형 반도체층 및 i형 실리콘계 광전 변환층을 형성하는 초기 단계에 있어서, n형 도우펀트가 p형 반도체층 및 i형 실리콘계 광전 변환층으로 혼입한다고 하는 문제가 발생하는 것이다.

[0008] 여기서, p형 반도체층에 대한 n형 도우펀트의 영향으로서는, n형 도우펀트가 p형 도우펀트(p형 불순물 원자라고도 함, 이하 동일)의 작용을 약하게 하므로, 태양 전지를 제작한 다음 필요한 p형 반도체층의 공간 전하의 확보를 할 수 없게 된다. 이에 의해, 종래의 양호한 p형 반도체층의 제조 조건을 이용한 경우에 있어서도, 개방 전압이나 극성 인자의 저하 등의 태양 전지의 여러 파라미터에 악영향을 끼친다. 또한, n형 도우펀트의 i형 실리콘

콘계 광전 변환층으로의 영향으로서, 잔류막 중의 n형 도우펀트의 i형 실리콘계 광전 변환층 중으로의 확산이, i형 실리콘계 광전 변환층 중의 재결합 준위를 증가시켜, 내부 전계를 약하게 함으로써, 태양 전지의 단파장 감도의 대폭적인 저하를 초래하는 것도 알려져 있다[예를 들어 일본 특허 공개 평 제2000-243993호 공보(특허 문헌 2)를 참조].

[0009] 또한, pin층이 복수 적층된 실리콘계 광전 변환 장치를 제조하는 방법에 대해서는, 비정질 광전 변환층을 인라인식 CVD 장치로 제작한 후, 미결정 실리콘계 광전 변환층을 다른 CVD 장치로 제조한다고 하는 제안도 되어 있다[예를 들면 일본 특허 공개 평 제2000-252496호 공보(특허 문헌 3)을 참조]. 이것은, 비정질 광전 변환층을 동일한 성막실에서 성막하면 특성 저하를 일으키는 것이 알려져 있는 것과, 장치 탭트가 상용(相容)되지 않는 비정질 광전 변환층과 미결정 실리콘계 광전 변환층을 다른 CVD 장치로 제조함으로써 라인의 효율화를 도모할 목적이다. 또한, 인라인 방식의 CVD 장치에서 문제가 되는 다운 타임을 감소시키는 대책이 되기도 한다.

[0010] 그러나, 상기의 제조 방법에서는, 모두 복잡한 제조 장치 및 유지 보수를 필요로 하기 때문에, 양호한 특성을 갖는 광전 변환 장치를 간단한 제조 장치를 이용해서 저비용 및 고효율로 제조할 수 있는 방법의 개발이 요구되고 있었다.

[0011] 특허 문헌 1 : 일본 특허 공개 평 제2000-252495호 공보

[0012] 특허 문헌 2 : 일본 특허 공개 평 제2000-243993호 공보

[0013] 특허 문헌 3 : 일본 특허 공개 평 제2000-252496호 공보

발명의 상세한 설명

[0014] 본 발명은, 양호한 품질을 갖고 광전 변환 효율이 높은 실리콘계 박막 광전 변환 장치를, 간단한 제조 장치를 이용해서 저비용이면서 또한 고효율로 제조하는 방법, 제조 장치 및 그 제조 방법 및 제조 장치에 의해 제조된 양호한 특성을 갖는 실리콘계 박막 광전 변환 장치를 제공하는 것을 목적으로 한다. 또한, 반복해서 동일한 플라즈마 CVD 성막실을 이용하여, 실리콘계 박막 광전 변환 장치를 수율 좋게 제조할 수 있는 제조 방법, 제조 장치 및 그 제조 방법 및 제조 장치에 의해 제조된 양호한 특성을 갖는 실리콘계 박막 광전 변환 장치를 제공하는 것도 목적으로 한다.

[0015] 본 발명은, 기판 위에 형성된 투명 도전막 위에, 제1 p형 반도체층, i형 비정질 실리콘계 광전 변환층, 제1 n형 반도체층, 제2 p형 반도체층, i형 미결정 실리콘계 광전 변환층 및 제2 n형 반도체층을, 동일한 플라즈마 CVD 성막실 내에서, 차례로 형성해서 이중 pin 구조 적층체를 형성하고, 제1 p형 반도체층, i형 비정질 실리콘계 광전 변환층 및 제1 n형 반도체층은, 플라즈마 CVD 성막실에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하로 형성되는 것을 특징으로 하는 실리콘계 박막 광전 변환 장치의 제조 방법이다.

[0016] 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 방법에 있어서, 이중 pin 구조 적층체를 형성한 후에, 이중 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치를 플라즈마 CVD 성막실로부터 반출하고, 플라즈마 CVD 성막실의 캐소드 상의 잔류막 및 실내면 상의 잔류막 중 적어도 어느 하나를 제거할 수 있다.

[0017] 또한, 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 방법은, 상기의 제조 방법에 의해 형성된 이중 pin 구조 적층체의 제2 n형 반도체층 상에, 또한 p형 반도체층, i형 결정질 실리콘계 광전 변환층 및 n형 반도체층으로 구성되는 결정질 pin 구조 적층체를 적어도 1개 적층할 수 있다.

[0018] 또한, 본 발명은 기판 위에 형성된 투명성 도전막과, 이중 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치이며, 이중 pin 구조 적층체는 투명성 도전막 위에 차례로 형성되어 있는 제1 p형 반도체층, i형 비정질 실리콘계 광전 변환층, 제1 n형 반도체층, 제2 p형 반도체층, i형 미결정 실리콘계 광전 변환층 및 제2 n형 반도체층으로 구성되고, 제1 n형 반도체층 및 제2 p형 반도체층은, 각각 불순물 질소 원자 농도가 $1 \times 10^{19} \text{cm}^{-3}$ 이하, 또한 불순물 산소 원자 농도가 $1 \times 10^{20} \text{cm}^{-3}$ 이하인 것을 특징으로 하는 실리콘계 박막 광전 변환 장치이다.

[0019] 또한, 본 발명은 기판 위에 형성된 투명성 도전막과, 이중 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치이며, 이중 pin 구조 적층체는 투명성 도전막 위에 차례로 형성되어 있는 제1 p형 반도체층, i형 비정질 실리콘계 광전 변환층, 제1 n형 반도체층, 제2 p형 반도체층, i형 미결정 실리콘계 광전 변환층 및 제2 n형 반

도체층으로 구성되고, 제1 n형 반도체층의 도전형 결정 불순물 원자 농도가 $3 \times 10^{19} \text{cm}^{-3}$ 이하이며, 제2 p형 반도체층의 도전형 결정 불순물 원자 농도가 $5 \times 10^{19} \text{cm}^{-3}$ 이하인 것을 특징으로 하는 실리콘계 박막 광전 변환 장치이다.

[0020] 또한, 본 발명은 기판 위에 형성된 투명 도전막 위에, p형 반도체층, i형 비정질 실리콘계 광전 변환층 및 n형 반도체층을, 동일한 플라즈마 CVD 성막실 내에서, 차례로 형성하고, p형 반도체층, i형 비정질 실리콘계 광전 변환층 및 n형 반도체층은 플라즈마 CVD 성막실에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01W/cm^2 이상 0.3W/cm^2 이하로 형성되는 실리콘계 박막 광전 변환 장치의 제조 방법이다.

[0021] 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 방법에 있어서, 비정질 pin 구조 적층체를 형성한 후에, 비정질 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치를 플라즈마 CVD 성막실로부터 반출하고, 플라즈마 CVD 성막실의 캐소드 상의 잔류막 및 실내면 상의 잔류막 중 적어도 어느 하나를 제거할 수 있다.

[0022] 또한, 본 발명은 기판 위에 형성된 투명 도전막 위에, 제1 p형 반도체층, 제1 i형 비정질 실리콘계 광전 변환층, 제1 n형 반도체층, 제2 p형 반도체층, 제2 i형 비정질 실리콘계 광전 변환층 및 제2 n형 반도체층을, 동일한 플라즈마 CVD 성막실 내에서, 차례로 형성해서 이중 pin 구조 적층체를 형성하고, 제1 p형 반도체층, 제1 i형 비정질 실리콘계 광전 변환층, 제1 n형 반도체층, 제2 p형 반도체층, 제2 i형 비정질 실리콘계 광전 변환층 및 제2 n형 반도체층은, 플라즈마 CVD 성막실에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01W/cm^2 이상 0.3W/cm^2 이하로 형성되는 것을 특징으로 하는 실리콘계 박막 광전 변환 장치의 제조 방법이다.

[0023] 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 방법에 있어서, 이중 pin 구조 적층체를 형성한 후에, 이중 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치를 플라즈마 CVD 성막실로부터 반출하고, 플라즈마 CVD 성막실의 캐소드 상의 잔류막 및 실내면 상의 잔류막 중 적어도 어느 하나를 제거할 수 있다.

[0024] 또한, 본 발명은 상기의 제조 방법에 의해 제조된 실리콘계 박막 광전 변환 장치이다.

[0025] 또한, 본 발명은 상기의 제조 방법에 이용되는 실리콘계 박막 광전 변환 장치의 제조 장치이며, 실리콘계 박막 광전 변환 장치의 제조 장치는, 내부에 캐소드 및 애노드가 배치되어 있는 플라즈마 CVD 성막실과, 플라즈마 CVD 성막실 내의 가스 압력을 조정하는 가스 압력 조정부와, 캐소드에 전력을 공급하는 전력 공급부를 포함하고, 캐소드와 애노드의 거리는 3 mm 이상 20 mm 이하이며, 가스 압력 조정부는 CVD 성막실 내의 가스 압력을 200 Pa 이상 3000 Pa 이하의 범위로 제어할 수 있고, 전력 공급부는 캐소드의 단위 면적당의 전력 밀도를 0.01W/cm^2 이상 0.3W/cm^2 이하의 범위로 제어할 수 있는 실리콘계 박막 광전 변환 장치의 제조 장치이다.

[0026] 본 발명에 의하면, 동일한 플라즈마 CVD 성막실을 이용하여, 1 이상의 pin 구조 적층체를 갖는 박막의 형성이 가능해져, 양호한 품질을 갖고 광전 변환 효율이 높은 실리콘계 박막 광전 변환 장치를 간단한 제조 장치를 이용해서 저비용이면서 또한 고효율로 제조하는 방법, 제조 장치 및 그 제조 방법 및 제조 장치에 의해 제조된 양호한 특성을 갖는 실리콘계 박막 광전 변환 장치를 제공할 수 있다.

실시예

[0040] (제1 실시 형태)

[0041] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 하나의 실시 형태는, 도1 및 도2를 참조하여, 기판(1) 위에 투명 도전막(2)을 형성하는 공정과, 투명 도전막(2) 위에 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)을 차례로 연속하여 형성해서 이중 pin 구조 적층체(30)를 형성하는 공정을 포함하고, 이중 pin 구조 적층체(30)를 형성하는 공정은 동일한 플라즈마 CVD 성막실(220) 내에서 행하고, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)은, 플라즈마 CVD 성막실에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01W/cm^2 이상 0.3W/cm^2 이하에서 형성되는 것을 특징으로 한다.

[0042] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법에서는, 도1 및 도2를 참조하여, 기판(1) 위에 형성된 투명 도전막(2) 위에 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)을, 동일한 플라

즈마 CVD 성막실(220) 내에서, 차례로 연속하여 형성해서 이중 pin 구조 적층체(30)를 형성한다. 여기서, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)은, 플라즈마 CVD 성막실에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하에서 형성된다. 또한, 본 실시 형태에서는, 동일한 플라즈마 CVD 성막실(220) 내의 캐소드(222)와 애노드(223) 사이의 거리는, 3 mm 이상 20 mm 이하의 범위인 것이 바람직하고, 또한 고정되어 있는 것이 바람직하다.

[0043] 종래, i형 비정질 실리콘계 광전 변환층(12)을 갖는 비정질 pin 구조 적층체(10)와 i형 미결정 실리콘계 광전 변환층(22)을 갖는 미결정 pin 구조 적층체(20)의 이중 pin 구조 적층체(30)를 갖는 광전 변환 장치(이와 같이, 이중 pin 구조 적층체를 갖는 실리콘계 박막 광전 변환 장치를 적층형 실리콘계 박막 광전 변환 장치라고도 함, 이하 동일)를 형성할 경우, 각각의 pin 구조 적층체는 다른 플라즈마 CVD 성막실에서 형성되는 것이 통상이다. i형 미결정 실리콘계 광전 변환층(22)을 형성하는 플라즈마 CVD 성막실에서는, 양질인 막을 형성하기 위해서, 캐소드와 애노드의 거리를 작게 설정한다. 즉, 캐소드와 애노드의 거리는 예를 들어 3 mm 내지 20 mm, 바람직하게는 5 mm 내지 15 mm, 더욱 바람직하게는 7 mm 내지 12 mm로 하고, 플라즈마 CVD 성막실 내의 압력을 고압력 조건으로 해서 막을 형성하는 것이 필요하다. 한편, i형 비정질 실리콘계 광전 변환층(12)을 형성하는 플라즈마 CVD 성막실에서는, 캐소드와 애노드의 거리를 보다 크게 설정하는 것이 통상이었다. 캐소드와 애노드의 거리를 작게 설정하면, 그 거리의 캐소드 면내 불균일성이, 캐소드와 애노드 상의 기판 사이의 전계 강도의 캐소드 면내 분포에 의해 크게 영향을 주기 때문이며, 또한 i형 비정질 실리콘계 광전 변환층(12)을 형성하는 경우에는, i형 미결정 실리콘계 광전 변환층(22)을 형성할 경우와 비교하여, 플라즈마 CVD 성막실 내로 도입하는 원료 가스가 보다 방전하기 쉬운 가스 조성으로, 캐소드와 애노드 거리의 자유도가 크기 때문이다.

[0044] 본 실시 형태와 같이, i형 비정질 실리콘계 광전 변환층(12)을 갖는 pin 구조 적층체 및 i형 미결정 실리콘계 광전 변환층(22)을 갖는 pin 구조 적층체를 동일한 플라즈마 CVD 성막실(220) 내에서 형성하기 위해서는, 양질인 i형 미결정 실리콘계 광전 변환층(22)을 형성하기 위해, 캐소드(222)와 애노드(223) 사이의 거리가 작게 설정된 전극 구조로 할 필요가 있고, 이것과 동일한 전극 구조로 i형 비정질 실리콘계 광전 변환층(12)을 형성하는 것이 된다.

[0045] 캐소드(222)와 애노드(223) 사이의 거리가 작아진 경우에, 플라즈마 CVD 성막실 내의 막 형성 시의 압력을 높게 해서 방전을 발생하기 쉽게 하는 것은, 파센의 법칙으로부터 쉽게 상도할 수 있는 것이다. 그러나, 본 발명에서는 i형 비정질 실리콘계 광전 변환층(12)을 갖는 비정질 pin 구조 적층체(10)의 형성 조건을, 통상의 조건과 비교하여, 성막 압력을 높게 설정하고, 캐소드(222)의 단위 면적당의 전력 밀도를 작게 설정함으로써, 종래에는 생각할 수 없었던 불순물의 혼입 또는 확산을 줄이는 효과를 이용하여, 동일한 플라즈마 CVD 성막실(220) 내에서 이중 pin 구조 적층체(30)를 반복하여 형성한 경우에도, 광전 변환 효율이 높은 적층형 실리콘계 박막 광전 변환 장치(100)를 제조할 수 있다.

[0046] 본 실시 형태에 있어서는, 성막 압력 200 Pa 이상 3000 Pa 이하, 또한 전극 단위 면적당의 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 조건하에서, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)을 차례로 연속해서 형성함으로써, 동일한 플라즈마 CVD 성막실에서 비정질 pin 구조 적층체(10)(p형층, i형층 및 n형층이 이 순서로 형성되어 i형층이 비정질인 적층체를 말함, 이하 동일)를 형성할 수 있다. 여기서, 본 실시 형태 및 그 밖의 실시 형태 모두에 있어서, pin 구조 적층체의 형성 시에 캐소드에 전력을 공급한다는 점에서, 전극 단위 면적당의 전력 밀도라 함은 캐소드의 전극 단위 면적당의 전력 밀도를 의미한다.

[0047] 이러한 조건으로 제1 n형 반도체층(13)이 형성되는 경우에는, 제1 n형 반도체층(13) 및 성막실 내의 잔류막 중의 n형 불순물 원자는 다른 층으로의 확산이 어려워, 제2 p형 반도체층(21) 및 i형 미결정 실리콘계 광전 변환층(22)에 영향을 미치지 않는다.

[0048] 제1 n형 반도체층(13)은, 비정질 반도체 또는 결정질 반도체 중 어느 쪽이라도 좋지만, 결정질 반도체로 하는 것이 바람직하다. 결정질 반도체에 포함되는 결정 부분은 n형 불순물 원자의 도핑 효율이 높기 때문에, 제1 n형 반도체층(13)이 결정 부분을 포함함으로써, n형 불순물 원자 농도를 크게 하지 않고 원하는 도전율을 얻을 수 있다. 따라서, 제1 n형 반도체층(13) 중의 n형 불순물 원자 농도를 낮게 할 수 있어, 다른 층으로의 확산을 줄일 수 있다.

[0049] 또한, 상기한 바와 같은 비정질 pin 구조 적층체(10)의 형성 조건에 의해 얻어지는 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)은, 이중 pin 구조 적층체를 반복해 형성하는 경우에 있어서도, 앞의 제2 n형 반도체층(23)의 형성 시에 플라즈마 CVD 성막실 내에 형성된 잔류막의 n형 불순물 원자의 영향도 받기 어렵다.

- [0050] 성막 압력 200 Pa 이상의 형성 조건은, 비정질 실리콘계 반도체층을 형성하는 종래의 조건(예를 들어, 100 Pa 내지 120 Pa 정도)보다 높은 압력 조건이다. 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 높은 성막 압력으로 형성함으로써, 그들의 층을 형성하기 전부터 캐소드(222) 상 및 실내면(221) 상의 적어도 어느 하나에 부착되어 있는 제2 n형 반도체층(23)으로부터 방출되는 n형 불순물 원자의 평균 자유 행정(플라즈마 CVD 성막실 내를 이동할 수 있는 거리)을 저하시키고, 형성되는 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 성막 압력 3000 Pa 이하의 형성 조건으로 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.
- [0051] 또한, 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 전극 단위 면적당의 전력 밀도 $0.3\text{W}/\text{cm}^2$ 이하의 저전력 밀도로 형성함으로써, 캐소드(222)에 충돌하는 플라즈마 속의 전자 및 이온이 갖는 에너지를 줄일 수 있다. n형 불순물 원자는, 캐소드(222)에 부착된 제2 n형 반도체층(23)으로부터 플라즈마 속의 전자 및 이온에 의해 쫓겨나게 되므로, 이것들이 갖는 에너지를 저감함으로써, 형성되는 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상의 형성 조건으로 제1 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.
- [0052] 이 결과, 플라즈마 CVD 성막실의 캐소드 상의 잔류막 및 실내면 상에 형성된 잔류막 중 적어도 어느 하나를 제거하는 공정을 거치는 일 없이 연속해서 다음의 기판(1) 상의 투명 도전막(2) 위에 상기 이중 pin 구조 적층체(30)를 형성시켜서 다음의 적층형 실리콘계 박막 광전 변환 장치(100)를 제조할 수 있다.
- [0053] 또한, i형 비정질 실리콘계 광전 변환층(12)을 상기 형성 조건에 의해 형성함으로써, 제1 p형 반도체층(11) 형성 시에 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착된 p형 반도체층 중의 p형 불순물 원자가 i형 비정질 실리콘계 광전 변환층(12) 중으로 혼입되는 양은 저감된다.
- [0054] 또한, 상기의 각 pin 구조 적층체에 있어서, p형층, i형층, n형층의 순서로 형성함으로써, n형층, i형층, p형층의 순서로 형성하는 경우에 비해, 광전 변환층인 i형층으로의 불순물 원자에 의한 영향이 적어진다. 이것은, n형 불순물 원자(예를 들면 인 원자) 쪽이, p형 불순물 원자(예를 들어 붕소 원자)보다도, i형층으로의 혼입에 의한 영향이 크기 때문에, i형층 형성 후에 n형층을 형성하는 쪽이, i형층 형성 후에 p형층을 형성하는 것보다도, i형층으로의 영향이 적은 것에 따른 것이라 생각된다.
- [0055] 본 실시 형태에 있어서는, 도1을 참조하여, 제1 p형 반도체층(11)의 두께는, i형 비정질 실리콘계 광전 변환층(12)에 충분한 내부 전계를 부여하는 점에서, 2 nm 이상이 바람직하고, 5 nm 이상이 보다 바람직하다. 또한, 제1 p형 반도체층(11)의 두께는, 비활성층의 입사 측의 광 흡수량을 억제하는 것이 필요하다는 점에서, 50 nm 이하가 바람직하고, 30 nm 이하가 보다 바람직하다. i형 비정질 실리콘계 광전 변환층(12)의 두께는, 비정질의 박막 광전 변환층으로서 충분한 기능을 발휘시키는 점에서, $0.1\ \mu\text{m}$ 이상이 바람직하다. 또한, i형 비정질 실리콘계 광전 변환층(12)의 두께는 충분한 내부 전계가 필요하다는 점에서, $0.5\ \mu\text{m}$ 이하가 바람직하고, $0.4\ \mu\text{m}$ 이하가 보다 바람직하다. 제1 n형 반도체층(13)의 두께는, i형 비정질 실리콘계 광전 변환층(12)에 충분한 내부 전계를 부여하는 점에서, 2 nm 이상이 바람직하고, 5 nm 이상이 보다 바람직하다. 또한, 제1 n형 반도체층(13)의 두께는, 후술하는 잔류막의 에칭 공정 시에 i형 비정질 실리콘계 광전 변환층 중으로 확산할 가능성이 있는 잔류막 중의 n형 불순물 원자의 양을 줄이고, n형 불순물 원자를 포함하는 잔류막을 제거하는 조작이 용이해지는 점에서, 50 nm 이하가 바람직하고, 30 nm 이하가 보다 바람직하다.
- [0056] 또한, 도1을 참조하여, 제2 p형 반도체층(21)의 두께는 i형 미결정 실리콘계 광전 변환층(22)에 충분한 내부 전계를 부여하는 점에서, 2 nm 이상이 바람직하고, 5 nm 이상이 보다 바람직하다. 또한, 제2 p형 반도체층(21)의 두께는, 비활성층의 입사측의 광 흡수량을 억제하는 것이 필요하다는 점에서, 50 nm 이하가 바람직하고, 30 nm 이하가 보다 바람직하다. i형 미결정 실리콘계 광전 변환층(22)의 두께는, 미결정을 포함하는 실리콘계 박막 광전 변환층으로서 충분한 기능을 발휘시키는 점에서, $0.5\ \mu\text{m}$ 이상이 바람직하고, $1\ \mu\text{m}$ 이상이 보다 바람직하다. 또한, i형 미결정 실리콘계 광전 변환층(22)의 두께는, 장치의 생산성을 확보하는 것이 필요하다는 점에서, $20\ \mu\text{m}$ 이하가 바람직하고, $15\ \mu\text{m}$ 이하가 보다 바람직하다. 제2 n형 반도체층(23)의 두께는, i형 미결정 실리콘계 광전 변환층(22)에 충분한 내부 전계를 부여하는 점에서, 2 nm 이상이 바람직하고, 5 nm 이상이 보다 바람직하다. 또한, 제2 n형 반도체층(23)의 두께는, 비활성층의 광 흡수량을 억제하는 것이 필요하다는 점에서, 50 nm 이하가 바람직하고, 30 nm 이하가 보다 바람직하다.
- [0057] 제1 p형 반도체층(11)은 비정질 실리콘계 반도체 또는 결정질 실리콘계 반도체로 하고, 성막 압력이 200 Pa 이

상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 조건으로 형성된다. 또한, 이 제1 p형 반도체층(11)은 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 조건으로 형성된다. 또한, 기판(1)의 베이스(下地) 온도는 $250\text{ }^{\circ}\text{C}$ 이하인 것이 바람직하다. 여기서, 기판의 베이스 온도가 함은 그 기판이 적재되어 있는 베이스의 온도를 말하며, 그 기판의 온도와 거의 동일하다. 본 실시 형태에 있어서는, 기판(1)은 보통 애노드(223)에 적재되어 있고, 이 경우는 애노드의 온도를 의미한다. 또한, 플라즈마 CVD 성막실 내로 도입하는 원료 가스는, 실란계 가스, 수소 가스를 함유하는 희석 가스를 포함하는 것이 바람직하다. 또한, 원료 가스에는, 제1 p형 반도체층(11)에 있어서의 광 흡수량을 감소시킬 목적으로 메탄이나 트리메틸 디보란 등이 함유되어 있어도 된다. 이에 의해, 다음에 형성되는 i형 비정질 실리콘계 광전 변환층에 p형 불순물 원자의 영향을 주지 않는 p형 반도체층을 형성할 수 있다. 또한, 이 제1 p형 반도체층(11)의 도전형을 결정하는 불순물 원자(이하, 도전형 결정 불순물 원자라고 함)는, 특별히 제한은 없지만, 도핑 효과가 높고, 범용성이 있다는 점에서 붕소 원자 또는 알루미늄 원자인 것이 바람직하다.

[0058] i형 비정질 실리콘계 광전 변환층(12)은, 성막 압력이 200 Pa 이상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 조건으로 형성된다. 또한, 이 i형 비정질 실리콘계 광전 변환층(12)은, 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 조건으로 형성된다. 또한, 기판(1)의 베이스 온도는 $250\text{ }^{\circ}\text{C}$ 이하인 것이 바람직하다. 또한, 플라즈마 CVD 성막실 내로 도입하는 원료 가스에 있어서는, 실란계 가스에 대한 희석 가스의 유량은, 5배 이상이 바람직하고, 또한 20배 이하가 바람직하고, 15배 이하가 보다 바람직하다. 이와 같이 하여, 양호한 막질의 비정질 i형 광전 변환층을 형성할 수 있다.

[0059] 제1 n형 반도체층(13)은, 비정질 실리콘계 반도체 또는 결정질 실리콘계 반도체로 하고, 성막 압력이 200 Pa 이상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 조건으로 형성된다. 또한, 이 제1 n형 반도체층(13)은, 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 조건으로 형성된다. 또한, 기판(1)의 베이스 온도는 $250\text{ }^{\circ}\text{C}$ 이하인 것이 바람직하다. 이에 의해, i형 비정질 실리콘계 광전 변환층(12)과 이후에 형성되는 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)으로부터 형성되어 있는 미결정 pin 구조 적층체(20)(p형층, i형층 및 n형층이 이 순서로 형성되어 i형층이 미결정인 적층체를 말함, 이하 동일)에, n형 불순물 원자의 영향을 주지 않는 제1 n형 반도체층(13)을 형성할 수 있다.

[0060] 또한, 제1 n형 반도체층(13)은, 동일한 플라즈마 CVD 성막실을 이용하여, 반복하여 pin 구조를 갖는 박막의 형성이 가능해지므로, 그 불순물 질소 원자 농도를 $1 \times 10^{19}\text{ cm}^{-3}$ 이하, 그 불순물 산소 원자 농도를 $1 \times 10^{20}\text{ cm}^{-3}$ 이하로 할 수 있다. 이에 의해, 중간에 여분의 재결합층을 삽입하는 일 없이 제1 n형 반도체층(13)과 제2 p형 반도체층(21) 사이에서 양호한 오믹 접합이 얻어진다.

[0061] 또한, 제1 n형 반도체층(13)의 도전형 결정 불순물 원자는, 특별히 제한은 없지만, 도핑 효율이 높고, 범용성이 있다는 점에서, 인 원자인 것이 바람직하다. 또한, 원료 가스 중의 실리콘 원자에 대한 인 원자의 함유량은, 충분한 도핑 효과가 얻어지는 점에서, 바람직하게는 0.05 원자 % 이상 더욱 바람직하게는 0.1 원자 % 이상이며, 막질의 악화를 피한다고 하는 점에서, 바람직하게는 3 원자 % 이하이며 더욱 바람직하게는 1 원자 % 이하이다. 여기서, 원자 %라 함은 실리콘 원자의 원자수에 대한, 도핑 원자의 원자수의 비율을 백분율로 나타낸 것을 말한다. 이에 의해, 제1 n형 반도체층의 도전형 결정 불순물 원자 농도를 $3 \times 10^{19}\text{ cm}^{-3}$ 이하로 할 수 있다.

[0062] 제2 p형 반도체층(21)은, 일반적인 형성 조건(예를 들어 일본 특허 공개 제2000-243993호 공보 등에 기재)으로 형성하면 좋고, 예를 들어 성막 압력이 600 Pa 내지 3000 Pa 정도, 전극 단위 면적당의 전력 밀도가 $0.05\text{W}/\text{cm}^2$ 내지 $0.3\text{W}/\text{cm}^2$ 정도의 범위에서 형성한 p형 미결정 실리콘층으로 할 수 있다.

[0063] 제2 p형 반도체층(21)은, 예를 들어 도전형 결정 불순물 원자로서 붕소 원자가 0.01 원자 % 이상 5 원자 % 이하 도핑된 p형 비정질 혹은 미결정의 실리콘 박막 등으로 할 수 있다. 제2 p형 반도체층(21)은, 기판(1)의 베이스 온도가 $250\text{ }^{\circ}\text{C}$ 이하이며, 플라즈마 CVD 성막실 내로 도입하는 원료 가스가, 실란계 가스와, 수소 가스를 함유하는 희석 가스를 포함하는 조건으로 형성되는 것이 바람직하다. 또한, 원료 가스에는, 제2 p형 반도체층(21)에 있어서의 흡수량을 감소시킬 목적으로, 메탄이나 트리메틸 디보란 등이 함유되어 있어도 된다. 기판(1)의 베이스 온도를, 바람직하게는 $250\text{ }^{\circ}\text{C}$ 이하로 함으로써, i형 비정질 실리콘계 광전 변환층(12)에 영향을 주는 일 없

이, 제2 p형 반도체층(21)을 형성할 수 있다.

- [0064] 또한, 제2 p형 반도체층(21)은, 동일한 플라즈마 CVD 성막실을 이용하여, 반복하여 pin 구조를 갖는 박막의 형성이 가능해지므로, 그 불순물 질소 원자 농도를 $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 그 불순물 산소 원자 농도를 $1 \times 10^{20} \text{ cm}^{-3}$ 이하로 할 수 있다. 이에 의해, 중간에 예를 들면 재결합층을 삽입하는 일 없이 제1 n형 반도체층(13)과 제2 p형 반도체층(21) 사이에서 양호한 오믹 접합이 얻어진다.
- [0065] 또한, 제2 p형 반도체층(21)의 도전형 결정 불순물 원자는, 특별히 제한은 없지만, 도핑 효율이 높고, 범용성이 있다고 하는 점에서, 붕소 원자 또는 알루미늄 원자 등이 바람직하다. 이에 의해, 제2 p형 반도체층(21)의 도전형 결정 불순물 농도를 $5 \times 10^{19} \text{ cm}^{-3}$ 이하로 할 수 있고, 중간에 여분의 재결합층을 삽입하는 일 없이 제1 n형 반도체층(13)과 제2 p형 반도체층(21) 사이에서 양호한 오믹 접합이 얻어진다.
- [0066] i형 미결정 실리콘계 광전 변환층(22)은 일반적인 형성 조건(예를 들면 일본 특허 공개 제2000-243993호 공보 등에 기재)으로 형성하면 좋고, 예를 들면 성막 압력이 600 Pa 내지 3000 Pa 정도, 전극 단위 면적당의 전력 밀도가 0.05 W/cm^2 내지 0.3 W/cm^2 정도의 범위에서 형성한 i형 미결정 실리콘층으로 할 수 있다.
- [0067] i형 미결정 실리콘계 광전 변환층(22)은, 기판(1)의 베이스 온도를 바람직하게는 250°C 이하로 함으로써, i형 비정질 실리콘계 광전 변환층(12)에 영향을 주는 일 없이 형성할 수 있다. 또한, 플라즈마 CVD 성막실 내로 도입하는 원료 가스에 있어서는, 실란계 가스에 대한 희석 가스의 유량은, 30배 이상이 바람직하고, 또한 100배 이하가 바람직하고, 80배 이하가 보다 바람직하다. 이와 같이 하여, 라만 분광법에 의해 측정되는 480 nm^{-1} 에 있어서의 피크에 대한 520 nm^{-1} 에 있어서의 피크의 피크 강도비 I_{520}/I_{480} 이 5 이상 10 이하인 i형 미결정 실리콘계 광전 변환층(22)이 얻어진다. 이러한 i형 미결정 실리콘계 광전 변환층(22)에 있어서는 충분한 결정화율을 얻을 수 있고, 후술하는 성막실의 캐소드 상의 잔류막 및 실내면 상에 형성된 잔류막 중 적어도 어느 하나의 제거(클리닝이라고도 함, 이하 동일) 처리를 행한 후도, 재현성 좋게 i형 실리콘계 광전 변환층을 형성할 수 있다.
- [0068] 제2 n형 반도체층(23)은, 일반적인 형성 조건(예를 들면 일본 특허 공개 제2000-243993호 공보 등에 기재)으로 형성하면 좋고, 예를 들면 성막 압력 600 Pa 내지 3000 Pa 정도, 전극 단위 면적당의 전력 밀도 0.05 W/cm^2 내지 0.3 W/cm^2 정도의 범위에서 형성한 n형 미결정 실리콘층으로 할 수 있다.
- [0069] 제2 n형 반도체층(23)은, 기판(1)의 베이스 온도를 바람직하게는 250°C 이하로 함으로써, i형 비정질 실리콘계 광전 변환층에 영향을 주는 일 없이 형성할 수 있다. 여기서, 제2 n형 반도체층(23)의 도전형 결정 불순물 원자에는 특별히 제한은 없지만, 도핑 효율이 높고, 범용성이 있다고 하는 점에서 인 원자가 바람직하다. 또한, 원료 가스 중의 실리콘 원자에 대한 인 원자의 함유량은, 충분한 도핑 효과가 얻어지는 점에서, 바람직하게는 0.1 원자 % 이상 더욱 바람직하게는 0.3 원자 % 이상이며, 막질의 악화를 피한다고 하는 점에서, 바람직하게는 5 원자 % 이하 더욱 바람직하게는 3 원자 % 이하이다.
- [0070] 이와 같이 하여, 동일한 플라즈마 CVD 성막실 내에서, 비정질 pin 구조 적층체(10)[즉, 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)] 및 미결정 pin 구조 적층체(20)[즉, 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)]를 연속해서 형성함으로써, 높은 광전 변환 효율을 갖는 적층형 실리콘계 박막 광전 변환 장치를 저비용이면서 또한 효율적으로 제조할 수 있다.
- [0071] (제2 실시 형태)
- [0072] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 다른 실시 형태는, 도1 및 도2를 참조하여, 상기 제1 실시 형태에 있어서, 이중 pin 구조 적층체를 형성하는 공정 후에, 이 이중 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치(100)를 플라즈마 CVD 성막실(220)로부터 반출하는 공정과, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 포함한다. 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법은, 이중 pin 구조 적층체(30)를 형성한 후에, 이중 pin 구조 적층체(30)를 포함하는 실리콘계 박막 광전 변환 장치(100)를 플라즈마 CVD 성막실(220)로부터 반출하고, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 것을 특징으로 한다.
- [0073] 제1 실시 형태에 나타내는 바와 같이 동일한 플라즈마 CVD 성막실 내에서 이중 pin 구조 적층체를 형성한 후, 이 이중 pin 구조 적층체를 포함하는 실리콘계 박막 광전 변환 장치(100)를 반출한 후, 상기 플라즈마 CVD 성막

실의 캐소드 상의 잔류막 및 실내면 상에 형성된 잔류막 중 적어도 어느 하나를 제거함으로써, 양호한 품질 및 성능을 갖는 적층형 실리콘계 박막 광전 변환 장치(100)를, 동일한 플라즈마 CVD 성막실 내에서 반복하여 제조할 수 있다.

[0074] 제1 실시 형태에 나타내는 바와 같이 동일한 플라즈마 CVD 성막실(220) 내에서 이중 pin 구조 적층체를 형성함으로써, 하나의 적층형 실리콘계 박막 광전 변환 장치를 형성한 후, 본 실시 형태에 나타내고 있는 바와 같은 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 거치는 일 없이, 동일한 플라즈마 CVD 성막실(220) 내에서 다음의 이중 pin 구조 적층체를 형성함으로써, 다음의 적층형 실리콘계 박막 광전 변환 장치를 형성할 수도 있다.

[0075] 그러나, 플라즈마 CVD 성막실(220)에 있어서의 잔류막에 의한 오염을 방지하는 점에서, 하나의 적층형 실리콘계 박막 광전 변환 장치(100)의 형성 후, 다음의 기관(1)의 투명 도전막(2) 위에 계속해서 다음의 적층형 실리콘계 박막 광전 변환 장치(100)의 비정질 pin 구조 적층체(10)를 형성하는 것보다도, 비정질 pin 구조 적층체(10)를 형성하기 전에, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 완전히 제거하여, 잔존막 중의 제2 n형층 중의 불순물 원자(n형 도우펀트)에 의한 다음의 적층형 실리콘계 박막 광전 변환 장치(100)의 비정질 pin 구조 적층체(10)로의 확산에 의한 영향을 완전히 제거하는 것이 바람직하다. 이에 의해, 계속해서, 재현성 좋게 양호한 품질 및 성능을 갖는 적층형 실리콘계 박막 광전 변환 장치를 형성할 수 있다.

[0076] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법은, 다음 공정에 있어서 예정되어 있는 pin 구조 적층체의 형성 시에 있어서의, 플라즈마 CVD 성막실(220)의 잔류막 중의 p형층 및 n형층의 불순물 원자(p형 불순물 원자 및 n형 불순물 원자)에 의한 pin 구조 적층체로의 영향을 제거하기 위한 공정으로서 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 포함하는 것을 특징으로 한다. 이러한 공정에 의해, 싱글 챔버 방식으로 복수의 광전 변환 장치를 연속해서 제조해도, 잔류막 중의 불순물 원자에 의한 영향을 제거할 수 있고, pin 구조 적층체 중의 제1 p형 반도체층 및 i형 비정질 실리콘계 박막 광전 변환층 중으로의 n형 불순물 원자의 혼입을 대폭으로 억제할 수 있다. 이로 인해, 양호한 품질 및 성능을 갖는 pin 구조 적층체를 반복하여 형성할 수 있게 되어, 싱글 챔버 방식을 이용해서 이중 pin 구조 적층체를 포함하는 적층형 실리콘계 박막 광전 변환 장치를 제조하는 것이 가능해져, 인라인 방식이나 멀티 챔버 방식, 또한 각각을 조합한 제조 설비보다도 설비를 간략화하여, 저비용화를 도모할 수 있다.

[0077] 본 실시 형태에 있어서, 잔류막을 제거하는 공정은, 수소 gas와, 불활성 gas와, 불소계의 클리닝 gas로 이루어지는 군으로부터 선택되는 적어도 1종류의 gas를 플라즈마화한 가스 플라즈마 분해에 의해 행할 수 있다. 이러한 잔류막의 제거 공정에 의해, pin 구조 적층체를 반복하여 형성해 재현성 좋게 적층형 실리콘계 박막 광전 변환 장치를 제조할 수 있다. 수소 gas와, 불활성 gas와, 불소계의 클리닝 gas 중 어느 쪽의 gas를 이용해도, 잔류막의 에칭 조작을 바람직하게 행할 수 있지만, 잔류막의 에칭 속도가 비교적 빠른 점에서, 3 불화 질소 gas를 플라즈마화해서 얻어지는 3 불화 질소 가스 플라즈마를 이용하는 것이 바람직하다. 여기서, 불활성 gas로서는 개개의 에칭 조건에 따라서도 다르지만, 일반적으로는 아르곤 gas가 바람직하다.

[0078] 또한, 본 실시 형태의 잔류막을 제거하는 공정에 있어서, 플라즈마 CVD 성막실의 캐소드 상 및 실내면 상 중의 적어도 어느 하나의 잔류막 전체를 제거할 수 있다. 단, 잔류막 내의 최하층(가장 캐소드에 가까운 층을 말함, 이하 동일)에 위치하는 p형층 중의 불순물 원자의 영향을 피하기 위해 약간의 오버 에칭 혹은 언더 에칭이 필요해진다.

[0079] 오버 에칭의 경우, 상기 이중 pin 구조 적층체를 1회 형성할 때에 형성되는 잔류막을, 그 막 두께 및 막 두께의 5% 내지 10% 정도의 깊이까지 오버 에칭한다. 이렇게 함으로써, 잔류막 중의 불순물 원자의 영향을 제거할 수 있다. 그러나, 플라즈마 CVD 성막실의 캐소드 상에 형성한 잔류막에 대해서 이러한 오버 에칭을 반복하면, 방전을 안정화시킬 목적으로 성막되어 있는 캐소드 상의 프리 피착막(예비 퇴적막, 이하 동일)이 서서히 에칭되어, 캐소드의 금속 표면이 나타나게 된다. 이것이 원인이 되어, 다음의 이중 pin 구조 적층체의 형성 초기의 수십 nm 정도의 두께 부분에 큰 영향을 주는 경우가 있다.

[0080] 상기 문제점을 해결하기 위해, 상기 이중 pin 구조 적층체를 1회 형성할 때에 형성되는 잔류막의 캐소드에 가까운 부분을 남기는 언더 에칭을 선택하는 경우가 있다. 이 언더 에칭은, 잔류막의 표면층으로부터 캐소드 및 실내면 중 적어도 어느 하나에 가장 가까운 위치에 있는 제1 n형층까지와, 바람직하게는 i형층의 두께 방향으로 10 nm 이상의 깊이까지를 에칭 제거함으로써 행한다. 에칭 제거하는 i형층의 깊이가 두께 방향으로 10 nm 미만이면, i형층 중으로 확산되고 있는 제1 n형층 중의 불순물 원자(n형 도우펀트)의 영향을 완전히 제거하는 것이 곤

란해진다. 또한, 본 에칭 제거는, i형층의 두께 90% 이하의 범위까지의 깊이가 바람직하고, i층의 두께의 80% 이하의 범위까지의 깊이가 보다 바람직하다. i형층 두께의 90%보다 깊게 에칭하려고 하면, i형층의 기초에 존재하는 p형층 중의 불순물 원자(p형 도우펀트)의 영향도 나오기 시작해, 다음 공정에서 형성하는 p층의 도핑량이 최적치에서 어긋날 우려가 있다. 따라서, 바람직하게는 n층과 함께 i층을 그 두께의 80% 정도의 깊이까지 에칭함으로써, 잔류막 중의 불순물 원자의 영향이 완전히 제거된다. 이렇게 잔류막의 제거 공정이 종료된 후의 플라즈마 CVD 성막실내, 다음의 기판이 반입되어 반복하여 이중 pin 구조 적층체가 형성되고, 이중 pin 구조 적층체를 포함하는 다음의 적층형 실리콘계 박막 광전 변환 장치가 제조된다.

[0081] 상기 언더 에칭의 공정을 포함시키면서, 이중 pin 구조 적층체의 형성 공정을 복수 회 반복하면, 캐소드에 에칭되어 있지 않은 잔류막이, 이중 pin 구조 적층체의 형성의 횟수만큼 적층된다. 이대로 적층형 실리콘계 박막 광전 변환 장치의 제조를 계속해 가면, 적층된 잔류막이 내부 응력에 의해 캐소드 표면으로부터 박리되고, pin 구조 적층체 중에 수 μm 직경의 분말로서 도입되는 경우가 있어, 이 분말은 상하의 전극을 단락시키는 점 결함을 만들어, 광전 변환 장치의 제품 수율을 30% 이하로까지 극단적으로 저하시킨다.

[0082] 그래서, 광전 변환 장치를 제작한 후, 잔류막이 캐소드로부터 박리되어 있을 때는, 캐소드 상의 잔류막을 전부 제거하는 것이 바람직하다. 또한, 잔류막이 캐소드로부터 박리되어 있지 않아도, 잔류막의 박리가 일어나기 전에, 상기의 점 결함의 발생을 미연에 방지하고, 광전 변환 장치의 제조에 있어서의 수율을 높게 유지하는 것이 보다 바람직하다. 잔류막의 박리 정도는, 성막 조건이나 막 부착 시의 전극의 표면 상태에 따라서 크게 변동하지만, 플라즈마 CVD 성막실 내에서 실리콘계 박막을 제작할 경우에는, 일반적으로 캐소드 상에 형성된 잔류막의 적산 막 두께가 10 μm 이상 1000 μm 이하일 때에, 잔류막의 박리가 발생하기 쉽다. 따라서, 캐소드 상의 잔류막의 적산 막 두께가, 바람직하게는 10 μm 이상 800 μm 이하일 때에, 또한 더욱 바람직하게는 300 μm 이상 500 μm 이하일 때에, 캐소드 위에 적층된 잔류막을 전부 제거하는 것이 바람직하다.

[0083] 캐소드 위에 적층된 잔류막을 제거하는 공정은, 수소 가스, 불활성 가스, 불소계의 클리닝 가스 또는 이들 가스를 임의의 비율로 포함하는 혼합 가스를 플라즈마화한 가스 플라즈마에 의해 행할 수 있지만, 잔류막의 에칭 속도가 비교적 빠른 점에서, 3 불화 질소 등의 불소계의 클리닝 가스를 이용하는 것이 바람직하다. 예를 들어, 에칭 가스로서, 10 체적% 내지 30 체적%의 3 불화 질소 가스와 90 체적% 내지 70 체적%의 아르곤 가스와의 혼합 가스를 도입하고, 300 Pa 이하의 압력으로 플라즈마 방전함으로써, 10 mm/s 이상의 에칭 속도가 얻어진다. 이러한 캐소드의 클리닝 후, 캐소드 표면을 안정화시키기 위해서, 캐소드 표면 상에 실리콘막의 예비 퇴적(프리 피착)을 행하고, 다시 pin 구조 적층체의 형성 공정을 계속할 수 있다.

[0084] 특히, 캐소드 상에 형성된 잔류막을 오버 에칭하는 공정에 있어서는, 캐소드 표면 안정화를 위해 금속 표면 상에 형성되어 있는 기초막을 완전히 제거하지 않도록 유의할 필요가 있다. 기초막이 완전 제거된 경우에는, 이중 pin 구조 적층체에 있어서의 제1 p형 반도체층의 형성 조건이 불안정해질 가능성이 있으므로, 다시 기초막의 예비 퇴적을 행하는 것이 바람직하다.

[0085] (제3 실시 형태)

[0086] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 또 다른 실시 형태는, 도3을 참조하여, 상기 제1 실시 형태 또는 제2 실시 형태의 제조 방법에 의해 형성된 이중 pin 구조 적층체(30)의 제2 n형 반도체층(23) 상에, 또한 p형 반도체층(41), i형 결정질 실리콘계 광전 변환층(42) 및 n형 반도체층(43)으로 구성되는 결정질 pin 구조 적층체(40)를 적어도 1개 적층하는 것을 특징으로 한다.

[0087] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치는, 도3을 참조하여, 적층형 실리콘계 박막 광전 변환 장치(300)이며, 기판(1) 측으로부터 비정질 pin 구조 적층체(10), 미결정 pin 구조 적층체(20) 및 1개 이상의 결정질 pin 구조 적층체(40)(p형층, i형 결정질층, n형층으로 형성되는 pin 구조 적층체를 말함, 이하 동일)로 구성되는 3개 이상의 pin 구조 적층체가 적층된 구조를 갖고, 광원으로부터의 광 흡수의 효율이 보다 높아지는 것에 의해, 광전 변환 효율이 더욱 높아진다. 광의 흡수 효율을 높이는 점에서, i형 결정질 실리콘계 광전 변환층(42) 중의 각 결정의 직경은, i형 미결정 실리콘계 광전 변환층(22) 중의 각 결정의 직경보다 큰 쪽이 바람직하다. 또한, p형 반도체층(41) 및 n형 반도체층(43)은, 각각 제1 실시 형태의 제1 p형 반도체층(11) 및 제1 n형 반도체층(13)과 같다.

[0088] (제4 실시 형태)

[0089] 제2 실시 형태의 제조 방법에 의해 제조되는 실리콘계 박막 광전 변환 장치에 대해서 더욱 구체적으로 설명한다. 본 실시 형태의 실리콘계 박막 광전 변환 장치는, 적층형 실리콘 박막 광전 변환 장치이며, 도1을

참조하여, 투명한 기판(1) 위에, 투명 도전막(2), 비정질 pin 구조 적층체(10)를 구성하는 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13), 미결정 pin 구조 적층체(20)를 구성하는 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23), 도전막(3) 및 금속 전극(4)이 순서대로 형성되어 있는 탠덤형 실리콘계 박막 광전 변환 장치이다.

[0090] 본 실시 형태의 실리콘계 박막 광전 변환 장치는, 도1, 도2 및 도4를 참조해서 이하와 같이 해서 제조된다. 또한, 도2를 참조하여, 본 광전 변환 장치의 제조에 이용되는 플라즈마 CVD 장치(200)는, 가열실(210), 성막실(220) 및 취출실(230)을 구비하고, 각 실 사이를 기판(1)이 화살표의 방향으로 반송된다.

[0091] 우선, 글래스 등으로 이루어지는 투명한 기판(1) 위에, 투명 도전막(2)이 형성된다. 투명 도전막(2)은, 광을 투과해 도전성을 갖는 것이면 특별히 제한은 없고, 예를 들어 SnO_2 , ITO (인듐 주석 산화물, 이하 동일), ZnO 등의 투명 도전성 산화막 등이 바람직하게 형성된다.

[0092] 다음에, 스텝(이하, 스텝을 S라 줄임) 1에 있어서, 투명 도전막(2)이 형성된 기판(1)을 플라즈마 CVD 장치(200)의 가열실(210)로 반입한다. 이어서, S2에 있어서, 가열실(210)에서 기판 온도가 성막 온도에 도달할 때까지 일정 시간 가열 유지된다. 이어서, S3에 있어서, 투명 도전막(2)이 형성된 성막 온도에 도달한 기판(1)을 성막실(220)로 반입한다.

[0093] 계속해서, S4에 있어서, 동일한 성막실(220) 내에서, 기판(1)의 투명 도전막(2) 상에, 비정질 pin 구조 적층체(10)를 구성하는 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13), 미결정 pin 구조 적층체(20)를 구성하는 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)이 연속해서 형성되어, 이중 pin 구조 적층체를 포함하는 광전 변환 장치가 형성된다.

[0094] 성막실(220) 내에서는, 우선 투명 도전막(2) 상에, 제1 p형 반도체층(11)이 플라즈마 CVD법에 의해 형성된다. 이 제1 p형 반도체층(11)은, 성막 압력이 200 Pa 이상 3000 Pa 이하, 또한 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하로 형성된다. 또한, 기판(1)의 베이스 온도는 250°C 이하가 바람직하다. 성막실(220) 내로 도입하는 원료 가스는, 실란계 가스, 수소 가스를 함유하는 희석 가스를 포함하는 것이 바람직하다. 또한, 원료 가스는 광 흡수량을 감소시킬 목적으로 메탄이나 트리메틸 디보란 등이 함유되어 있어도 된다. 기판의 베이스 온도를, 바람직하게는 250°C 이하로 함으로써, 다음에 형성되는 i형 비정질 실리콘계 광전 변환층(12)에 영향을 주는 일 없이 제1 p형 반도체층(11)이 형성된다. 또한, 후술하는 잔류막의 에칭 공정 후라도, 재현성 좋게, 제1 p형 반도체층(11)을 형성할 수 있다. 이 제1 p형 반도체층(11)의 도전형 결정 불순물 원자는, 붕소 원자 또는 알루미늄 원자 등 바람직하게 선택된다.

[0095] i형 비정질 실리콘계 광전 변환층(12)은, 성막 압력이 200 Pa 이상 3000 Pa 이하 또한 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하에서 형성된다. 또한, 기판(1)의 베이스 온도는 250°C 이하가 바람직하다. 또한, 성막실(220) 내로 도입하는 원료 가스는, 실란계 가스에 대한 희석 가스의 유량을, 바람직하게는 5배 이상이라고 하고, 또한 실란계 가스에 대한 희석 가스의 유량을, 바람직하게는 20배 이하, 더욱 바람직하게는 15배 이하라고 한다. 이러한 조건을 선택함으로써, 양호한 막질의 i형 비정질 실리콘계 광전 변환층(12)이 형성된다.

[0096] 제1 n형 반도체층(13)은, 성막 압력이 200 Pa 이상 3000 Pa 이하 또한 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하에서 형성된다. 기판(1)의 베이스 온도는 250°C 이하가 바람직하다. 이러한 조건을 선택함으로써, 비정질 pin 구조 적층체(10) 및 미결정 pin 구조 적층체(20)에 영향을 주는 일 없이 양호한 막질의 제1 n형 반도체층(13)이 형성된다. 제1 n형 반도체층(13)의 도전형 결정 불순물 원자로서는 인을 선택할 수 있다. 여기서, 충분한 도핑 효과가 얻어지는 점에서, 원료 가스 중의 실리콘 원자에 대한 인 원자의 함유량은 바람직하게는 0.05 원자 % 이상 더욱 바람직하게는 0.1 원자 % 이상이며, 막질의 악화를 피하는 점에서, 바람직하게는 3 원자 % 이하 더욱 바람직하게는 1 원자 % 이하이다. 이에 의해, 제1 n형 반도체층의 도전형 결정 불순물 농도를 $3 \times 10^{19} \text{cm}^{-3}$ 이하로 할 수 있다.

[0097] 제2 p형 반도체층(21)은, 일반적인 형성 조건으로 형성하면 좋고, 예를 들면 성막 압력이 600 Pa 내지 3000 Pa 정도, 전극 단위 면적당의 전력 밀도가 $0.05\text{W}/\text{cm}^2$ 내지 $0.3\text{W}/\text{cm}^2$ 정도의 범위에서 형성한 p형 미결정 실리콘층으로 할 수 있다.

[0098] 제2 p형 반도체층(21)은, 기판(1)의 베이스 온도가 250°C 이하이고, 두께 2 nm 이상 50 nm 이하의 범위가 되도록 형성되는 것이 바람직하다. 또한, 성막실(220) 내로 도입되는 원료 가스의 주성분은, 예를 들어 실란 가스

등의 실란계 가스, 예를 들면 수소 가스 등으로 이루어지는 희석 가스이며, 실란계 가스에 대한 희석 가스의 유량을 100배 이상으로 하고, 도핑 가스로서 디보란을 이용하는 것이 바람직하다.

[0099] 또한, 이 제2 p형 반도체층(21)은, 예를 들어 도전형 결정 불순물 원자로서 붕소 원자가 0.01 원자 % 이상 5 원자 % 이하 도핑된 p형 비정질 혹은 미결정의 실리콘 박막 등으로 할 수 있다. 그러나, 제2 p형 반도체층(21)에 대한 이러한 조건은 한정적인 것은 아니며, 불순물 원자로서, 예를 들어 알루미늄 원자 등도 이용할 수 있다. 또한, 제2 p형 반도체층(21)이, 비정질 및 미결정의 실리콘 카바이드 또는 비정질의 실리콘 게르마늄 등의 합금 재료로 이루어지는 층으로 형성되어 있어도 된다. 또한, 제2 p형 반도체층(21)의 두께는 2 nm 이상 50 nm 이하의 범위 내로 설정하는 것이 바람직하다. 또한, 제2 p형 반도체층(21)은, 다결정의 실리콘계 박막 또는 합금계 박막이라도 좋고, 또한 다른 복수의 박막 적층으로 할 수도 있다.

[0100] i형 미결정 실리콘계 광전 변환층(22)은, 일반적인 형성 조건으로 형성하면 좋고, 예를 들어 성막 압력이 600 Pa 내지 3000 Pa 정도, 전극 단위 면적당의 전력 밀도가 0.05W/cm² 내지 0.3W/cm² 정도의 범위에서 형성한 i형 미결정 실리콘층으로 할 수 있다.

[0101] i형 미결정 실리콘계 광전 변환층(22)은, 0.5 μm 이상 20 μm 이하의 두께로 형성되는 것이 바람직하다. 이 i형 미결정 실리콘계 광전 변환층(22)은, 기관(1)의 베이스 온도가 250 °C 이하, 실란계 가스에 대한 희석 가스의 유량이 30배 이상 100배 이하로 형성되는 것이 바람직하다. 또한, 이렇게 해서 얻어지는 i형 미결정 실리콘계 광전 변환층(22)은, 라만 분광법에 의해 측정되는 480 nm⁻¹에 있어서의 피크에 대한 520 nm⁻¹에 있어서의 피크의 피크 강도비 I₅₂₀/I₄₈₀이 5 이상 10 이하인 것이 바람직하다. 또한, i형 미결정 실리콘계 광전 변환층으로서, i형 미결정 실리콘 박막 또는 미량의 불순물을 포함하는 약 p형 혹은 약 n형이고, 광전 변환 기능을 충분히 구비하고 있는 미결정 실리콘 박막이 이용되어도 좋다. 또한, i형 미결정 실리콘계 광전 변환층(22)은, 상기 미결정 실리콘 박막에 한정되지 않고, 합금 재료인 실리콘 카바이드 또는 실리콘 게르마늄 등의 박막이 이용되어도 좋다.

[0102] 제2 n형 반도체층(23)은, 일반적인 형성 조건으로 형성하면 좋고, 예를 들면 성막 압력이 600 Pa 내지 3000 Pa 정도, 전극 단위 면적당의 전력 밀도가 0.05W/cm² 내지 0.3W/cm² 정도의 범위로 형성한 n형 미결정 실리콘층으로 할 수 있다.

[0103] 제2 n형 반도체층(23)은, 기관(1)의 베이스 온도가 250 °C 이하이고, 두께 2 nm 이상 50 nm 이하의 범위가 되도록 형성되는 것이 바람직하다. 또한, 제2 n형 반도체층(23)은, 예를 들어 도전형 결정 불순물 원자로서 인 원자가 0.1 원자 % 이상 5 원자 % 이하 도핑된 n형 비정질 혹은 미결정의 실리콘 박막 등으로 할 수 있다. 그러나, n형 반도체층에 관한 이들의 조건은, 한정적인 것은 아니며, 제2 n형 반도체층(23)이 미결정 실리콘 카바이드 또는 실리콘 게르마늄 등의 합금 재료로 형성되어서 있어도 된다.

[0104] 다음에, 도1, 도2 및 도4를 참조하여, S5에 있어서, 상기한 이중 pin 구조 적층체를 포함하는 광전 변환 장치를 성막실(220)로부터 취출실(230)로 반출한 후, S6에 있어서, 성막실(220) 내의 캐소드 상의 잔류막의 박리 등의 이상 유무를 확인한다. 박리 등의 이상이 있을 경우에는(S6에 있어서, 예인 경우), S7에 있어서, 캐소드(222) 상의 잔류막을 오버 에칭에 의해 전부 제거하고, S8에 나타내는 캐소드 표면의 안정화(예를 들면, 프리 피착막의 형성 등)를 행하는 것이 바람직하다. 한편, 캐소드(222) 상의 잔류막에 이상이 없을 경우에는(S6에 있어서, 아니오인 경우), S9에 있어서, 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중의 적어도 어느 하나를 에칭(언더 에칭 또는 오버 에칭)하고, 최후의 n형 반도체층의 형성 시에 성막실(220)의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 형성된 잔류막 중의 불순물 원자(n형 도우펀트)에 의한 영향을 제거한다. 여기서, 잔류막의 제거는, 수소 가스, 불활성 가스, 불소계의 클리닝 가스 또는 이것들의 임의의 혼합 가스를 플라즈마화한 가스 플라즈마에 의해 행할 수 있다.

[0105] 잔류막을 제거하는 공정은, 보통 캐소드(222) 상에 형성된 잔류막 전체를 제거하는 공정을 취한다. 단, 잔류막의 에칭 공정에 있어서 마지막으로 남은 p형층의 불순물 원자(p형 도우펀트)의 영향을 피하기 위해 약간의 오버 에칭 혹은 언더 에칭이 필요해진다. 오버 에칭의 경우, 상기 이중 pin 구조 적층체를 1회 형성할 때에 형성되는 잔류막을, 그 막 두께 및 막 두께의 5% 내지 10% 정도의 깊이까지 오버 에칭한다. 이렇게 함으로써, 잔류막 중의 불순물 원자의 영향을 제거할 수 있다. 단, 이러한 오버 에칭을 반복하면, 방전을 안정화시킬 목적으로 성막하고 있는 캐소드 상의 프리 피착막이 서서히 에칭되므로, 캐소드의 금속 표면이 나타나게 된다. 이것이 원인이 되어, 다음의 이중 pin 구조 적층체의 형성 초기의 수십 nm 정도의 두께의 부분에 큰 영향을 주는 경우가 있다.

- [0106] 상기 문제점을 해결하기 위해서, 상기 이중 pin 구조 적층체를 1회 형성할 때에 형성되는 잔류막의 캐소드에 가까운 부분을 남기는 언더 에칭을 선택하는 경우가 있다. 이 언더 에칭은, 잔류막의 표면층으로부터 캐소드 및 실내면 중 적어도 어느 하나에 가장 가까운 위치에 있는 제1 n층까지와, 바람직하게는 비정질 i형층의 두께 방향으로 10 nm 이상의 깊이까지를 에칭 제거함으로써 행한다. 에칭 제거하는 비정질 i형층의 깊이가 두께 방향으로 10 nm 미만이면, i형층 중으로 확산되고 있는 제1 n형층 중의 불순물 원자(n형 도우펀트)의 영향을 완전히 제거하는 것이 곤란해진다. 또한, 본 에칭 제거는, i형층 두께의 90% 이하의 범위까지의 깊이가 바람직하고, i형층 두께의 80% 이하의 범위까지의 깊이가 보다 바람직하다. i형층 두께의 90%보다 깊게 에칭하려고 하면, i형층의 기초에 존재하는 p형층 중의 불순물 원자(p형 도우펀트)의 영향도 나오기 시작하여, 다음 공정에서 형성하는 p층의 도핑량이 최적치에서 어긋날 우려가 있다. 따라서, 바람직하게는, n층과 함께 i층을 그 두께의 80% 정도의 깊이까지 에칭 제거함으로써, 잔류막 중의 불순물 원자의 영향이 완전히 제거된다. 이와 같이 잔류막의 제거 공정이 종료된 후의 플라즈마 CVD 성막실에, 다음의 기판이 반입되어 반복하여 이중 pin 구조 적층체가 형성되고, 이중 pin 구조 적층체를 포함하는 다음의 적층형 실리콘계 박막 광전 변환 장치가 제조된다.
- [0107] 상기 언더 에칭의 공정을 포함시키면서, 이중 pin 구조 적층체의 형성 공정을 복수 회 반복하면, 캐소드(222) 위에 에칭되어 있지 않은 잔류막이, 이중 pin 구조 적층체의 형성의 횟수만큼 적층된다. 이대로, 처리를 계속해 가면, 적층된 잔류막이 내부 응력에 의해 캐소드 표면으로부터 박리되어, pin 구조 적층체 중에 수 μm 직경의 분말로서 도입되는 경우가 있어, 이 분말은 상하의 전극을 단락시키는 점 결함을 만들어, 광전 변환 장치의 제품 수율을 30% 이하로까지 극단적으로 저하시킨다. 그래서, 광전 변환 장치를 제작한 후, 잔류막이 캐소드(222)로부터 박리되어 있을 때는, 캐소드(222) 상의 잔류막을 전부 제거하는 것이 바람직하다. 또한, 잔류막이 캐소드(222)로부터 박리되어 있지 않아도, 잔류막의 박리가 일어나기 전에, 상기한 점 결함의 발생을 미연에 방지하고, 광전 변환 장치의 제조에 있어서의 수율을 높게 유지하는 것이 보다 바람직하다. 잔류막의 박리 정도는, 성막 조건이나 막 부착 시의 전극의 표면 상태에 따라서 크게 변동하지만, 플라즈마 CVD 성막실 내에서 실리콘계 박막을 제작할 경우에는, 일반적으로 캐소드(222) 상에 형성된 잔류막의 적산 막 두께가 10 μm 이상 1000 μm 이하일 때에, 잔류막의 박리가 발생하기 쉽다. 따라서, 캐소드(222) 상의 잔류막의 적산 막 두께가, 바람직하게는 10 μm 이상 800 μm 이하일 때에, 또한 더욱 바람직하게는 300 μm 이상 500 μm 이하일 때에, 캐소드 위에 적층된 잔류막을 전부 제거하는 것이 바람직하다.
- [0108] 캐소드(222) 위에 적층된 잔류막을 제거하는 공정은, 수소 가스, 불활성 가스, 불소계의 클리닝 가스 또는 이들 가스를 임의의 비율로 포함하는 혼합 가스를 플라즈마화한 가스 플라즈마에 의해 행할 수 있지만, 잔류막의 에칭 속도가 비교적 빠른 점에서, 3 불화 질소 등의 불소계의 클리닝 가스를 이용하는 것이 바람직하다. 예를 들어, 에칭 가스로서, 10 체적% 내지 30 체적%의 3 불화 질소 가스와 90 체적% 내지 70 체적%의 아르곤 가스와의 혼합 가스를 도입하고, 300 Pa 이하의 압력으로 플라즈마 방전함으로써, 10 nm/s 이상의 에칭 속도가 얻어진다. 이러한 캐소드(222)의 클리닝 후, 캐소드 표면을 안정화시키기 위해서, 캐소드 표면 상에 실리콘막의 예비 퇴적(프리 피착)을 행하고, 다시 pin 구조 적층체의 형성 공정을 계속할 수 있다.
- [0109] 다음에, 도1을 참조하여, 상기한 바와 같이 하여 이중 pin 구조 적층체(30)를 형성한 후, 이중 pin 구조 적층체(30)의 제2 n형 반도체층(23) 위에, 예를 들어 ZnO 등으로 이루어지는 도전막(3)을 형성하고, 이어서 도전막(3) 위에, 예를 들어 Al, Ag 등으로 이루어지는 금속 전극(4)이 형성된다. 도전막(3) 및 금속 전극(4)에 의해 이면 전극부가 구성되어, 광전 변환 장치가 완성된다.
- [0110] 상기와 같이, 본 실시 형태의 광전 변환 장치는 싱글 챔버 방식으로 제조할 수 있으므로, 인라인 방식 또는 멀티 챔버 방식보다도 제조 설비를 간략화할 수 있다. 또한, 플라즈마 CVD 장치에 있어서는, 성막실을 개방하는 일 없이, 장기에 걸쳐서 장치 가동이 가능해지므로 제조 시의 택트타임(tacttime)을 대폭으로 단축할 수 있어, 제조 비용을 낮출 수 있다.
- [0111] (제5 실시 형태)
- [0112] 본 발명의 실리콘계 박막 광전 변환 장치의 하나의 실시 형태는, 도1을 참조하여, 기판(1) 위에 형성된 투명성 도전막(2)과, 이중 pin 구조 적층체(30)를 포함하는 적층형 실리콘계 박막 광전 변환 장치(100)이며, 이중 pin 구조 적층체(30)는 투명성 도전막(2) 위에 차례로 형성되어 있는 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)으로 구성되고, 제1 n형 반도체층(13) 및 제2 p형 반도체층(21)은, 각각 불순물 질소 원자 농도가 $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 또한 불순물 산소 원자 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 것을 특징으로 한다. 제1 실시 형태로부터 제4 실시 형태까지에 나타난 제조 방법을 이용함으로써, 제1 n형 반도체층(13) 및 제2 p형 반도체층

(21)은, 각각 불순물 질소 원자 농도가 $1 \times 10^{19} \text{ cm}^{-3}$ 이하, 또한 불순물 산소 원자 농도가 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 광전 변환 효율이 높은 적층형 실리콘계 박막 광전 변환 장치가 얻어진다.

[0113] (제6 실시 형태)

[0114] 본 발명의 실리콘계 박막 광전 변환 장치의 다른 실시 형태는, 도1을 참조하여, 기관(1) 위에 형성된 투명성 도전막(2)과, 이중 pin 구조 적층체(30)를 포함하는 적층형 실리콘계 박막 광전 변환 장치(100)이며, 이중 pin 구조 적층체(30)는 투명성 도전막(2) 위에 차례로 형성되어 있는 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), i형 미결정 실리콘계 광전 변환층(22) 및 제2 n형 반도체층(23)으로 구성되고, 제1 n형 반도체층(13)의 도전형 결정 불순물 원자 농도가 $3 \times 10^{19} \text{ cm}^{-3}$ 이하이며, 제2 p형 반도체층(21)의 도전형 결정 불순물 원자 농도가 $5 \times 10^{19} \text{ cm}^{-3}$ 이하인 것을 특징으로 한다. 제1 n형 반도체층(13) 및 제2 p형 반도체층(21)의 도전형 결정 불순물 원자 농도를 상기의 농도 이하로 함으로써, 제1 실시 형태로부터 제4 실시 형태까지의 제조 방법에 있어서, 제1 n형 반도체층(13)의 도전형 결정 불순물 원자의 다른 층[제1 n형 반도체층(13) 이외의 층]으로의 혼입, 제2 p형 반도체층(21)의 도전형 결정 불순물 원자의 다른 층[제2 p형 반도체층(21) 이외의 층]으로의 혼입이 효과적으로 억제되어, 광전 변환 효율이 높은 적층형 실리콘계 박막 광전 변환 장치가 얻어진다.

[0115] (제7 실시 형태)

[0116] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 또 다른 실시 형태는, 도2 및 도5를 참조하여, 기관(1) 위에 형성된 투명 도전막(2) 상에, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성하는 공정을 포함하고, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)은, 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01 W/cm^2 이상 0.3 W/cm^2 이하로 형성되는 것을 특징으로 한다.

[0117] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법에서는, 도2 및 도5를 참조하여, 기관(1) 위에 형성된 투명 도전막(2) 상에, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성한다. 여기서, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)은, 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 0.01 W/cm^2 이상 0.3 W/cm^2 이하로 형성된다. 또한, 본 실시 형태에서는, 도2에 도시하는 바와 같이 캐소드(222)와 애노드(223) 사이의 거리가 고정된 동일한 플라즈마 CVD 성막실(220) 내에서 비정질 pin 구조 적층체(10)가 연속해서 형성된다.

[0118] 동일한 플라즈마 CVD 성막실(220) 내에서, 도5에 나타내는 본 실시 형태의 제조 방법에 있어서의 기관(1) 위에 형성된 투명 도전막(2) 위에 p형 반도체층(11), i형 비정질 광전 변환층(12) 및 n형 반도체층(13)을 차례로 연속하여 형성해서 pin 구조 적층체(10)를 형성하는 공정은, 도1에 있어서의 제1 실시 형태의 제조 방법에 있어서의 기관(1) 위에 형성된 투명 도전막(2) 위에 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)을 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성할 때까지의 공정과 같다. 즉, 도5에 나타내는 본 실시 형태의 실리콘계 박막 광전 변환 장치에 있어서의 비정질 pin 구조 적층체(10)[p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)]는, 도1에 나타내는 제1 실시 형태의 실리콘계 박막 광전 변환 장치에 있어서의 비정질 pin 구조 적층체(10)[제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)]와 같다. 따라서, 본 실시 형태의 제조 방법의 비정질 pin 구조 적층체(10)의 형성에 있어서는, 제1 실시 형태의 제조 방법에 있어서의 비정질 pin 구조 적층체(10)의 형성과 마찬가지로, 이하의 특징을 갖는다.

[0119] 즉, 본 실시 형태에 있어서는, i형 비정질 실리콘계 광전 변환층(12)을 갖는 비정질 pin 구조 적층체(10)를 동일한 플라즈마 CVD 성막실(220) 내에서 형성하는 종래의 형성 조건(예를 들면, 100 Pa 내지 120 Pa 정도)과 비교하여, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)의 성막 압력을 높게 설정하고, 캐소드(222)의 전력 밀도를 작게 설정함으로써, 종래에는 생각할 수 없었던 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)으로의 n형 불순물의 혼입을 저감하는 효과를 이용하여, 동일한 플라즈마 CVD 성막실(220) 내에서 비정질 pin 구조 적층체(10)를 연속해서 형성한 경우에도, 광전 변환 효율이 높은 실리콘계

박막 광전 변환 장치를 제조할 수 있다.

- [0120] 또한, 본 실시 형태에 있어서는, 제1 실시 형태와 마찬가지로의 조건, 즉, 플라즈마 CVD 성막실(220) 내의 캐소드(222)와 애노드(223) 사이의 거리를 3 mm 내지 20 mm, 바람직하게는 5 mm 내지 15 mm, 더욱 바람직하게는 7 mm 내지 12 mm로 하고, 성막 압력이 200 Pa 이상 3000 Pa 이하, 또한 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 조건하에서, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)을 차례로 연속해서 형성함으로써, 동일한 플라즈마 CVD 성막실(220)에서 비정질 pin 구조 적층체(10)를 형성할 수 있다.
- [0121] 비정질 pin 구조 적층체(10)를 형성하고, 기관(1)을 취출한 후에, 다음의 기관 위에 비정질 pin 구조 적층체(10)를 반복하여 형성할 경우에도, 상기한 바와 같은 형성 조건에 의해 얻어지는 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)은, 그 전의 n형 반도체층(13)의 형성 시에 플라즈마 CVD 성막실(220) 내에 형성된 잔류막의 n형 불순물 원자의 영향을 받기 어렵다.
- [0122] 성막 압력 200 Pa 이상의 형성 조건은, 비정질 실리콘계 반도체층을 형성하는 종래의 조건(100 Pa 내지 120 Pa 정도)보다 높은 압력 조건이다. p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 높은 성막 압력으로 형성함으로써, 그들의 층을 형성하기 전부터 플라즈마 CVD 성막실(220)의 캐소드(222) 상 및 실내면(221) 상의 적어도 어느 하나에 부착되어 있는 n형 반도체층으로부터 방출되는 n형 불순물의 평균 자유 행정(플라즈마 CVD 성막실 내를 이동할 수 있는 거리)을 저하시키고, 형성되는 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 성막 압력 3000 Pa 이하의 형성 조건으로 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.
- [0123] 또한, p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 전극 단위 면적당의 전력 밀도 $0.3\text{W}/\text{cm}^2$ 이하의 저전력 밀도로 형성함으로써, 캐소드(222)에 충돌하는 플라즈마 속의 전자 및 이온이 갖는 에너지를 줄일 수 있다. n형 불순물 원자는, 캐소드(222)에 부착된 n형 반도체층으로부터 플라즈마 속의 전자 및 이온에 의해 쫓겨나게 되므로, 이것들이 갖는 에너지를 저감함으로써, 형성되는 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상의 형성 조건으로 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.
- [0124] 이 결과, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상에 형성된 잔류막 중 적어도 어느 하나를 제거하는 공정을 거치는 일 없이 연속해서 다음의 기관(1) 상의 투명 도전막(2) 위에 비정질 pin 구조 적층체(10)를 형성시켜서 다음의 실리콘계 박막 광전 변환 장치를 제조할 수 있다.
- [0125] 또한, i형 비정질 실리콘계 광전 변환층(12)을 상기 형성 조건에 의해 형성함으로써, p형 반도체층(11) 형성 시에 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착된 p형 반도체층(11) 중의 p형 불순물 원자가 i형 비정질 실리콘계 광전 변환층(12) 중에 혼입하는 양은 저감된다.
- [0126] 또한, 상기의 비정질 pin 구조 적층체(10)에 있어서, p형층, i형층, n형층의 순으로 형성함으로써, n형층, i형층, p형층의 순으로 형성하는 경우에 비해, 광전 변환층인 i형층으로의 불순물 원자에 의한 영향이 적어진다. 이것은, n형 불순물 원자(예를 들어 인 원자) 쪽이, p형 불순물 원자(예를 들면 붕소 원자)보다도, i형층으로의 혼입에 의한 영향이 크기 때문에, i형층 형성 후에 n형층을 형성하는 쪽이, i형층 형성 후에 p형층을 형성하는 것보다도, i형층으로의 영향이 적은 것에 의한 것이라 생각된다.
- [0127] 본 실시 형태의 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)의 두께, 형성 조건 및 도전형 결정 불순물 농도는, 각각 제1 실시 형태의 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)과 마찬가지로의 조건이다.
- [0128] 즉, p형 반도체층(11)은 비정질 실리콘계 반도체 또는 결정질 실리콘계 반도체라 하고, 성막 압력이 200 Pa 이상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 조건으로 형성된다. 또한, 이 p형 반도체층(11)은, 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 조건으로 형성된다.
- [0129] 또한, i형 비정질 실리콘계 광전 변환층(12)은, 성막 압력이 200 Pa 이상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 조건으로 형성된다. 또한, 이 i형 비정질

실리콘계 광전 변환층(12)은, 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 조건으로 형성된다.

[0130] 또한, n형 반도체층(13)은, 기판(1)의 베이스 온도를 바람직하게는 $250\text{ }^{\circ}\text{C}$ 이하로 함으로써, i형 비정질 실리콘계 광전 변환층(12)에 영향을 주는 일 없이 형성할 수 있다. 여기서, n형 반도체층(13)의 도전형 결정 불순물 원자에는 특별히 제한은 없지만, 도핑 효율이 높고, 범용성이 있다고 하는 점에서 인 원자가 바람직하다. 또한, 원료 가스 폭의 실리콘 원자에 대한 인 원자의 함유량은, 충분한 도핑 효과가 얻어지는 점에서, 바람직하게는 0.1 원자 % 이상 더욱 바람직하게는 0.3 원자 % 이상이며, 막질의 악화를 피한다고 하는 점에서, 바람직하게는 5 원자 % 이하 더욱 바람직하게는 3 원자 % 이하이다.

[0131] 이와 같이 하여, 동일한 플라즈마 CVD 성막실(220) 내에서, 비정질 pin 구조 적층체(10)[즉, p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)]을 반복해 형성할 수 있으므로, 높은 광전 변환 효율을 갖는 실리콘계 박막 광전 변환 장치(500)를 저비용이면서 또한 효율적으로 제조할 수 있다.

[0132] 또한, n형 반도체층(13)은 비정질 실리콘계 반도체 또는 결정질 실리콘계 반도체로 하고, 성막 압력이 200 Pa 이상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 조건으로 형성되는 것이 바람직하다. 또한, 이 n형 반도체층(13)은, 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 조건으로 형성되는 것이 바람직하다.

[0133] n형 반도체층(13)은, 비정질 반도체 또는 결정질 반도체 중 어느 쪽이라도 좋지만, 결정질 반도체로 하는 것이 바람직하다. 결정질 반도체에 포함되는 결정 부분은 n형 불순물 원자의 도핑 효율이 높기 때문에, n형 반도체층(13)이 결정 부분을 포함함으로써, n형 불순물 원자 농도를 크게 하지 않고 원하는 도전율을 얻을 수 있다. 따라서, n형 반도체층(13) 중의 n형 불순물 원자 농도를 낮게 할 수 있어, 다른 층으로의 확산을 줄일 수 있다. 즉, 계속해서 다른 기판(1)에 비정질 pin 구조 적층체(10)를 형성할 경우에, 다음의 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12)을 형성하기 전부터 플라즈마 CVD 성막실(220) 내의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착되어 있는 n형 반도체층의 n형 불순물 원자 농도가 낮기 때문에, 형성되는 p형 반도체층(11) 및 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 이와 같이 하여, 높은 광전 변환 효율을 갖는 실리콘계 박막 광전 변환 장치(500)를 반복해 제조할 수 있다.

[0134] (제8 실시 형태)

[0135] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 다른 실시 형태는, 상기 제7 실시 형태에 있어서, 비정질 pin 구조 적층체(10)를 형성하는 공정 후에, 이 비정질 pin 구조 적층체(10)를 포함하는 실리콘계 박막 광전 변환 장치(500)를 플라즈마 CVD 성막실(220)로부터 반출하는 공정과, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 포함하는 것이다. 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법은, 비정질 pin 구조 적층체(10)를 형성한 후에, 비정질 pin 구조 적층체(10)를 포함하는 실리콘계 박막 광전 변환 장치(500)를 플라즈마 CVD 성막실(220)로부터 반출하고, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 것을 특징으로 한다.

[0136] 제7 실시 형태에 나타내는 바와 같이 동일한 플라즈마 CVD 성막실(220) 내에서 비정질 pin 구조 적층체(10)를 형성한 후, 이 비정질 pin 구조 적층체(10)를 포함하는 실리콘계 박막 광전 변환 장치(500)를 반출한 후, 상기 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상에 형성된 잔류막 중 적어도 어느 하나를 제거함으로써, 양호한 품질 및 성능을 갖는 실리콘계 박막 광전 변환 장치(500)를, 동일한 플라즈마 CVD 성막실(220) 내에서 반복하여 제조할 수 있다.

[0137] 제7 실시 형태에 나타내는 방법에 의해 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 거치는 일 없이, 동일한 플라즈마 CVD 성막실(220) 내에서 비정질 pin 구조 적층체(10)를 형성함으로써, 다음의 실리콘계 박막 광전 변환 장치(500)를 형성할 수도 있다.

[0138] 그러나, 플라즈마 CVD 성막실(220)에 있어서의 잔류막에 의한 오염을 방지하는 점에서, 하나의 실리콘계 박막 광전 변환 장치(500)의 형성 후, 계속해서 다음의 기판(1)의 투명 도전막(2) 위에 다음의 실리콘계 박막 광전 변환 장치(500)의 비정질 pin 구조 적층체(10)를 형성하는 것보다도, 비정질 pin 구조 적층체(10)를 형성하기

전에, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중의 적어도 어느 하나를 완전히 제거하여, 잔존 막 중의 n형층 중의 불순물 원자(n형 도우펀트)에 의한 다음의 실리콘계 박막 광전 변환 장치(500)의 비정질 pin 구조 적층체(10)로의 확산에 의한 영향을 완전히 제거하는 것이 바람직하다. 이에 의해, 계속해서, 재현성 좋게, 양호한 품질 및 성능을 갖는 실리콘계 박막 광전 변환 장치(500)를 형성할 수 있다.

[0139] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법은, 다음 공정에 있어서 예정되어 있는 pin 구조 적층체의 형성 시에 있어서의, 플라즈마 CVD 성막실(220)의 잔류막 중의 p형층 및 n형층의 불순물 원자(p형 불순물 원자 및 n형 불순물 원자)에 의한 pin 구조 적층체로의 영향을 제거하기 위한 공정으로서 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 더 갖는 것을 특징으로 한다. 이러한 공정에 의해, 싱글 챔버 방식으로 복수의 광전 변환 장치를 연속해서 제조해도, 잔류막 중의 불순물 원자에 의한 영향을 제거할 수 있어, pin 구조 적층체 중의 p형 반도체층 및 i형 비정질 실리콘계 박막 광전 변환층 중으로의 n형 불순물 원자의 혼입을 대폭으로 저감할 수 있다. 이로 인해, 양호한 품질 및 성능을 갖는 pin 구조 적층체를 반복하여 형성할 수 있게 되어, 싱글 챔버 방식을 이용해서 실리콘계 박막 광전 변환 장치를 제조하는 것이 가능해져, 인라인 방식이나 멀티 챔버 방식, 또한 각각을 조합한 제조 설비보다도 설비를 간략화하여, 저비용화를 도모할 수 있다. 본 실시 형태의 잔류막을 제거하는 공정에 있어서 사용되는 클리닝 가스는, 제2 실시 형태와 마찬가지로이다.

[0140] (제9 실시 형태)

[0141] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 또 다른 실시 형태는, 도2 및 도6을 참조하여, 기관(1) 위에 형성된 투명 도전막(2) 상에, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 형성해서 이중 pin 구조 적층체(60)를 형성하는 공정을 포함하고, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)은, 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하로 형성되는 것을 특징으로 한다.

[0142] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법에서는, 도2 및 도6을 참조하여, 기관(1) 위에 형성된 투명 도전막(2) 상에, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)을, 동일한 플라즈마 CVD 성막실(220) 내에서, 차례로 형성해서 이중 pin 구조 적층체(60)를 형성한다. 여기서, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)은, 플라즈마 CVD 성막실(220)에 있어서의 성막 압력이 200 Pa 이상 3000 Pa 이하 및 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하에서 형성된다. 또한, 본 실시 형태에서는, 도2에 나타내고 있는 바와 같은 캐소드(222)와 애노드(223) 사이의 거리가 고정된 동일한 플라즈마 CVD 성막실(220) 내에서 이중 pin 구조 적층체(60)가 반복해서 형성된다.

[0143] 동일한 플라즈마 CVD 성막실(220) 내에서, 도6에 나타내는 본 실시 형태의 제조 방법에 있어서의 기관(1) 위에 형성된 투명 도전막(2) 위에 제1 p형 반도체층(11), 제1 i형 비정질 광전 변환층(12) 및 제1 n형 반도체층(13)을 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성하는 공정은, 도1에 있어서의 제1 실시 형태의 제조 방법에 있어서의 기관(1) 위에 형성된 투명 도전막(2) 위에 제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)을 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성할 때까지의 공정 및 도5에 있어서의 제7 실시 형태의 제조 방법에 있어서의 기관(1) 위에 형성된 투명 도전막(2) 위에 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)을 차례로 연속하여 형성해서 비정질 pin 구조 적층체(10)를 형성하는 공정과 같다.

[0144] 즉, 도6에 나타내는 본 실시 형태의 실리콘계 박막 광전 변환 장치(600)에 있어서의 비정질 pin 구조 적층체(10)[제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제2 n형 반도체층(13)]는, 도1에 나타내는 제1 실시 형태의 실리콘계 박막 광전 변환 장치(100)에 있어서의 비정질 pin 구조 적층체(10)[제1 p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 제1 n형 반도체층(13)] 및 도5에 나타내는 제7 실시 형태의 실리콘계 박막 광전 변환 장치(500)에 있어서의 비정질 pin 구조 적층체(10)[p형 반도체층(11), i형 비정질 실리콘계 광전 변환층(12) 및 n형 반도체층(13)]와 같다.

- [0145] 또한, 본 실시 형태에 있어서는, 제1 실시 형태 및 제7 실시 형태와 마찬가지로의 조건, 즉 플라즈마 CVD 성막실(220) 내의 캐소드(222)와 애노드(223) 사이의 거리를, 3 mm 내지 20 mm, 바람직하게는 5 mm 내지 15 mm, 더욱 바람직하게는 7 mm 내지 12 mm로 하고, 성막 압력이 200 Pa 이상 3000 Pa 이하, 또한 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 조건하에서, 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13), 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)을 차례로 연속해서 형성함으로써, 동일한 플라즈마 CVD 성막실(220)에서 이중 pin 구조 적층체(60)를 형성할 수 있다.
- [0146] 즉, 이 이중 pin 구조 적층체(60)는, 제7 실시 형태에 기재한 비정질 pin 구조 적층체(10)를 같은 형성 조건으로 반복하여 2회 형성한 것이며, 제1 비정질 pin 구조 적층체(10)와 제2 비정질 pin 구조 적층체(50)로 구성된다. 따라서, 비정질 pin 구조 적층체(50)를 구성하는 제2 p형 반도체층(21), 제2 i형 비정질 실리콘계 광전 변환층(52) 및 제2 n형 반도체층(23)은, 각각, 비정질 pin 구조 적층체(10)를 구성하는 제1 p형 반도체층(11), 제1 i형 비정질 실리콘계 광전 변환층(12), 제1 n형 반도체층(13)과 같다. 단, 직렬 접속되는 두개의 비정질 pin 구조 적층체(10, 50)로부터 출력되는 전류의 정합을 취하기 위해, 제2 i형 비정질 실리콘계 광전 변환층(52)의 두께는, 제1 i형 비정질 실리콘계 광전 변환층(12)의 두께보다도 크게 설정된다. 일반적으로, 제1 i형 비정질 실리콘계 광전 변환층(12)의 두께는 수십 nm 정도이며, 제2 i형 비정질 실리콘계 광전 변환층(52)의 두께는 200 내지 400 nm 정도이다.
- [0147] 본 실시 형태에 있어서는, 성막 압력 200 Pa 이상 3000 Pa 이하, 또한 전극 단위 면적당의 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 조건하에서, 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 차례로 연속해서 형성함으로써, 제2 비정질 pin 구조 적층체(50)를 형성한 후에, 기판(1)을 교환하여, 그 후의 기판에 제1 비정질 pin 구조 적층체(10)를 반복해 형성할 경우에, 상기한 바와 같은 형성 조건에 의해 얻어지는 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)은, 그 전의 제2 n형 반도체층(23)의 형성 시에 플라즈마 CVD 성막실(220) 내에 형성된 잔류막의 n형 불순물 원자의 영향을 받기 어렵다.
- [0148] 성막 압력 200 Pa 이상의 형성 조건은, 비정질 실리콘계 반도체층을 형성하는 일반적인 조건보다 높은 압력 조건이다. 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12)을 높은 성막 압력으로 형성함으로써, 그들의 층을 형성하기 전부터 플라즈마 CVD 성막실(220)의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착되어 있는 제2 n형 반도체층(23)으로부터 방출되는 n형 불순물 원자의 평균 자유 행정(플라즈마 CVD 성막실 내를 이동할 수 있는 거리)을 저하시키고, 형성되는 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 성막 압력 3000 Pa 이하의 형성 조건으로 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.
- [0149] 또한, 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12)을 전극 단위 면적당의 전력 밀도 $0.3\text{W}/\text{cm}^2$ 이하의 저전력 밀도로 형성함으로써, 캐소드(222)에 충돌하는 플라즈마 속의 전자 및 이온이 갖는 에너지를 줄일 수 있다. n형 불순물 원자는, 캐소드(222)에 부착된 제2 n형 반도체층(23)으로부터 플라즈마 속의 전자 및 이온에 의해 쫓겨나게 되므로, 이것들이 갖는 에너지를 저감함으로써, 형성되는 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상의 형성 조건으로 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.
- [0150] 이 결과, 플라즈마 CVD 성막실(220)의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 형성된 제2 n형 반도체층(23)의 잔류막을 제거하는 공정을 거치는 일 없이 연속해서 다음의 기판(1) 상의 투명 도전막(2) 위에 2중 pin 구조 적층체(60)를 형성시켜 다음의 적층형 실리콘계 박막 광전 변환 장치(600)를 제조할 수 있다.
- [0151] 또한, 제1 i형 비정질 실리콘계 광전 변환층(12)을 상기 조건에 의해 형성함으로써, 제1 p형 반도체층(11) 형성 시에 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착되어 있는 제1 p형 반도체층(11) 중의 p형 불순물 원자가 제1 i형 비정질 실리콘계 광전 변환층(12) 중에 혼입하는 양을 줄일 수 있다. 즉, 제1 p형 반도체층(11) 중의 p형 불순물이 제1 i형 비정질 실리콘계 광전 변환층(12) 중에 끼치는 영향을 줄일 수 있다.
- [0152] 제1 n형 반도체층(13)은, 비정질 반도체 또는 결정질 반도체 중 어느 쪽이라도 좋지만, 결정질 반도체로 하는 것이 바람직하다. 결정질 반도체에 포함되는 결정 부분은 n형 불순물 원자의 도핑 효율이 높기 때문에, n형 반도체층이 결정 부분을 포함함으로써, n형 불순물 원자 농도를 크게 하지 않고 원하는 도전율을 얻을 수 있다. 따라서, 제1 n형 반도체층(13) 중의 n형 불순물 농도를 낮게 할 수 있어, 다른 층으로의 확산을 줄일 수 있다.

즉, 제1 n형 반도체층(13)의 형성 후에, 계속해서 제2 비정질 pin 구조 적층체(50)를 형성할 경우에, 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 형성하기 전부터 플라즈마 CVD 성막실(220) 내의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착되어 있는 제1 n형 반도체층(13)의 n형 불순물 원자 농도가 낮기 때문에, 형성되는 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다.

[0153] 또한, 본 실시 형태에 있어서는 성막 압력 200 Pa 이상 3000 Pa 이하, 또한 전극 단위 면적당의 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하의 조건하에서, 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 차례로 연속해서 형성한다. 이러한 형성 조건으로, 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 형성하면, 제1 n형 반도체층(13)의 형성 시에 플라즈마 CVD 성막실(220) 내에 형성된 잔류막의 n형 불순물 원자의 영향을 받기 어렵다.

[0154] 성막 압력 200 Pa 이상의 형성 조건은, 비정질 실리콘계 반도체층을 형성하는 일반적인 조건보다 높은 압력 조건이다. 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 높은 성막 압력으로 형성함으로써, 그들의 층을 형성하기 전부터 플라즈마 CVD 성막실(220)의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착되어 있는 제1 n형 반도체층(13)으로부터 방출되는 n형 불순물의 평균 자유 행정(플라즈마 CVD 성막실 내를 이동할 수 있는 거리)을 저하시키고, 형성되는 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 성막 압력 3000 Pa 이하의 형성 조건으로 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.

[0155] 또한, 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 전극 단위 면적당의 전력 밀도 $0.3\text{W}/\text{cm}^2$ 이하의 저전력 밀도로 형성함으로써, 캐소드(222)에 충돌하는 플라즈마 속의 전자 및 이온이 갖는 에너지를 줄일 수 있다. n형 불순물 원자는, 캐소드(222)에 부착된 제1 n형 반도체층(13)으로부터 플라즈마 속의 전자 및 이온에 의해 쫓겨나게 되므로, 이것들이 갖는 에너지를 저감함으로써, 형성되는 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 또한, 전력 밀도 $0.01\text{W}/\text{cm}^2$ 이상의 형성 조건으로 제2 p형 반도체층(21) 및 제2 i형 비정질 실리콘계 광전 변환층(52)을 형성함으로써, 박막 광전 변환 장치용으로서 양호한 막질의 실리콘계 반도체 박막을 성막할 수 있다.

[0156] 또한, 제2 i형 비정질 실리콘계 광전 변환층(52)을 상기 형성 조건에 의해 형성함으로써, 제2 p형 반도체층(21) 형성 시에 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착된 제2 p형 반도체층(21) 중의 p형 불순물 원자가 제2 i형 비정질 실리콘계 광전 변환층(52) 중에 혼입하는 양을 줄일 수 있다.

[0157] 제2 n형 반도체층(23)은, 비정질 반도체 또는 결정질 반도체 중 어느 쪽이라도 좋지만, 결정질 반도체로 하는 것이 바람직하다. 결정질 반도체에 포함되는 결정 부분은 n형 불순물 원자의 도핑 효율이 높기 때문에, n형 반도체층이 결정 부분을 포함함으로써, n형 불순물 원자 농도를 크게 하지 않고 원하는 도전율을 얻을 수 있다. 따라서, 제2 n형 반도체층(23) 중의 n형 불순물 농도를 낮게 할 수 있어, 다른 층으로의 확산을 줄일 수 있다. 즉, 계속해서 다른 기관(1)에 이중 pin 구조 적층체(60)를 형성할 경우에, 다음의 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12)을 형성하기 전부터 플라즈마 CVD 성막실(220) 내의 캐소드(222) 상 및 실내면(221) 상 중 적어도 어느 하나에 부착되어 있는 제2 n형 반도체층(23)의 n형 불순물 원자 농도가 낮기 때문에, 형성되는 제1 p형 반도체층(11) 및 제1 i형 비정질 실리콘계 광전 변환층(12) 내로 도입되는 n형 불순물 원자의 양을 줄일 수 있다. 이와 같이 하여, 높은 광전 변환 효율을 갖는 적층형 실리콘계 박막 광전 변환 장치(600)를 반복하여 제조할 수 있다.

[0158] (제10 실시 형태)

[0159] 본 발명의 실리콘계 박막 광전 변환 장치의 제조 방법의 또 다른 실시 형태는, 상기 제9 실시 형태에 있어서, 이중 pin 구조 적층체(60)를 형성하는 공정 후에, 이 이중 pin 구조 적층체(60)를 포함하는 실리콘계 박막 광전 변환 장치(600)를 플라즈마 CVD 성막실(220)로부터 반출하는 공정과, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 포함하는 것이다. 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법은, 이중 pin 구조 적층체(60)를 형성한 후에, 이 이중 pin 구조 적층체(60)를 포함하는 실리콘계 박막 광전 변환 장치(600)를 플라즈마 CVD 성막실(220)로부터 반출하고, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 것을 특징으로 한다.

- [0160] 제9 실시 형태에 나타내는 바와 같이 동일한 플라즈마 CVD 성막실(220) 내에서 이중 pin 구조 적층체(60)를 형성한 후, 이 이중 pin 구조 적층체(60)를 포함하는 실리콘계 박막 광전 변환 장치(600)를 반출한 후, 상기 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상에 형성된 잔류막 중 적어도 어느 하나를 제거함으로써, 양호한 품질 및 성능을 갖는 적층형 실리콘계 박막 광전 변환 장치(600)를, 동일한 플라즈마 CVD 성막실(220) 내에서 반복하여 제조할 수 있다.
- [0161] 제9 실시 형태에 나타내는 방법에 의해 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 거치는 일 없이, 동일한 플라즈마 CVD 성막실(220) 내에서 이중 pin 구조 적층체(60)를 형성함으로써, 다음의 적층형 실리콘계 박막 광전 변환 장치(600)를 형성할 수도 있다.
- [0162] 그러나, 플라즈마 CVD 성막실(220)에 있어서의 잔류막에 의한 오염을 방지하는 점에서, 하나의 적층형 실리콘계 박막 광전 변환 장치(600)의 형성 후, 다음 기판(1)의 투명 도전막(2) 위에 계속해서 다음의 적층형 실리콘계 박막 광전 변환 장치(600)의 이중 pin 구조 적층체(60)를 형성하는 것보다도, 이중 pin 구조 적층체(60)를 형성하기 전에, 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 완전히 제거하고, 잔존 막 내의 n형층 중의 불순물 원자(n형 도우펀트)에 의한 다음의 적층형 실리콘계 박막 광전 변환 장치(600)의 비정질 pin 구조 적층체(60)로의 확산에 의한 영향을 완전히 제거하는 것이 바람직하다. 이에 의해, 계속해서 재현성 좋게, 양호한 품질 및 성능을 갖는 적층형 실리콘계 박막 광전 변환 장치(600)를 형성할 수 있다.
- [0163] 즉, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 방법은, 다음 공정에 있어서 예정되어 있는 이중 pin 구조 적층체(60)의 형성 시에 있어서의, 플라즈마 CVD 성막실(220)의 잔류막 내의 p형층 및 n형층의 불순물 원자(p형 불순물 원자 및 n형 불순물 원자)에 의한 이중 pin 구조 적층체(60)로의 영향을 제거하기 위한 공정으로서 플라즈마 CVD 성막실(220)의 캐소드(222) 상의 잔류막 및 실내면(221) 상의 잔류막 중 적어도 어느 하나를 제거하는 공정을 더 갖는 것을 특징으로 한다. 이러한 공정에 의해, 싱글 챔버 방식으로 복수의 광전 변환 장치를 연속해서 제조해도, 잔류막 속의 불순물 원자에 의한 영향을 제거할 수 있어, 이중 pin 구조 적층체(60) 중의 제1 및 제2 p형 반도체층(11, 21) 및 제1 및 제2 i형 비정질 실리콘계 박막 광전 변환층(12, 52) 중으로의 n형 불순물 원자의 혼입을 대폭으로 줄일 수 있다. 이로 인해, 양호한 품질 및 성능을 갖는 이중 pin 구조 적층체를 반복하여 형성할 수 있게 되어, 싱글 챔버 방식을 이용해서 적층형 실리콘계 박막 광전 변환 장치를 제조하는 것이 가능해지고, 인라인 방식이나 멀티 챔버 방식, 또한 각각을 조합한 제조 설비보다도 설비를 간략화하여, 저비용화를 도모할 수 있다. 본 실시 형태의 잔류막을 제거하는 공정에 있어서 사용되는 클리닝 가스는, 제2 실시 형태 및 제8 실시 형태와 마찬가지로, 이하와 같다.
- [0164] (제11 실시 형태)
- [0165] 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 장치의 하나의 실시 형태는, 도7을 참조하여, 제1 실시 형태(도1을 참조), 제7 실시 형태(도5를 참조) 또는 제9 실시 형태(도6을 참조) 등의 제조 방법에 이용되는 실리콘계 박막 광전 변환 장치의 제조 장치이며, 이 실리콘계 박막 광전 변환 장치의 제조 장치는, 내부에 캐소드(222) 및 애노드(223)가 배치되어 있는 플라즈마 CVD 성막실(220)과, 플라즈마 CVD 성막실(220) 내의 가스 압력을 조정하는 가스 압력 조정부(211)와, 캐소드(222)에 전력을 공급하는 전력 공급부(201)를 포함하고, 캐소드(222)와 애노드(223)의 거리는 3 mm 이상 20 mm 이하이며, 가스 압력 조정부(211)는 CVD 성막실(220) 내의 가스 압력을 200 Pa 이상 3000 Pa 이하의 범위로 제어할 수 있고, 전력 공급부(201)는 캐소드의 단위 면적당의 전력 밀도를 0.01W/cm² 이상 0.3W/cm² 이하의 범위로 제어할 수 있는 장치이다. 또한, 도7에 있어서, 화살표 G1은 플라즈마 CVD 성막실(220)로 도입되는 가스의 흐름을, 화살표 G2는 플라즈마 CVD 성막실(220)로부터 배출되는 가스의 흐름을 설명한다.
- [0166] 예를 들어, 본 실시 형태의 실리콘계 박막 광전 변환 장치의 제조 장치는, 도7을 참조하여, 밀폐 가능한 플라즈마 CVD 성막실(220) 내에, 캐소드(222) 및 애노드(223)가 평행하게 대향하도록 설치된 평행 평판형의 전극 구조를 갖는 플라즈마 CVD법에 의한 반도체층 제조 장치이다. 여기서, 캐소드(222)와 애노드(223)의 전극간 거리는 3 mm 내지 20 mm, 바람직하게는 5 mm 내지 15 mm, 더욱 바람직하게는 7 mm 내지 12 mm이다. 캐소드(222)와 애노드(223)의 양 전극은, 양 전극간의 거리가 일정 또는 가변이 되도록 고정되어 있다. 전극 사이 거리의 정밀도를 높이고, 장치를 소형화할 수 있는 관점에서, 양 전극간의 거리는 일정하게 고정되어 있는 것이 바람직하다.
- [0167] 플라즈마 CVD 성막실(220)에는, 가스 압력 조정부(211)를 구성하는, 압력 조정 밸브(213v)가 설치된 가스 도입

관(213), 압력 조정 밸브(217v)가 설치된 가스 배출관(217) 및 가스 배출 장치(216)(가스 배출 펌프 등)가 배치되어 있다.

- [0168] 가스 도입관(213)을 통해, 회석 가스, 원료 가스, 도핑 가스 등이 플라즈마 CVD 성막실(220)로 도입된다. 회석 가스로서는 수소 가스를 포함하는 가스, 원료 가스로서는 실란계 가스, 메탄 가스, 게르마늄 가스 등, p형 불순물 원자 도핑 가스로서는 p형 불순물 원자를 도핑하기 위한 디보란 가스 등, n형 불순물 원자를 도핑하기 위한 포스핀 가스 등이 사용된다.
- [0169] 또한, 가스 배출 장치(216)에 의해, 플라즈마 CVD 성막실(220) 내의 가스가 가스 배출관(217)을 통해서 배출된다. 여기서, 압력 조정 밸브(213v, 217v) 및 가스 배출 장치(216)를 조절함으로써, 플라즈마 CVD 성막실(220) 내의 가스 압력을 조절할 수 있다. 여기서, 가스 배출 장치(216)는 플라즈마 CVD 성막실(220) 내의 가스 압력을 1.0×10^{-4} Pa 정도의 백그라운드 압력으로 고진공 배기할 수 있는 것이어도 괜찮지만, 장치의 간이화, 저비용화 및 처리량 향상의 관점에서 0.1 Pa 정도의 백그라운드 압력으로 하는 배기 능력을 갖는 것이 바람직하다.
- [0170] 본 실시 형태의 제조 장치는, 플라즈마 CVD 성막실(220) 내의 가스 압력을 200 Pa 이상 3000 Pa 이하, 바람직하게는 300 Pa 이상 2000 Pa 이하, 더욱 바람직하게는 400 Pa 이상 1500 Pa 이하의 범위로 제어할 수 있는 가스 압력 조정부(211)를 포함하므로, 불순물 원자의 혼입이 적은 pin 구조 적층체를 형성할 수 있고, 높은 변환 효율을 갖는 실리콘계 박막 광전 변환 장치를 저비용으로 효율적으로 제조할 수 있다.
- [0171] 또한, 플라즈마 CVD 성막실(220)의 외부에는, 전력 공급부(201)를 구성하는, 전력 출력부(208), 임피던스 정합 회로(205) 및 전력 출력부(208)에서 발생한 전력을 임피던스 회로(205)를 경유해서 캐소드(222)에 공급하는 전력 공급선(206a, 206b)이 배치되어 있다. 여기서, 전력 공급선(206a)은 전력 출력부(208)와 임피던스 회로(205)의 일단부에 접속되고, 전력 공급선(206b)은 임피던스 회로(205)의 타단부와 캐소드(222)에 접속되어 있다.
- [0172] 전력 출력부(208)는, CW(연속파형) 교류 출력 혹은 펄스 변조(온 오프 제어)된 교류 출력 중 어느 하나를 출력하는 것이라도 된다. 전력 출력부(208)로부터 출력되는 교류 전력의 주파수는, 13.56 MHz가 일반적이지만, 이것에 한정되는 것은 아니고, 수 kHz로부터 VHF대, 또한 마이크로파대의 주파수를 사용해도 좋다.
- [0173] 한편, 애노드(223)는 전기적으로 접지되어 있고, 애노드(223) 상에는 투명 도전막이 형성된 기판(1)이 적재된다. 기판(1)은, 캐소드(222) 상에 적재되어도 좋지만, 플라즈마 속의 이온 데미지에 의한 막질 저하를 저감하기 위해 애노드(223) 위에 설치되는 것이 일반적이다. 캐소드(222)에는 전력 출력부(208)로부터, 전력 공급선(206a), 임피던스 정합 회로(205) 및 전력 공급선(206b)을 통해서 전력이 공급된다.
- [0174] 본 실시 형태의 제조 장치는, 캐소드(222)의 전극 단위 면적당의 전력 밀도가 $0.01\text{W}/\text{cm}^2$ 이상 $0.3\text{W}/\text{cm}^2$ 이하, 바람직하게는 $0.015\text{W}/\text{cm}^2$ 이상 $0.2\text{W}/\text{cm}^2$ 이하, 더욱 바람직하게는 $0.02\text{W}/\text{cm}^2$ 이상 $0.15\text{W}/\text{cm}^2$ 이하의 범위로 제어할 수 있는 전력 공급부(201)를 포함하므로, 불순물 원자의 혼입이 적은 pin 구조 적층체를 형성할 수 있어, 높은 변환 효율을 갖는 실리콘계 박막 광전 변환 장치를 저비용으로 효율적으로 제조할 수 있다.
- [0175] [실시예]
- [0176] (제1 실시예)
- [0177] 본 실시예는, 도1에 나타내는 이중 pin 구조 적층체(30)[비정질 pin 구조 적층체(10) 및 미결정 pin 구조 적층체(20)]를 도2에 나타내는 동일한 플라즈마 CVD 성막실(220) 내에서 반복하여 형성해 적층형 실리콘계 박막 광전 변환 장치를 반복하여 제조하는 것이다.
- [0178] 두께 4 mm의 글래스로 이루어지는 기판(1) 위에 형성된 두께 1 μm 의 SnO_2 막으로 이루어지는 투명 도전막(2) 상에, 제1 p형 반도체층(11)으로서의 두께 10 nm의 비정질 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{cm}^{-3}$), i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.5 μm 의 비정질 실리콘층, 제1 n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층(인 원자 농도 $2 \times 10^{19} \text{cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{cm}^{-3}$), 제2 p형 반도체층(21)으로서 두께 30 nm의 미결정 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{cm}^{-3}$), i형 미결정 실리콘계 광전 변환층(22)으로서 두께 3 μm 의 미결정 실리콘층 및 제2 n형 반도체층(23)으로서 두께 30 nm의 미결정 실리콘층(인 원자 농도 $3 \times 10^{19} \text{cm}^{-3}$)을 형성한다. 그 후

에 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극으로서 두께 0.1 μm 의 Ag 전극을 형성한다.

- [0179] 우선, 요철 형상을 갖는 SnO₂막[투명 도전막(2)]이 형성된 글래스 기판(1) 위에, 제1 p형 반도체층(11)으로서 두께 10 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/cm²의 조건으로 형성했다.
- [0180] 다음에, 제1 p형 반도체층(11) 상에, i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.5 μm 의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.07W/cm²인 조건으로 형성했다.
- [0181] 다음에, i형 비정질 실리콘계 광전 변환층(12) 상에, 제1 n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/cm²인 조건으로 형성했다.
- [0182] 다음에, 제1 n형 반도체층(13) 상에, 제2 p형 반도체층(21)으로서 두께 30 nm의 미결정 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 800 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.08W/cm²인 조건으로 형성했다.
- [0183] 다음에, 제2 p형 반도체층(21) 상에, i형 미결정 실리콘계 광전 변환층(22)으로서 두께 3 μm 의 미결정 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 800 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.10W/cm²인 조건으로 형성했다.
- [0184] 다음에, i형 미결정 실리콘계 광전 변환층(22) 상에, 제2 n형 반도체층(23)으로서 두께 30 nm의 미결정 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 800 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.08W/cm²인 조건으로 형성했다.
- [0185] 그 후에 스퍼터법에 의해, 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극으로서 두께 0.1 μm 의 Ag 전극을 형성하고, 적층형 실리콘 박막 광전 변환 장치인 탠덤형 실리콘 박막 광전 변환 장치를 제조했다.
- [0186] 이렇게 해서 얻어진 탠덤형 실리콘 박막 광전 변환 장치에 대해서, 광전 변환 효율을 측정한 바, 13.6%였다.
- [0187] 그 후에 동일한 플라즈마 CVD 성막실(220) 내에서, 상기와 마찬가지로의 조건으로 제2회째의 이중 pin 구조 적층체(30)를 형성하고, 마찬가지로의 방법에 의해 적층형 실리콘 박막 광전 변환 장치를 제조했다. 이렇게 해서 얻어진 제2회째의 적층형 실리콘 박막 광전 변환 장치에 대해서 광전 변환 효율을 측정한 바 13.5%였다. 이와 같이 하여, 순서대로 10회째까지, 10개의 탠덤형 실리콘 박막 광전 변환 장치를 제조했다. 제3회째, 제4회째, 제5회째, 제6회째, 제7회째, 제8회째, 제9회째 및 제10회째의 탠덤형 실리콘 박막 광전 변환 장치의 광전 변환 효율은, 각각 13.4%, 13.5%, 13.4%, 13.6%, 13.6%, 13.4%, 13.5% 및, 13.6%였다. 그 결과를 도8에 나타냈다.
- [0188] 도8로부터도 분명한 바와 같이, 제1회째로부터 제10회째까지 탠덤형 광전 변환 장치의 광전 변환 효율에 큰 변화는 보이지 않고, 양호한 특성의 적층형 실리콘 박막 광전 변환 장치를 안정되게 제조할 수 있었다.
- [0189] (제2 실시예)
- [0190] 도4에 나타내는 S1 내지 S5을 따라, 도2에 나타내는 플라즈마 CVD 장치(200)의 동일한 성막실(220) 내에서, 도1에 나타내는 이중 pin 구조 적층체(30)[비정질 pin 구조 적층체(10) 및 미결정 pin 구조 적층체(20)]를 연속하여(반복) 형성해서 적층형 실리콘 박막 광전 변환 장치인 탠덤형 실리콘계 광전 변환 장치를 얻었다.
- [0191] 여기서, 본 실시예에 있어서의 탠덤형 광전 변환 장치는, 기판(1)으로서 두께 4 mm의 글래스 기판을 이용하여, 기판(1) 위에 차례로, 투명 도전막(2)으로서 두께 1 μm 의 SnO₂막, 제1 p형 반도체층(11)으로서 두께 10 nm의 비정질 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{ cm}^{-3}$), i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.5 μm 의 비정질 실리콘층, 제1 n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층(인 원자 농도 $2 \times 10^{19} \text{ cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{ cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{ cm}^{-3}$), 제2 p형 반도체층(21)으로서 두께 30 nm의 미결정 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{ cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{ cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{ cm}^{-3}$), i형 미결정 실리콘계 광전 변환층(22)으로서 두께 3 μm 의 미결정 실리콘층, 제2 n형 반도체층(23)으로서 두께 30 nm의 미결정 실리콘층(인 원자 농도 $3 \times 10^{19} \text{ cm}^{-3}$), 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극으로서 두께 0.1 μm 의 Ag 전극이 형성되어 있다.
- [0192] 얻어진 탠덤형 광전 변환 장치에 대해서, 광전 변환 효율을 측정한 바, 13.5%였다. 그 후에 성막실(220)에 형

성된 잔류막을, 그 표면층으로부터 성막실의 캐소드 및 실내면에 가장 가까운 i형층의 두께 90%의 깊이까지 언더 에칭에 의해 제거한 후, 상기와 마찬가지로의 조건으로 제2회째의 이중 pin 구조 적층체(30)를 포함하는 탠덤형 광전 변환 장치를 형성했다. 이렇게 해서 얻어진 제2회째의 탠덤형 광전 변환 장치에 대해서 광전 변환 효율을 측정한 바 13.4%였다. 이와 같이 하여, 순서대로 10회째까지, 10개의 탠덤형 광전 변환 장치를 얻었다. 여기서, 제3회째, 제4회째, 제5회째, 제6회째, 제7회째, 제8회째, 제9회째 및 제10회째의 탠덤형 광전 변환 장치의 광전 변환 효율은, 각각 13.5%, 13.5%, 13.4%, 13.5%, 13.5%, 13.5%, 13.4% 및, 13.5%였다. 결과를 도9에 나타냈다.

[0193] 도9로부터도 분명한 바와 같이, 제1회째로부터 제10회째까지 탠덤형 광전 변환 장치의 광전 변환 효율은 거의 일정했다. 즉, 형성 횟수가 10회째가 되어도, 현저한 특성의 변화는 나타나지 않았다. 또한, 수율은 어떠한 형성 횟수에 있어서도 100%이며, 양호했다.

[0194] 본 실시예의 결과에 의해, 이중 pin 구조 적층체(30)를 동일한 플라즈마 성막실(220)에 있어서 반복해 형성할 경우에, 이중 pin 구조 적층체(30)를 형성 후, 성막실(220)에 형성된 잔류막을 에칭하고, 그 후 이중 pin 구조 적층체(30)를 형성해도, 그 이중 pin 구조 적층체(30)를 포함하는 탠덤형(적층형) 광전 변환 장치의 특성은 저하되는 일 없이, 양호한 수율이 얻어지는 것을 알았다. 에칭을 실시해도 수율을 저하시키는 일이 없으므로, 장치의 유지 보수 빈도를 줄일 수 있다.

[0195] (제3 실시예)

[0196] 본 실시예는, 도5에 나타내는 비정질 pin 구조 적층체(10)를 도2에 나타내는 동일한 플라즈마 CVD 성막실(220) 내에서 형성한 실리콘계 박막 광전 변환 장치를 반복해 제조하는 것이다.

[0197] 두께 4 mm의 글래스로 이루어지는 기판(1) 위에 형성된 두께 1 μm 의 SnO_2 막으로 이루어지는 투명 도전막(2) 상에, p형 반도체층(11)으로서의 두께 10 nm의 비정질 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{ cm}^{-3}$), i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.3 μm 의 비정질 실리콘층, n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층(인 원자 농도 $2 \times 10^{19} \text{ cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{ cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{ cm}^{-3}$)을 형성한다. 그 후에 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극으로서 두께 0.1 μm 의 Ag 전극을 형성한다.

[0198] 우선, 요철 형상을 갖는 SnO_2 막[투명 도전막(2)]이 형성된 글래스 기판(1) 위에, p형 반도체층(11)으로서 두께 10 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/ cm^2 인 조건으로 형성했다.

[0199] 다음에, p형 반도체층(11) 상에, i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.3 μm 의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.07W/ cm^2 인 조건으로 형성했다.

[0200] 다음에, i형 비정질 실리콘계 광전 변환층(12) 상에, n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/ cm^2 인 조건으로 형성했다.

[0201] 그 후에 스퍼터법에 의해, 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극으로서 두께 0.1 μm 의 Ag 전극을 형성하고, 적층형 실리콘 박막 광전 변환 장치를 제조했다.

[0202] 이렇게 해서 얻어진 적층형 실리콘 박막 광전 변환 장치에 대해서, 광전 변환 효율을 측정한 바, 9.9%였다.

[0203] 그 후에 동일한 플라즈마 CVD 성막실(220) 내에서, 상기와 마찬가지로의 조건으로 제2회째의 비정질 pin 구조 적층체(10)를 형성하고, 마찬가지로의 방법에 의해 실리콘 박막 광전 변환 장치를 제조했다. 이렇게 해서 얻어진 제2회째의 실리콘 박막 광전 변환 장치에 대해서 광전 변환 효율을 측정한 바 10.0%였다. 이와 같이 하여, 순서대로 10회째까지, 10개의 실리콘 박막 광전 변환 장치를 제조했다. 제3회째, 제4회째, 제5회째, 제6회째, 제7회째, 제8회째, 제9회째 및 제10회째의 실리콘 박막 광전 변환 장치의 광전 변환 효율은, 각각 10.1%, 10.0%, 10.0%, 10.1%, 10.0%, 9.9%, 9.9% 및, 10.1%였다. 그 결과를 도10에 나타냈다.

[0204] 도10으로부터도 분명한 바와 같이, 제1회째로부터 제10회째까지 실리콘 박막 광전 변환 장치의 광전 변환 효율에 큰 변화는 보이지 않고, 양호한 특성의 실리콘 박막 광전 변환 장치를 안정되게 제조할 수 있었다.

[0205] (제4 실시예)

- [0206] 본 실시예는, 도6에 나타내는 이중 pin 구조 적층체(60)[제1 비정질 pin 구조 적층체(10) 및 제2 비정질 pin 구조 적층체(50)]를 도2에 나타내는 동일한 플라즈마 CVD 성막실(220) 내에서 형성한 적층형 실리콘계 박막 광전 변환 장치를 반복해 제조하는 것이다.
- [0207] 두께 4 mm의 글래스로 이루어지는 기판(1) 위에 형성된 두께 1 μm 의 SnO_2 막으로 이루어지는 투명 도전막(2) 상에, 제1 p형 반도체층(11)으로서 두께 10 nm의 비정질 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{cm}^{-3}$), 제1 i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.07 μm 의 비정질 실리콘층, 제1 n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층(인 원자 농도 $2 \times 10^{19} \text{cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{cm}^{-3}$)을 형성해서 제1 비정질 pin 구조 적층체(10)로 하고, 다음에 제2 p형 반도체층(21)으로서 두께 10 nm의 비정질 실리콘층(붕소 원자 농도 $3 \times 10^{19} \text{cm}^{-3}$), 제2 i형 비정질 실리콘계 광전 변환층(52)으로서 두께 0.3 μm 의 비정질 실리콘층, 제2 n형 반도체층(23)으로서 두께 30 nm의 비정질 실리콘층(인 원자 농도 $2 \times 10^{19} \text{cm}^{-3}$, 질소 원자 농도 $1 \times 10^{18} \text{cm}^{-3}$, 산소 원자 농도 $5 \times 10^{19} \text{cm}^{-3}$)을 형성해서 제2 비정질 pin 구조 적층체(50)로 한다. 그 후에 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극(4)으로서 두께 0.1 μm 의 Ag 전극을 형성한다.
- [0208] 우선, 요철 형상을 갖는 SnO_2 막[투명 도전막(2)]이 형성된 글래스 기판(1) 위에, 제1 p형 반도체층(11)으로서 두께 10 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/ cm^2 인 조건으로 형성했다.
- [0209] 다음에, 제1 p형 반도체층(11) 상에, 제1 i형 비정질 실리콘계 광전 변환층(12)으로서 두께 0.07 μm 의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.07W/ cm^2 인 조건으로 형성했다.
- [0210] 다음에, 제1 i형 비정질 실리콘계 광전 변환층(12) 상에, 제1 n형 반도체층(13)으로서 두께 30 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/ cm^2 인 조건으로 형성했다.
- [0211] 다음에, 제1 n형 반도체층(13) 상에, 제2 p형 반도체층(21)으로서 두께 10 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/ cm^2 인 조건으로 형성했다.
- [0212] 다음에, 제2 p형 반도체층(21) 상에, 제2 i형 비정질 실리콘계 광전 변환층(52)으로서 두께 0.3 μm 의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.07W/ cm^2 인 조건으로 형성했다.
- [0213] 다음에, 제2 i형 비정질 실리콘계 광전 변환층(52) 상에, 제2 n형 반도체층(23)으로서 두께 30 nm의 비정질 실리콘층을, 플라즈마 CVD 성막실(220) 내의 압력이 500 Pa, 캐소드 전극 단위 면적당의 전력 밀도가 0.05W/ cm^2 인 조건으로 형성했다. 이상에 의해, 이중 pin 구조 적층체(60)를 형성하였다.
- [0214] 그 후에 스퍼터법에 의해, 도전막(3)으로서 두께 0.05 μm 의 ZnO층, 금속 전극(4)으로서 두께 0.1 μm 의 Ag 전극을 형성하고, 적층형 실리콘 박막 광전 변환 장치인 탠덤형 실리콘 박막 광전 변환 장치를 제조했다.
- [0215] 이렇게 해서 얻어진 탠덤형 실리콘 박막 광전 변환 장치에 대해서, 광전 변환 효율을 측정한 바, 10.9%였다.
- [0216] 그 후에 동일한 플라즈마 CVD 성막실(220) 내에서, 상기와 마찬가지로의 조건으로 제2회째의 이중 pin 구조 적층체(60)를 형성하고, 마찬가지로의 방법에 의해 적층형 실리콘 박막 광전 변환 장치를 제조했다. 이렇게 해서 얻어진 제2회째의 탠덤형 실리콘 박막 광전 변환 장치에 대해서 광전 변환 효율을 측정한 바 11.0%였다. 이와 같이 하여, 순서대로 10회째까지, 10개의 적층형 실리콘 박막 광전 변환 장치를 제조했다. 제3회째, 제4회째, 제5회째, 제6회째, 제7회째, 제8회째, 제9회째 및 제10회째의 탠덤형 실리콘 박막 광전 변환 장치의 광전 변환 효율은, 각각 10.9%, 10.9%, 11.1%, 11.0%, 10.9%, 11.0%, 11.0% 및 11.0%였다. 그 결과를 도11에 나타냈다.
- [0217] 도11로부터도 분명한 바와 같이, 제1회째로부터 제10회째까지 탠덤형 광전 변환 장치의 광전 변환 효율에 큰 변화는 보이지 않고, 양호한 특성의 적층형 실리콘 박막 광전 변환 장치를 안정되게 제조할 수 있었다.
- [0218] 금회 개시된 실시 형태 및 실시예는 모든 점에서 예시이며 제한적인 것은 아니라고 생각되어야 할 것이다. 본 발명의 범위는 상기한 설명에서는 없어 청구범위에 의해 개시되고, 청구범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

산업상 이용 가능성

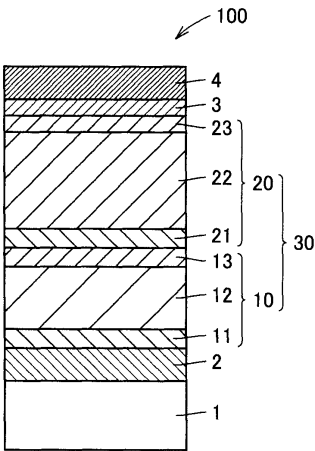
[0019] 본 발명에 의하면, 양호한 성능을 갖는 실리콘계 박막 광전 변환 장치를, 쉽게, 저비용이면서, 효율적으로 제조할 수 있다.

도면의 간단한 설명

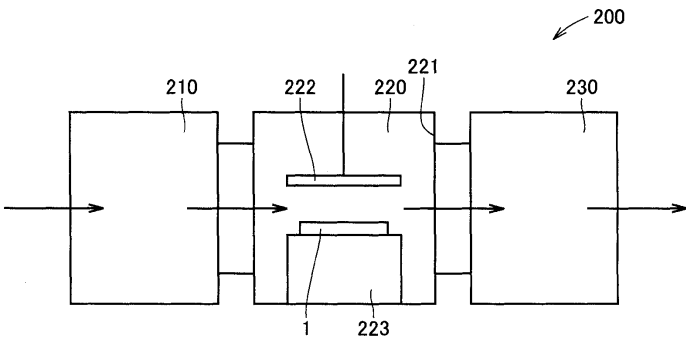
- [0027] 도1은 본 발명에 관한 실리콘계 박막 광전 변환 장치의 하나의 실시 형태를 나타내는 개략 단면도이다.
- [0028] 도2는 본 발명에 있어서 이용되는 플라즈마 CVD 장치의 개략도이다.
- [0029] 도3은 본 발명에 관한 실리콘계 박막 광전 변환 장치의 다른 실시 형태를 나타내는 개략 단면도이다.
- [0030] 도4는 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 방법의 일 실시 형태를 개략적으로 도시하는 흐름도이다.
- [0031] 도5는 본 발명에 관한 실리콘계 박막 광전 변환 장치의 또 다른 실시 형태를 나타내는 개략 단면도이다.
- [0032] 도6은 본 발명에 관한 실리콘계 박막 광전 변환 장치의 또 다른 실시 형태를 나타내는 개략 단면도이다.
- [0033] 도7은 본 발명에 관한 실리콘계 박막 광전 변환 장치의 제조 장치의 하나의 실시 형태를 나타내는 개략 단면도이다.
- [0034] 도8은 제1 실시예에 있어서 반복 제작된 적층형 실리콘계 박막 광전 변환 장치의 형성 횟수와 광전 변환 효율의 관계를 나타내는 도면이다.
- [0035] 도9는 제2 실시예에 있어서 반복 제작된 적층형 실리콘계 박막 광전 변환 장치의 형성 횟수와 광전 변환 효율의 관계를 나타내는 도면이다.
- [0036] 도10은 제3 실시예에 있어서 반복 제작된 실리콘계 박막 광전 변환 장치의 형성 횟수와 광전 변환 효율의 관계를 나타내는 도면이다.
- [0037] 도11은 제4 실시예에 있어서 반복 제작된 적층형 실리콘계 박막 광전 변환 장치의 형성 횟수와 광전 변환 효율의 관계를 나타내는 도면이다.
- [0038] [부호의 설명]
- [0039] 1 : 기판, 2 : 투명 도전막, 3 : 도전막, 4 : 금속 전극, 10, 50 : 비정질 pin 구조 적층체, 11, 21, 41 : p형 반도체층, 12, 52 : i형 비정질 실리콘계 광전 변환층, 13, 23, 43 : n형 반도체층, 20 : 미결정 pin 구조 적층체, 22 : i형 미결정 실리콘계 광전 변환층, 30, 60 : 이중 pin 구조 적층체, 40 : 결정질 pin 구조 적층체, 42 : i형 결정질 실리콘계 광전 변환층, 100, 300, 500, 600 : 실리콘계 박막 광전 변환 장치, 200 : 플라즈마 CVD 장치, 201 : 전력 공급부, 205 : 임피던스 정합 회로, 206a, 206b : 전력 공급선, 208 : 전력 출력부, 210 : 가열실, 211 : 가스 압력 조정부, 213 : 가스 도입관, 213v, 217v : 압력 조정 밸브, 216 : 가스 배출 장치, 217 : 가스 배출관, 220 : 성막실, 221 : 실내면, 222 : 캐소드, 223 : 애노드, 230 : 취출실

도면

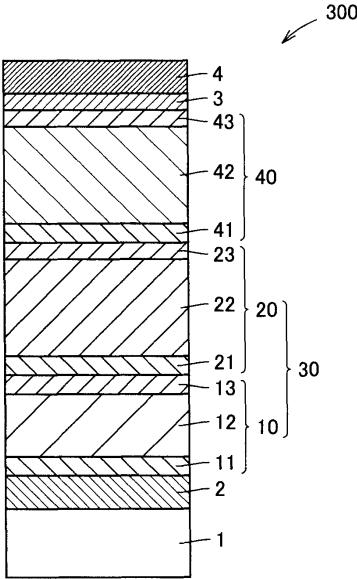
도면1



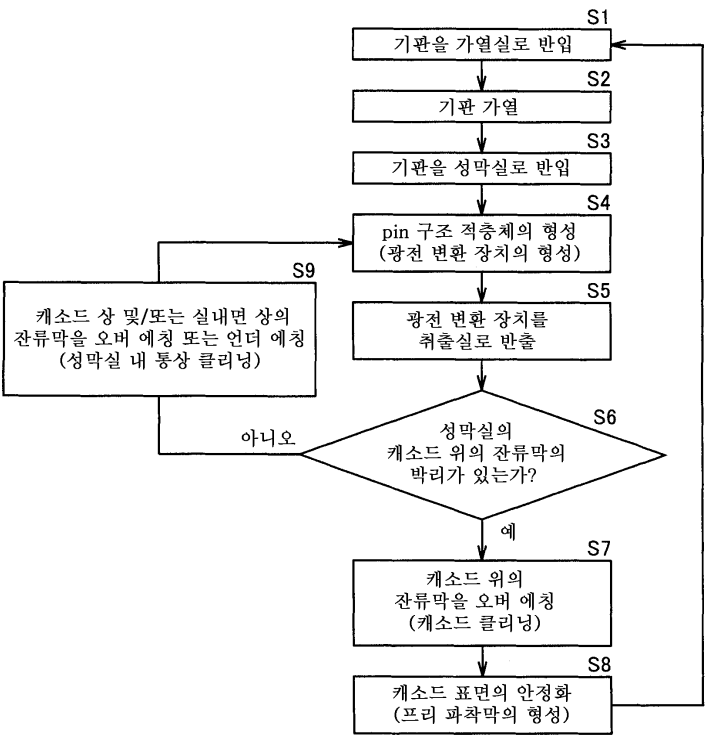
도면2



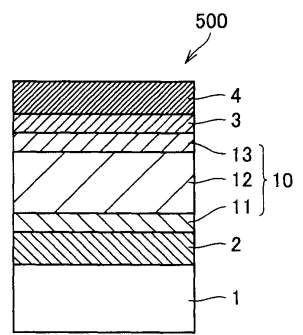
도면3



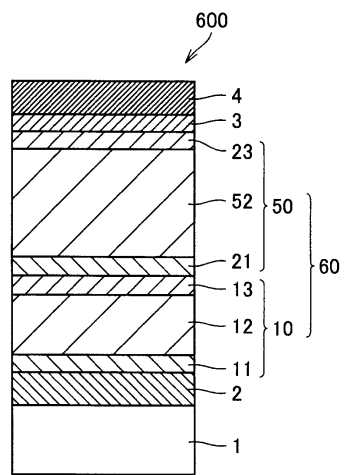
도면4



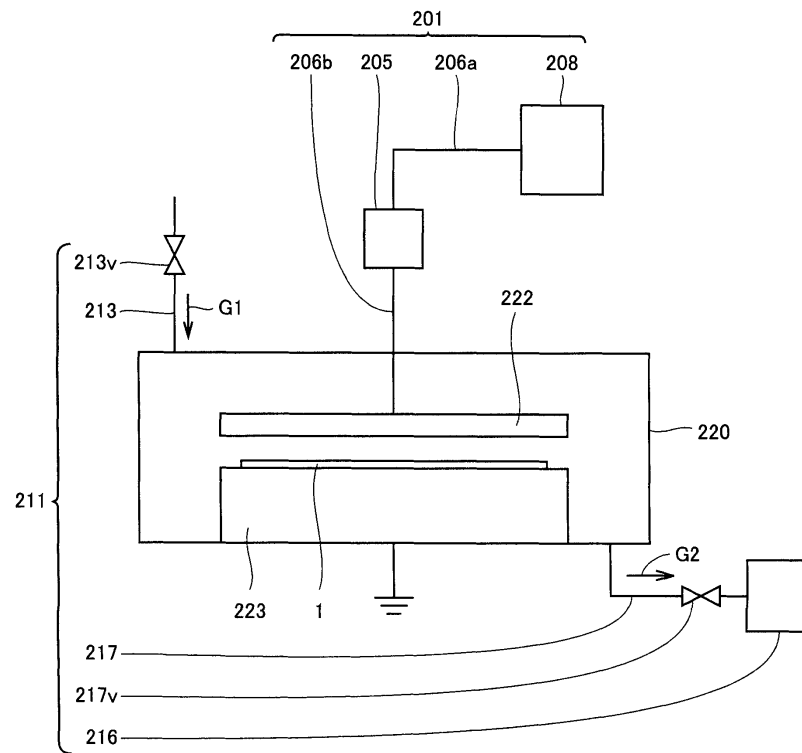
도면5



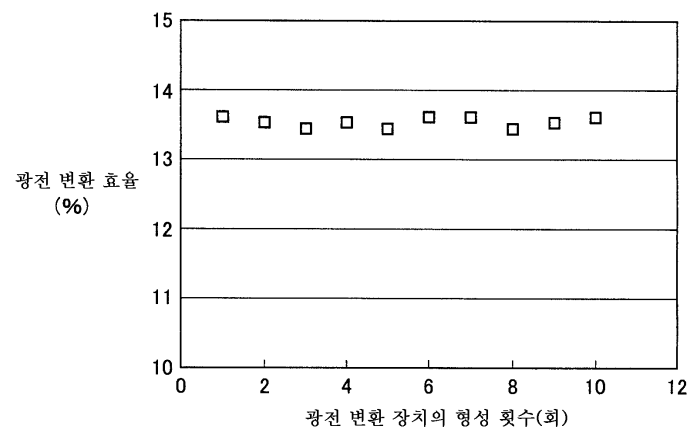
도면6



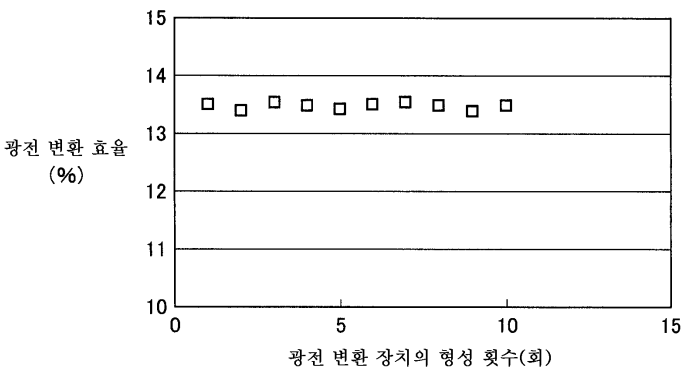
도면7



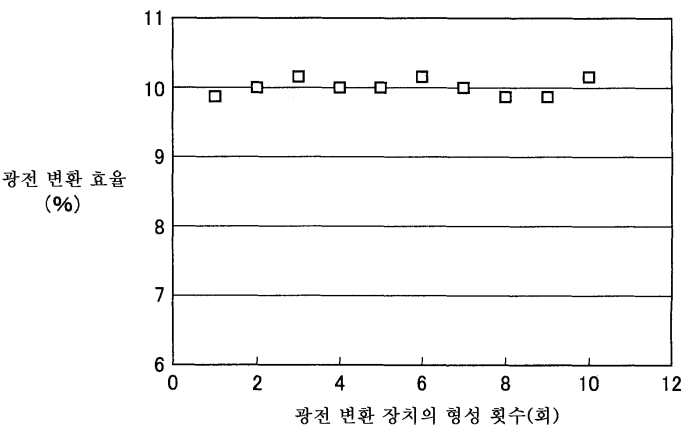
도면8



도면9



도면10



도면11

