



등록특허 10-2730170



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월15일
(11) 등록번호 10-2730170
(24) 등록일자 2024년11월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)

(52) CPC특허분류
G09G 3/3618 (2013.01)
G02F 1/133 (2021.01)

(21) 출원번호 10-2024-7024377(분할)

(22) 출원일자(국제) 2010년11월22일
심사청구일자 2024년07월19일

(85) 번역문제출일자 2024년07월19일

(65) 공개번호 10-2024-0118180

(43) 공개일자 2024년08월02일

(62) 원출원 특허 10-2022-7038802
원출원일자(국제) 2010년11월22일
심사청구일자 2022년11월04일

(86) 국제출원번호 PCT/JP2010/071204

(87) 국제공개번호 WO 2011/074393
국제공개일자 2011년06월23일

(30) 우선권주장
JP-P-2009-287957 2009년12월18일 일본(JP)

(56) 선행기술조사문헌
KR1020040052356 A
KR1019990027487 A
KR1020110067450 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자
고야마 준
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
미야케 히로유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
장수길, 박충범, 이중희

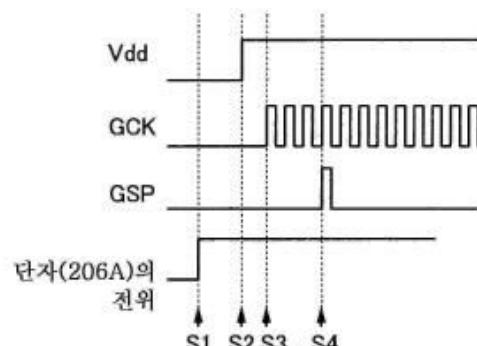
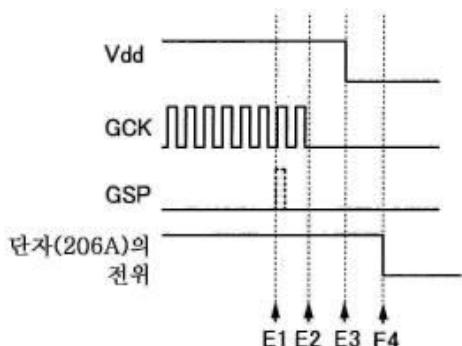
전체 청구항 수 : 총 2 항

심사관 : 김민수

(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치는 단자부, 스위칭 트랜지스터, 구동 회로부, 및 화소 트랜지스터 및 복수의 화소를 포함하는 화소 회로부를 구비한 제1 기판, 스위칭 트랜지스터를 통해 단자부에 전기적으로 접속된 공통 전극을 구비한 제2 기판, 및 화소 전극과 공통 전극 사이의 액정을 포함한다. 정지 화상이 동화상으로 전환되는 기간에, 다음의 단계들이 순차적으로 수행된다: 공통 전극에 공통 전위(단자(206A)의 전위)를 공급하는 제1 단계; 구동 회로부에 전원 전압(Vdd)을 공급하는 제2 단계; 구동 회로부에 클록 신호(GCK)를 공급하는 제3 단계; 및 구동 회로부에 스트트 펄스 신호(GSP)를 공급하는 제4 단계.

대 표 도

(52) CPC특허분류

G09G 3/3677 (2013.01)

G09G 3/3696 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0219 (2013.01)

G09G 2320/043 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

액정 표시 장치로서,

화소 회로부와, 게이트선 구동 회로를 포함하고,

상기 화소 회로부에 화상이 표시되어 있는 상태를 유지하면서, 상기 게이트선 구동 회로로부터의 신호의 출력을 정지하는 기능을 갖고,

상기 화소 회로부는 게이트가 게이트선과 항상 도통 상태에 있는 제1 트랜지스터와, 상기 제1 트랜지스터의 소스 및 드레인 중 하나와 항상 도통 상태에 있는 화소 전극을 포함하고,

상기 게이트선 구동 회로는, 상기 신호의 상기 게이트선으로의 출력을 제어하는 기능을 갖고,

상기 게이트선 구동 회로는, 제2 트랜지스터를 포함하고,

상기 제2 트랜지스터는 소스 및 드레인 중 하나가 복수의 클록 신호 중 하나의 클록 신호가 입력되는 배선과 항상 도통 상태에 있고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 게이트선 구동 회로의 출력 단자와 항상 도통 상태에 있고,

상기 제1 트랜지스터는 제1 산화물 반도체층을 포함하고,

상기 제2 트랜지스터는 제2 산화물 반도체층을 포함하고,

상기 게이트선 구동 회로로부터의 상기 신호의 출력의 정지는,

상기 게이트선 구동 회로로의 상기 복수의 클록 신호의 펄스의 입력이 순차적으로 정지되는 제1 동작과,

상기 제1 동작 후에, 상기 게이트선 구동 회로로의 전원 전압의 입력이 정지되는 제2 동작

을 거쳐 행해지는, 액정 표시 장치.

청구항 2

액정 표시 장치로서,

화소 회로부와, 게이트선 구동 회로를 포함하고,

상기 화소 회로부에 화상이 표시되어 있는 상태를 유지하면서, 상기 게이트선 구동 회로로부터의 신호의 출력을 정지하는 기능을 갖고,

상기 화소 회로부는 게이트가 게이트선과 항상 도통 상태에 있는 제1 트랜지스터와, 상기 제1 트랜지스터의 소스 및 드레인 중 하나와 항상 도통 상태에 있는 화소 전극을 포함하고,

상기 게이트선 구동 회로는, 상기 신호의 상기 게이트선으로의 출력을 제어하는 기능을 갖고,

상기 게이트선 구동 회로는, 제2 트랜지스터를 포함하고,

상기 제2 트랜지스터는 소스 및 드레인 중 하나가 복수의 클록 신호 중 하나의 클록 신호가 입력되는 배선과 항상 도통 상태에 있고,

상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나는, 상기 게이트선 구동 회로의 출력 단자와 항상 도통 상태에 있고,

상기 제1 트랜지스터는 제1 산화물 반도체층을 포함하고,

상기 제2 트랜지스터는 제2 산화물 반도체층을 포함하고,

상기 게이트선 구동 회로로부터의 상기 신호의 출력의 정지는,
 상기 게이트선 구동 회로로의 상기 복수의 클록 신호의 펄스의 입력이 순차적으로 정지되는 제1 동작과,
 상기 제1 동작 후에, 상기 게이트선 구동 회로로의 전원 전압의 입력이 정지되는 제2 동작
 을 거쳐 행해지고,
 상기 게이트선 구동 회로로부터의 상기 신호의 출력 재개는,
 상기 게이트선 구동 회로로의 전원 전압의 입력이 개시되는 제3 동작과,
 상기 제3 동작 후에, 상기 게이트선 구동 회로로의 상기 복수의 클록 신호의 펄스의 입력이 순차적으로 개시되는 제4 동작
 을 거쳐 행해지는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치를 구동하는 방법에 관한 것이다.

배경 기술

[0002] 텔레비전 수신기 등의 대형 표시 장치에서 이동 전화 등의 소형 표시 장치까지 액정 표시 장치의 범위가 확산되고 있다. 요즘, 부가 가치가 높은 제품이 요구되고 개발되고 있다. 최근, 글로벌 환경에 관한 관심의 증가와 이동 장치의 편리성의 개선에 비추어서, 저 전력 소비를 갖는 액정 표시 장치의 개발이 주목을 끌고 있다.

[0003] 특히 문헌 1은 모든 게이트선 및 모든 신호선이 선택되지 않는 휴지 기간에 데이터 신호선의 일정한 전위를 유지하기 위해, 모든 데이터 신호선이 데이터 신호 구동기로부터 전기적으로 분리되어, 고 임피던스 상태로 되는, 액정 표시 장치의 구성을 개시한다. 이 구성은 액정 표시 장치의 전력 소비의 감소를 가능하게 한다.

[0004] 비특히 문헌 1은 액정 표시 장치의 전력 소비의 감소를 위해 리프레시 레이트가 동화상 표시의 경우와 정지 화상 표시의 경우 간에 다른 액정 표시 장치의 구성을 개시한다. 비특히 문헌 1은 또한 정지 화상 표시의 경우에 휴지 기간과 주사 기간 간의 신호의 전환에 의해 야기되는, 드레인-공통 전압의 변동으로 인한 깜빡거림의 인지를 방지하기 위해, 드레인-공통 전압의 변동이 방지될 수 있도록 휴지 기간에도 동일 위상을 갖는 AC 신호가 신호선 및 공통 전극에 공급되는 구성을 개시한다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특개 2001-312253의 공보

비특허문헌

[0006] (비특허문헌 0001) Kazuhiko Tsuda et al., IDW'02, pp. 295-298

발명의 내용

해결하려는 과제

[0007] 복잡한 구동이 특허 문헌 1 및 비특허 문헌 1의 구성에서와 같이 액정 표시 장치에서 수행될 때, 신호를 게이트선 및 신호선에 공급하는 구동 회로의 구성 및 동작은 복잡해지므로 액정 표시 장치의 전력 소비가 충분히 감소될 수 없다.

[0008] 비특허 문헌 1의 구성에서와 같이 리프레시 레이트가 동화상 표시의 경우와 정지 화상 표시의 경우 간에 다른

경우에는, 정지 화상 표시의 경우의 리프레시 레이트는 액정 표시 장치의 전력 소비를 더욱 감소하기 위해 상당히 감소될 필요가 있다. 그러나, 정지 화상 표시의 경우의 리프레시 레이트가 상당히 감소될 때, 화상 신호가 유지되는 기간에 표시되는 화상은 다음의 문제(들)로 인해 열화된다: 화소 트랜지스터로부터 화소 전극 내에 유지될 전하의 누설 및/또는 노이즈 등으로 인한 화소 전극과 공통 전극 사이의 화상 신호의 흐트러짐(disorder).

[0009] 상기 문제들을 감안하여, 본 발명의 실시형태의 목적은 구동 회로의 복잡한 동작 없이, 정지 화상 표시의 경우에 리프레시 레이트를 감소함으로써 액정 표시 장치에 표시되는 화상의 열화를 억제하는 것이다.

과제의 해결 수단

[0010] 본 발명의 실시형태는 다음을 포함하는 액정 표시 장치를 구동하는 방법이다. 동화상이 표시되는 기간에, 제1 기판 위에 형성된 구동 회로부에 전기적으로 접속된 산화물 반도체층을 포함하는 화소 트랜지스터는, 화상 신호가 화소 전극에 공급되도록, 온되고, 제1 기판 위에 형성된 단자부에 전기적으로 접속된 산화물 반도체를 포함하는 스위칭 트랜지스터는, 스위칭 트랜지스터를 통해 단자부에 전기적으로 접속되고 제2 기판 위에 형성된 공통 전극에 공통 전위가 공급되도록, 온된다. 정지 화상이 표시되는 기간에, 화소 트랜지스터는 화소 전극이 전기적으로 부유 상태에 있도록 오프되고, 스위칭 트랜지스터는 공통 전극이 전기적으로 부유 상태에 있도록 오프된다. 정지 화상이 동화상으로 전환되는 기간에, 다음의 단계들이 순차적으로 수행된다: 공통 전극에 공통 전위를 공급하는 제1 단계; 구동 회로부에 전원 전압을 공급하는 제2 단계; 구동 회로부에 클록 신호를 공급하는 제3 단계; 및 구동 회로부에 스타트 펄스 신호를 공급하는 제4 단계.

[0011] 본 발명의 다른 실시형태는 다음을 포함하는 액정 표시 장치를 구동하는 방법이다. 동화상이 표시되는 기간에, 제1 기판 위에 형성된 구동 회로부에 전기적으로 접속된 산화물 반도체층을 포함하는 화소 트랜지스터는, 화상 신호가 화소 전극에 공급되도록, 온되고, 제1 기판 위에 형성된 단자부에 전기적으로 접속된 산화물 반도체를 포함하는 스위칭 트랜지스터는, 스위칭 트랜지스터를 통해 단자부에 전기적으로 접속되고 제2 기판 위에 형성된 공통 전극에 공통 전위가 공급되도록, 온된다. 정지 화상이 표시되는 기간에, 화소 트랜지스터는 화소 전극이 전기적으로 부유 상태에 있도록 오프되고, 스위칭 트랜지스터는 공통 전극이 전기적으로 부유 상태에 있도록 오프된다. 동화상이 정지 화상으로 전환되는 기간에, 다음의 단계들이 순차적으로 수행된다: 구동 회로부에 스타트 펄스 신호의 공급을 중지하는 제1 단계; 구동 회로부에 클록 신호의 공급을 중지하는 제2 단계; 구동 회로부에 전원 전압의 공급을 중지하는 제3 단계; 및 공통 전극에 공통 전위의 공급을 중지하는 제4 단계.

[0012] 본 발명의 실시형태들 중 하나에 따르면, 액정 표시 장치를 구동하는 방법은, 화상 신호를 저장하는 메모리 회로; 화소마다 화상 신호를 비교하고 차를 계산하는 비교 회로; 및 구동 회로를 제어하고 화상 신호를 판독하는 표시 제어 회로를 포함하는 액정 표시 장치를 구동하는 방법일 수 있다. 비교 회로에서, 메모리 회로에 저장된 연속 프레임 기간의 화상 신호가 판독되고 화소마다 비교되어 차를 비교하여, 동화상 또는 정지 화상이 표시되는지가 결정된다.

[0013] 본 발명의 실시형태들 중 하나에 따르면, 액정 표시 장치를 구동하는 방법은 공통 전극과 공통 전위가 공급되는 단자부 사이의 도통 상태 또는 비도통 상태가 표시 제어 회로로부터 스위칭 트랜지스터의 게이트 단자로 공급되는 신호에 따라 스위칭 트랜지스터에 의해 제어되는 방법일 수 있다.

[0014] 본 발명의 실시형태들 중 하나에 따르면, 액정 표시 장치를 구동하는 방법은 스위칭 트랜지스터는 실온에서 채널 폭의 마이크로미터당 오프 전류가 $10\text{zA}/\mu\text{m}$ 이하이고, 공통 전극과 공통 전위가 공급되는 단자부 사이의 도통 상태 또는 비도통 상태가 스위칭 트랜지스터에 의해 제어되는 방법일 수 있다.

발명의 효과

[0015] 본 발명의 실시형태들 중 하나에 따르면, 정지 화상 표시의 경우에 리프레시 레이트가 감소되어도, 표시된 화상의 열화가 억제될 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 2a 내지 도 2c는 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 3은 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 4는 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 5a 및 도 5b는 각각 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 6은 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 7a 내지 도 7c는 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 8a 및 도 8b는 각각 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 9a 내지 도 9d는 각각 본 발명의 실시형태에 따른 전자 기기를 도시한 도면.

도 10a 내지 도 10d는 각각 본 발명의 실시형태에 따른 전자 기기를 도시한 도면.

도 11a 내지 도 11c는 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 12는 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

도 13은 본 발명의 실시형태에 따른 액정 표시 장치를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 실시형태들 및 예들이 첨부 도면을 참조하여 아래에 설명된다. 본 발명은 여러 가지 다른 모드로 실행될 수 있고, 당업자라면 본 발명의 모드 및 상세는 본 발명의 취지 및 범위를 벗어나지 않고서 다양한 방식으로 변형될 수 있다는 것을 쉽게 이해할 것이다. 따라서, 본 발명은 실시형태들 및 예들의 설명으로 한정되는 것으로 해석되지 않아야 한다. 아래 설명되는 본 발명의 모드에서, 다른 도면에서의 동일 소자들은 동일한 참조 번호로 공통으로 표시된다는 점에 유의한다.

[0018] 실시형태에서 도면 등에 도시된 각 구성요소의 크기, 층 두께, 또는 영역은 어떤 경우에는 명료성을 위해 과장될 수 있다는 점에 유의한다. 따라서, 본 발명의 실시형태들은 이런 스케일로 한정되지 않는다.

[0019] 본 명세서에서 "제1", "제2", "제3", 내지 "제N"(N은 자연수) 등의 수치적 용어는 구성요소들 간의 혼동을 피하기 위해 사용된 것이고, 이를 용어는 구성요소들을 수치적으로 한정하는 것은 아니라는 점에 유의한다.

[0020] (실시형태 1)

[0021] 본 실시형태에서, 액정 표시 장치의 블록도, 타이밍 차트 등이 설명된다.

[0022] 먼저, 도 1은 본 명세서의 액정 표시 장치의 구성요소를 도시한 액정 표시 장치의 블록도이다.

[0023] 도 1의 액정 표시 장치(100)는 표시 패널(101), 메모리 회로(102), 비교 회로(103), 표시 제어 회로(104), 및 선택 회로(109)를 포함한다.

[0024] 표시 패널(101)은 예를 들어, 구동 회로부(105), 화소 회로부(106), 공통 전극부(110), 및 스위칭 트랜지스터(111)를 포함한다. 구동 회로부(105)는 게이트선 구동 회로(107A) 및 신호선 구동 회로(107B)를 포함한다.

[0025] 게이트선 구동 회로(107A) 및 신호선 구동 회로(107B)는 복수의 화소를 포함하는 화소 회로부(106)를 구동하는 구동 회로이다. 게이트선 구동 회로(107A) 및 신호선 구동 회로(107B)는 각각 시프트 레지스터 회로를 포함한다. 게이트선 구동 회로(107A), 신호선 구동 회로(107B), 화소 회로부(106), 및 스위칭 트랜지스터(111)는 한 기판 위에 형성된 박막 트랜지스터를 이용하여 형성된다. 게이트선 구동 회로(107A)와 신호선 구동 회로(107B), 및 화소 회로부(106)와 스위칭 트랜지스터(111)는 서로 다른 기판 위에 형성되어도 된다는 점에 유의한다.

[0026] 고 전원 전위 Vdd, 저 전원 전위 Vss, 스타트 펄스 SP, 클록 신호 CK, 및 화상 신호 Data는 표시 제어 회로(104)의 제어에 의해 구동 회로부(105)에 공급된다. 공통 전위 Vcom는 표시 제어 회로(104)의 제어에 의해 스위칭 트랜지스터(111)를 통해 공통 전극부(110)에 공급된다.

[0027] 고 전원 전위 Vdd는 기준 전위보다 높은 전위를 말하고, 저 전원 전위는 기준 전위 이하의 전위를 말한다는 점에 유의한다. 고 전원 전위 및 저 전원 전위 각각은 박막 트랜지스터가 동작하게 하는 전위가 바람직하다. 고 전원 전위 Vdd와 저 전원 전위 Vss 간의 전위차를 어떤 경우에는 전원이라고 한다.

[0028] 많은 경우에 전압은 소정의 전위와 기준 전위(예를 들어, 접지 전위) 간의 전위를 말한다는 점에 유의한다. 따라서, 전압은 또한 전위라고 할 수 있다.

[0029] 공통 전위 Vcom는, 화소 전극에 공급된 화상 신호 Data의 전위에 대해 기준으로 되는 한 임의의 전위일 수

있다. 예를 들어, 공통 전위 Vcom는 접지 전위일 수 있다. 화상 신호 Data는 표시 패널(101)에 입력될 도트 반전 구동, 소스선 반전 구동, 게이트선 반전 구동, 프레임 반전 구동에 따라 적절히 반전될 수 있다는 점에 유의한다.

[0030] 메모리 회로(102)에 공급되는 동화상 또는 정지 화상을 표시하는 화상 신호가 아날로그 신호인 경우에, 화상 신호는 A/D 변환기 등을 통해 디지털 신호로 변환되어 메모리 회로(102)에 공급된다는 점에 유의한다. 화상 신호는 미리 디지털 신호로 변환되어, 나중에 수행될 화상 신호 간의 차의 검출이 용이하게 수행될 수 있으므로, 바람직하다.

[0031] 메모리 회로(102)는 복수의 프레임을 위한 화상 신호를 저장하는 복수의 프레임 메모리(108)를 포함한다. 메모리 회로(102)에 포함된 프레임 회로(108)의 수는 특정하게 제한되지 않고 메모리 회로(102)는 복수의 프레임의 화상 신호를 저장할 수 있는 소자일 수 있다. 프레임 메모리(108)는 다이나믹 랜덤 액세스 메모리(DRAM) 또는 스태틱 랜덤 액세스 메모리(SRAM) 등의 메모리 소자를 이용하여 형성될 수 있다는 점에 유의한다.

[0032] 프레임 메모리(108)의 수는 화상 신호가 프레임 기간마다 저장될 수 있는 한 특정하게 제한되지 않는다. 프레임 메모리(108)의 화상 신호는 비교 회로(103) 및 선택 회로(109)에 의해 선택적으로 판독된다.

[0033] 스위칭 트랜지스터는 2개의 단자, 즉, 소스 단자와 드레인 단자 간의 도통 또는 비도통이 게이트에 인가된 전압에 따라 선택되어 스위칭 동작을 실현하는 박막 트랜지스터로 형성된 소자라는 점에 유의한다.

[0034] 본 실시형태의 구성에 따르면, 산화물 반도체는 화소 회로부(106) 및 스위칭 트랜지스터(111)의 각각에 포함된 박막 트랜지스터의 반도체층으로 사용된다. 산화물 반도체는 산화물 반도체의 주성분이 아닌 불순물이 가능한 한 적게 포함되도록 n형 불순물인 수소의 제거에 의해 고순도화된 진성(i형) 또는 실질적으로 진성으로 된다. 즉, 불순물을 첨가하는 것이 아니라 수소 또는 물 등의 불순물을 가능한 한 많이 감소시킴으로써 고순도화된 i형(진성) 반도체 또는 실질적으로 i형 반도체가 얻어진다는 것이 특징이다. 따라서, 박막 트랜지스터에 포함된 산화물 반도체층은 전기적으로 i형(진성)으로 되도록 고순도화된다.

[0035] 또한, 고순도화된 산화물 반도체는 극소수(제로에 가까움)의 캐리어를 포함하고, 그 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$, 더 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다.

[0036] 산화물 반도체는 극소수의 캐리어를 포함하기 때문에, 오프 전류가 트랜지스터에서 감소될 수 있다. 구체적으로, 상기 산화물 반도체층을 포함하는 박막 트랜지스터에서, 채널 폭의 마이크로미터당 오프 전류는 $10 \text{aA}/\mu\text{m} (1 \times 10^{-17} \text{A}/\mu\text{m})$ 이하, 바람직하게는 $1 \text{aA}/\mu\text{m} (1 \times 10^{-18} \text{A}/\mu\text{m})$, 더 바람직하게는 $10 \text{zA}/\mu\text{m} (1 \times 10^{-20} \text{A}/\mu\text{m})$ 이하일 수 있다. 즉, 회로 설계에서, 산화물 반도체층은 박막 트랜지스터가 오프일 때 절연체로서 간주될 수 있다. 한편, 산화물 반도체층을 포함하는 박막 트랜지스터가 온일 때, 산화물 반도체층을 포함하는 박막 트랜지스터의 전류 공급 능력이 비정질 실리콘으로 형성된 반도체층을 포함하는 박막 트랜지스터의 전류 공급 능력보다 높을 것으로 기대된다.

[0037] 충분히 낮은 전류를 갖는 박막 트랜지스터가 화소 화소부(106)용으로 사용될 때, 화소 전극은 각 화소의 화소 전극의 전위의 변동을 야기할 수 있는 신호선으로부터 전기적으로 분리될 수 있다. 그러므로, 신호선의 전위의 변동으로 인한 화소 전극의 전위의 변동이 억제될 수 있다. 또한, 충분히 낮은 오프 전류를 갖는 박막 트랜지스터는 스위칭 트랜지스터(111)용으로 사용되어, 공통 전극부가 공통 전위 Vcom이 공급되는 외부 단자부로부터 분리될 수 있고, 공통 전극부는 전기적으로 부유 상태로 될 수 있다. 따라서, 노이즈 등으로 인한 액정 소자의 양 전극에 인가된 전압의 변동이 억제될 수 있다.

[0038] 산화물 반도체가 화소 회로부(106) 및 스위칭 트랜지스터(111)의 각각에 포함된 박막 트랜지스터의 반도체층으로 사용될 때, 리프레시 레이트가 감소되어, 게이트선 구동 회로 및 신호선 구동 회로가 동작하지 않는 기간이 정지 화상이 표시되는 기간 중에서 상당히 연장되고, 화소의 표시가 그대로 유지될 수 있다. 결과적으로, 구동 회로의 복잡한 동작 없이, 게이트선 구동 회로 및 신호선 구동 회로를 구동하는 신호의 공급이 더 오랜 기간 동안 중지될 수 있고 전력 소비가 감소될 수 있다. 각 화소의 화소 전극의 전위가 극도로 낮은 오프 전류를 갖는 산화물 반도체를 포함하는 박막 트랜지스터를 이용하는 경우보다 거의 1분 이상마다 리프레시될 때에도 전혀 문제가 없다는 점에 유의한다. 또한, 산화물 반도체는 화소 회로부(106) 및 스위칭 트랜지스터(111)의 각각에 포함된 박막 트랜지스터의 반도체층으로 사용될 때, 액정 소자의 양 전극은 부유 상태에 있을 수 있고, 따라서 노이즈 등으로 인한 표시된 화상의 열화가 억제될 수 있다.

[0039] 산화물 반도체층으로서, In-Sn-Ga-Zn-O계 막 등의 4성분 금속 산화물막; In-Ga-Zn-O계 막, In-Sn-Zn-O계 막,

In-Al-Zn-0계 막, Sn-Ga-Zn-0계 막, Al-Ga-Zn-0계 막, 또는 Sn-Al-Zn-0계 막 등의 3성분 금속 산화물막; 또는 In-Zn-0계 막, Sn-Zn-0계 막, Al-Zn-0계 막, Zn-Mg-0계 막, Sn-Mg-0계 막, 또는 In-Mg-0계 막 등의 2성분 금속 산화물막; In-0계 막, Sn-0계 막, 또는 Zn-0계 막이 사용될 수 있다. 또한, SiO₂가 상기 산화물 반도체층에 포함될 수 있다.

[0040] 산화물 반도체로서, InMO₃(ZnO)_m(m>0)으로 표현되는 박막이 이용될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Mn, Ga와 Co 등일 수 있다. 조성식이 Ga를 M으로서 포함하는 InMO₃(ZnO)_m(m>0)으로 표현되는 산화물 반도체를 상술한 In-Ga-Zn-0계 산화물 반도체라고 하고, In-Ga-Zn-0계 산화물 반도체의 박막을 또한 In-Ga-Zn-0계 막이라고 한다.

[0041] 산화물 반도체층을 포함하는 박막 트랜지스터에서, 온 전류의 온도 의존성은 거의 관찰될 수 없고 오프 전류는 상당히 낮게 유지되므로, 산화물 반도체층을 포함하는 박막 트랜지스터는 바람직하게 고온에서 사용된다.

[0042] 비교 회로(103)는 메모리 회로(102)에 저장된 연속 프레임 기간의 화상 신호를 선택적으로 판독하고, 연속 프레임 기간에서의 화상 신호를 화소마다 비교하고, 그 차를 검출하는 회로이다. 차가 검출되는지에 따라, 표시 제어 회로(104) 및 선택 회로(109)에서의 동작이 결정된다. 차가 비교 회로(103)에서 화상 신호를 비교함으로써 어느 화소에서 검출될 때, 차가 검출되는 일련의 프레임 기간이 동화상이 표시되는 기간으로서 판단된다. 한편, 차가 비교 회로(103)에서 화상 신호를 비교함으로써 모든 화소에서 검출되지 않을 때, 차가 검출되지 않은 일련의 프레임 기간이 정지 화상이 표시되는 기간으로서 판단된다. 바꾸어 말하면, 차가 비교 회로(103)에 의해 검출되는지에 따라, 연속 프레임 기간에서의 화상 신호가 동화상을 표시하는 화상 신호인지 또는 정지 화상을 표시하는 화상 신호인지가 결정된다. 비교에 의해 얻어진 차는, 그 차가 소정의 레벨보다 큰 경우 검출되는 차로서 결정되도록 설정될 수 있다. 비교 회로(103)는 차의 값에 관계없이 차의 절대값에 따라 차의 검출을 판단하도록 설정될 수 있다.

[0043] 본 실시형태에서, 정지 화상 또는 동화상이 표시되는지는 비교 회로(103)로 연속 프레임 기간에서의 화상 신호 간의 차를 검출함으로써 결정되지만, 동화상 또는 정지 화상이 표시되는지를 결정하는 신호는 정지 화상과 동화상 간에 전환하는 신호를 외부적으로 공급함으로써 공급될 수 있다는 점에 유의한다.

[0044] 동화상은 복수의 프레임으로 시분할되는 복수의 화상의 신속한 전환에 의해 사람의 눈이 동화상으로서 인식하는 화상을 말한다는 점에 유의한다. 구체적으로, 화상을 적어도 초당 60회(60 프레임) 전환함으로써, 사람의 눈에 덜 깜박거리는 동화상이 인지된다. 반대로, 정지 화상은, 복수의 프레임으로 시분할되는 복수의 화상이 고속으로 전환되는 동화상과는 다르게, 일련의 프레임 기간, 예를 들어, n번째 프레임 및 (n+1) 번째 프레임에서 동일한 화상 신호를 말한다.

[0045] 선택 회로(109)는 동화상을 표시하는 화상 신호가 저장되는 프레임 메모리(108)로부터 화상 신호를 선택하고 차가 비교 회로(103)의 계산에 의해 검출될 때, 즉, 연속 프레임 기간에서 표시되는 화상이 동화상일 때 화상 신호를 표시 제어 회로(104)에 출력하는 회로이다. 선택 회로(109)는 화상 신호 간의 차가 비교 회로(103)의 계산에 의해 검출되지 않을 때, 즉, 연속 프레임에서 표시된 화상이 정지 화상일 때 화상 신호를 표시 제어 회로(104)에 출력하지 않는다는 점에 유의한다. 정지 화상이 표시될 때, 선택 회로(109)는 프레임 메모리(108)로부터의 화상 신호를 표시 제어 회로(104)에 출력하지 않으므로, 전력 소비가 감소된다. 선택 회로(109)는 복수의 스위치, 예를 들어 트랜지스터로 형성된 스위치를 포함한다.

[0046] 표시 제어 회로(104)는 차가 비교 회로(103)에서 검출될 때 선택 회로(109)에 의해 선택된, 화상 신호의 구동 회로부(105)로의 공급, 및 구동 회로(105)로의 고 전원 전위 Vdd, 저 전원 전위 Vss, 스타트 펄스 SP, 또는 클록 신호 CK 등의 구동 회로부(105)를 제어하는 제어 신호의 공급 또는 공급 중지를 제어하는 회로이다. 구체적으로, 비교 회로(103)가 동화상이 표시되는 것으로 결정할 때, 화상 신호는 선택 회로(109)를 통해 메모리 회로(102)로부터 판독되고 표시 제어 회로(104)로부터 구동 회로부(105)에 공급되고, 제어 신호가 표시 제어 회로(104)로부터 구동 회로부(105)에 공급된다. 한편, 비교 회로(103)가 정지 화상이 표시되는 것으로 결정할 때, 화상 신호는 선택 회로(109)로부터 표시 제어 회로(104)로 공급되지 않고, 따라서, 화상 신호는 구동 회로부(105)에 공급되지 않고 구동 회로부(105)로의 각 제어 신호의 공급이 중지된다.

[0047] 표시 제어 회로(104)는 차가 비교 회로(103)의 계산에 의해 검출될 때 스위칭 트랜지스터(111)를 온시키지만, 표시 제어 회로(104)는 차가 비교 회로(103)의 계산에 의해 검출되지 않을 때 스위칭 트랜지스터(111)를 오프시킨다는 점에 유의한다.

[0048] 어떤 신호의 공급은 배선에의 소정의 전위의 공급을 말한다. 어떤 신호의 공급의 중지는 배선에의 소정의 전위의 공급의 중지를 말하고, 소정의 고정 전위가 공급되는 배선, 예를 들어 저 전원 전위 Vss가 공급되는 배선과의 접속, 또는 소정의 전위가 공급되는 배선과 분리되어, 부유 상태로 되는 것을 말한다.

[0049] 화상이 정지 화상으로 결정되는 경우에, 화상이 정지 화상으로 가정되는 기간이 짧을 때, 제어 신호 중의 고 전원 전위 Vdd 및 저 전원 전위 Vss의 공급 중지를 반드시 수행하는 것은 아니라는 점에 유의한다. 왜냐하면, 고 전원 전위 Vdd 및 저 전원 전위 Vss의 공급의 중지 및 시작의 반복으로 인한 소비 전력의 증가가 감소되는 것이 바람직하기 때문이다.

[0050] 화상 신호 및 제어 신호의 공급은 화상 신호가 화소 회로부(106) 내의 각 화소에 유지될 수 있는 기간 동안 중지되는 것이 바람직하다. 그러므로, 이전 기간에서 표시 제어 회로(104)로부터 공급된 화상 신호 및 제어 신호는 화상 신호가 각 화소 내의 화상 신호의 유지 기간 이후에 다시 공급되도록 주기적으로 공급될 수 있다. 산화물 반도체는 화소 회로부(106)에 포함된 박막 트랜지스터의 반도체층을 위해 사용되므로, 화상 신호는 더 오랜 시간 동안 유지될 수 있다는 점에 유의한다.

[0051] 구동 회로부(105)의 게이트선 구동 회로(107A) 및 신호선 구동 회로(107B)의 각각에 포함된 시프트 레지스터용으로, 제1 단의 출력 단자로부터의 클록 신호, 반전된 클록 신호, 및 스타트 펄스 등의 펄스들을 순차적으로 출력하는 회로가 사용될 수 있다.

[0052] 여기에, 도 11a 내지 도 11c는 게이트선 구동 회로(107A) 및 신호선 구동 회로(107B) 각각에 포함된 시프트 레지스터의 예를 도시한다.

[0053] 도 11a의 시프트 레지스터는 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)(N은 3 이상의 자연수)를 포함한다. 도 11a에 도시된 시프트 레지스터에서, 제1 클록 신호 CK1, 제2 클록 신호 CK2, 제3 클록 신호 CK3, 및 제4 클록 신호 CK4가 제1 배선(11), 제2 배선(12), 제3 배선(13), 및 제4 배선(14)으로부터 각각 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)로 공급된다. 스타트 펄스 SP1(제1 스타트 펄스)는 제5 배선(15)으로부터 제1 펄스 출력 회로(10_1)에 입력된다. 제2 또는 후속 단의 제n 펄스 출력 회로(10_n)(n은 2 이상 N 이하의 자연수)에는, 이전 단의 펄스 출력 회로로부터의 신호(이러한 신호는 이전 단 신호 OUT(n-1)라고 함)(n은 2 이상의 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)에는, 다음 단 이후의 단의 제3 펄스 출력 회로(10_3)로부터의 신호가 입력된다. 마찬가지 방식으로, 제2 또는 후속 단의 제n 펄스 출력 회로(10_n)에는, 다음 단 이후의 단의 제(n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(이러한 신호를 후속 단 신호 OUT(n+2)이라 함)가 입력된다. 따라서, 각각의 단의 펄스 출력 회로는, 후속 단의 펄스 출력 회로 및/또는 이전 단 전의 단의 출력 펄스 회로에 입력될 제1 출력 신호(OUT(1)(SR) 내지 OUT(N)(SR)) 및 다른 회로 등에 입력될 제2 출력 신호(OUT(1) 내지 OUT(N))를 출력한다. 후속 단 신호 OUT(n+2)는 도 11a에 도시한 바와 같이 시프트 레지스터의 최종 2개의 단에 입력되지 않고, 따라서, 제2 스타트 펄스 SP2 및 제3 스타트 펄스 SP3가, 예를 들어, 각각 제6 배선(17) 및 제7 배선(18)으로부터 최종 단 전의 단 및 최종 단에 추가로 입력될 수 있다는 점에 유의한다. 다르게는, 시프트 레지스터에서 추가로 발생된 신호가 입력될 수 있다. 예를 들어, 화소부로의 펄스의 출력에 기여하지 않는 제(N+1) 펄스 출력 회로(10_(N+1) 및 제(N+2) 펄스 출력 회로(10_(N+2))(이러한 회로를 더미 스테이지라고도 함)는 제2 스타트 펄스(SP2) 및 제3 스타트 펄스(SP3)에 대응하는 신호가 더미 스테이지에서 발생되도록 제공될 수 있다.

[0054] 제1 클록 신호(CK1) 내지 제4 클록 신호(CK4)는 각각 일정 간격으로 H 레벨과 L 레벨을 교대하는 신호라는 점에 유의한다. 또한, 제1 클록 신호(CK1) 내지 제4 클록 신호(CK4)는 순차적으로 1/4 사이클만큼 지연된다. 본 실시형태에서, 펄스 출력 회로의 구동이 제1 내지 제4 클록 신호(CK1) 내지 (CK4)로 제어된다. 클록 신호 CK는 또한 어떤 경우에는 클록 신호가 입력되는 구동 회로에 따라 GCK 또는 SCK라고 하고; 클록 신호는 또한 다음의 설명에서 CK라고 한다는 점에 유의한다.

[0055] "A와 B가 접속된다"라고 명시적으로 설명될 때, A와 B가 전기적으로 접속되는 경우, A와 B가 기능적으로 접속되는 경우, 및 A와 B가 직접적으로 접속되는 경우가 포함된다는 점에 유의한다. 여기서, A와 B 각각은 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)에 대응한다. 그러므로, 도면 및 명세서에 도시된 것 이외의 접속 관계도, 소정의 접속 관계, 예를 들어, 도면 및 명세서에 도시된 접속 관계에 한정되지 않고, 포함된다.

[0056] 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)는 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26), 및 제2 출력 단자(27)를 포함하는 것으로 가정한다

(도 11b 참조).

[0057] 제1 입력 단자(21), 제2 입력 단자(22), 및 제3 입력 단자(23)는 제1 내지 제4 배선(11 내지 14) 중 어느 것에 전기적으로 접속된다. 예를 들어, 도 11a 및 도 11b의 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)는 제1 배선(11)에 접속되고, 제2 입력 단자(22)는 제2 배선(12)에 접속되고, 제3 출력 단자(23)는 제3 배선(13)에 접속된다. 제2 펄스 출력 회로(10_2)에서, 제1 입력 단자(21)는 제2 배선(12)에 접속되고, 제2 입력 단자(22)는 제3 배선(13)에 접속되고, 제3 출력 단자(23)는 제4 배선(14)에 접속된다.

[0058] 도 11a 및 도 11b의 제1 펄스 출력 회로(10_1)에서, 스타트 펄스는 제4 입력 단자(24)에 입력되고, 후속 단 신호 OUT(3)는 제5 입력 단자(25)에 입력되고, 제1 출력 신호 OUT(1)(SR)는 제1 출력 단자(26)로부터 출력되고, 제2 출력 신호 OUT(1)는 제2 출력 단자(27)로부터 출력된다.

[0059] 다음에, 펄스 출력 회로의 특정한 회로 구성이 도 11c를 참조하여 설명된다.

[0060] 도 11c에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 접속되고, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 접속되고, 제1 트랜지스터(31)의 게이트 전극은 제4 입력 단자(24)에 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(52)에 접속되고, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 접속되고, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 접속된다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 접속되고, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(52)에 접속되고, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(52)에 접속되고, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 접속되고, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(51)에 접속되고, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 접속되고, 제6 트랜지스터(36)의 게이트 전극은 제5 입력 단자(25)에 접속된다. 제7 트랜지스터(37)의 제1 입력 단자는 전원선(51)에 접속되고, 제7 트랜지스터(37)의 제2 단자는 제8 트랜지스터(38)의 제2 단자에 접속되고, 제7 트랜지스터(37)의 게이트 전극은 제3 입력 단자(23)에 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 접속되고, 제8 트랜지스터(38)의 게이트 전극은 제2 입력 단자(22)에 접속된다. 제9 트랜지스터(39)의 제1 입력 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)의 제2 단자에 접속되고, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 접속되고, 제9 트랜지스터(39)의 게이트 전극은 전원선(51)에 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 접속되고, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 접속되고, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(52)에 접속되고, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 접속되고, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 접속된다.

[0061] 도 11c에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극, 및 제9 트랜지스터(39)의 제2 단자가 접속되는 부분을 노드 NA라고 한다. 또한, 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극이 접속되는 부분을 노드 NB라고 한다.

[0062] 도 11c의 펄스 출력 회로가 제1 펄스 출력 회로(10_1)인 경우, 제1 클록 신호 CK1은 제1 입력 단자(21)에 입력되고, 제2 클록 신호 CK2는 제2 입력 단자(22)에 입력되고, 제3 클록 신호 CK3는 제3 입력 단자(23)에 입력되고, 스타트 펄스 SP는 제4 입력 단자(24)에 입력되고, 후속 단 신호 OUT(3)는 제5 입력 단자(25)에 입력되고, 제1 출력 신호 OUT(1)(SR)는 제1 출력 단자(26)로부터 출력되고, 제2 출력 신호 OUT(1)는 제2 출력 단자(27)로부터 출력된다.

[0063] 도 12는 도 11c에 도시된 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍 차트를 도시한다. 시프트 레지스터가 게이트선 구동 회로의 하나일 때, 도 12에서의 기간(61)은 수직 귀선 기간에 대응하고 기간(62)은 게이트 선택 기간에 대응한다는 점에 유의한다.

[0064] 다음에, 도 1에 도시된 표시 패널(101)에서의 공통 전극부(110)에 접속된 스위칭 트랜지스터(111)를 제공하는 장점은 도 2a 내지 도 2c의 개략도, 회로도 등을 참조하여 설명된다. 도 2a 내지 도 2c에서, 표시 제어 회로(도시 안됨) 등의 회로는 표시 패널 외부에 제공되고, 소정의 신호(고 전원 전위 Vdd, 저 전원 전위 Vss, 스타

트 펄스 SP, 클록 신호 CK, 화상 데이터 신호 Data, 공통 전위 Vcom 등)가 단자부를 통해 외부로부터 입력된다.

[0065] 도 2a의 표시 패널은 제1 기판(201) 및 제2 기판(202)을 포함한다. 제1 기판(201)은 화소 회로부(203), 게이트선 구동 회로(204), 신호선 구동 회로(205), 단자부(206), 및 스위칭 트랜지스터(207)를 포함한다. 제2 기판(202)은 공통 접속부(208)(공통 컨택트라고도 함) 및 공통 전극(209)(대향 전극이라고도 함)을 포함한다.

[0066] 공통 전극(209)은 본 실시형태에서 공통 접속부(208)를 사이에 두고 제2 기판(202) 위에 제공되지만, 공통 전극(209)은 제1 기판측 위에 제공될 수 있다는 점에 유의한다.

[0067] 제1 기판(201) 및 제2 기판(202)은 투광성과 나중에 수행될 가열 처리에 견디기에 충분한 내열성을 가져야 한다. 제1 기판(201) 및 제2 기판(202)으로서, 알루미노실리케이트 클래스 기판, 알루미노보로실리케이트 클래스 기판, 또는 바륨 보로실리케이트 클래스 기판 등의 전자 산업에서 사용되는 임의의 클래스 기판(무알칼리 클래스 기판이라고도 함), 석영 기판, 세라믹 기판, 플라스틱 기판 등이 사용될 수 있다.

[0068] 도 2a의 화소 회로부(203), 게이트선 구동 회로(204), 신호선 구동 회로(205), 및 스위칭 트랜지스터(207)는 제1 기판(201) 위에 형성된 박막 트랜지스터를 이용하여 형성될 수 있다는 점에 유의한다. 게이트선 구동 회로(204) 및 신호선 구동 회로(205)는 제1 기판(201) 위에 형성된 박막 트랜지스터를 이용하여 반드시 형성되지 않고 도 3에 도시한 바와 같이 제1 기판(201) 외부의 다른 기판 등 위에 형성될 수 있다는 점에 유의한다.

[0069] 화소 회로부(203)에서, 복수의 게이트선 및 복수의 신호선은 게이트선 구동 회로(204) 및 신호선 구동 회로(205)로부터 연장되고, 화소가 게이트선 및 신호선에 의해 둘러싸이도록 복수의 화소가 제공된다는 점에 유의한다.

[0070] 도 1의 표시 제어 회로(104)에 의해 제어되는 신호는 단자부(206)로부터 공급된다. 즉, 화소 회로부(203)에 표시를 수행하기 위한 펄스 신호를 출력하기 위한 소정의 신호(고 전원 전위 Vdd, 저 전원 전위 Vss, 스타트 펄스 SP, 클록 신호 CK, 화상 데이터 신호 Data, 공통 전위 Vcom 등)가 단자부(206)를 통해 외부로부터 공급된다.

[0071] 공통 접속부(208)는 제1 기판(201) 내의 스위칭 트랜지스터(207)의 제2 단자와 제2 기판(202) 내의 공통 전극(209) 사이의 전기적 접속을 이루기 위해 제공된다. 스위칭 트랜지스터(207) 및 공통 접속부(208)를 통해 단자부(206)로부터 공통 전극(209)으로 공통 전위가 공급된다. 공통 전극부(208)의 특정 예로서, 절연성 구체가 금속 박막으로 코팅된 도전 입자가 사용되어, 전기적 접속이 이루어진다. 2개 이상의 공통 접속부(208)는 제1 기판(201)과 제2 기판(202) 사이에 제공될 수 있다는 점에 유의한다.

[0072] 공통 전극(209)은 화소 회로부(203)에 포함된 화소 전극과 겹치는 것이 바람직하다. 공통 전극(209) 및 화소 회로부(203)에 포함된 화소 전극은 다양한 개구 패턴을 가질 수 있다.

[0073] 도 2b는 도 2a의 표시 패널의 개략도에서 화소 회로부(203)의 구성이 특히 상세하게 도시된 회로도이다.

[0074] 도 2b에 도시된 액정 표시 장치는 도 2a에서와 같이 제1 기판(201) 및 제2 기판(202)을 포함한다. 제1 기판(201)은 화소 회로부(203), 게이트선 구동 회로(204), 신호선 구동 회로(205), 단자부(206), 및 스위칭 트랜지스터(207)를 포함한다. 제2 기판(202)은 공통 접속부(208) 및 공통 전극(209)을 포함한다.

[0075] 도 2b에서, 화소 회로부(203)에서, 복수의 게이트선(211) 및 복수의 신호선(212)이 매트릭스로 배열되고, 박막 트랜지스터(이후 화소 트랜지스터(214)라고 함)를 각각 포함하는 화소(213); 액정이 제1 전극과 제2 전극 사이에 삽입된 액정 소자(215); 및 용량 소자(210)가 제공된다. 도 2b에서, 화소 트랜지스터(214)의 소스 단자 및 드레인 단자 중 하나는 제1 단자라고 하고, 소스 단자 및 드레인 단자 중 다른 하나는 제2 단자라고 한다. 제1 단자는 신호선(212)에 접속되고, 게이트 단자는 게이트선(211)에 접속되고, 제2 단자는 액정 소자(215)의 제1 전극에 접속된다. 도 2b에서, 용량 소자(210)의 전극들 중 하나는 액정 소자(215)의 제1 전극에 접속되고, 다른 전극은 다른 배선에 접속된다. 액정 소자(215)의 제1 전극은 화소 전극에 대응하고, 액정 소자(215)의 제2 전극은 공통 전극(209)에 대응한다.

[0076] 도 2b에서는 화소(213)가 용량 소자(210)를 구비하고 있지만, 용량 소자를 반드시 제공하지 않아도 된다는 점에 유의한다.

[0077] 도 2c는 화소 전극을 포함하는 화소들 중 하나의 화소의 회로도이다. 도 2c의 회로도는 화소 트랜지스터(214) 및 스위칭 트랜지스터(207)에 초점을 둔 것이다. 화소 트랜지스터(214)의 게이트 단자는 게이트선(211)에 접속되고, 화소 트랜지스터(214)의 제1 단자는 신호선(212)에 접속되고, 화소 트랜지스터(214)의 제2 단자는 화소 전극(221)에 접속된다. 스위칭 트랜지스터(207)의 게이트 단자는 단자부(206)의 단자(206A)에 접속되고, 스위

칭 트랜지스터(207)의 제1 단자는 단자부(206)의 단자(206B)에 접속되고, 스위칭 트랜지스터(207)의 제2 단자는 공통 접속부(208)를 통해 공통 전극(222)에 전기적으로 접속된다. 액정(223)은 화소 전극(221)과 공통 전극(222) 사이에 삽입된다는 점에 유의한다. 화소 전극(221), 공통 전극(222), 및 액정(223)은 총체적으로 액정 소자라고 해도 된다는 점에 유의한다.

[0078] 도 4는 도 2c의 회로도에서 단자, 게이트선 구동 회로(204), 및 신호선 구동 회로(205)에 공급된 신호들의 상태를 도시한 타이밍 차트이다. 타이밍 차트의 예로서, 도 4의 기간(401)은 동화상 기입 기간에 대응하고 도 4의 기간(402)은 정지 화상 표시 기간에 대응한다는 점에 유의한다. 도 4의 기간은 화상이 동화상인지 정지 화상인지의 결정의 결과에 따라 동화상 기입 기간 또는 정지 화상 표시 기간으로 결정될 수 있다. 도 4에서, GCK는 게이트선 구동회로(204)에 공급되는 클록 신호이고, GSP는 게이트선 구동 회로(204)에 공급되는 스타트 펄스이고, SCK는 신호선 구동 회로(205)에 공급되는 클록 신호이고, SSP는 신호선 구동 회로(205)에 공급되는 스타트 펄스이다. 또한, 도 4는 신호선(212)의 전위, 화소 전극(221)의 전위, 단자(206A)의 전위, 단자(206B)의 전위, 및 공통 전극(222)의 전위를 또한 도시한다. 클록 신호인 GCK, 스타트 펄스인 GSP, 클록 신호인 SCK, 및 스타트 펄스인 GSP가 공급되는 구동 회로 내의 시프트 레지스터의 구성을 위해, 도 11a 내지 도 11c 및 도 12에서 설명된 회로의 구성이 실제로 사용될 수 있다.

[0079] 기간(401)은 동화상을 표시하는 신호가 기입되는 기간에 대응한다는 점에 유의한다. 또한, 기간(402)은 정지 화상이 표시되는 기간에 대응한다. 따라서, 기간(401)에서, 화상 신호 및 공통 전위가 화소 회로부(203) 내의 화소 및 공통 전극에 공급되도록 동작이 수행된다. 한편, 기간(402)에서, 화소 회로부(203) 내의 화소 및 공통 전극에의 화상 신호 및 공통 전극의 공급이 중지된다. 도 4에서 구동 회로부의 동작이 중지되도록 각 신호가 기간(402)에서 공급되지만, 기간(402)의 길이에 따라 주기적으로 화상 신호를 기입함으로써 정지 화상의 열화를 방지하는 것이 바람직하다는 점에 유의한다.

[0080] 기간(401)에서, 클록 신호 GCK는 도 4에 도시된 바와 같이 상시 공급되고, 스타트 펄스 GSP는 도 4에 도시한 바와 같이 수직 동기화 주파수에 따라 공급되고, 클록 신호 SCK는 도 4에 도시한 바와 같이 상시 공급되고, 스타트 펄스 SSP는 도 4에 도시한 바와 같이 하나의 게이트 선택 기간에 따라 공급된다. 기간(401)에서, 각 행의 화소에 공급될 화상 신호 Data는 신호선(212)에 공급되고, 신호선(212)의 전위는 도 4에 도시한 바와 같이, 게이트선(211)의 전위에 따라 화소 내의 화소 전극(221)에 공급된다. 또한, 표시 제어 회로(104)로부터, 스위칭 트랜지스터(207)의 게이트 단자에 대응하는 단자(206A)에는 스위칭 트랜지스터(207)가 온되는 전위가 공급되어, 단자(206B)의 전위인 공통 전위가 도 1 및 도 2a 내지 도 2c에 도시한 바와 같이, 공통 전극(222)에 공급된다.

[0081] 기간(402)에서, 클록 신호 GCK 및 스타트 펄스 GSP 둘 다의 공급이 도 4에 도시한 바와 같이 중지되고, 클록 신호 SCK 및 스타트 펄스 SSP 둘 다의 공급이 도 4에 도시한 바와 같이 또한 중지되고, 신호선(212)에 공급된 화상 신호 Data의 공급이 도 4에 도시한 바와 같이 중지된다. 기간(402)에서, 클록 신호 GCK 및 스타트 펄스 GSP 둘 다의 공급이 도 4에 도시한 바와 같이 중지되어, 화소 트랜지스터(214)가 오프되고, 화상 신호 Data의 공급이 중지되고, 화소 전극(221)은 부유 상태로 된다. 또한, 스위칭 트랜지스터(207)의 단자에 대응하는 단자(206A)에는 스위칭 트랜지스터(207)가 오프되는 전위가 공급되므로, 단자(206B)의 전위인 공통 전위의 공급이 중지된다. 결과적으로, 공통 전극(222)은 부유 상태로 된다.

[0082] 즉, 기간(402)에서, 액정(223)의 2개의 전극, 즉, 화소 전극(221) 및 공통 전극(222)은 부유 상태로 될 수 있으므로, 정지 화상이 다른 전위의 공급 없이 표시될 수 있다. 게이트선 구동 회로(204) 및 신호선 구동 회로(205)에의 클록 신호 및 스타트 펄스의 공급이 중지되어, 저 전력 소비가 이루어질 수 있다. 산화물 반도체층을 포함하는 박막 트랜지스터를 사용하여, 액정 소자의 2개의 단자가 비도통 상태에 있을 때 오프 전류가 감소될 수 있다. 각각이 박막 트랜지스터를 이용하여 형성된 화소 트랜지스터(214) 및 스위칭 트랜지스터(207)는 액정 소자를 통해 흐르는 전류를 감소시킬 수 있다.

[0083] 다음에, 도 5a 및 도 5b는 기간(401)이 도 4의 타이밍 차트에서 기간(402)으로 전환되는 기간에, 즉, 동화상이 정지 화상으로 전환되는 기간(도 4의 기간(403)), 및 기간(402)이 기간(401)으로 전환되는 기간, 즉 정지 화상이 동화상으로 전환되는 기간(도 4의 기간(404))에서, 표시 제어 회로(104)로부터의 신호들인, 고 전원 전위 Vdd, 클록 신호(여기서, GCK), 스타트 펄스 신호(여기서, GSP), 및 단자(206A)의 전위의 타이밍 차트를 도시한다.

[0084] 도 5a에 도시한 바와 같이, 표시 제어 회로(104)는 동화상이 정지 화상으로 전환되는 기간에 스타트 펄스 GSP의 공급을 중지한다(도 5a의 E1, 제1 단계). 다음에, 복수의 클록 신호 GCK의 공급은 펄스 출력이 시프트 레지스터의 최종 단에 도달한 후에 중지된다(도 5a의 E2, 제2 단계). 다음에, 전원 전압의 고 전원 전위 Vdd가 저 전

원 전위 Vss로 변경된다(도 5a의 E3, 제3 단계). 그 후, 단자(206A)의 전위는 스위칭 트랜지스터(111)가 오프 되는 전위로 변경된다(도 5a의 E4, 제4 단계).

[0085] 상기 단계들을 통해, 구동 회로부(105)로의 신호의 공급이 구동 회로부(105)의 오동작 없이 중지될 수 있다. 정지 화상 표시의 경우에, 액정에 인가된 전압은 화소 전극에 전하를 유지함으로써 유지되므로, 오동작으로 인한 노이즈를 발생함이 없이 구동 회로부(105)를 동작시킴으로써, 크게 열화되지 않은 정지 화상을 표시할 수 있는 액정 표시 장치를 구동하는 방법이 제공될 수 있다.

[0086] 도 5b에 도시한 바와 같이, 표시 제어 회로(104)로, 단자(206A)의 전위는, 스위칭 트랜지스터(111)가 정지 화상이 동화상으로 전환되는 기간에 온되는 전위로 변경된다(도 5b의 S1, 제1 단계). 다음에, 전원 전압이 저 전원 전위 Vss로부터 고 전원 전위 Vdd로 변경된다(도 5b의 S2, 제2 단계). 그 다음에, 복수의 클록 신호 GCK가 공급된다(도 5b의 S3, 제3 단계). 다음에, 스타트 펄스 신호 GSP가 공급된다(도 5b의 S4, 제4 단계).

[0087] 상기 단계들을 통해, 구동 회로부(105)로의 신호의 공급이 구동 회로부(105)의 오동작 없이 재개될 수 있다. 배선의 전위는 동화상의 표시 시의 전위로 다시 순차적으로 변경되어, 구동 회로부가 오동작 없이 구동될 수 있다.

[0088] 도 6은 예를 들어, 프레임 기간에서, 동화상이 표시되는 기간(601) 및 정지 화상이 표시되는 기간(602)에서의 화상 신호의 기입의 빈도를 개략적으로 도시한 차트로, 여기서 수평 축은 시간을 나타낸다. 도 6에서, "W"는 화상 신호가 기입되는 기간을 표시하고, "H"는 화상 신호가 유지되는 기간을 표시한다. 또한, 기간(603)은 도 6에서 1 프레임 기간이지만, 기간(603)은 다른 기간일 수 있다.

[0089] 도 6에 도시한 바와 같이, 본 실시형태에 따른 액정 표시 장치의 구성에서, 차가 비교 회로에 의해 연속 프레임의 화상 신호들 사이에서 검출되지 않는 경우에, 즉, 정지 화상이 표시되는 기간(602)에서, 화소에 공급될 화상 신호는 화상 신호의 전환이 수행되는 기간에만 기입된다(도 6의 기간(604)). 기간(602)에서의 다른 기간은 기간(604)에서 공급된 화상 신호가 유지되는 기간이다.

[0090] 상술한 바와 같이, 본 실시형태의 구성에서, 정지 화상이 표시되는 기간에, 화상 신호의 기입 등의 동작의 빈도가 감소될 수 있다. 화상 신호를 기입함으로써 형성된 화상을 여러 번 봄으로써, 사람의 눈은 여러 번 전환되는 화상을 인식하여 눈의 피로를 느낄 수 있다. 본 실시형태에서 설명된 것과 같이 화상 신호의 기입의 빈도가 감소되는 구성으로, 눈의 피로가 경감될 수 있다.

[0091] 또한, 산화물 반도체를 포함하는 박막 트랜지스터가 본 실시형태에서 화소에 제공되어, 박막 트랜지스터의 오프 전류가 감소될 수 있다. 그러므로, 전압이 저장 용량에 더 오랜 시간 동안 유지될 수 있고 정지 화상이 표시될 때 전력 소비가 감소될 수 있는 액정 표시 장치를 제공하는 것이 가능하다.

[0092] 본 실시형태는 다른 실시형태들에서 설명된 임의의 구성과 적절히 조합하여 구현될 수 있다.

[0093] (실시형태 2)

[0094] 실시형태 1에서의 액정 표시 장치의 표시 패널의 구성이 도 7a 내지 도 7c의 특정한 상면도 및 특정한 단면도를 참조하여 설명될 것이다.

[0095] 도 7a는 표시 패널의 상면도이다. 도 7a는 FPC가 제1 기판(1210)에 부착되지 않은 표시 패널의 상면도이다. 도 7b는 도 7a의 선 G-H를 따라 취한 단면도로 도전 입자의 접속 영역 및 접속 배선을 도시한다. 도 7c는 도 7a의 선 E-F를 따라 취한 단면도로, 화소 회로의 접속 영역 및 접속 배선을 도시한다.

[0096] 도 7a 내지 7c에서, 화소 전극을 구비하고 액티브 매트릭스 기판으로 되는 제1 기판(1210) 및 공통 전극(1291)을 구비한 제2 기판(1204)이 밀봉 재료(1205)로 서로 부착되고, 밀봉 재료(1205)로 둘러싸인 내부 공간은 액정(1280)으로 채워진다. 신호선 구동 회로(1200), 게이트선 구동 회로(1201), 및 화소 전극이 매트릭스로 형성된 화소 회로(1202)가 제1 기판(1210) 위에 형성된다.

[0097] 액정(1280)으로서, 씨모트로픽 액정, 저분자 액정, 고분자 액정, 폴리미 분산형 액정, 강유전성 액정, 반강유전성 액정 등이 사용된다. 이러한 액정 재료는 조건에 따라 콜레스테릭상, 스멕티상, 큐빅상, 카이럴 네마티상, 등방상 등을 나타낸다.

[0098] 도 7b에서, 공통 전극(1291)이 단자부(1240)로부터 연장된 접속 배선(1208), 스위칭 트랜지스터(1261), 및 한 쌍의 기판 사이에 삽입된 도전 입자를 구비한 수지층(1235)을 통해 단자부(1240)에 전기적으로 접속된다. 접속의 개수는 도 7a에서 예로서 4개이고 적어도 1일 수 있다.

[0099] 도 7c는 구동 회로부로서, 제1 기판(1210) 위에 구동 회로 박막 트랜지스터(1223)를 포함하는 회로를 구비한 신호선 구동 회로(1200)를 도시한다. 또한, 구동 회로부로서, 구동 회로 박막 트랜지스터를 포함하는 게이트선 구동 회로(1201)가 제1 기판 위에 제공된다.

[0100] 도 7c에서, 화소 회로(1202)는 화소 트랜지스터(1211)를 포함한다. 또한, 화소 트랜지스터(1211)에 접속된 화소 전극(1250)은 절연층(1214)의 위와 내부에 형성된다.

[0101] 도 7a 내지 도 7c에서, 화소 트랜지스터(1211), 구동 회로 박막 트랜지스터(1223), 및 스위칭 트랜지스터(1261)는 각각 산화물 반도체층, 게이트 절연층, 및 게이트 전극층을 이용하여 형성된다.

[0102] 상기는 트랜지스터의 구조의 한 예의 설명이다. 그러나, 트랜지스터의 구조는 상기 구조로 한정되지 않고, 트랜지스터는 다양한 구조를 가질 수 있다. 예를 들어, 트랜지스터는 2개 이상의 게이트 전극을 포함하는 멀티 게이트 구조를 가질 수 있다. 다르게는, 트랜지스터는 게이트 전극이 채널 영역 위에 제공된 구조, 게이트 전극이 채널 영역 아래에 제공된 구조, 스탠드 커터 구조, 역스탠드 커터 구조, 또는 채널 영역이 복수의 영역으로 나누어진 구조를 가질 수 있다. 역스탠드 커터 구조의 경우에, 채널 보호형 구조, 채널 애치형 구조 등이 이용될 수 있다.

[0103] 절연층(1214)을 개재하여 게이트 전극층 및 산화물 반도체층과 겹치는 도전층(1293)이 도 7c에서 구동 회로 박막 트랜지스터(1223) 위에 제공된다.

[0104] 구동 회로 박막 트랜지스터(1223)에서, 산화물 반도체층은 게이트 전극층과 도전층(1293) 사이에 개재된다. 이러한 구조로, 구동 회로 박막 트랜지스터(1223)의 임계 전압의 변동이 감소될 수 있어, 안정한 전기적 특성을 갖는, 구동 회로 박막 트랜지스터(1223)를 구비한 표시 패널이 제공될 수 있다. 도전층(1293)은 게이트 전극층과 동일한 전위에 있을 수 있거나 또는 부유 전위 또는 GND 전위 또는 OV 등의 고정 전위에 있을 수 있다. 도전층(1293)에 적절한 전위를 공급함으로써, 구동 회로 박막 트랜지스터(1223)의 임계 전압이 제어될 수 있다.

[0105] 도 7b의 스위칭 트랜지스터(1261)는 수지층(1235)에서 도전 입자(1270)를 통해 공통 전극(1291)에 전기적으로 접속된다.

[0106] 스위칭 트랜지스터(1261)가 도 7a에서 밀봉 재료의 외측에 있지만, 스위칭 트랜지스터는 밀봉 재료(1205)의 내측에 있을 수 있다. 예를 들어, 스위칭 트랜지스터는 신호선 구동 회로(1200)가 형성되는 영역에 제공될 수 있다. 밀봉 재료(1205)의 내측의 스위칭 트랜지스터(1261)는 외부 힘 등의 충격에 대해 보호될 수 있다. 따라서, 스위칭 트랜지스터(1261)의 수명이 오래갈 수 있다.

[0107] 도 7a 내지 도 7c에서, 제1 기판(1210) 및 제2 기판(1204) 각각으로서, 알루미노실리케이트 글래스 기판, 알루미노보로실리케이트 글래스 기판, 또는 바륨 보로실리케이트 글래스 기판 등의 전자 산업에서 사용되는 임의의 글래스 기판(무알칼리 글래스 기판이라고 함), 석영 기판, 세라믹 기판, 플라스틱 기판 등이 적절히 사용될 수 있다. 제1 기판(1210) 및 제2 기판(1204) 각각으로서 가요성 플라스틱기판을 사용하여, 가요성 표시 장치가 제조될 수 있다.

[0108] 도 7a 내지 도 7c에서, 밀봉 재료(1205)는 스크린 인쇄 방법에 의해, 또는 잉크젯 장치 또는 디스펜싱 장치로 제1 기판 또는 제2 기판에 도포될 수 있다. 밀봉 재료(1205)로서, 대표적으로, 가시광 경화 수지, 자외선 경화 수지 또는 열경화 수지를 포함하는 재료가 이용될 수 있다. 예를 들어, 비스페놀-A형 액상 수지, 비스페놀-A형 고형 수지, 브롬 함유 에폭시 수지, 비스페놀-F형 수지, 비스페놀-AD형 수지, 폐놀형 수지, 크레졸형 수지, 노불락형 수지, 사이클로알리파틱형 에폭시 수지, 에피 비스형 에폭시 수지, 글리시딜 에스테르 수지, 글리시딜 아민 수지, 헤테로사이클릭 수지, 또는 변성 에폭시 수지 등의 에폭시 수지가 사용될 수 있다. 밀봉 재료(1205)로서, $40\text{Pa} \cdot \text{s}$ 내지 $400\text{Pa} \cdot \text{s}$ 의 점도를 갖는 재료가 이용된다. 또한, 밀봉 재료(1205)는 필러(직경이 1 μm 내지 24 μm)를 포함할 수 있다. 밀봉 재료로서, 나중에 밀봉 재료와 접하는 액정에서 용해하지 않는 밀봉 재료를 선택하는 것이 바람직하다.

[0109] 도전 입자(1270)로서, 절연성 구체가 금속 박막으로 덮여진 도전 입자가 사용될 수 있다. 절연성 구체는 실리카 글래스, 경질 수지 등을 이용하여 형성된다. 금속 박막은 금, 은, 팔라듐, 니켈, ITO, 및 IZO의 단층 또는 임의의 적층을 이용하여 형성될 수 있다. 예를 들어, 금속 박막으로서, 금 박막, 니켈 박막과 금 박막의 적층 등이 이용될 수 있다. 절연성 구체가 중심에 포함된 도전 입자를 사용하여, 외부 힘으로부터의 압력으로 인한 파괴가 억제될 수 있도록 탄성이 증가될 수 있다.

[0110] 화소 전극(1250)의 종류는 투과형 표시 패널과 반사형 표시 패널 간에 다르다. 투과형 표시 패널의 경우에, 화소 전극(1250)은 투광성 재료를 이용하여 형성된다. 투광성 재료의 예로서, 산화 인듐 주석(ITO), 산화 아연

(ZnO), 산화 인듐 아연(IZO), 갈륨 도핑된 산화 아연(GZO) 등을 들 수 있다.

[0111] 다르게는, 화소 전극(1250)은 도전성이 높은 폴리머를 포함하는 도전성 조성물을 이용하여 형성될 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은 양호하게는 $10000\Omega/\square$ 이하의 시트 저항, 및 550nm의 파장에서 70% 이상의 투과율을 갖는다. 또한, 도전성 조성물에 포함된 도전성이 높은 폴리머의 저항율은 바람직하게는 $0.1\Omega \cdot \text{cm}$ 이하이다.

[0112] 도전성이 높은 폴리머로서, 소위 π -전자 공액계 도전성 폴리머가 사용될 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리페롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들 중 2개 이상의 공중합체 등을 들 수 있다.

[0113] 한편, 반사형 표시 패널의 경우에, 높은 저항율을 갖는 금속 전극이 화소 전극으로서 사용된다. 구체적으로, 알루미늄, 은 등이 사용된다. 또한, 저항율은 화소 전극의 표면을 거칠게 함으로써 증가된다. 그러므로, 화소 전극의 하지막은 거칠게 만들어질 수 있다.

[0114] 투과 반사형 표시 패널의 경우에, 투과 재료 및 반사 재료가 화소 전극용으로 사용된다.

[0115] 또한, 단자부(1240)는 제1 기판(1210)의 단부 부분에 형성된다. 단자부(1240)에서, 접속 단자(1241)는 접속 배선(1208) 위에 형성된다.

[0116] 도 7b는 도전 입자(1270)와 접속 단자가 서로 접속된 영역의 단면도이다. 접속 배선(1208) 및 스위칭 트랜지스터(1261)는 제1 기판(1210) 위에 형성된다. 화소 전극(1250)과 동시에 형성된 접속 단자(1241)는 접속 배선(1208) 위에 형성된다. 접속 단자(1241)는 접속 배선(1208), 스위칭 트랜지스터(1261), 및 도전 입자(1270)를 통해 공통 전극(1291)에 전기적으로 접속된다. 또한, 접속 단자(1241)는 FPC(도시 안됨)에 접속된다. 도 7b에서, 도전 입자(1270)는 수지층(1235)에 의해 고정된다는 점에 유의한다(도시 안됨). 수지층(1235)은 밀봉 재료(1205)용으로 사용된 것과 같은 유기 수지 재료를 이용하여 형성될 수 있다.

[0117] 도 7c는 화소 전극과 접속 단자가 서로 접속된 영역의 단면도이다. 박막 트랜지스터의 소스 및 드레인 전극과 동시에 형성된 접속 배선(1242)은 제1 기판(1210) 위에 형성된다. 화소 전극(1250)과 동시에 형성된 접속 단자(1243)는 접속 배선(1242) 위에 형성된다. 접속 단자(1243)는 접속 배선(1242)을 통해 화소 전극(1250)에 전기적으로 접속된다. 액티브 매트릭스 표시 패널이 본 실시형태에서 사용되기 때문에, 화소 전극(1250)과 접속 배선(1242)은 직접 접속되지 않고 화소 트랜지스터(1211) 또는 신호선 구동 회로(1200)를 통해 접속된다는 점에 유의한다.

[0118] 배향막(1206)이 화소 전극(1250) 위에 제공되고, 러빙 처리가 그에 대해 수행된다. 배향막(1206) 및 러빙 처리는, 액정의 모드에 따라, 반드시 요구되는 것은 아니다.

[0119] 대향 기판으로 되는 제2 기판(1204)에 있어서, 블랙 매트릭스가 신호선 구동 회로(1200)와 겹치는 위치에 제공될 수 있고, 컬러 필터, 보호층 등이 화소 회로(1202)와 겹치는 위치에 제공될 수 있다. 공통 전극(1291)이 형성되고, 배향막(1207)이 공통 전극(1291) 위에 제공되고, 러빙이 그에 대해 수행된다. 제1 기판(1210)의 경우와 마찬가지로, 제2 기판(1204)에 대해, 배향막 및 러빙 처리는, 액정의 모드에 따라, 반드시 요구되는 것은 아니다.

[0120] 공통 전극(1291)을 구비한 제2 기판(1204) 또는 화소 전극(1250)을 구비한 제1 기판(1210)은 기동형 스페이서(1255)를 구비한다. 기동형 스페이서(1255)는 제1 기판(1210)과 제2 기판(1204) 사이의 거리를 유지하기 위해 제공된다. 본 실시형태에서, 기동형 스페이서(1255)가 제2 기판(1204) 측에 제공되는 예가 설명된다. 기동형 스페이서는 또한 포토리소 스페이서, 포스트 스페이서, 스캘럽 스페이서, 또는 주상 스페이서라고 한다. 다르게는, 구형 스페이서가 사용될 수 있다. 본 실시형태에서, 기동형 스페이서가 사용된다. 기동형 스페이서(1255)를 형성하는 방법으로서, 감광성 아크릴 등의 유기 절연 재료가 스판 코팅 방법에 의해 기판의 전체 표면에 도포되고, 포토리소그래피 처리가 수행되어, 기판 위에 남는 감광성 아크릴이 스페이서로서 기능한다. 이 방법으로, 스페이서가 배치되길 원하는 위치가 노출 시의 마스크 패턴에 따라 노출될 수 있고, 따라서, 액정이 구동하지 않는 위치에 기동형 스페이서를 배치함으로써, 상부와 하부 기판 사이의 거리가 유지되고, 또한 액정의 광이 누출되는 것을 방지할 수 있다. 또한, 기동형 스페이서(1255)는 잉크젯 방법에 의해 유기 절연 재료를 포함하는 조성물을 방출하고 그것을 소성함으로써 형성될 수 있다.

[0121] 도전 입자(1270) 주위의 공간은 도전성 폴리머로 채워질 수 있다. 도전성 폴리머의 대표적인 예로서, 도전성 폴리아닐린, 도전성 폴리페롤, 도전성 폴리티오펜, 폴리에틸렌디옥시티오펜(PEDOT) 및 폴리(스티렌설플론)(PS

S)의 착물 등을 들 수 있다. 또한, 화소 전극(1250)용으로 사용될 수 있는 도전성 폴리머의 상기 언급된 예들 중 임의의 것이 적절히 사용될 수 있다. 도전성 폴리머는 잉크젯 장치, 디스펜싱 장치 등으로 도전성 폴리머를 도포함으로써 형성된다. 도전성 폴리머가 공통 전극 또는 접속 배선과 접할 때, 도전 입자(1270) 및 도전성 폴리머가 공통 전극 및 접속 배선과 접하게 되어, 공통 전극과 접속 배선 간의 접속 저항이 감소될 수 있다.

[0122] 제2 기판(1204) 위에 형성된 접속 배선(1208) 및 접속 전극(1291)은 도전 입자(1270)를 통해 서로 전기적으로 접속된다는 점에 유의한다.

[0123] 밀봉 재료(1205) 및 도전 입자(1270)는 제1 기판(1210) 또는 제2 기판(1204) 위에 방출되고, 그 다음에 액정이 밀봉 재료(1205)에 의해 둘러싸인 공간에서 방출된다. 그 후, 제1 기판(1210)과 제2 기판(1204)은 감압 상태에서 서로 부착되고, UV 광 조사가 밀봉 재료(1205)를 경화하기 위해 수행되고, 그 다음 밀봉 재료(1205)를 더 경화하기 위해 가열이 수행되어, 제1 기판(1210)과 제2 기판(1204)이 서로 단단하게 부착된다. 또한, 액정의 배향은 가열에 의해 균일하게 된다.

[0124] 결과적으로, 제1 기판(1210) 및 제2 기판(1204)은 서로 부착될 수 있다.

[0125] 다음에, 제1 기판(1210) 및 제2 기판(1204)은 패널 형상을 갖도록 절단된다. 또한, 콘트라스트를 개선하기 위해서, 제1 편광판(1290) 및 제2 편광판(1295)은 각각 제1 기판(1210) 및 제2 기판(1204) 위에 제공된다. 제1 편광판(1290)은 반사형 표시 장치의 경우에 반드시 제공될 필요는 없다는 점에 유의한다.

[0126] 본 실시형태에서 도시되지 않았지만, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등이 적절히 제공된다. 예를 들어, 편광 기판 및 위상차 기판을 이용하여 원 편광이 얻어질 수 있다. 또한, 백라이트, 사이드 라이트 등이 광원으로서 이용될 수 있다.

[0127] 액티브 매트릭스 표시 패널에서, 표시 패턴은 매트릭스로 배열된 화소를 구동함으로써 화면 위에 형성된다. 구체적으로, 전압이 선택된 화소 전극과 선택된 화소 전극에 대응하는 공통 전극 사이에 인가될 때, 화소 전극과 공통 전극 사이에 배치된 액정의 광학 변조가 수행되어, 이 광학 변조가 관찰자에 의해 표시 패턴으로서 인식된다.

[0128] 상술한 산화물 반도체층을 포함하는 박막 트랜지스터를 포함하는 표시 패널의 구성에서, 저전력 소비가 실시형태 1에서와 같이 정지 화상을 표시할 때 이루어질 수 있다.

[0129] 본 실시형태는 다른 실시형태들에서 설명된 임의의 구성과 적절히 조합하여 구현될 수 있다.

[0130] (실시형태 3)

[0131] 본 실시형태에서, 추가로 터치 패널 기능을 갖는, 상기 실시형태에서 설명된 액정 표시 장치가 도 8a 및 도 8b를 참조하여 설명된다.

[0132] 도 8a는 본 실시형태에 따른 액정 표시 장치의 개략도이다. 도 8a는 상기 실시형태에 따른 액정 표시 장치인 액정 표시 패널(801) 및 터치 패널 유닛(802)이 서로 겹치도록 제공되고 하우징(케이스)(803)에서 서로 부착된 구성을 도시한다. 터치 패널 유닛(802)용으로, 저항 방식, 표면 정전용량 방식, 투영 정전용량 방식 등이 적절히 이용될 수 있다.

[0133] 도 8a에 도시한 바와 같이, 액정 표시 패널(801) 및 터치 패널 유닛(802)은 별도로 제조되고 서로 겹쳐지어, 터치 패널 기능을 추가로 갖는 액정 표시 장치의 제조 코스트가 감소될 수 있다.

[0134] 도 8b는 도 8a의 액정 표시 장치의 기능과는 다른 터치 패널 기능을 추가로 갖는 액정 표시 장치의 구조를 도시한다. 도 8b에 도시된 액정 표시 장치(804)는 광 센서(806)를 각각 구비한 복수의 화소(805) 및 액정 소자(807)를 포함한다. 따라서, 도 8a의 구조와 다르게 액정 표시 장치(804)와 겹치도록 터치 패널 유닛(802)을 형성할 필요가 없어서, 액정 표시 장치의 두께의 감소를 이를 수 있다. 케이트선 구동 회로(808), 신호선 구동 회로(809), 및 광 센서 구동 회로(810)는 화소(805)가 제공되는 기판 위에 형성되어, 액정 표시 장치는 크기가 감소될 수 있다. 광 센서(806)는 산화물 반도체를 포함하는 박막 트랜지스터와 겹치도록 비정질 실리콘 등을 이용하여 형성될 수 있다는 점에 유의한다.

[0135] 본 실시형태에 따르면, 산화물 반도체를 포함하는 박막 트랜지스터는 터치 패널 기능을 갖는 액정 표시 장치용으로 사용되어, 정지 화상을 표시할 때의 화상 유지 특성이 개선될 수 있다. 또한, 정지 화상이 표시되는 동안에 구동 회로부가 중지되어, 저 전력 소비가 이루어질 수 있다.

[0136] 다르게는, 화소 회로용으로 사용된 것과 동일한 산화물 반도체를 이용하여 형성된 박막 트랜지스터를 구비한 메모리 소자가 도 8a 및 도 8b의 표시 패널의 각각 위에 제공될 수 있다. 표시 패널, 예를 들어, 터치 패널 위에 제공된 메모리 소자는 터치부의 전기적 신호의 임계값 등의 데이터를 저장할 수 있다. 예로서, 도 13은 도 8b의 표시 패널이 추가로 메모리 소자(811)를 구비한 구조를 도시한다. 도 13은 기본 메모리 소자의 구성을 도시한다. 산화물 반도체를 포함하는 트랜지스터는 도 13의 회로도에서 심볼 "OS"로 표시된다는 점에 유의한다.

[0137] 도 13에 도시된 메모리 소자에서, 트랜지스터(160)의 게이트 전극 및 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나는 서로 전기적으로 접속된다. 제1 배선(제1 선, 소스선이라고도 함)은 트랜지스터(160)의 소스 전극에 전기적으로 접속된다. 제2 배선(제2 선, 비트선이라고도 함)은 트랜지스터(160)의 드레인 전극에 전기적으로 접속된다. 제3 배선(제3 선, 제1 신호선이라고도 함)은 트랜지스터(162)의 소스 전극 및 드레인 전극 중 다른 하나에 전기적으로 접속된다. 제4 배선(제4 선, 제2 신호선이라고도 함)은 트랜지스터(162)의 게이트 전극에 전기적으로 접속된다. 트랜지스터(160)의 게이트 전극 및 트랜지스터(162)의 소스 전극 및 드레인 전극 중 하나는 용량 소자(164)의 전극들 중 하나에 전기적으로 접속된다. 제5 배선(제5 선, 워드선이라고도 함)은 용량 소자(164)의 전극들 중 다른 하나에 전기적으로 접속된다.

[0138] 산화물 반도체를 각각 포함하는 트랜지스터(160) 및 트랜지스터(162)에서 오프 전류는 극도로 낮다. 그러므로, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(162)를 오프시킴으로써 극도로 오랜 시간 동안 유지될 수 있다. 용량 소자(164)를 가짐으로써, 트랜지스터(160)의 게이트 전극에 주어진 전하의 유지 및 저장된 데이터의 판독이 용이해진다.

[0139] 본 실시형태에서 설명된 메모리 소자는 트랜지스터(160)의 게이트 전극의 전위가 유지될 수 있는 특징을 이용하여, 기입, 저장, 및 판독이 다음과 같이 된다.

[0140] 먼저, 데이터의 기입 및 유지에 대해 설명한다. 먼저, 제4 배선의 전위는 트랜지스터(162)가 온되는 전위로 설정되어, 트랜지스터(162)는 온된다. 따라서, 제3 배선의 전위는 트랜지스터(160)의 게이트 전극에 공급된다. 즉, 소정의 전하가 트랜지스터(160)의 게이트 전극에 주어진다(기입). 그 후, 제4 배선의 전위는 트랜지스터(162)가 오프되는 전위로 설정되어, 트랜지스터(162)는 오프된다. 따라서, 트랜지스터(160)의 게이트 전극에 주어진 전하가 유지된다(저장).

[0141] 트랜지스터(162)의 오프 전류가 상당히 낮기 때문에, 트랜지스터(160)의 게이트 전극의 전하가 장시간 동안 유지된다. 예를 들어, 판독 전위가 제5 배선에 공급되면서 트랜지스터가 온되는 전위가 트랜지스터(160)의 게이트 전극에 공급되어, 트랜지스터(160)의 온 상태는 장시간 동안 유지된다. 마찬가지 방식으로, 트랜지스터(160)가 오프되는 전위가 트랜지스터(160)의 게이트 전극에 공급되어, 트랜지스터(160)의 오프 상태가 장시간 동안 유지된다. 여기서, 판독 전위는 트랜지스터(160)가 게이트 전극에 유지된 전하에 따라 온 또는 오프되는 제5 배선의 전위이다.

[0142] 두 번째로, 데이터의 판독에 대해 설명한다. 트랜지스터(160)의 온 상태 또는 오프 상태가 상술한 바와 같이 유지될 때, 판독 전위가 제5 배선에 공급되고, 소정의 전위(저 전위)가 제1 배선에 인가되고, 제2 배선의 전위 값은 트랜지스터(160)가 온 또는 오프인지에 따라 변화한다. 예를 들어, 트랜지스터(160)가 온일 때, 제2 배선의 전위는 제1 배선의 전위보다 낮다. 반대로, 트랜지스터(160)가 오프일 때, 제2 배선의 전위는 변화하지 않는다.

[0143] 이 방식으로, 데이터가 저장된 상태에서 제1 배선의 전위를 제2 배선의 전위와 비교함으로써, 데이터가 판독될 수 있다.

[0144] 데이터가 판독되지 않는 경우에, 트랜지스터(160)가 게이트 전극에 유지된 전하에 관계없이 오프(또는 온)되는 전위가 제5 배선에 공급될 수 있다.

[0145] 다음에, 데이터의 재기입에 대해 설명한다. 데이터 재기입은 데이터의 기입 또는 저장과 유사하게 수행된다. 즉, 제4 선의 전위는 트랜지스터(162)가 온되는 전위로 설정되어, 트랜지스터(162)가 온된다. 따라서, 제3 선의 전위(새로운 데이터와 관련된 전위)가 트랜지스터(160)의 게이트 전극에 공급된다. 그 후, 제4 선의 전위는 트랜지스터(162)가 오프되는 전위로 설정되어, 트랜지스터(162)가 오프된다. 결과적으로, 새로운 데이터가 저장된다.

[0146] 도 13에 도시된 메모리 소자에서, 데이터는 상술한 바와 같이 데이터의 또 하나의 기입에 의해 직접 재기입될 수 있다. 그런 이유로, 플래시 메모리 등에서 필요한 소거 동작이 불필요하게 되어, 소거 동작으로 인한 동작

속도의 감소가 방지될 수 있다. 그러므로, 메모리 소자의 고속 동작이 달성될 수 있다.

[0147] 트랜지스터(162)의 소스 전극 또는 드레인 전극은 트랜지스터(160)의 게이트 전극에 전기적으로 접속되어, 불휘발성 메모리 소자용으로 사용된 플로팅 게이트 트랜지스터의 플로팅 게이트의 것과 유사한 효과를 갖는다는 점에 유의한다. 따라서, 도면에서 트랜지스터(162)의 소스 전극 또는 드레인 전극이 트랜지스터(160)의 게이트 전극에 전기적으로 접속되는 부분을 어떤 경우에는 플로팅 게이트부 FG라고 한다. 트랜지스터(162)가 오프일 때, 플로팅 게이트부 FG는 절연체 내에 매립된 것으로 간주될 수 있으므로 전하가 플로팅 게이트부 FG에 유지된다. 산화물 반도체를 포함하는 트랜지스터(162)의 오프 전류의 양은 실리콘 반도체를 포함하는 트랜지스터의 오프 전류의 양의 10만분의 1이므로, 트랜지스터(162)의 리크 전류로 인한 플로팅 게이트부 FG에 축적된 전하의 손실은 무시할 만하다.

[0148] 이러한 구조로, 종래의 플로팅 게이트 트랜지스터에서 지적된, 게이트 절연막(터널 절연막)의 열화의 문제가 피해질 수 있다. 즉, 관건이 되는, 전자의 플로팅 게이트로의 주입으로 인한 게이트 절연막의 열화 문제가 해결될 수 있다. 따라서, 도 13에 도시된 메모리 소자에서, 원칙적으로 기입의 횟수의 제한은 없다.

[0149] 본 실시형태는 임의의 다른 실시형태들과 적절히 조합될 수 있다.

[0150] (실시형태 4)

[0151] 본 실시형태에서, 상기 실시형태들에서 설명된 액정 표시 장치를 포함하는 전자 기기의 예가 설명될 것이다.

[0152] 도 9a는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 기록 매체 판독부(9672) 등을 포함하는 휴대형 게임기를 도시한다. 도 9a에 도시된 휴대형 게임기는 기록 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능, 무선 통신으로 데이터를 다른 휴대형 게임기와 공유하는 기능 등을 가질 수 있다. 도 9a의 휴대형 게임기는 상기로 한정되지 않고 다양한 기능을 가질 수 있다.

[0153] 도 9b는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 셔터 버튼(9676), 수상부(9677) 등을 포함하는 디지털 카메라를 도시한다. 도 9b에 도시된 디지털 카메라는 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 사진 화상을 자동 또는 수동으로 조정하는 기능, 안테나로부터 다양한 종류의 데이터를 얻는 기능, 촬영한 화상 또는 안테나로부터 얻어진 데이터를 저장하는 기능, 및 촬영한 화상 또는 안테나로부터 얻어진 데이터를 표시부에 표시하는 기능을 가질 수 있다. 도 9b에 도시된 디지털 카메라의 기능은 이들로 한정되지 않고, 디지털 카메라는 다른 다양한 기능을 가질 수 있다는 점에 유의한다.

[0154] 도 9c는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636) 등을 포함할 수 있는 텔레비전 세트를 도시한다. 도 9c에 도시된 텔레비전 세트는 텔레비전용으로 전파를 처리하고 그 전파를 화상 신호로 변환하는 기능, 화상 신호를 처리하여 화상 신호를 표시에 적합한 신호로 변환하는 기능, 화상 신호의 프레임 주파수를 변환하는 기능 등을 가진다. 도 9c에 도시된 텔레비전 세트는 상기로 한정되지 않고 다양한 기능을 가질 수 있다는 점에 유의한다.

[0155] 도 9d는 하우징(9630), 표시부(9631) 등을 포함할 수 있는 전자 컴퓨터(퍼스널 컴퓨터)용 모니터를 도시한다. 도 9d에 도시된 모니터에서, 윈도우형 표시부(9653)가 표시부(9631) 내에 있다. 윈도우형 표시부(9653)가 예시를 위해 표시부(9631)에 제공되지만, 아이콘 또는 화상 등의 다른 심볼이 이용될 수 있다는 점에 유의한다. 퍼스널 컴퓨터용의 모니터의 경우에, 화상 신호는 입력할 때만 제기입되는 경우가 많아, 상기 실시형태들에 따라, 액정 표시 장치를 구동하는 방법이 적용될 때 양호하다. 도 9d에 도시된 모니터는 상기로 한정되지 않고 다양한 기능을 가질 수 있다.

[0156] 도 10a는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 접속 단자(9636), 포인팅 장치(9681), 외부 접속 포트(9680) 등을 포함할 수 있는 컴퓨터를 도시한다. 도 10a에 도시된 컴퓨터는 표시부에 다양한 종류의 데이터(예를 들어, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 다양한 종류의 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선 통신 또는 유선 통신 등의 통신 기능, 통신 기능을 이용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 통신 기능을 이용하여 다양한 종류의 데이터를 송수신하는 기능 등을 가질 수 있다. 도 10a에 도시된 기능은 이들로 한정되지 않고, 컴퓨터는 다양한 기능을 가질 수 있다는 점에 유의한다.

[0157] 도 10b는 하우징(9630), 표시부(9631), 스피커(9633), 조작 키(9635), 마이크로폰(9638) 등을 포함할 수 있는 이동 전화를 도시한다. 도 10b에 도시된 이동 전화는 표시부에 다양한 종류의 데이터(예를 들어, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 표시부에 달력, 날짜, 시각 등을 표시하는 기능, 표시부에 표시된

데이터를 조작하고 또는 편집하는 기능, 다양한 종류의 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 도 10b에 도시된 이동 전화는 상기로 한정되지 않고 다른 다양한 기능을 가질 수 있다는 점에 유의한다.

[0158] 도 10c는 하우징(9630), 표시부(9631), 조작 키(9632) 등을 포함할 수 있는 전자 페이퍼(eBook 또는 e-book 리더라고도 함)를 도시한다. 도 10c에 도시된 전자 페이퍼는 표시부에 다양한 종류의 데이터(예를 들어, 정지 화상, 동화상, 및 텍스트 화상)를 표시하는 기능, 표시부에 달력, 날짜, 시각 등을 표시하는 기능, 표시부에 표시된 데이터를 조작하고 또는 편집하는 기능, 다양한 종류의 소프트웨어(프로그램)에 의해 처리를 제어하는 기능 등을 가질 수 있다. 도 10c에 도시된 전자 페이퍼는 상기로 한정되지 않고 다른 다양한 기능을 가질 수 있다는 점에 유의한다. 도 10d는 다른 전자 페이퍼를 도시한다. 도 10d의 전자 페이퍼는 도 10c의 전자 페이퍼의 구성 요소 외에 태양 전지(9651) 및 배터리(9652)를 포함한다. 표시부(9631)로서 반사형 액정 표시 장치를 사용하는 경우에, 반사형 액정 표시 장치는 주변 광이 비교적 밝을 때 사용되는 것으로 기대되고 태양 전지(9651)에 의한 발전 및 배터리(9652)의 충전이 효율적으로 수행되어 바람직하다. 예를 들어 크기의 감소가 이루어질 수 있기 때문에 배터리(9652)로서 리튬 이온 배터리를 사용하는 것이 유리하다.

[0159] 본 실시형태에서 설명된 전자 기기에서는, 정지 화상을 표시하는 데 저 전력 소비가 이루어질 수 있다.

[0160] 본 실시형태는 다른 실시형태들에서 설명된 임의의 구성과 적절히 조합하여 구현될 수 있다.

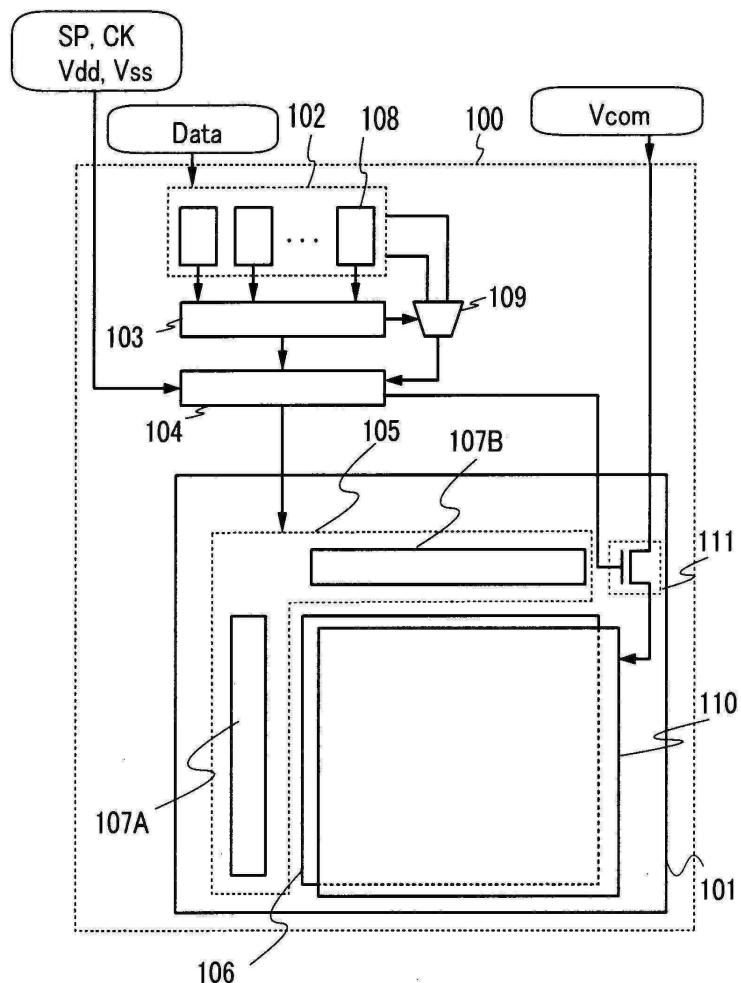
[0161] 본 출원은, 그 전체 내용이 본 명세서에 참고로 원용되며 2009년 12월 18일자 일본 특허청에 출원된 일본 특허 출원 번호 2009-287957에 기초한 것이다.

부호의 설명

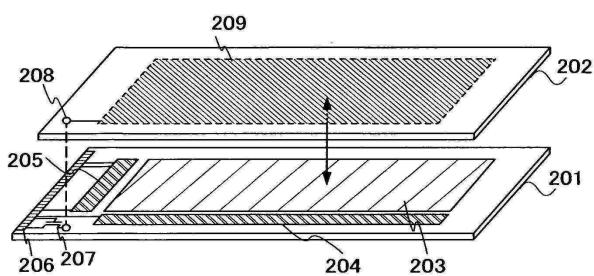
[0162] 10: 필스 출력 회로, 11: 제1 배선, 12: 제2 배선, 13: 제3 배선, 14: 제4 배선, 15: 제5 배선, 17: 제6 배선, 18: 제7 배선, 21: 제1 입력 단자, 22: 제2 입력 단자, 23: 제3 입력 단자, 24: 제4 입력 단자, 25: 제5 입력 단자, 26: 제1 출력 단자, 27: 제2 출력 단자, 31: 제2 트랜지스터, 32: 제2 트랜지스터, 33: 제3 트랜지스터, 34: 제4 트랜지스터, 35: 제5 트랜지스터, 36: 제6 트랜지스터, 37: 제7 트랜지스터, 38: 제8 트랜지스터, 39: 제9 트랜지스터, 40: 제10 트랜지스터, 41: 제11 트랜지스터, 51: 전원선, 52: 전원선, 61: 기간, 62: 기간, 100: 액정 표시 장치, 101: 표시 패널, 102: 메모리 회로, 103: 비교 회로, 104: 표시 제어 회로, 105: 구동 회로부, 106: 화소 회로부, 107A: 게이트선 구동 회로, 107B: 신호선 구동 회로, 108: 프레임 메모리, 109: 선택 회로, 110: 공통 전극부, 111: 스위칭 트랜지스터, 221: 화소 전극, 222: 공통 전극, 223: 액정, 160: 트랜지스터, 162: 트랜지스터, 164: 용량 소자, 201: 제1 기판, 202: 제2 기판, 203: 화소 회로부, 204: 게이트선 구동 회로, 205: 신호선 구동 회로, 206: 단자부, 206A: 단자, 206B: 단자, 207: 스위칭 트랜지스터, 208: 공통 접속부, 209: 공통 전극, 210: 용량 소자, 211: 게이트선, 212: 신호선, 213: 화소, 214: 화소 트랜지스터, 215: 액정 소자, 221: 화소 전극, 222: 공통 전극, 223: 액정, 401: 기간, 402: 기간, 403: 기간, 404: 기간, 601: 기간, 602: 기간, 603: 기간, 604: 기간, 801: 액정 표시 패널, 802: 터치 패널 유닛, 803: 하우징, 804: 액정 표시 장치, 805: 화소, 806: 광 센서, 807: 액정 소자, 808: 게이트선 구동 회로, 809: 신호선 구동 회로, 810: 광 센서 구동 회로, 811: 메모리 소자, 1200: 신호선 구동 회로, 1201: 게이트선 구동 회로, 1202: 화소 회로, 1204: 제2 기판, 1205: 밀봉 재료, 1206: 배향막, 1206: 접속 배선, 1210: 제1 기판, 1211: 화소 트랜지스터, 1214: 절연층, 1223: 구동 회로 박막 트랜지스터, 1235: 수지층, 1240: 단자부, 1241: 접속 단자, 1242: 접속 배선, 1243: 접속 단자, 1250: 화소 전극, 1255: 기동형 스페이서, 1261: 스위칭 트랜지스터, 1270: 도전 입자, 1280: 액정, 1290: 제1 편광판, 1291: 공통 전극, 1293: 도전층, 1295: 제2 편광판, 9630: 하우징, 9631: 표시부, 9632: 조작 키, 9633: 스피커, 9635: 조작 키, 9636: 접속 단자, 9638: 마이크로폰, 9651: 태양 전지, 9652: 배터리, 9653: 원도우형 표시부, 9672: 기록 매체 판독부, 9676: 셔터 버튼, 9677: 수상부, 9680: 외부 접속 포트, 및 9681: 포인팅 장치.

도면

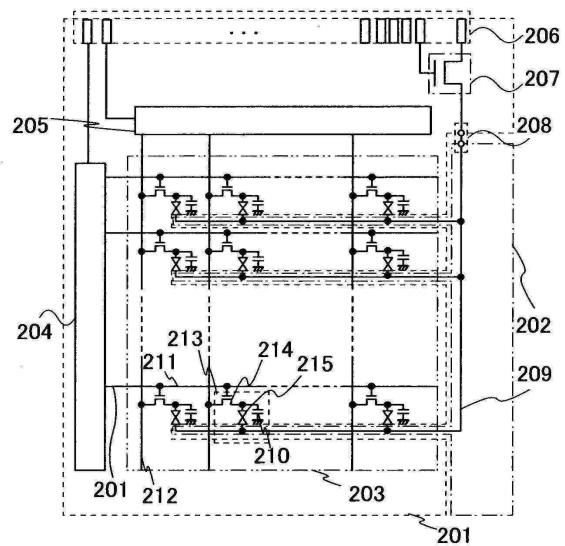
도면1



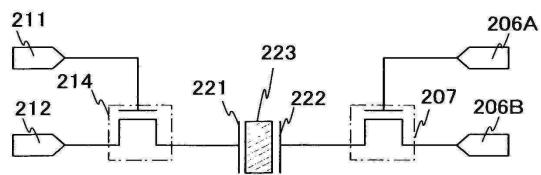
도면2a



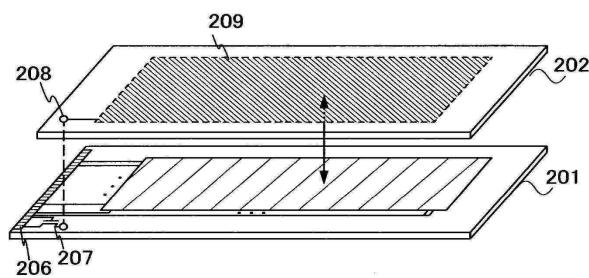
도면2b



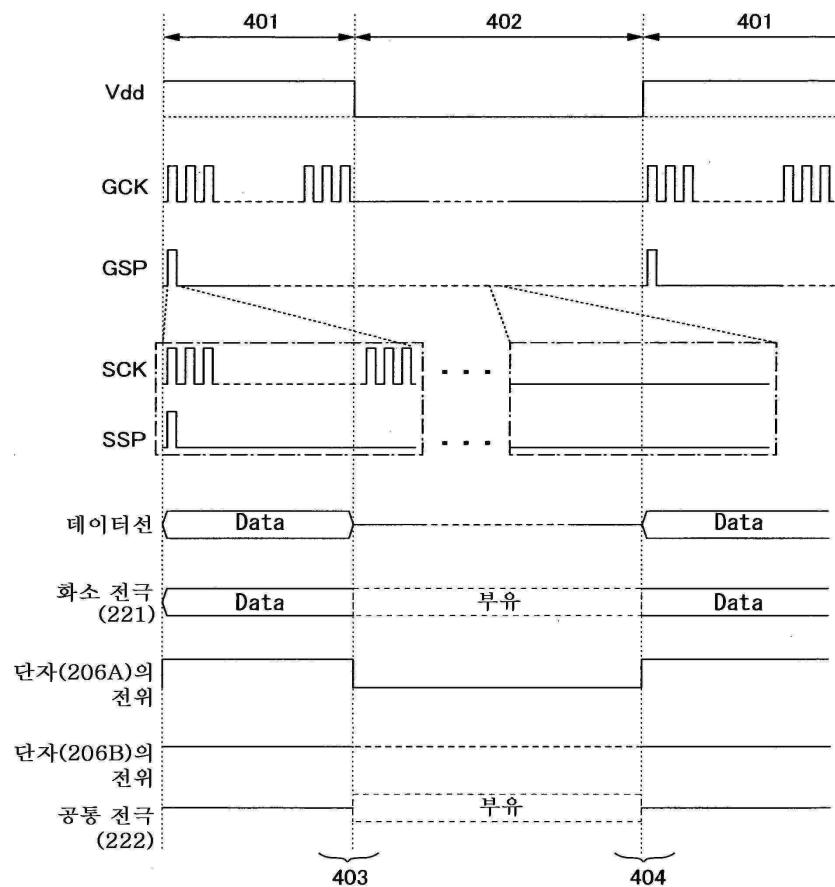
도면2c



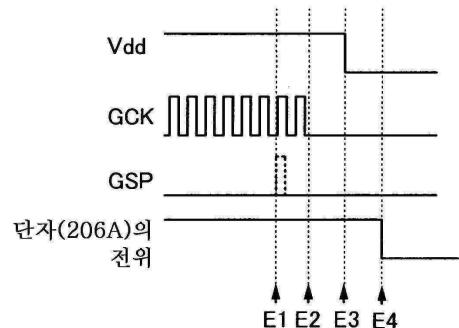
도면3



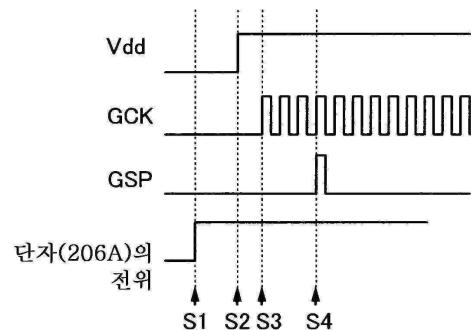
도면4



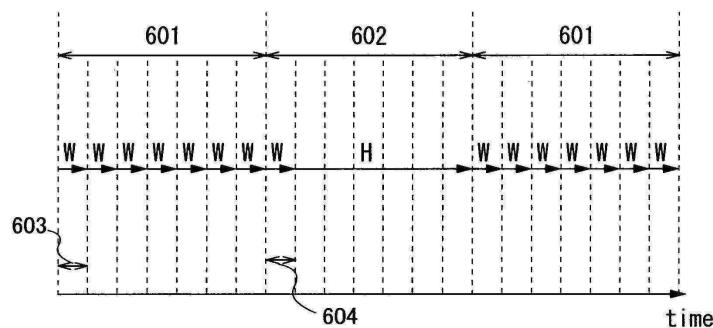
도면5a



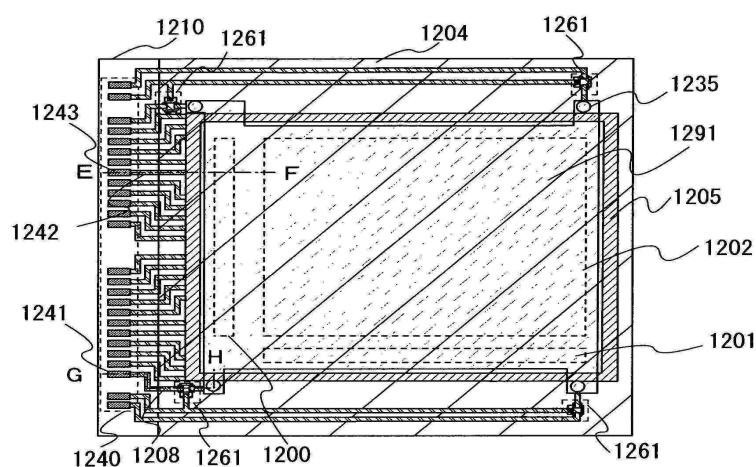
도면5b



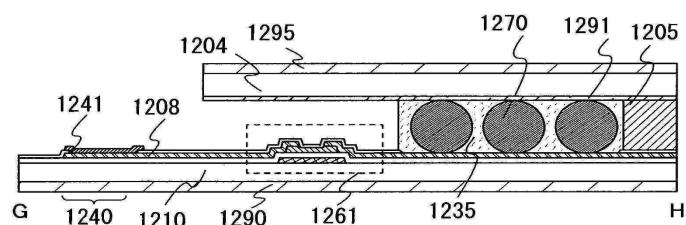
도면6



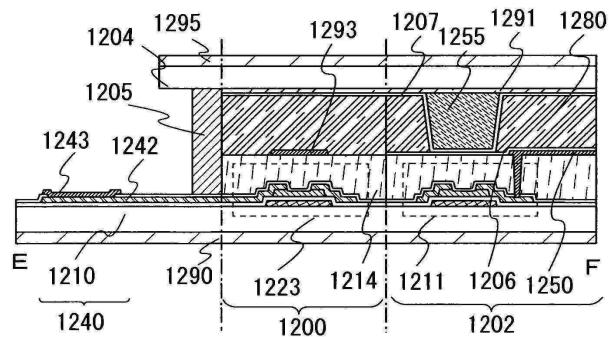
도면7a



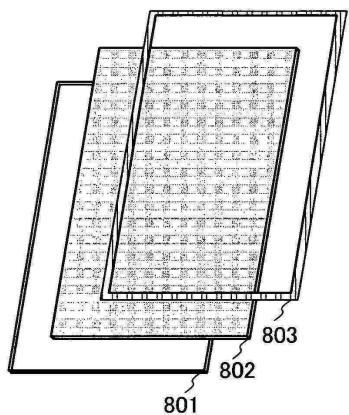
도면7b



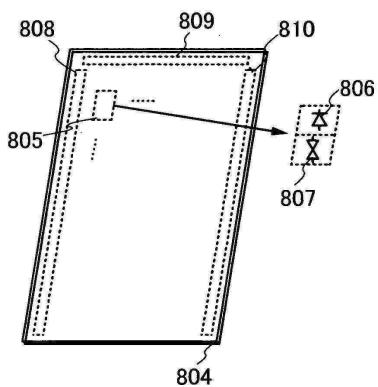
도면7c



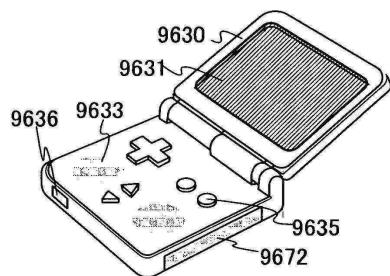
도면8a



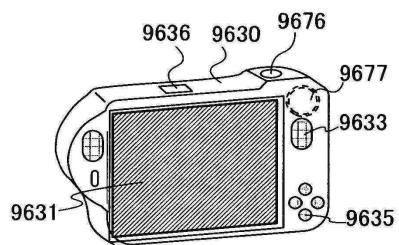
도면8b



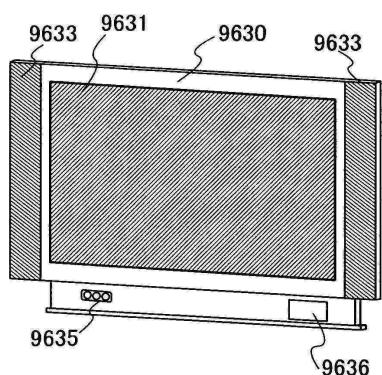
도면9a



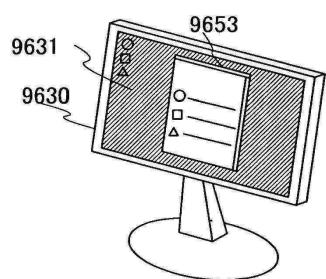
도면9b



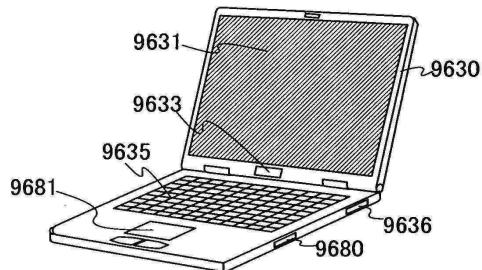
도면9c



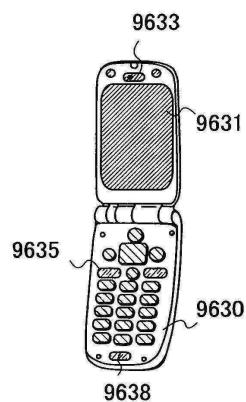
도면9d



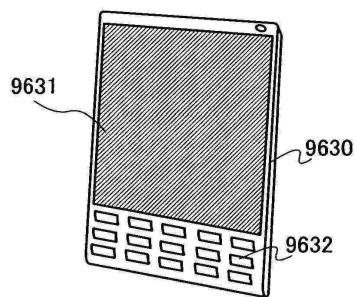
도면10a



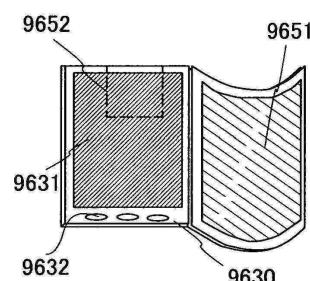
도면10b



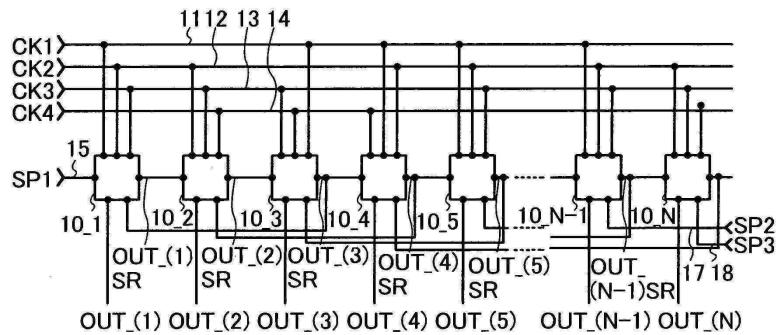
도면10c



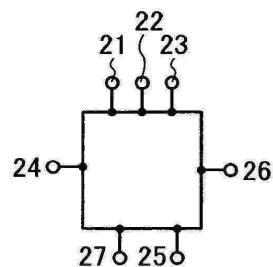
도면10d



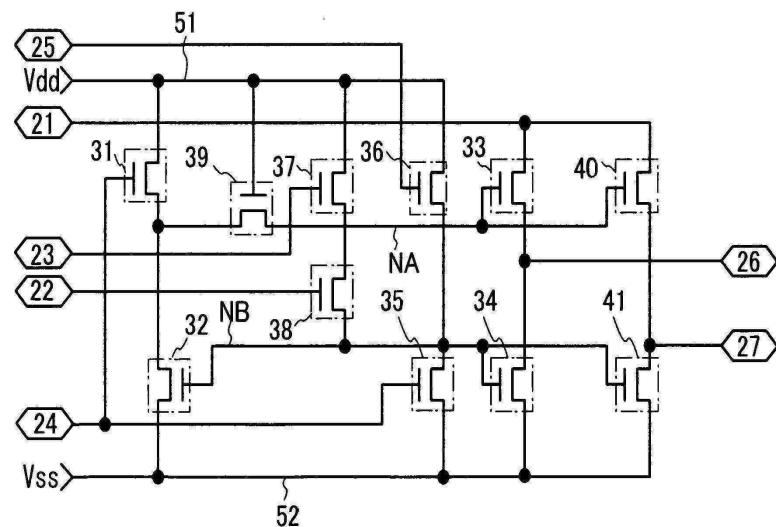
도면11a



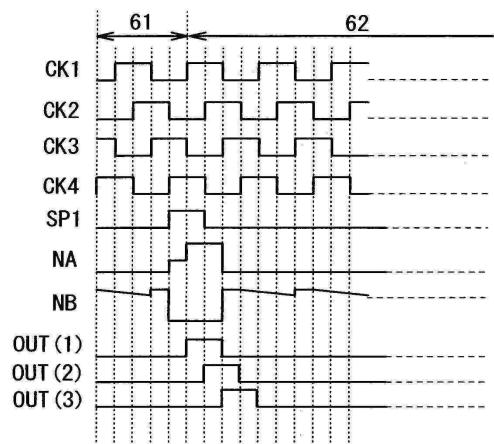
도면11b



도면11c



도면12



도면13

