

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2023/019902 A1

(43) 国际公布日

2023 年 2 月 23 日 (23.02.2023)

(51) 国际专利分类号:

H01L 21/70 (2006.01) H01L 27/105 (2006.01)

H01L 21/8242 (2006.01)

(21) 国际申请号:

PCT/CN2022/077727

(22) 国际申请日:

2022 年 2 月 24 日 (24.02.2022)

(25) 申请语言:

中文

(26) 公布语言:

中文

(30) 优先权:

202110941165.9 2021年8月17日 (17.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。北京超弦存储器研究院 (BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。

(72) 发明人: 邵光速 (SHAO, Guangsu); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。肖德元 (XIAO, Deyuan); 中国安徽省合肥市经济技术开发区空港工

业园兴业大道388号, Anhui 230601 (CN)。邱云松 (QIU, Yunsong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。吴敏敏 (WU, Minmin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

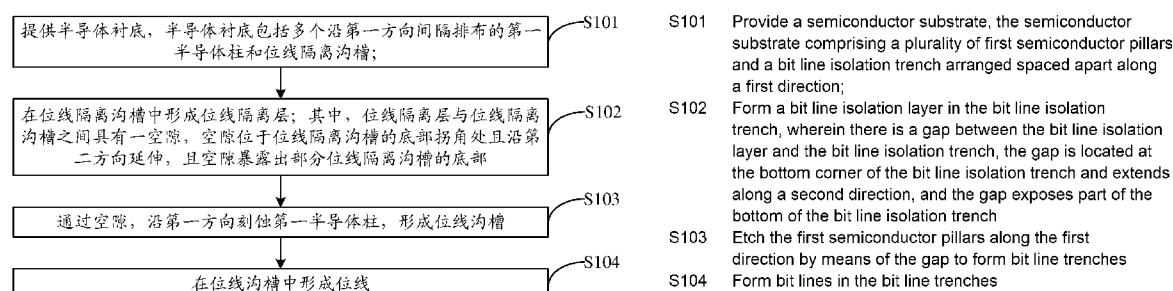


图 1

(57) Abstract: A semiconductor structure and a method for forming same, the method comprising: providing a semiconductor substrate (20), the semiconductor substrate (20) comprising a plurality of first semiconductor pillars (202) and a bit line isolation trench (201) arranged spaced apart along a first direction, the bit line isolation trench (201) extending along a second direction, and the first direction being perpendicular to the second direction; forming a bit line isolation layer (206, 404) in the bit line isolation trench (201), wherein there is a gap (C) between the bit line isolation layer (206, 404) and the bit line isolation trench (201), the gap (C) is located at the bottom corner of the bit line isolation trench (201) and extends along the second direction, and the gap (C) exposes part of the bottom of the bit line isolation trench (201); etching the first semiconductor pillars (202) along the first direction by means of the gap (C) to form bit line trenches (E, E'); and forming bit lines (207, 402) in the bit line trenches (E, E').

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种半导体结构及其形成方法, 该方法包括: 提供半导体衬底(20), 该半导体衬底(20)包括多个沿第一方向间隔排布的第一半导体柱(202)和位线隔离沟槽(201); 该位线隔离沟槽(201)沿第二方向延伸, 该第一方向垂直于该第二方向; 在该位线隔离沟槽(201)中形成位线隔离层(206、404); 其中, 该位线隔离层(206、404)与该位线隔离沟槽(201)之间具有一空隙(C), 该空隙(C)位于该位线隔离沟槽(201)的底部拐角处且沿该第二方向延伸, 且该空隙(C)暴露出部分该位线隔离沟槽(201)的底部; 通过该空隙(C), 沿该第一方向刻蚀该第一半导体柱(202), 形成位线沟槽(E、E'); 在该位线沟槽(E、E')中形成位线(207、402)。

半导体结构及其形成方法

相关的交叉引用

5 本公开基于申请号为 202110941165.9、申请日为 2021 年 08 月 17 日、发明名称为“半导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体结构及其形成方法。

背景技术

10 半导体器件通常包括多个晶体管，例如，在诸如动态随机存储器（Dynamic Random Access Memory, DRAM）的存储器件中，存储器单元包括金属-氧化物-半导体场效应晶体管（Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET）。通常，在 MOSFET 中，源极/漏极区域形成在半导体衬底的表面，并且在这样的布置下，源极区域与漏极区域之间形成平面沟道。

15 随着存储器件的集成度的不断增加，MOSFET 制造将达到物理极限，且随着 MOSFET 尺寸的不断缩小，存储器件对数据维持性能确越来越差。在这种情况下，垂直沟道晶体管（Vertical Channel Transistor, VCT）应运而生。在 VCT 中，源极区域和漏极区域形成在柱体的相应端部，源极区域和漏极区域中的任何一个可以与位线连接，位线是通过被掩埋在半导体柱之间所限定的沟槽内而形成的，因此被称作为掩埋位线（Buried Bit Line, BBL）。

20 相关技术中，位线全部掩埋在沟道底部，一方面，使得位线电阻、位线电压和位线电流均比较大；另一方面，由于位线与半导体柱相接触，因此，在相邻位线之间产生了较大的寄生电容。

发明内容

25 有鉴于此，本公开实施例提供一种半导体结构及其形成方法。
第一方面，本公开实施例提供一种半导体结构的形成方法，所述方法包括：
提供半导体衬底，所述半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽；所述位线隔离沟槽沿第二方向延伸，所述第一方向垂直于所述第二方向；
30 在所述位线隔离沟槽中形成位线隔离层；其中，所述位线隔离层与所述位线隔离沟槽之间具有一空隙，所述空隙位于所述位线隔离沟槽的底部拐角处且沿所述第二方向延伸，且所述空隙暴露出部分所述位线隔离沟槽的底部；
通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟槽；
在所述位线沟槽中形成位线。
在一些实施例中，在所述位线隔离沟槽中形成位线隔离层，包括：
在所述位线隔离沟槽中形成初始位线隔离层；
35 去除部分所述初始位线隔离层，形成所述位线隔离层和所述空隙。
在一些实施例中，在所述位线隔离沟槽中形成初始位线隔离层，包括：
在所述位线隔离沟槽中依次形成第一初始隔离层和第二初始隔离层；
沿第三方向，依次刻蚀去除部分所述第二初始隔离层和部分所述第一初始隔离层，
形成第一刻蚀凹槽；其中，所述第一刻蚀凹槽暴露出所述位线隔离沟槽的第一侧壁和所

述位线隔离沟槽的部分底部；所述第三方向为所述位线隔离沟槽的深度方向；

在所述第一刻蚀凹槽中填充隔离材料，形成第三初始隔离层；

剩余的所述第一初始隔离层、剩余的所述第二初始隔离层和所述第三初始隔离层，构成所述初始位线隔离层。

5 在一些实施例中，所述去除部分初始位线隔离层，形成所述位线隔离层和所述空隙，包括：

在所述位线隔离沟槽的端部，沿所述第三方向，依次刻蚀所述剩余的所述第二初始隔离层和所述剩余的第一初始隔离层，形成至少一个开口；

10 通过所述开口，去除所述初始位线隔离层中的所述剩余的第一初始隔离层，形成所述位线隔离层和所述空隙。

在一些实施例中，通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟槽，包括：

15 通过所述空隙，沿所述第一方向，部分刻蚀所述第一半导体柱，形成第二刻蚀凹槽；其中，所述第二刻蚀凹槽在所述第三方向上的尺寸等于所述空隙在所述第三方向上的尺寸，且所述第二刻蚀凹槽在所述第一方向上的尺寸小于所述第一半导体柱在所述第一方向上的尺寸；

所述第二刻蚀凹槽和所述空隙共同构成所述位线沟槽。

在一些实施例中，通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟槽，包括：

20 通过所述空隙，沿所述第一方向，全部刻蚀所述第一半导体柱，形成第三刻蚀凹槽；其中，所述第三刻蚀凹槽在所述第三方向上的尺寸等于所述空隙在所述第三方向上的尺寸，且所述第三刻蚀凹槽在所述第一方向上的尺寸等于所述第一半导体柱在所述第一方向上的尺寸；

所述第三刻蚀凹槽和所述空隙共同构成所述位线沟槽。

25 在一些实施例中，在形成所述位线之前，所述方法还包括：

沿所述第三方向，刻蚀去除所述剩余的所述第二初始隔离层，形成第四刻蚀凹槽；其中，所述第四刻蚀凹槽暴露出所述空隙和所述位线隔离沟槽的第二侧壁；

通过所述第四刻蚀凹槽，在所述位线沟槽中，形成所述位线。

30 在一些实施例中，通过所述第四刻蚀凹槽，在所述位线沟槽中形成所述位线，包括：在所述第四刻蚀凹槽和所述位线沟槽中形成初始位线层；

对所述初始位线层进行回刻，去除位于所述第四刻蚀凹槽中的初始位线层，形成所述位线。

在一些实施例中，在形成所述位线之后，所述方法还包括：

在所述第四刻蚀凹槽中填充绝缘材料，形成绝缘层；

35 其中，所述绝缘层的顶表面与所述第三初始隔离层的顶表面平齐。

在一些实施例中，在形成所述绝缘层之后，所述方法还包括：

在所述第一半导体柱中形成多个字线沟槽，所述字线沟槽沿所述第一方向延伸；

在所述字线沟槽中形成字线。

在一些实施例中，在所述第一半导体柱中形成多个字线沟槽，包括：

40 沿所述第三方向，刻蚀所述第一半导体柱，形成多个沿所述第二方向间隔排布的所述字线沟槽和第二半导体柱；

其中，所述字线沟槽的底部超出于所述位线的顶部。

在一些实施例中，在所述字线沟槽中形成字线，包括：

在所述字线沟槽的侧壁形成栅极绝缘层；

45 在形成有所述栅极绝缘层的字线沟槽中，依次形成底部初始阻挡层、初始字线层和顶部初始阻挡层；

沿所述第三方向，依次刻蚀部分所述顶部初始阻挡层、部分所述初始字线层和部分所述底部初始阻挡层，形成位于所述字线沟槽中心的字线隔离沟槽，剩余的所述初始字线层构成所述字线；

其中,所述字线隔离沟槽的底部保留有部分底部初始阻挡层。

在一些实施例中,在形成所述字线之后,所述方法还包括:

在所述字线隔离沟槽中填充绝缘材料,形成字线隔离层。

第二方面,本公开实施例提供一种半导体结构,至少包括:

5 半导体衬底;所述半导体衬底包括多个沿第一方向间隔排布的半导体柱和位线隔离沟槽;所述位线隔离沟槽沿第二方向延伸,所述第一方向垂直于所述第二方向;

位线隔离层,位于所述位线隔离沟槽中;

位线,所述位线部分掩埋于所述半导体柱的底部,且所述位线的另一部分掩埋于所述位线隔离层与所述位线隔离沟槽之间的底部拐角处。

10 在一些实施例中,所述半导体衬底还包括多个沿第二方向间隔排布的字线沟槽和第二半导体柱;所述半导体结构还包括:

栅极绝缘层,位于所述字线沟槽的侧壁;

15 字线隔离层,位于所述字线沟槽的中心,且所述字线隔离层的顶表面与所述第二半导体柱的顶表面平齐;所述字线隔离层在第三方向上的尺寸小于所述字线沟槽在所述第三方向上的尺寸;所述第三方向为所述字线沟槽的深度方向;

顶部阻挡层,位于所述字线沟槽顶部的栅极绝缘层与对应的字线隔离层之间;

字线,位于所述字线沟槽中间的栅极绝缘层与对应的字线隔离层之间;

底部阻挡层,位于形成有所述栅极绝缘层的字线沟槽的底部,且所述底部阻挡层与所述字线和部分所述字线隔离层相接触。

20 在一些实施例中,所述半导体结构还包括:沟道;

所述沟道位于相邻两个栅极绝缘层之间,且所述沟道为与所述字线对应的、相邻两个栅极绝缘层之间的第二半导体柱区域。

本公开实施例提供的半导体结构及其形成方法,其中,半导体结构的形成方法包括:提供半导体衬底,半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽;位线隔离沟槽沿第二方向延伸;在位线隔离沟槽中形成位线隔离层,位线隔离层与位线隔离沟槽之间具有一空隙,空隙位于位线隔离沟槽的底部拐角处且沿第二方向延伸;通过空隙,沿第一方向刻蚀第一半导体柱,形成位线沟槽;在位线沟槽中形成位线。通过本公开实施例提供的半导体结构的形成方法所形成的半导体结构,位线部分掩埋于位线隔离沟槽中,位线的另一部分掩埋于第一半导体柱的底部,如此,可以降低形成的半导体结构的位线电阻、电压和电流,并降低了相邻位线之间的寄生电容,提高半导体结构的性能。

附图说明

35 在附图(其不一定是按比例绘制的)中,相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图1为本公开实施例提供的半导体结构的形成方法的一种可选的流程示意图;

图2a~2t、3a~3h为本公开实施例提供的半导体结构形成过程的结构示意图;

图4a为本公开实施例提供的半导体结构的一种可选的俯视图;

图4b~4d为本公开实施例提供的半导体结构沿不同方向的剖视图;

40 附图标记说明:

20-半导体衬底;201-位线隔离沟槽;201-1-位线隔离沟槽的第一侧壁;201-2-位线隔离沟槽的第二侧壁;202-第一半导体柱;203a-第一初始隔离层;203-剩余的第一初始隔离层;204a-第二初始隔离层;204-剩余的第二初始隔离层;205-第三初始隔离层;206a-初始位线隔离层;206/404-位线隔离层;207a-初始位线层;207/402-位线;208-绝缘层;45 301/405-第二半导体柱;302-字线沟槽;303/406-栅极绝缘层;304a-底部初始阻挡层;304/409-底部阻挡层;305a-初始字线层;305/403-字线;306a-顶部初始阻挡层;306/408-顶部阻挡层;307a-字线隔离沟槽;307/407-字线隔离层;40-半导体结构;401-半导体柱;410-沟道;A-第一刻蚀凹槽;B-开口;C-空隙;D-第二刻蚀凹槽;D'-第三刻蚀凹槽;

E/E' -位线沟槽；F-第四刻蚀凹槽。

具体实施方式

下面将参照附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够

将本公开的范围完整的传达给本领域的技术人员。
在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未

进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。
在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标

记表示相同的元件。
应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用

时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。
基于相关技术中存在的问题，本公开实施例提供一种半导体结构及其形成方法，其中，半导体结构的形成方法包括提供半导体衬底，半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽；位线隔离沟槽沿第二方向延伸；在位线隔离沟槽中形成位线隔离层，位线隔离层与位线隔离沟槽之间具有一空隙，空隙位于位线隔离沟槽的底部拐角处且沿第二方向延伸；通过空隙，沿第一方向刻蚀第一半导体柱，形成位线沟槽；在位线沟槽中形成位线。通过本公开实施例提供的半导体结构的形成方法所形成的半导体结构，位线部分掩埋于位线隔离沟槽中，位线的另一部分掩埋于第一半导体柱的底部，如此，可以降低形成的半导体结构的位线电阻、电压和电流，并降低了相邻位线之间的寄生电容，提高半导体结构的性能。

本公开实施例提供一种半导体结构的形成方法，如图1所示，所述半导体结构的形成方法包括以下步骤：

步骤 S101、提供半导体衬底，所述半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽。

其中，所述位线隔离沟槽沿第二方向延伸，所述第一方向垂直于所述第二方向。

所述半导体衬底可以是硅衬底，所述半导体衬底也可以包括其他半导体元素，例如：锗（Ge），或包括半导体化合物，例如：碳化硅（SiC）、砷化镓（GaAs）、磷化镓（GaP）、磷化铟（InP）、砷化铟（InAs）或锑化铟（InSb），或包括其他半导体合金，例如：硅锗（SiGe）、磷化砷镓（GaAsP）、砷化铟铝（AlInAs）、砷化镓铝（AlGaAs）、砷化铟镓（GaInAs）、磷化铟镓（GaInP）、及/或磷砷化铟镓（GaInAsP）或其组合。

所述半导体衬底可以包括处于正面的顶表面以及处于与正面相对的背面的底表面；

在忽略顶表面和底表面的平整度的情况下，定义垂直半导体衬底顶表面和底表面的方向为第三方向。在半导体衬底顶表面和底表面（即半导体衬底所在的平面）方向上，定义两彼此相交（例如彼此垂直）的第一方向和第二方向，例如，可以定义多个位线隔离沟槽的排列方向为第一方向，定义所述位线隔离沟槽的延伸方向为第二方向，基于所述第一方向

5 所述第一方向和所述第二方向可以确定所述半导体衬底的平面方向。这里，所述第一方向、所述第二方向和所述第三方向两两垂直。本公开实施例中，定义所述第一方向为 X 轴方向，定义所述第二方向为 Y 轴方向，定义所述第三方向为 Z 轴方向。

本公开实施例中，所述位线隔离沟槽用于填充隔离材料，以隔离最终形成的位线。所述第一半导体柱为刻蚀所述半导体衬底形成多个位线隔离沟槽之后，位于相邻两个位

10 线隔离沟槽之间的半导体衬底。位线隔离沟槽与第一半导体柱沿第一方向间隔排布。

步骤 S102、在所述位线隔离沟槽中形成位线隔离层；其中，所述位线隔离层与所述位线隔离沟槽之间具有一空隙，所述空隙位于所述位线隔离沟槽的底部拐角处且沿所述第二方向延伸，且所述空隙暴露出部分所述位线隔离沟槽的底部。

步骤 S103、通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟

15 槽。

这里，通过所述空隙，沿第一方向刻蚀所述第一半导体柱可以是刻蚀第一方向上的部分第一半导体柱，也可以是刻蚀第一方向上的全部第一半导体柱。

步骤 S104、在所述位线沟槽中形成位线。

图 2a~2t、3a~3h 为本公开实施例提供的半导体结构形成过程的结构示意图，接下来

20 请参考图 2a~2t、3a~3h 对本公开实施例提供的半导体结构的形成方法进一步地详细说明。

首先，可以参考图 2a 至 2e，执行步骤 S101、提供半导体衬底，所述半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽。

在一些实施例中，所述步骤 S101 可以包括以下步骤：

步骤 S1011、提供半导体衬底。

步骤 S1012、在所述半导体衬底的表面形成一图形化的光阻层。

步骤 S1013、通过所述图形化的光阻层，刻蚀所述半导体衬底，形成多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽。

如图 2a 和 2b 所示，沿 Z 轴方向刻蚀所述半导体衬底 20，形成沿 X 轴方向间隔排布的位线隔离沟槽 201 和第一半导体柱 202，位线隔离沟槽 201 沿 Y 轴方向延伸。图 2c

30 为刻蚀后的半导体柱的俯视图，图 2d 和 2e 分别为沿图 2c 中的 a-a'、b-b' 和 c-c' 方向的剖视图，可以看出，位线隔离沟槽 201 的底部仍然保留有部分厚度的半导体衬底。

接下来，可以参考图 2f 至 2j，执行步骤 S102、在所述位线隔离沟槽中形成位线隔离层；其中，所述位线隔离层与所述位线隔离沟槽之间具有一空隙，所述空隙位于所述

35 位线隔离沟槽的底部拐角处且沿所述第二方向延伸，且所述空隙暴露出部分所述位线隔离沟槽的底部。

在一些实施例中，步骤 S102 可以通过以下步骤形成：

步骤 S1021、在所述位线隔离沟槽中形成初始位线隔离层。

在一些实施例中，所述初始位线隔离层可以通过以下步骤形成：

步骤 S10、在所述位线隔离沟槽中依次形成第一初始隔离层和第二初始隔离层。

所述第一初始隔离层和所述第二初始隔离层的材料均可以为任意一种合适的绝缘材料，但是第一初始隔离层与第二初始隔离层不同。示例性地，所述第一初始隔离层可以是氧化硅层，所述第二初始隔离层可以是氮化硅层。

本公开实施例中，可以通过任意一种合适的沉积工艺形成第一初始隔离层和第二初

45 始隔离层，例如，化学气相沉积（Chemical Vapor Deposition, CVD）工艺、物理气相沉积（Physical Vapor Deposition, PVD）工艺、原子层沉积（Atomic Layer Deposition, ALD）工艺、旋涂工艺或者涂敷工艺。

需要说明的是，在形成第二初始隔离层时，由于工艺的影响，第二初始隔离层往往会覆盖在第一半导体柱的顶表面，此时，需要对第二初始隔离层进行干法刻蚀处理或者

化学机械抛光处理 (Chemical Mechanical Polishing, CMP), 以暴露出第一半导体柱的顶表面, 因此, 本公开实施例中, 所述第二初始隔离层的顶表面与所述第一半导体柱的顶表面平齐。

如图 2f 所示, 在位线隔离沟槽中依次形成了第一初始隔离层 203a 和第二初始隔离层 204a, 其中, 第二初始隔离层 204a 的顶表面与第一半导体柱 202 的顶表面平齐。

步骤 S11、沿第三方向, 依次刻蚀去除部分所述第二初始隔离层和部分所述第一初始隔离层, 形成第一刻蚀凹槽; 其中, 所述第一刻蚀凹槽暴露出所述位线隔离沟槽的第一侧壁和所述位线隔离沟槽的部分底部; 所述第三方向为所述位线隔离沟槽的深度方向。

本公开实施例中, 可以采用干法刻蚀工艺去除部分所述第二初始隔离层和部分所述第一初始隔离层, 例如, 等离子刻蚀工艺, 反应离子刻蚀工艺或者离子铣工艺。

如图 2g 所示, 沿 Z 轴方向, 依次刻蚀所述第二初始隔离层 204a 和所述第一初始隔离层 203a, 去除部分所述第二初始隔离层 204a 和部分第一初始隔离层 203a, 暴露出位线隔离沟槽的第一侧壁 201-1 和部分位线隔离沟槽的底部, 形成了第一刻蚀凹槽 A。在形成了第一刻蚀凹槽 A 后, 位线隔离沟槽中保留有剩余的第一初始隔离层 203 和剩余的第二初始隔离层 204。

本公开实施例中, 去除部分第二初始隔离层 204a 和部分第一初始隔离层 203a 可以是去除每一位线隔离沟槽中的一半的第二初始隔离层 204a 和去除每一位线隔离沟槽中的一半的第一初始隔离层 203a。在其它实施例中, 也可以是去除其它比例的第二初始隔离层和第一初始隔离层, 例如, 去除 3/5 的第二初始隔离层和第一初始隔离层。

步骤 S12、在所述第一刻蚀凹槽中填充隔离材料, 形成第三初始隔离层。

在一些实施例中, 所述隔离材料可以是任意一种绝缘材料, 例如氧化硅、氮化硅或者氮氧化硅。本公开实施例中, 所述隔离材料与所述第二初始隔离层的组成材料相同。

需要说明的是, 在形成第三初始隔离层时, 由于工艺的影响, 第三初始隔离层往往会覆盖在第一半导体柱和第二初始隔离层的顶表面, 此时, 需要对第三初始隔离层进行干法刻蚀处理或者 CMP 处理, 以暴露出第一半导体柱和第二初始隔离层的顶表面, 因此, 本公开实施例中, 所述第三初始隔离层的顶表面与所述第一半导体柱和所述剩余的第二初始隔离层的顶表面平齐。

如图 2h 所示, 在所述第一刻蚀凹槽 A 中填充隔离材料, 形成了第三初始隔离层 205, 第三初始隔离层的顶表面与第一半导体柱 202 和剩余的第二初始隔离层 204 的顶表面平齐。剩余的第一初始隔离层 203、剩余的第二初始隔离层 204 和所述第三初始隔离层 205, 构成所述初始位线隔离层 206a。

步骤 S1022、去除部分所述初始位线隔离层, 形成所述位线隔离层和所述空隙。

在一些实施例中, 所述位线隔离层和所述空隙可以通过以下步骤形成:

步骤 S13、在所述位线隔离沟槽的端部, 沿所述第三方向, 依次刻蚀所述剩余的第二初始隔离层和所述剩余的第一初始隔离层, 形成至少一个开口。

这里, 形成开口的过程可以通过干法刻蚀工艺形成。

如图 2i 所示, 在位线隔离沟槽的任意一端或两端, 沿 Z 轴方向, 依次刻蚀剩余的第二初始隔离层 204 和剩余的第一初始隔离层 203, 形成一个或者两个开口 B, 所述开口 B 的底部位于剩余的第一初始隔离层 203 的内部。

步骤 S14、通过所述开口, 去除所述初始位线隔离层中的所述剩余的第一初始隔离层, 形成所述位线隔离层和所述空隙。

如图 2j 所示, 采用湿法刻蚀工艺, 通过在开口 B 中注入腐蚀液, 例如磷酸溶液 (H_3PO_4)、硫酸溶液或者氢氟酸溶液, 以去除初始位线隔离层 206a 中的剩余的第一初始隔离层 203, 形成位线隔离层 206 和空隙 C, 所述空隙 C 沿 Y 轴方向延伸。

接下来, 可以参考图 2k 和 2l, 执行步骤 S103, 通过所述空隙, 沿所述第一方向刻蚀所述第一半导体柱, 形成位线沟槽。

本公开实施例中, 通过空隙, 刻蚀第一半导体柱的过程为湿法刻蚀过程, 刻蚀第一半导体柱的过程可以包括以下两种刻蚀过程:

第一种刻蚀过程是：通过所述空隙，沿所述第一方向，部分刻蚀所述第一半导体柱，形成第二刻蚀凹槽。其中，所述第二刻蚀凹槽在所述第三方向上的尺寸等于所述空隙在所述第三方向上的尺寸，且所述第二刻蚀凹槽在所述第一方向上的尺寸小于所述第一半导体柱在所述第一方向上的尺寸。所述第二刻蚀凹槽和所述空隙共同构成所述位线沟槽。

如图 2k 所示，通过空隙 C，沿 X 轴方向，部分刻蚀第一半导体柱 202，形成了第二刻蚀凹槽 D，所述第二刻蚀凹槽 D 在 Z 轴方向上的尺寸 h1 等于空隙 C 在 Z 轴方向上的尺寸 h2，且第二刻蚀凹槽 D 在 Y 轴方向上的尺寸 w1 小于空隙 C 在 Y 轴方向上的尺寸 w2。本公开实施例中，第二刻蚀凹槽 D 和空隙 C 共同构成位线沟槽 E。

第二种刻蚀过程是：通过所述空隙，沿所述第一方向，全部刻蚀所述第一半导体柱，形成第三刻蚀凹槽。其中，所述第三刻蚀凹槽在所述第三方向上的尺寸等于所述空隙在所述第三方向上的尺寸，且所述第三刻蚀凹槽在所述第一方向上的尺寸等于所述第一半导体柱在所述第一方向上的尺寸。所述第三刻蚀凹槽和所述空隙共同构成所述位线沟槽。

如图 2l 所示，通过空隙 C，沿 X 轴方向，全部刻蚀第一半导体柱 202，形成了第三刻蚀凹槽 D'，所述第三刻蚀凹槽 D' 在 Z 轴方向上的尺寸 h3 等于空隙 C 在 Z 轴方向上的尺寸 h2，且第三刻蚀凹槽 D' 在 Y 轴方向上的尺寸 w3 等于空隙 C 在 Y 轴方向上的尺寸 w2。本公开实施例中，第三刻蚀凹槽 D' 和空隙 C 共同构成位线沟槽 E'。

接下来，可以参考图 2m 至 2t，执行步骤 S104、在所述位线沟槽中形成位线。

在一些实施例中，在形成所述位线之前，所述方法还包括：

步骤 S15、沿所述第三方向，刻蚀去除所述剩余的所述第二初始隔离层，形成第四刻蚀凹槽；其中，所述第四刻蚀凹槽暴露出所述空隙和所述位线隔离沟槽的第二侧壁。

本公开实施例中，可以采用干法刻蚀工艺刻蚀去除剩余的所述第二初始隔离层，形成所述第四刻蚀凹槽。

如图 2m 和 2n 所示，沿 Z 轴方向，刻蚀去除剩余的所述第二初始隔离层 204，形成第四刻蚀凹槽 F。第四刻蚀凹槽 F 暴露出空隙 C 和位线隔离沟槽的第二侧壁 201-2。

步骤 S16、通过所述第四刻蚀凹槽，在所述位线沟槽中，形成所述位线。

在一些实施例中，步骤 S16 可以通过以下步骤实现：

步骤 S161、在所述第四刻蚀凹槽和所述位线沟槽中形成初始位线层。

如图 2o 和 2p 所示，采用任意一种合适的沉积工艺，在所述第四刻蚀凹槽 F 和位线沟槽 E 或位线沟槽 E' 中形成初始位线层 207a。

步骤 S162、对所述初始位线层进行回刻，去除位于所述第四刻蚀凹槽中的初始位线层，形成所述位线。

如图 2q 和 2r 所示，对初始位线层 207a 进行回刻，去除了位于第四刻蚀凹槽 F 中的初始位线层，形成了位线 207。

本公开实施例中，初始位线层或位线的材料包括钨 (W)、钴 (Co)、铜 (Cu)、铝 (Al)、多晶硅、掺杂硅、硅化物或其任何组合。

在一些实施例中，在形成所述位线之后，所述半导体结构的形成方法还包括：

步骤 S17、在所述第四刻蚀凹槽中填充绝缘材料，形成绝缘层。

这里，形成所述绝缘层的绝缘材料与所述第三初始隔离层的组成材料可以相同也可以不同。

如图 2s 和 2t 所示，在第四刻蚀凹槽 F 中填充绝缘材料，形成了绝缘层 208，其中，所述绝缘层 208 的顶表面与所述第三初始隔离层 205 的顶表面平齐。

在一些实施例中，在形成所述绝缘层之后，所述半导体结构的形成方法还包括以下步骤，下面，以部分刻蚀第一方向上的第一半导体柱（即位线沟槽 E）为例，结合图 3a 至 3h 说明后续的形成过程。

步骤 S18、在所述第一半导体柱中形成多个字线沟槽；所述字线沟槽沿所述第一方向延伸。

本公开实施例中，所述字线沟槽用于形成字线以及字线隔离结构。

在一些实施例中，步骤 S18 可以通过以下步骤形成：

步骤 S181、沿所述第三方向，刻蚀所述第一半导体柱，形成多个沿所述第二方向间隔排布的所述字线沟槽和第二半导体柱。

如图 3a 所示，沿 Z 轴方向，刻蚀第一半导体柱，形成多个沿 Y 轴方向间隔排布的第二半导体柱 301 和字线沟槽 302，字线沟槽 302 沿 X 轴方向延伸。图 3b 为刻蚀后的半导体柱的俯视图，图 3c 和 3d 分别为沿图 3b 中的 a-a'、b-b'、c-c' 和 d-d' 方向的剖视图，可以看出，字线沟槽 302 的底部超出于位线 206 的顶部。

步骤 S19、在所述字线沟槽中形成字线。

在一些实施例中，形成字线的过程可以包括以下步骤：

步骤 S191、在所述字线沟槽的侧壁形成栅极绝缘层。

步骤 S192、在形成有所述栅极绝缘层的字线沟槽中，依次形成底部初始阻挡层、初始字线层和顶部初始阻挡层。

所述栅极绝缘层的材料可以是任意一种绝缘材料，例如氧化硅。所述底部初始阻挡层和所述顶部初始阻挡层的材料可以相同也可以不同，例如所述底部初始阻挡层和所述顶部初始阻挡层均可以为氮化硅。所述初始字线层的材料包括钨、钴、铜、铝、多晶硅、掺杂硅、硅化物、氮化钛或其任何组合。

本公开实施例中，可以通过任意一种合适的沉积工艺形成所述栅极绝缘层、底部初始阻挡层、初始字线层和顶部初始阻挡层。

如图 3e 所示，在字线沟槽 302 的侧壁形成栅极绝缘层 303，且在形成有栅极绝缘层 303 的字线沟槽中，依次形成底部初始阻挡层 304a、初始字线层 305a 和顶部初始阻挡层 306a。

步骤 S193、沿所述第三方向，依次刻蚀部分所述顶部初始阻挡层、部分所述初始字线层和部分所述底部初始阻挡层，形成位于所述字线沟槽中心的字线隔离沟槽，剩余的所述初始字线层构成所述字线；其中，所述字线隔离沟槽的底部保留有部分底部初始阻挡层。

如图 3f 所示，沿 Z 轴方向，依次刻蚀部分顶部初始阻挡层 306a、部分初始字线层 305a 和部分底部初始阻挡层 304a，形成位于字线沟槽中心的字线隔离沟槽 307a，剩余的初始字线层构成所述字线 305，且剩余的顶部初始阻挡层构成所述半导体结构的顶部阻挡层 306、剩余的底部初始阻挡层构成所述半导体结构的底部阻挡层 304。本公开实施例中，所形成的字线隔离沟槽 307a 的底部还保留有部分底部初始阻挡层 304a。

在一些实施例中，在形成所述字线之后，所述半导体结构的形成方法还包括：

步骤 S20、在所述字线隔离沟槽中填充绝缘材料，形成字线隔离层。

如图 3g 和 3h 所示，采用任意一种合适的沉积工艺，在字线隔离沟槽 307a 中沉积绝缘材料，形成字线隔离层 307。所述字线隔离层用于隔离相邻的字线 305。

需要说明的是，本公开实施例提供的半导体结构的形成方法可以适用于任意一种垂直全环栅（Vertical Gate-All-Around, VGAA）半导体器件，例如动态随机存取存储器（Dynamic Random Access Memory, DRAM）。

本公开实施例提供的半导体结构的形成方法所形成的半导体结构，包括掩埋字线和掩埋位线，其中，位线部分掩埋于位线隔离沟槽中，位线的另一部分掩埋于第一半导体柱的底部，如此，可以降低形成的半导体结构的位线电阻、电压和电流，并降低了相邻位线之间的寄生电容，提高半导体结构的性能。

除此之外，本公开实施例还提供一种半导体结构，所述半导体结构通过上述实施例提供的半导体结构的形成方法形成。图 4a 为本公开实施例提供的半导体结构的一种可选的俯视图，图 4b~4d 分别为半导体结构沿不同方向的剖视图，如图 4a~4d 所示，所述半导体结构 40 包括：半导体衬底、位线 402 和字线 403。

其中，所述半导体衬底包括多个沿第一方向间隔排布的半导体柱 401（对应上述实施中被刻蚀形成第二半导体柱后的第一半导体柱）和位线隔离沟槽；所述位线隔离沟槽中填充有位线隔离层 404。本公开实施例中，所述位线隔离沟槽沿第二方向延伸，即所述位线隔离层 404 沿第二方向延伸，所述第一方向垂直于所述第二方向。

本公开实施例中，定义第一方向为 X 轴方向，定义第二方向为 Y 轴方向，定义第三方向为 Z 轴方向。

所述位线 402 部分掩埋于所述半导体柱 401 的底部，且所述位线 402 的另一部分掩埋于所述位线隔离层 404 与所述位线隔离沟槽之间的底部拐角处，所述位线 402 沿 Y 轴方向延伸。

在一些实施例中，所述半导体衬底还包括多个沿 Y 轴方向间隔排布的字线沟槽和第二半导体柱 405，所述第一半导体柱 401 包括所述第二半导体柱 405，所述半导体结构 40 还包括：栅极绝缘层 406，位于所述字线沟槽的侧壁；字线隔离层 407，位于所述字线沟槽的中心，且所述字线隔离层 407 的顶表面与所述第二半导体柱 405 的顶表面平齐；所述字线隔离层在第三方向上的尺寸 h4 小于所述字线沟槽在所述第三方向上的尺寸 h5；所述第三方向为所述字线沟槽的深度方向。

在一些实施例中，字线 403，位于所述字线沟槽中间的栅极绝缘层 406 与对应的字线隔离层 407 之间；所述半导体结构 40 还包括：顶部阻挡层 408，位于所述字线沟槽顶部的栅极绝缘层 406 与对应的字线隔离层 407 之间；底部阻挡层 409，位于形成有所述栅极绝缘层 406 的字线沟槽的底部，且所述底部阻挡层 409 与所述字线 403 和部分所述字线隔离层 407 相接触。

在一些实施例中，所述半导体结构还包括：沟道 410；所述沟道 410 位于相邻两个栅极绝缘层 406 之间，且所述沟道 410 为与所述字线 403 对应的、相邻两个栅极绝缘层 406 之间的第二半导体柱区域。

在其它实施例中，所述半导体结构还可以包括：存储电容或者可调电阻等功能器件，这里不再详细说明。

本公开实施例中的半导体结构与上述实施例中的半导体结构的形成方法类似，对于本公开实施例未详尽披露的技术特征，请参考上述实施例进行理解，这里，不再赘述。

本公开实施例提供的半导体结构，由于位线部分掩埋于位线隔离沟槽中，另一部分掩埋于半导体柱的底部，如此，可以降低形成的半导体结构的位线电阻、电压和电流，并降低了相邻位线之间的寄生电容，提高了半导体结构的性能。

在本公开所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元，即可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。

以上所述，仅为本公开实施例的一些实施方式，但本公开实施例的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开实施例揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开实施例的保护范围之内。因此，本公开实施例的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供的半导体结构及其形成方法，其中，半导体结构的形成方法包括：提供半导体衬底，半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽；位线隔离沟槽沿第二方向延伸；在位线隔离沟槽中形成位线隔离层，位线隔离层与位线隔离沟槽之间具有一空隙，空隙位于位线隔离沟槽的底部拐角处且沿第二方向延伸；通过空隙，沿第一方向刻蚀第一半导体柱，形成位线沟槽；在位线沟槽中形成位线。通过本公开实施例提供的半导体结构的形成方法所形成的半导体结构，位线部分掩埋于位线隔离沟槽中，位线的另一部分掩埋于第一半导体柱的底部，如此，可以降低形成的

半导体结构的位线电阻、电压和电流，并降低了相邻位线之间的寄生电容，提高半导体结构的性能。

权利要求书

1、一种半导体结构的形成方法，所述方法包括：

提供半导体衬底，所述半导体衬底包括多个沿第一方向间隔排布的第一半导体柱和位线隔离沟槽；所述位线隔离沟槽沿第二方向延伸，所述第一方向垂直于所述第二方向；

在所述位线隔离沟槽中形成位线隔离层；其中，所述位线隔离层与所述位线隔离沟槽之间具有一空隙，所述空隙位于所述位线隔离沟槽的底部拐角处且沿所述第二方向延伸，且所述空隙暴露出部分所述位线隔离沟槽的底部；

通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟槽；

在所述位线沟槽中形成位线。

2、根据权利要求1所述的方法，其中，在所述位线隔离沟槽中形成位线隔离层，包括：

在所述位线隔离沟槽中形成初始位线隔离层；

去除部分所述初始位线隔离层，形成所述位线隔离层和所述空隙。

3、根据权利要求2所述的方法，其中，在所述位线隔离沟槽中形成初始位线隔离层，包括：

在所述位线隔离沟槽中依次形成第一初始隔离层和第二初始隔离层；

沿第三方向，依次刻蚀去除部分所述第二初始隔离层和部分所述第一初始隔离层，形成第一刻蚀凹槽；其中，所述第一刻蚀凹槽暴露出所述位线隔离沟槽的第一侧壁和所述位线隔离沟槽的部分底部；所述第三方向为所述位线隔离沟槽的深度方向；

在所述第一刻蚀凹槽中填充隔离材料，形成第三初始隔离层；

剩余的所述第一初始隔离层、剩余的所述第二初始隔离层和所述第三初始隔离层，构成所述初始位线隔离层。

4、根据权利要求3所述的方法，其中，去除部分所述初始位线隔离层，形成所述位线隔离层和所述空隙，包括：

在所述位线隔离沟槽的端部，沿所述第三方向，依次刻蚀所述剩余的所述第二初始隔离层和所述剩余的第一初始隔离层，形成至少一个开口；

通过所述开口，去除所述初始位线隔离层中的所述剩余的第一初始隔离层，形成所述位线隔离层和所述空隙。

5、根据权利要求4所述的方法，其中，通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟槽，包括：

通过所述空隙，沿所述第一方向，部分刻蚀所述第一半导体柱，形成第二刻蚀凹槽；其中，所述第二刻蚀凹槽在所述第三方向上的尺寸等于所述空隙在所述第三方向上的尺寸，且所述第二刻蚀凹槽在所述第一方向上的尺寸小于所述第一半导体柱在所述第一方向上的尺寸；

所述第二刻蚀凹槽和所述空隙共同构成所述位线沟槽。

6、根据权利要求4所述的方法，其中，通过所述空隙，沿所述第一方向刻蚀所述第一半导体柱，形成位线沟槽，包括：

通过所述空隙，沿所述第一方向，全部刻蚀所述第一半导体柱，形成第三刻蚀凹槽；其中，所述第三刻蚀凹槽在所述第三方向上的尺寸等于所述空隙在所述第三方向上的尺寸，且所述第三刻蚀凹槽在所述第一方向上的尺寸等于所述第一半导体柱在所述第一方向上的尺寸；

所述第三刻蚀凹槽和所述空隙共同构成所述位线沟槽。

7、根据权利要求5或6所述的方法，其中，在形成所述位线之前，所述方法还包括：

沿所述第三方向，刻蚀去除所述剩余的所述第二初始隔离层，形成第四刻蚀凹槽；其中，所述第四刻蚀凹槽暴露出所述空隙和所述位线隔离沟槽的第二侧壁；

通过所述第四刻蚀凹槽，在所述位线沟槽中，形成所述位线。

8、根据权利要求7所述的方法，其中，通过所述第四刻蚀凹槽，在所述位线沟

槽中形成所述位线, 包括:

在所述第四刻蚀凹槽和所述位线沟槽中形成初始位线层;

对所述初始位线层进行回刻, 去除位于所述第四刻蚀凹槽中的初始位线层, 形成所述位线。

5 9、根据权利要求 8 所述的方法, 其中, 在形成所述位线之后, 所述方法还包括: 在所述第四刻蚀凹槽中填充绝缘材料, 形成绝缘层;

其中, 所述绝缘层的顶表面与所述第三初始隔离层的顶表面平齐。

10、根据权利要求 9 所述的方法, 其中, 在形成所述绝缘层之后, 所述方法还包括:

10 在所述第一半导体柱中形成多个字线沟槽, 所述字线沟槽沿所述第一方向延伸; 在所述字线沟槽中形成字线。

11、根据权利要求 10 所述的方法, 其中, 在所述第一半导体柱中形成多个字线沟槽, 包括:

15 沿所述第三方向, 刻蚀所述第一半导体柱, 形成多个沿所述第二方向间隔排布的所述字线沟槽和第二半导体柱;

其中, 所述字线沟槽的底部超出于所述位线的顶部。

12、根据权利要求 11 所述的方法, 其中, 所述在所述字线沟槽中形成字线, 包括:

在所述字线沟槽的侧壁形成栅极绝缘层;

20 在形成有所述栅极绝缘层的字线沟槽中, 依次形成底部初始阻挡层、初始字线层和顶部初始阻挡层;

沿所述第三方向, 依次刻蚀部分所述顶部初始阻挡层、部分所述初始字线层和部分所述底部初始阻挡层, 形成位于所述字线沟槽中心的字线隔离沟槽, 剩余的所述初始字线层构成所述字线;

25 其中, 所述字线隔离沟槽的底部保留有部分底部初始阻挡层。

13、根据权利要求 12 所述的方法, 其中, 在形成所述字线之后, 所述方法还包括:

在所述字线隔离沟槽中填充绝缘材料, 形成字线隔离层。

14、一种半导体结构, 至少包括:

30 半导体衬底; 所述半导体衬底包括多个沿第一方向间隔排布的半导体柱和位线隔离沟槽; 所述位线隔离沟槽沿第二方向延伸, 所述第一方向垂直于所述第二方向; 位线隔离层, 位于所述位线隔离沟槽中;

位线, 所述位线部分掩埋于所述半导体柱的底部, 且所述位线的另一部分掩埋于所述位线隔离层与所述位线隔离沟槽之间的底部拐角处。

35 15、根据权利要求 14 所述的半导体结构, 其中, 所述半导体衬底还包括多个沿第二方向间隔排布的字线沟槽和第二半导体柱; 所述半导体结构还包括:

栅极绝缘层, 位于所述字线沟槽的侧壁;

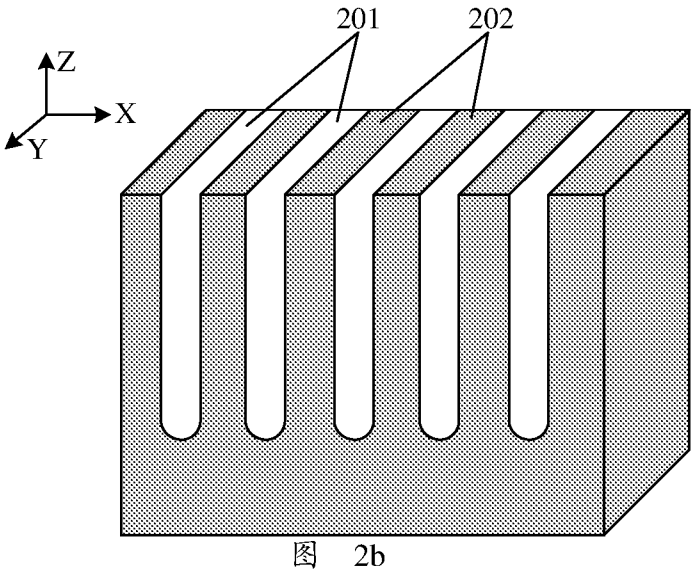
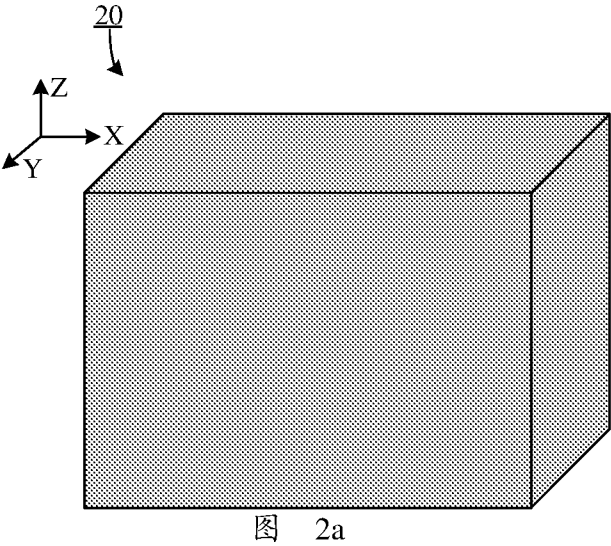
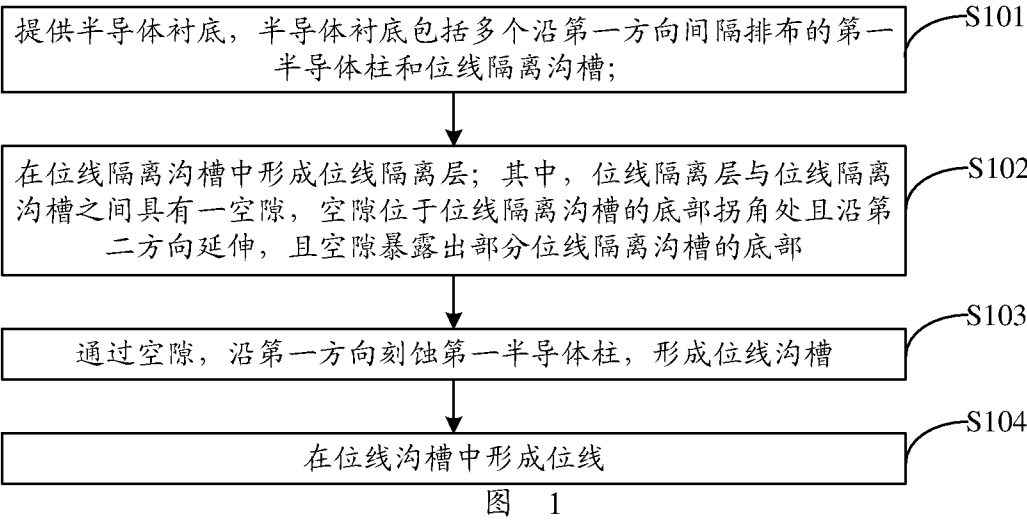
40 字线隔离层, 位于所述字线沟槽的中心, 且所述字线隔离层的顶表面与所述第二半导体柱的顶表面平齐; 所述字线隔离层在第三方向上的尺寸小于所述字线沟槽在所述第三方向上的尺寸; 所述第三方向为所述字线沟槽的深度方向;

顶部阻挡层, 位于所述字线沟槽顶部的栅极绝缘层与对应的字线隔离层之间;

字线, 位于所述字线沟槽中间的栅极绝缘层与对应的字线隔离层之间;

底部阻挡层, 位于形成有所述栅极绝缘层的字线沟槽的底部, 且所述底部阻挡层与所述字线和部分所述字线隔离层相接触。

45 16、根据权利要求 15 所述的半导体结构, 其中, 所述半导体结构还包括: 沟道; 所述沟道位于相邻两个栅极绝缘层之间, 且所述沟道为与所述字线对应的、相邻两个栅极绝缘层之间的第二半导体柱区域。



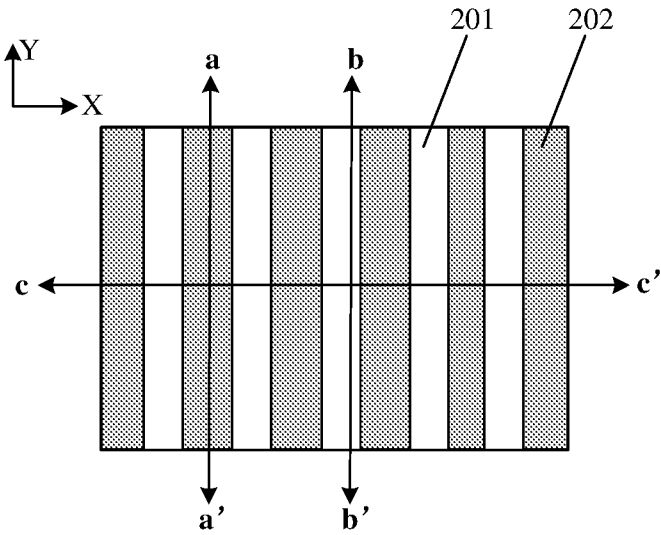


图 2c

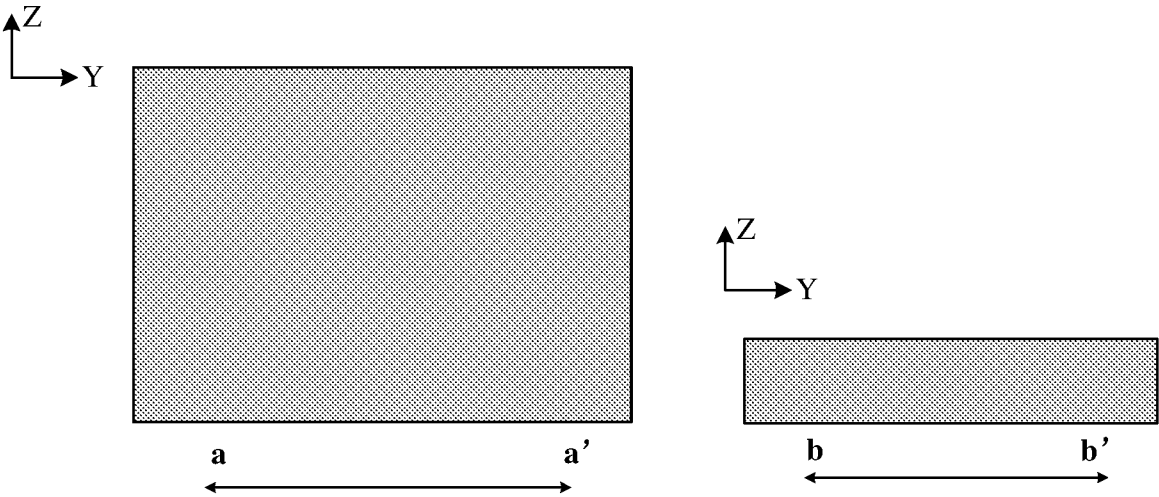


图 2d

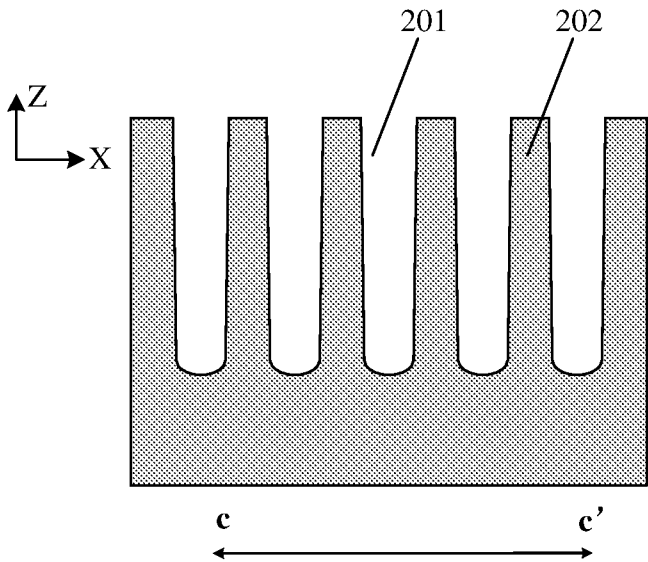


图 2e

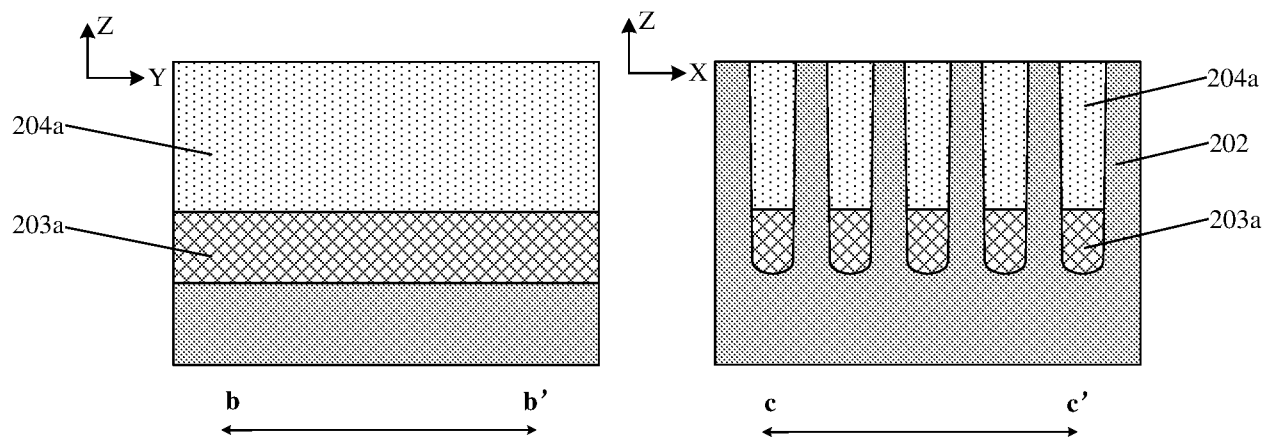


图 2f

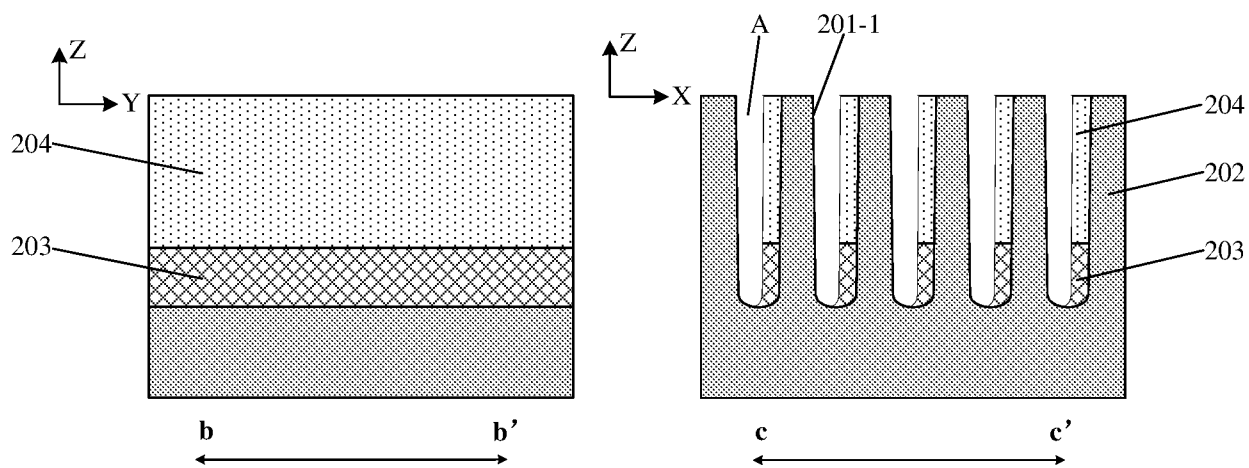


图 2g

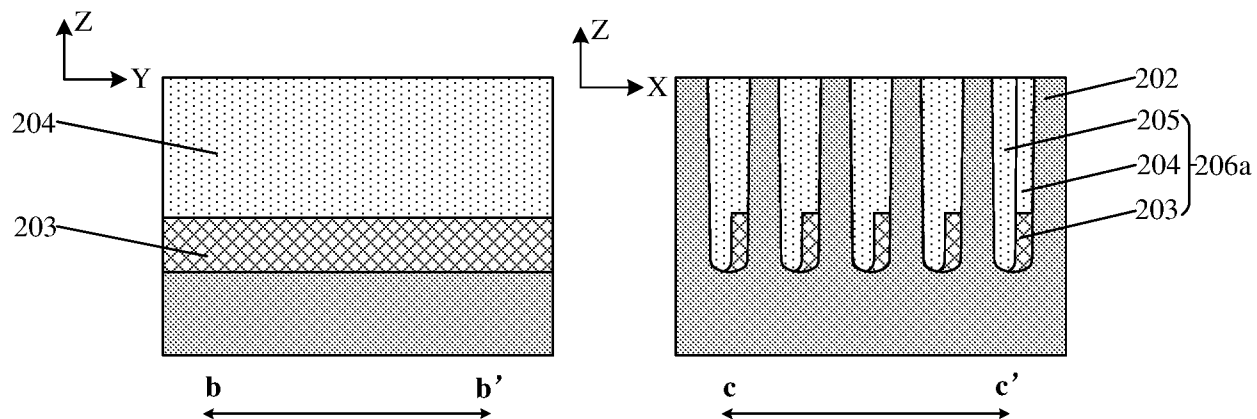


图 2h

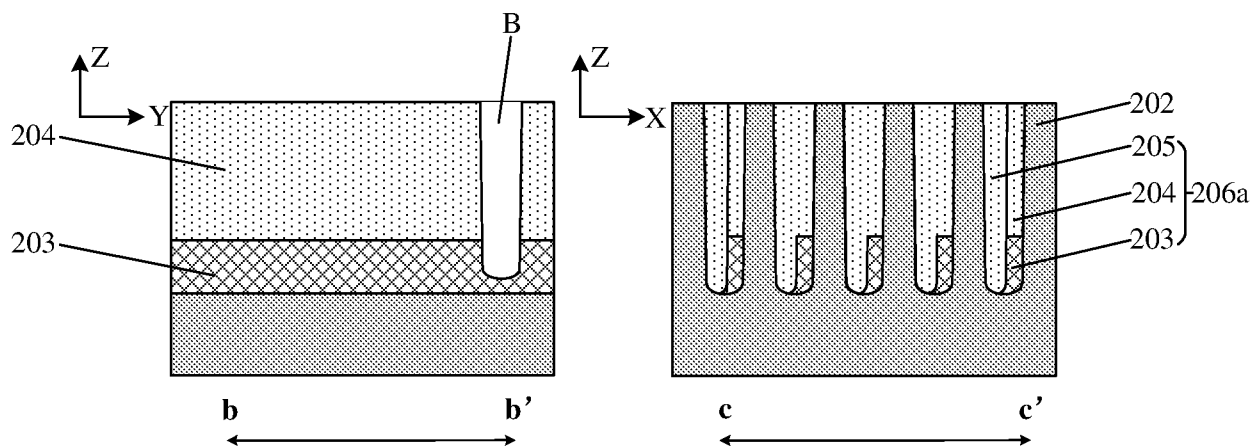


图 2i

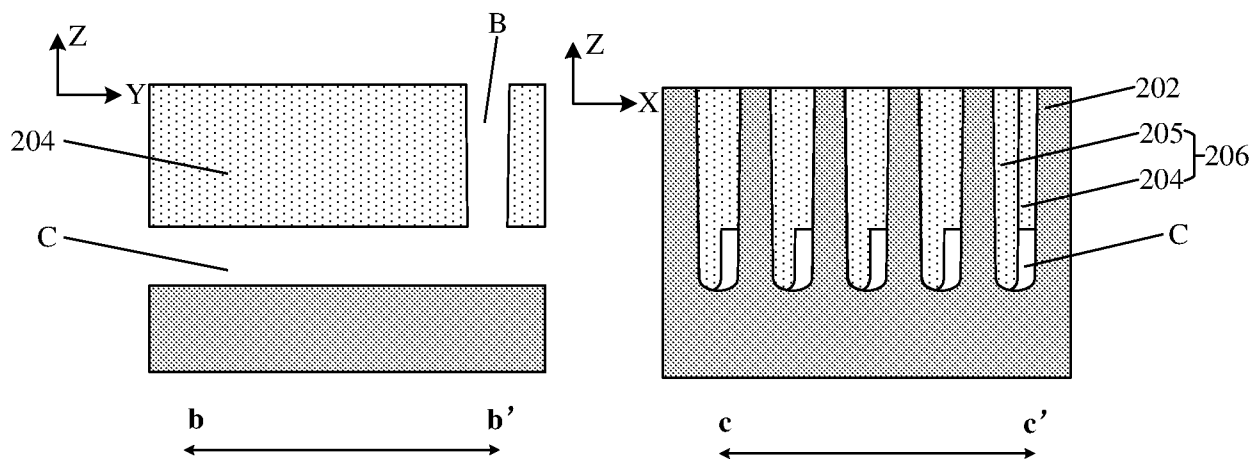


图 2j

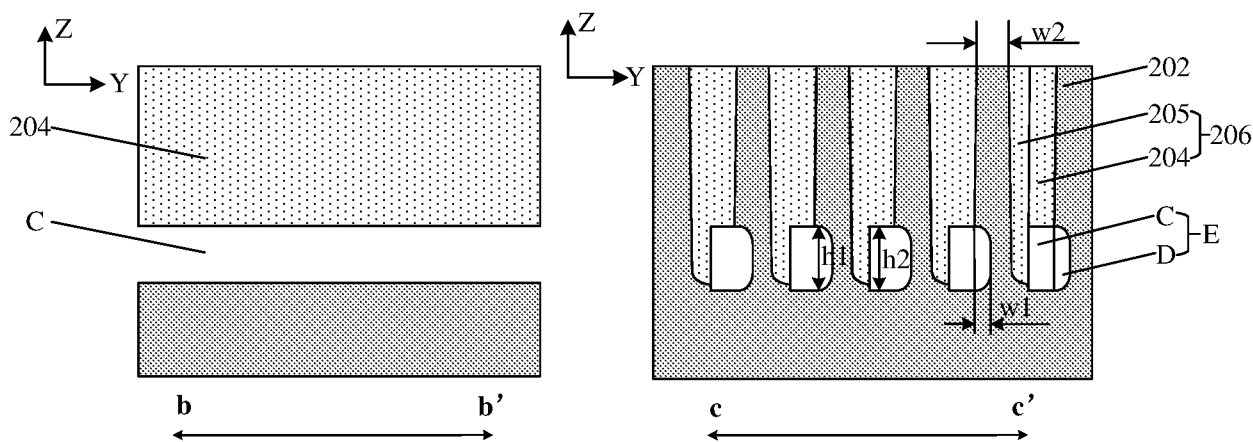


图 2k

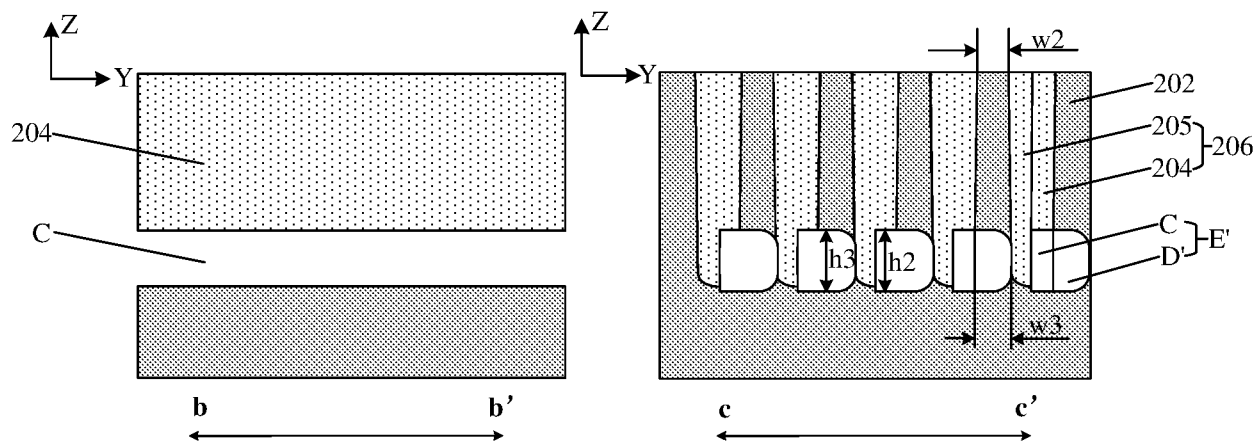


图 21

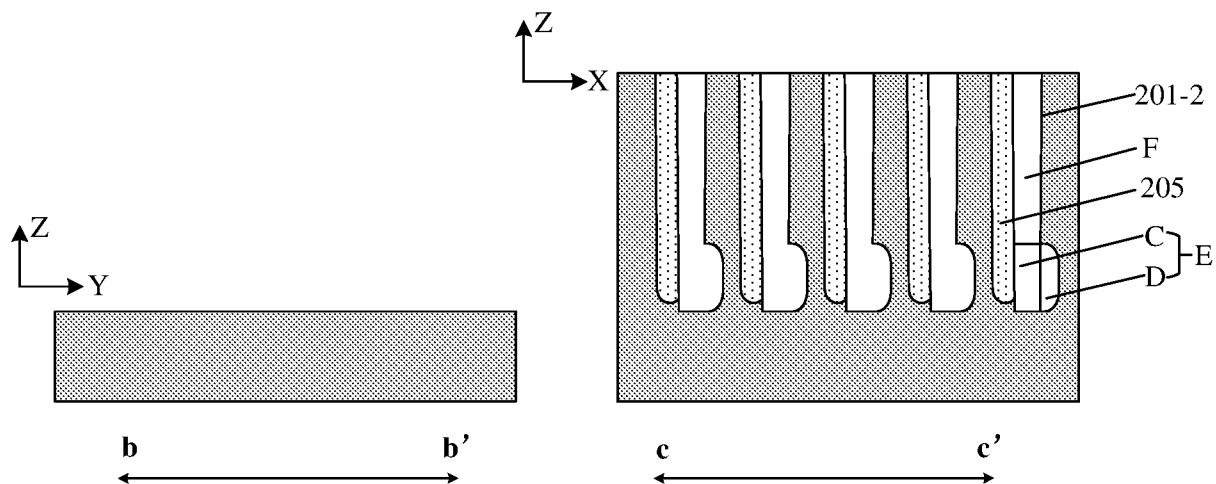


图 2m

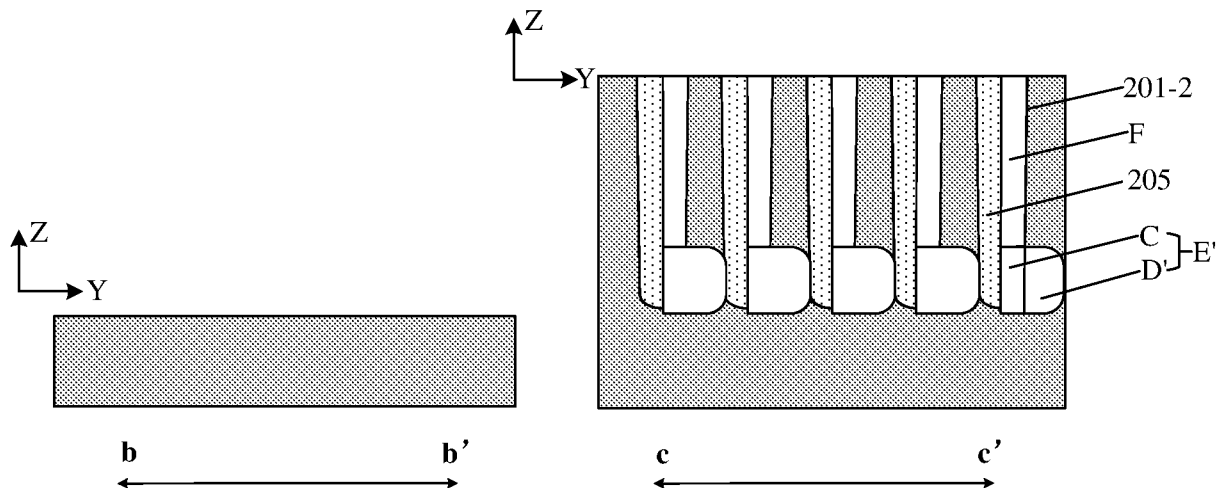


图 2n

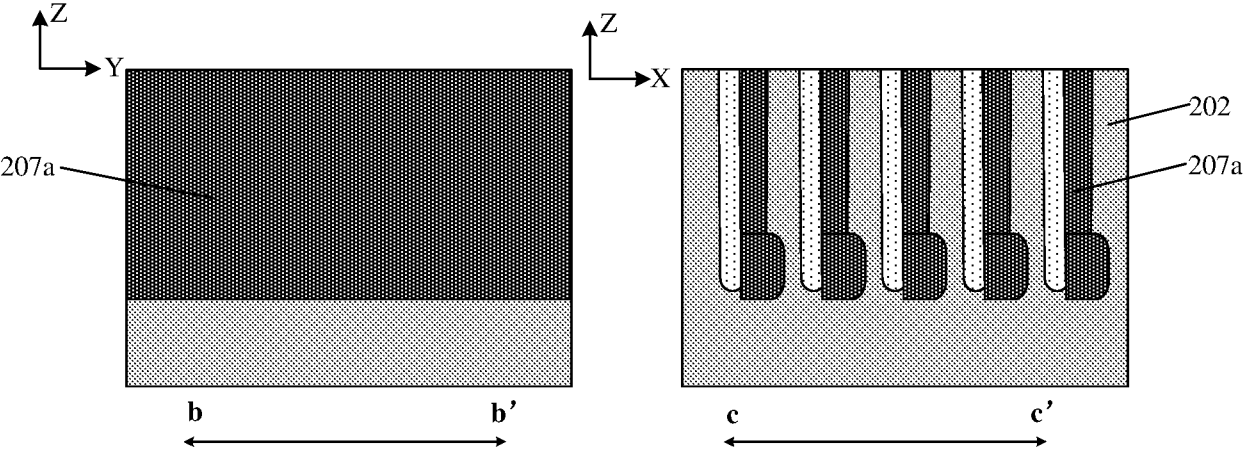


图 2o

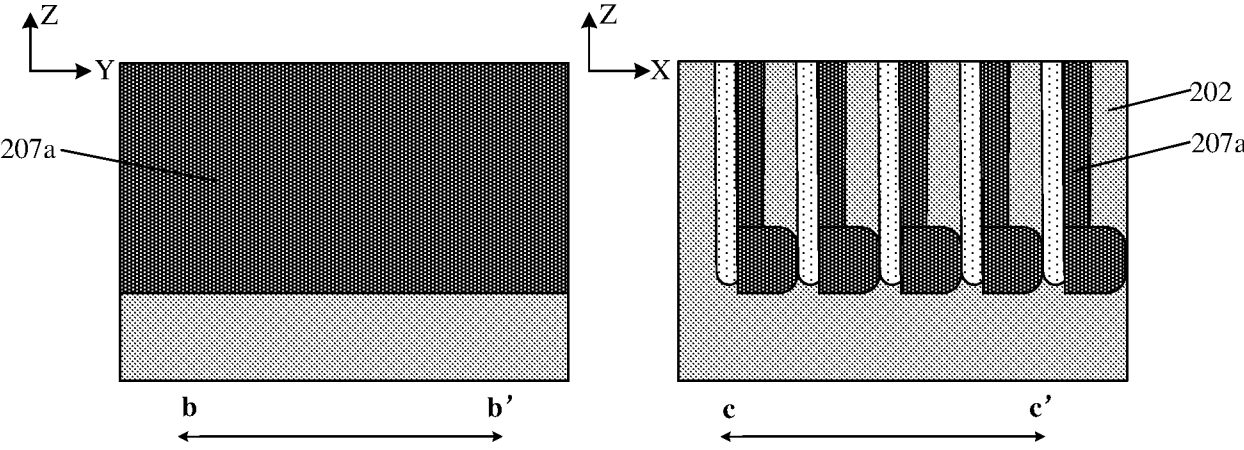


图 2p

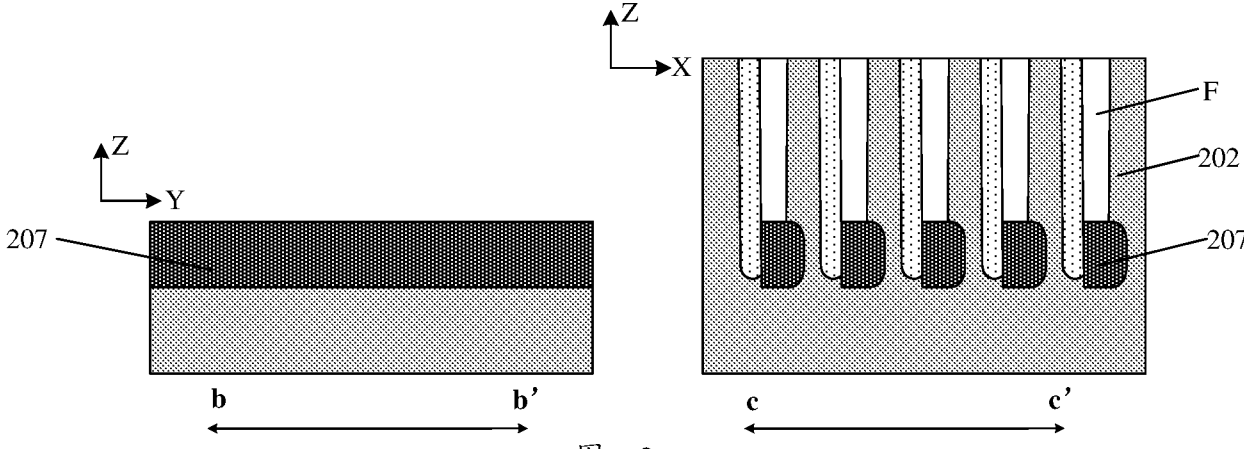


图 2q

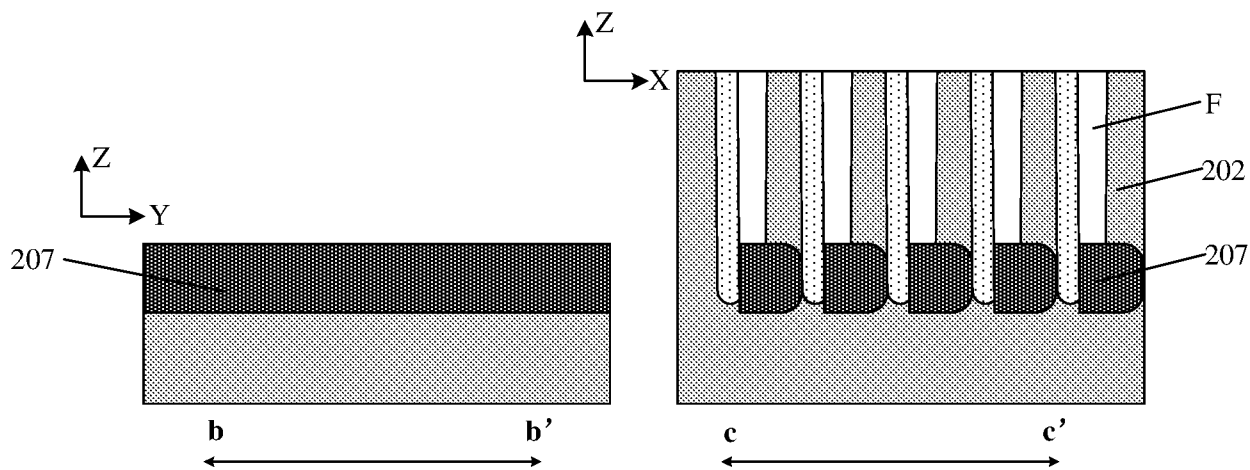


图 2r

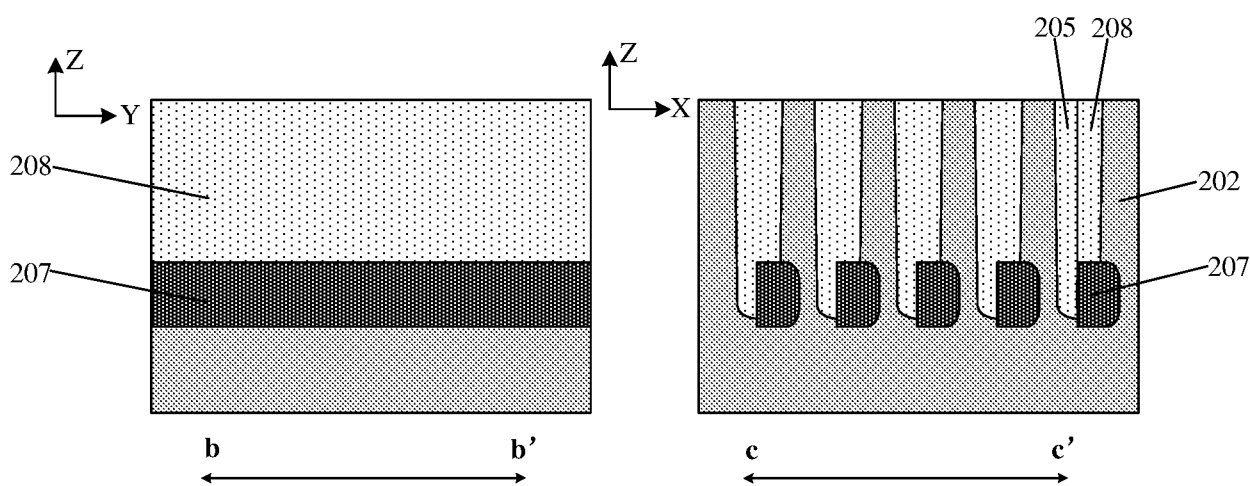


图 2s

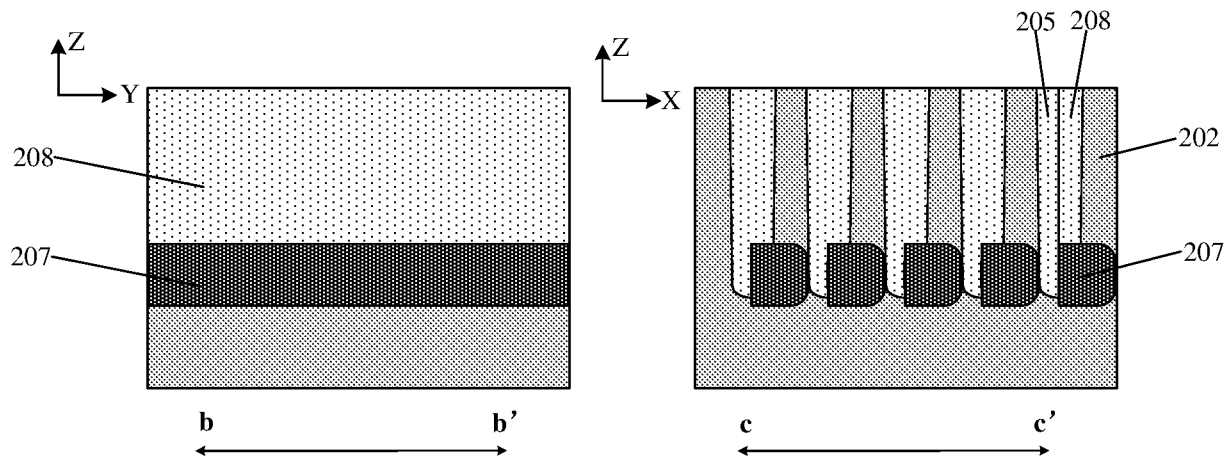


图 2t

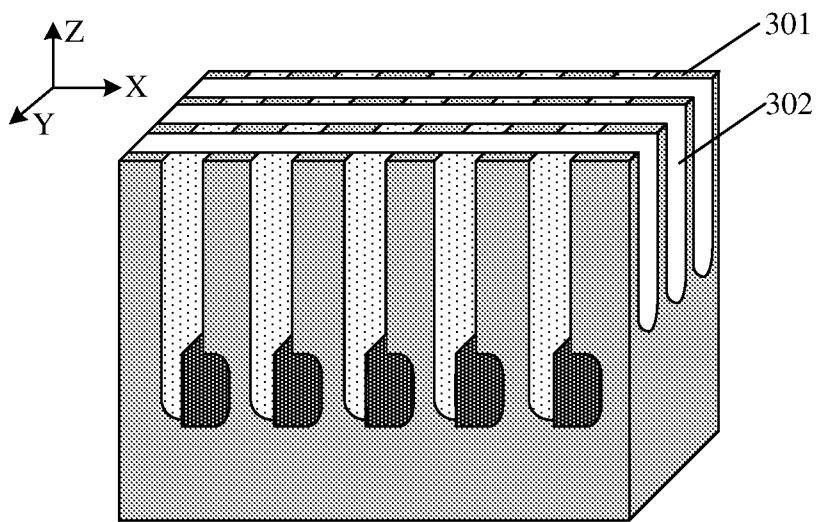


图 3a

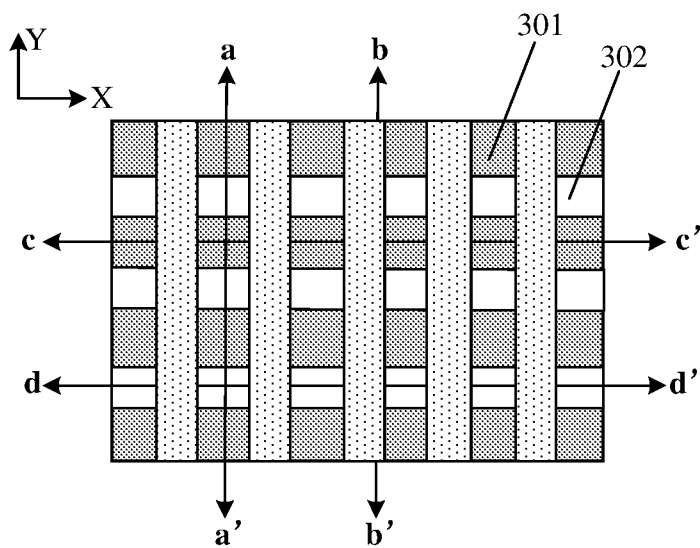


图 3b

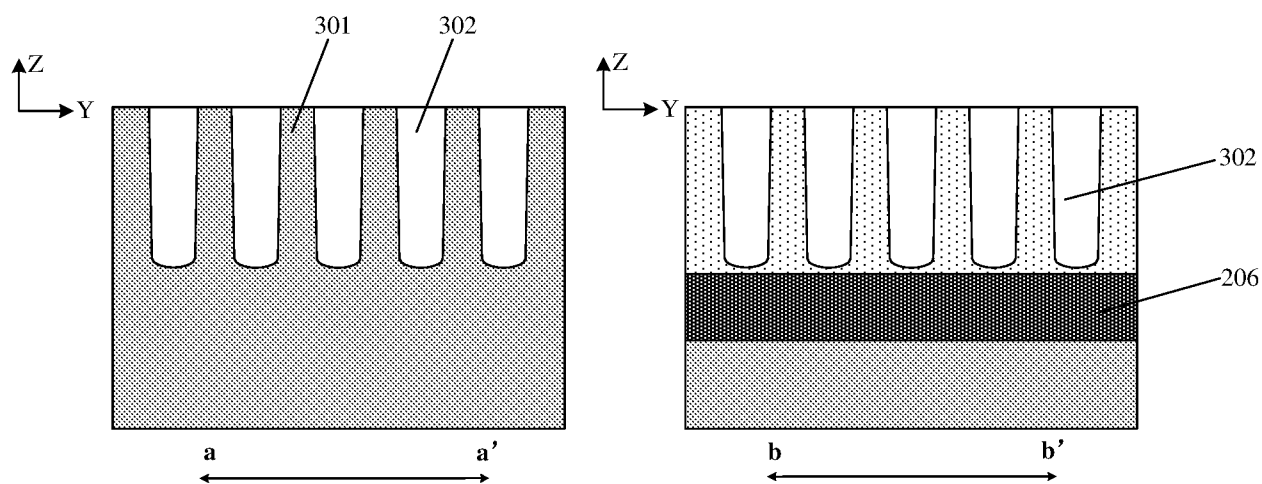
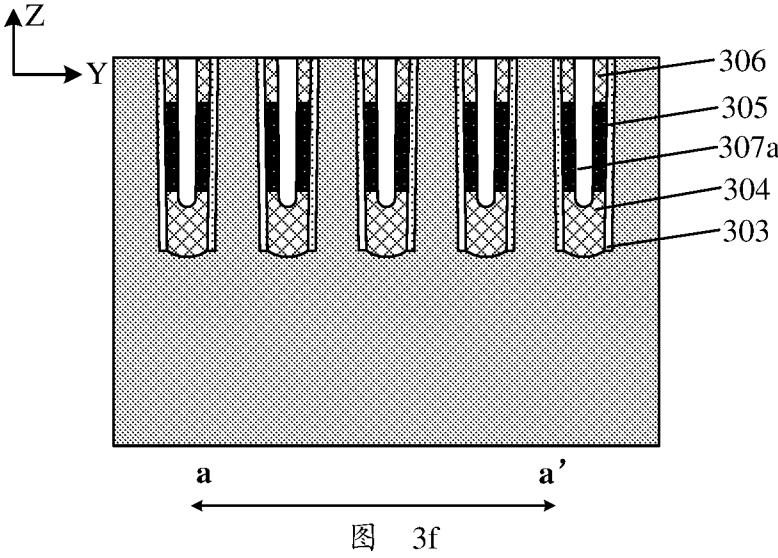
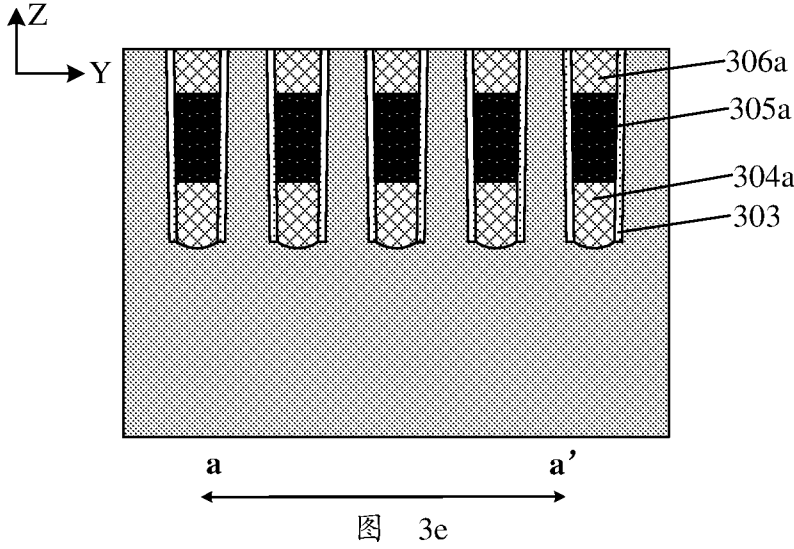
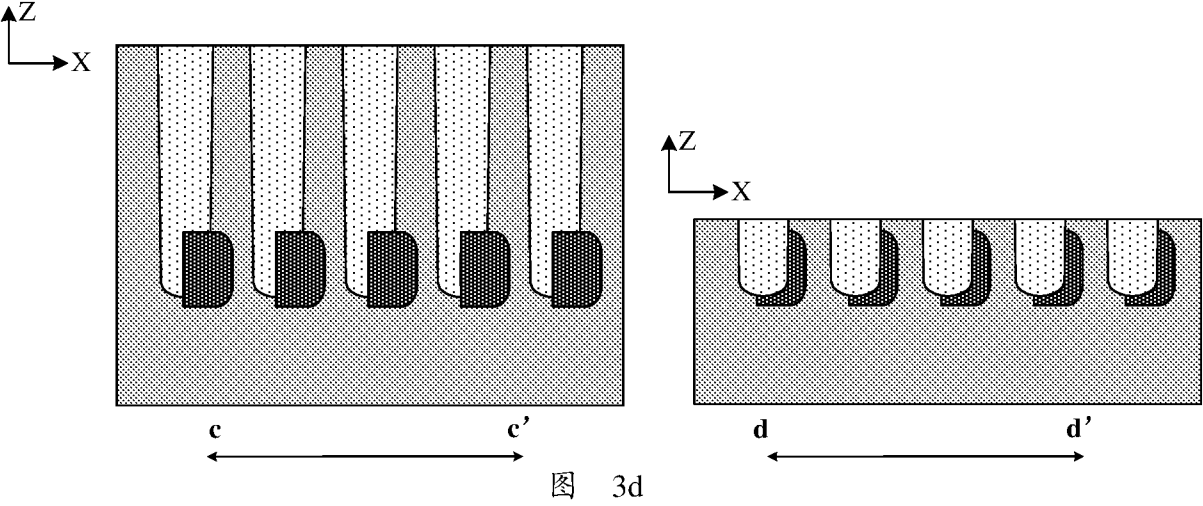


图 3c



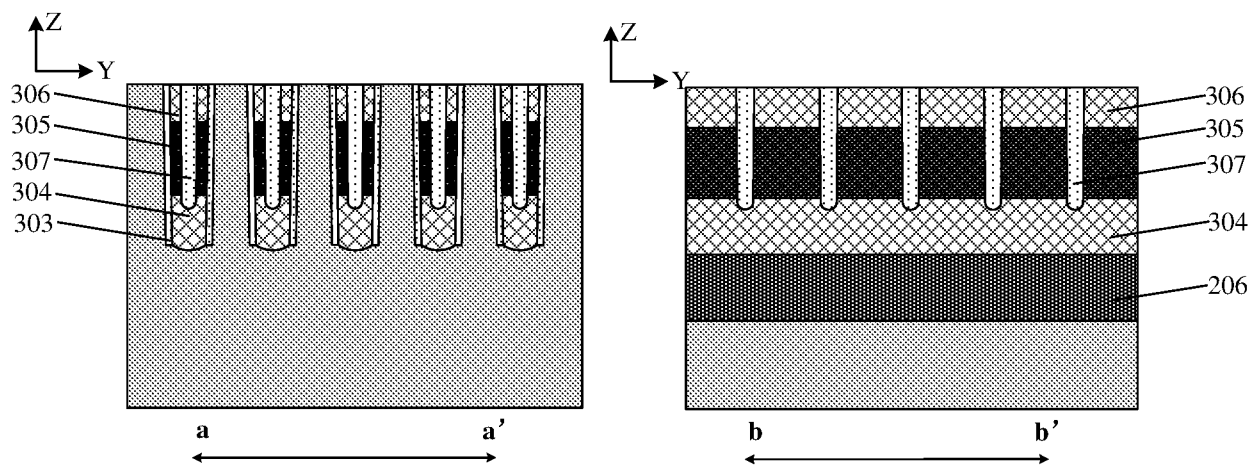


图 3g

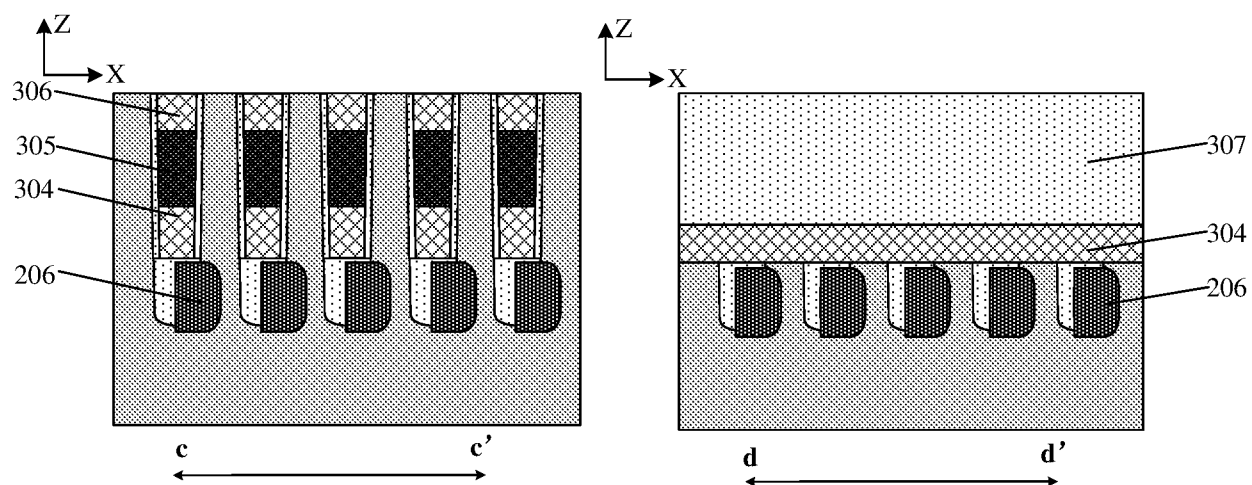


图 3h

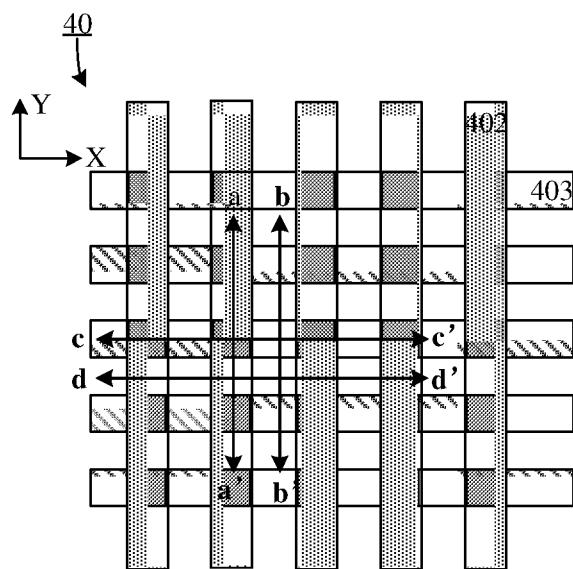


图 4a

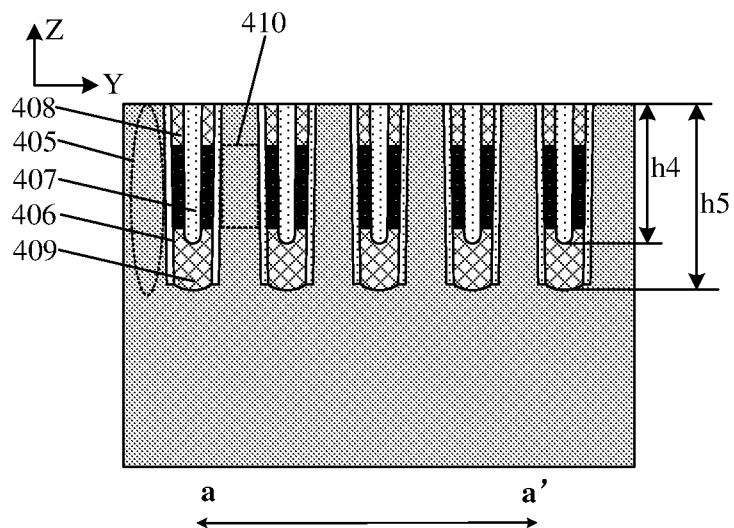


图 4b

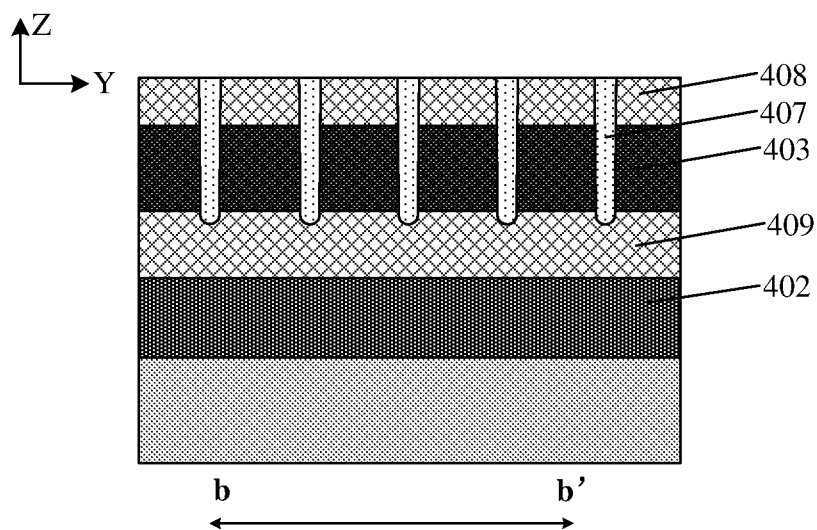


图 4c

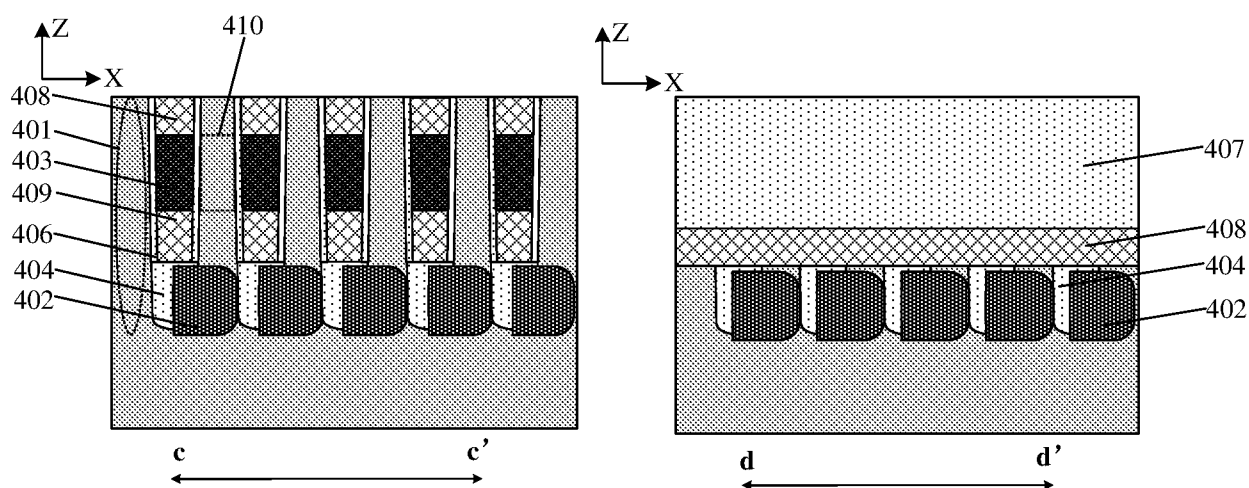


图 4d

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/077727

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/70(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI, ENTXT, CNTXT, ENTXTC, CNKI, IEEE: memory, bit w line, word w line, circuit, trench, isolate, structure, substrate, 存储, 字线, 位线, 电路, 沟, 槽, 隔离, 结构, 衬底

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110880507 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 13 March 2020 (2020-03-13) description, paragraphs [0046]-[0160], and figures 1-9b	1-16
A	CN 102054819 A (HYNIX SEMICONDUCTOR INC.) 11 May 2011 (2011-05-11) entire document	1-16
A	CN 113241346 A (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 10 August 2021 (2021-08-10) entire document	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

21 April 2022

Date of mailing of the international search report

27 April 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/077727

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110880507	A	13 March 2020	CN	208655642	U	26 March 2019
CN	102054819	A	11 May 2011	US	2011101450	A1	05 May 2011
				KR	20110047843	A	09 May 2011
				KR	20110047854	A	09 May 2011
				KR	101094374	B1	15 December 2011
				KR	101096188	B1	22 December 2011
				US	8487369	B2	16 July 2013
				CN	102054819	B	12 November 2014
CN	113241346	A	10 August 2021	CN	214411198	U	15 October 2021

国际检索报告

国际申请号

PCT/CN2022/077727

A. 主题的分类

H01L 21/70(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/105(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI, ENTXT, CNTXT, ENTXTC, CNKI, IEEE: memory, bit w line, word w line, circuit, trench, isolate, structure, substrate, 存储, 字线, 位线, 电路, 沟, 槽, 隔离, 结构, 衬底

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 110880507 A (长鑫存储技术有限公司) 2020年3月13日 (2020 - 03 - 13) 说明书第[0046]-[0160]段, 图1-9b	1-16
A	CN 102054819 A (海力士半导体有限公司) 2011年5月11日 (2011 - 05 - 11) 全文	1-16
A	CN 113241346 A (福建省晋华集成电路有限公司) 2021年8月10日 (2021 - 08 - 10) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年4月21日

国际检索报告邮寄日期

2022年4月27日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

闫东

电话号码 010-62412286

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/077727

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110880507	A	2020年3月13日	CN	208655642	U	2019年3月26日
CN	102054819	A	2011年5月11日	US	2011101450	A1	2011年5月5日
				KR	20110047843	A	2011年5月9日
				KR	20110047854	A	2011年5月9日
				KR	101094374	B1	2011年12月15日
				KR	101096188	B1	2011年12月22日
				US	8487369	B2	2013年7月16日
				CN	102054819	B	2014年11月12日
CN	113241346	A	2021年8月10日	CN	214411198	U	2021年10月15日