

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月1日(01.10.2020)



(10) 国際公開番号

WO 2020/195759 A1

(51) 国際特許分類:
G02F 1/1368 (2006.01) *G06F 3/041* (2006.01)

(21) 国際出願番号: PCT/JP2020/010121

(22) 国際出願日: 2020年3月9日(09.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-055511 2019年3月22日(22.03.2019) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 大植 善英 (OHUE, Yoshihide); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
平林 幸哉 (HIRABAYASHI, Yukiya); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

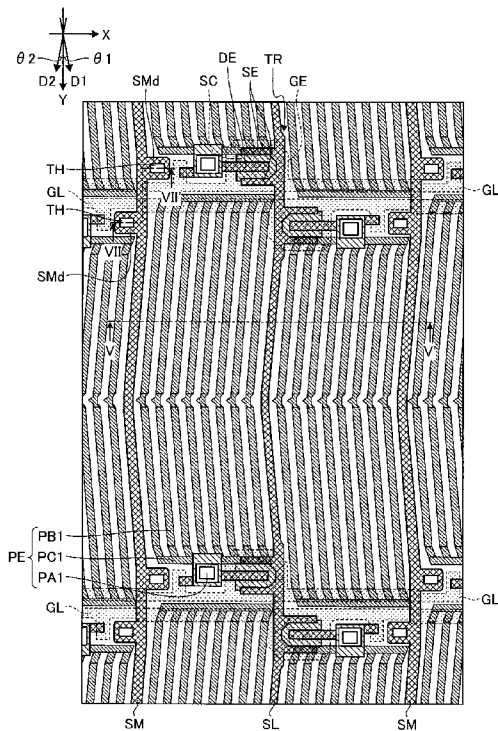
(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: SENSOR-EQUIPPED DISPLAY DEVICE

(54) 発明の名称: センサ付き表示装置



(57) Abstract: The present invention provides a sensor-equipped display device in which a reduction in display quality is suppressed even if a sensor wire overlaps slits of two adjacent detection electrodes. This sensor-equipped display device is provided with, on a first substrate, a plurality of detection electrodes, a plurality of sensor wires, a plurality of pixels, a plurality of scanning lines, and a plurality of signal lines. The plurality of detection electrodes are arranged in a matrix in a first direction and a second direction. The sensor wires and the signal lines are alternately disposed in the first direction and formed in the same layer. Switching elements of two pixels arranged to adjoin in the first direction are connected to one signal line, and this signal line overlaps a detection electrode spanning the two pixels. A sensor wire is located between two pixels arranged in the first direction, and this sensor wire overlaps slits of two detection electrodes adjacent in the first direction.

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：センサ配線が隣り合う2つの検出電極のスリットに重畳しても表示品位の低下が抑制されるセンサ付き表示装置を提供する。センサ付き表示装置は、第1基板上に、複数の検出電極と、複数のセンサ配線と、複数の画素と、複数の走査線と、複数の信号線と、を備える。複数の検出電極は、第1方向及び第2方向にマトリクス状に配列されている。センサ配線と、信号線とは、第1方向に交互に配置され、同層に形成される。第1方向に隣接して並ぶ2つ画素のスイッチング素子は、1つの信号線に接続され、当該信号線が2つの画素に跨がる検出電極に重畳している。センサ配線は、第1方向に並ぶ2つの画素の間にあり、当該センサ配線は、第1方向に隣り合う2つの検出電極のスリットに重畳する。

明 細 書

発明の名称： センサ付き表示装置

技術分野

[0001] 本発明は、センサ付き表示装置に関する。

背景技術

[0002] 特許文献1には、タッチスクリーン内蔵型表示装置が記載されている。このタッチスクリーン内蔵型表示装置は、複数の検出電極と、複数のセンサ配線とを有する。複数のセンサ配線は、複数の検出電極に接続される。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-060156号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1（図4）の技術では、センサ配線は、映像のデータ信号を伝送する信号線の上に絶縁層を介して重畳している。そして、センサ配線は、検出電極に覆われている。

[0005] 本発明は、センサ配線が隣り合う2つの検出電極のスリットに重畳しても表示品位の低下が抑制されるセンサ付き表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 一態様のセンサ付き表示装置は、第1基板と、前記第1基板の上方に、第1方向及び前記第1方向に交差する第2方向にマトリクス状に配列された複数の検出電極と、前記検出電極に接続される複数のセンサ配線と、複数の画素を含み、前記第1方向及び前記第2方向にマトリクス状に配列された複数の画素と、前記画素のスイッチング素子を走査し、前記第1方向に延在する複数の走査線と、前記画素の前記スイッチング素子に接続され、前記第2方向に延在する複数の信号線と、を含み、前記センサ配線と、前記信号線とは

、第1方向に交互に配置され、同層に形成され、前記第1方向に隣接して並ぶ2つ前記画素のスイッチング素子は、1つの信号線に接続され、当該信号線が2つの前記画素に跨がる検出電極に重畳し、前記センサ配線は、前記第1方向に並ぶ2つの前記画素の間にあり、当該センサ配線は、前記第1方向に隣り合う2つの検出電極のスリットに重畳する。

図面の簡単な説明

[0007] [図1]図1は、本実施形態の表示装置を示す分解斜視図である。

[図2]図2は、アレイ基板を模式的に示す平面図である。

[図3]図3は、本実施形態に係る表示領域の画素配列を表す回路図である。

[図4]図4は、画素の模式的な平面図において、センサ配線及び信号線の配置を説明する平面図である。

[図5]図5は、図4のV-V'断面を説明する部分断面図である。

[図6]図6は、センサ配線と検出電極との接続位置を説明するための説明図である。

[図7]図7は、図4及び図6のV1-V1'断面を説明する部分断面図である。

[図8]図8は、図6のV11-V11'断面を説明する部分断面図である。

[図9]図9は、図6のIX-IX'断面を説明する部分断面図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本開示が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、本開示の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本開示の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状

等について模式的に表される場合があるが、あくまで一例であって、本開示の解釈を限定するものではない。また、本開示と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] 図1は、本実施形態の表示装置を示す分解斜視図である。図1に示すように、センサ付き表示装置PNLは、アレイ基板SUB1と、対向基板SUB2とを備えている。図1に示すように、センサ付き表示装置PNLにおいて、表示領域DAの外側に周辺領域BEが設けられている。表示領域DAは、四角形状に形成されているが、表示領域DAの外形の形状は限定されない。例えば、表示領域DAには、切り欠きがあってもよく、あるいは表示領域DAが他の多角形状に形成されてもよいし、表示領域DAが円形状あるいは楕円形状などの他の形状に形成されてもよい。

[0010] 本実施形態において、第1方向Xは、表示領域DAの短辺に沿った方向である。第2方向Yは、第1方向Xと交差（又は直交）する方向である。これに限定されず、第2方向Yは第1方向Xに対して90°以外の角度で交差していてもよい。第1方向Xと第2方向Yとで規定される平面は、アレイ基板SUB1の面と平行となる。また、第1方向X及び第2方向Yに直交する第3方向Zは、アレイ基板SUB1の厚み方向である。

[0011] 表示領域DAは、画像を表示させるための領域であり、複数の画素Pixelと重なる領域である。周辺領域BEは、アレイ基板SUB1の外周よりも内側で、かつ、表示領域DAよりも外側の領域を示す。なお、周辺領域BEは表示領域DAを囲う枠状であってもよく、その場合、周辺領域BEは額縁領域とも言える。

[0012] 画像を表示する表示領域DAは、静電容量を検出する検出装置に含まれるセンサ領域を含む。図1に示すように、検出電極CEは、表示領域DAにおいて、第1方向X及び第2方向Yに行列状に複数配列される。それぞれの検出電極CEは、平面視で矩形状、又は正形状で模式的に示すが、検出電極CEの詳細な形状は、後述する。検出電極CEは、例えば、ITO（Ind

ium Tin Oxide)等の透光性を有する導電性材料で構成されている。

[0013] 図1に示すように、アレイ基板SUB1の一方の面側の周辺領域BEには、外縁配線CE-Gと、集積回路CPと、が設けられている。例えば、外縁配線CE-Gは、表示領域DAの長辺と短辺とに沿って連続して設けられており、表示領域DAを囲んでいる。

[0014] センサ付き表示装置PNLは、表示領域DAにセンサ領域が一体化された表示装置である。具体的には、センサ付き表示装置PNLにおいて、表示領域DAの部材の一部が、センサ領域の検出電極CEとなっている。

[0015] 図2は、アレイ基板を模式的に示す平面図である。図2に示すように、検出電極CEは、スリットSPA、SPBにより、第1方向X及び第2方向Yに行列状に分けられている。周辺領域BEの短辺側には、接続回路MPと集積回路CPとが設けられている。また、周辺領域BEの短辺側には、不図示のフレキシブル基板が接続される。なお、接続回路MPと集積回路CPとの配置は、これに限定されず、例えばモジュール外部の制御基板やフレキシブル基板上に備えられていてもよい。

[0016] 検出電極CEは、センサ配線SM及び接続回路MPを介して、集積回路CPと電氣的に接続される。複数のセンサ配線SMはそれぞれ、表示領域DAに配置された、複数の検出電極CEのそれぞれに電氣的に接続され、周辺領域BEまで引き出されている。複数のセンサ配線SMのそれぞれは第2方向Yに沿って延在し、複数のセンサ配線SMは第1方向Xに亘って並んで配置されている。例えば、集積回路CPに内蔵された駆動回路は、周辺領域BEに配置された接続回路MPと、センサ配線SMとを介して、複数の検出電極CEにそれぞれ接続される。

[0017] コンタクトホールTHには、検出電極CEと、検出電極CEと重畳するセンサ配線SMとが電氣的に接続する台座(図7参照)がある。1つのセンサ配線SMは、図2において模式的に1つの検出電極CEと接続される。

[0018] センサ付き表示装置PNLは、さらに接続回路MPを備える。接続回路M

Pは、検出電極CEと集積回路CPとの間に設けられる。接続回路MPは、集積回路CPから供給される制御信号に基づいて、検出駆動の対象となる検出電極CEと集積回路CPとの接続と遮断とを切り換える回路である。接続回路MPは、アナログフロントエンドを有している。

[0019] 図3は、本実施形態に係る表示領域の画素配列を表す回路図である。以下、複数の走査線GL1、GL2、GL3、GL4、GL5及びGL6を総称して、GLとすることがある。ここで、走査線GLは、第1方向に延在している。複数の信号線SL1、SL2、SL3及びSL4を総称して、信号線SLとすることがある。信号線SLは、第1方向に交差する第2方向に延在している。アレイ基板SUB1には、図3に示す各副画素SPi x 1、SPi x 2、SPi x 3のスイッチング素子Tr、信号線SL、走査線GL等が形成されている。信号線SL1からSL4は、各画素電極PE（図4参照）に画素信号を供給するための配線である。走査線GL1からGL6は、各スイッチング素子Trを駆動するゲート信号を供給するための配線である。

[0020] 図1に示す表示領域DAの画素Pi xには、図3に示すように、マトリクス状に配列された複数の副画素SPi x 1、SPi x 2、SPi x 3が含まれる。以下、複数の副画素SPi x 1、SPi x 2、SPi x 3を総称して、副画素SPi xとすることがある。副画素SPi x 1、SPi x 2、SPi x 3は、それぞれスイッチング素子Tr及び液晶層LCの容量を備えている。スイッチング素子Trは、薄膜トランジスタにより構成されるものであり、この例では、nチャネルのMOS（Metal Oxide Semiconductor）型のTFTで構成されている。後述する画素電極PEと検出電極CEとの間に第3絶縁層13（図5参照）が設けられ、これらによって図3に示す保持容量Csが形成される。

[0021] 図3に示すカラーフィルタCFR、CFG、CFBは、例えば赤（R）、緑（G）、青（B）の3色に着色された色領域が周期的に配列されている。上述した図3に示す各副画素SPi x 1、SPi x 2、SPi x 3に、R、G、Bの3色の色領域が1組として対応付けられる。そして、3色の色領域

に対応する副画素 $SP_{i \times 1}$ 、 $SP_{i \times 2}$ 、 $SP_{i \times 3}$ を1組として画素 $P_{i \times}$ が構成される。なお、カラーフィルタは、4色以上の色領域を含んでいてもよい。なお、副画素 $SP_{i \times 1}$ 、 $SP_{i \times 2}$ 、 $SP_{i \times 3}$ は、それぞれ画素と称してもよい。

[0022] 図3に示すように、信号線 SL_2 は、副画素 $SP_{i \times 2}$ と副画素 $SP_{i \times 3}$ に共有されている。信号線 SL_3 は、副画素 $SP_{i \times 1}$ と副画素 $SP_{i \times 2}$ に共有されている。信号線 SL_4 は、副画素 $SP_{i \times 3}$ と副画素 $SP_{i \times 1}$ に共有されている。2列に含まれる副画素 $SP_{i \times}$ が1つの信号線 SL を共有するとは、第1方向に隣接して並ぶ2つの副画素 $SP_{i \times}$ のスイッチング素子 Tr が、1つの信号線 SL に接続されていることである。

[0023] 2列に含まれる副画素 $SP_{i \times}$ が1つの信号線 SL を共有するので、信号線 SL の数を減らすことができる。このため、信号線 SL_1 と信号線 SL_2 の間にある2つの副画素 $SP_{i \times 1}$ と副画素 $SP_{i \times 2}$ との間に、信号線 SL と同じ方向に延在するセンサ配線 SM を配置することができる。同様に、信号線 SL_2 と信号線 SL_3 の間にある2つの副画素 $SP_{i \times 3}$ と副画素 $SP_{i \times 1}$ との間に、センサ配線 SM を配置している。信号線 SL_3 と信号線 SL_4 の間にある2つの副画素 $SP_{i \times 2}$ と副画素 $SP_{i \times 3}$ との間に、センサ配線 SM を配置している。以上説明したように、センサ配線 SM と信号線 SL とは第1方向に交互に配置される。

[0024] 走査線 GL が延在する方向に隣り合う副画素 $SP_{i \times}$ は、異なる走査線 GL に接続される。図3において、走査線 GL_1 には、左から1つ置きに、副画素 $SP_{i \times 1}$ 、 $SP_{i \times 3}$ 、 $SP_{i \times 2}$ 、 $SP_{i \times 1}$ が接続される。走査線 GL_2 には、左から1つ置きに、副画素 $SP_{i \times 2}$ 、 $SP_{i \times 1}$ 、 $SP_{i \times 3}$ が接続される。

[0025] 例えば、カラーフィルタ CFR が割り当てられた副画素 $SP_{i \times 1}$ を駆動する場合を考える。不図示の走査線駆動回路が、走査線 GL_1 及び GL_2 を同時選択する。信号線 SL_1 、 SL_3 に映像の赤(R)の階調データに応じた信号を伝送する。

[0026] 次に、カラーフィルタCFGが割り当てられた副画素 $SP_i \times 2$ を駆動する場合を考える。不図示の走査線駆動回路が、走査線GL1及びGL2を同時選択する。信号線SL2、SL3に映像の緑（G）の階調データに応じた信号を伝送する。

[0027] 次に、カラーフィルタCFBが割り当てられた副画素 $SP_i \times 3$ を駆動する場合を考える。不図示の走査線駆動回路が、走査線GL1及びGL2を同時選択する。信号線SL2、SL4に映像の青（B）の階調データに応じた信号を伝送する。

[0028] 次に、センサ付き表示装置PNLは、次行の副画素 $SP_i \times$ を表示するため、次行の2つの走査線GL（走査線GL3、GL4）を同時選択する。以下、上述した駆動が繰り返される。

[0029] 図4は、画素の模式的な平面図において、センサ配線及び信号線の配置を説明する平面図である。図5は、図4のV-V'断面を説明する部分断面図である。図6は、センサ配線と検出電極との接続位置を説明するための説明図である。図7は、図4及び図6のV11-V11'断面を説明する部分断面図である。図8は、図6のV111-V111'断面を説明する部分断面図である。図9は、図6のIX-IX'断面を説明する部分断面図である。以下、図1から図9を用いて、本実施形態の具体的なセンサ付き表示装置PNLについて説明する。

[0030] 図5に示すように、第1絶縁基板10（以下、第1絶縁基板10は、単に第1基板ということもある。）の上方には、信号線SL1、複数の画素電極PE、複数の検出電極CE、複数のセンサ配線SMが形成されている。以下、複数のセンサ配線SMを総称して、センサ配線SMとすることがある。図4に示すように、走査線G1からG3は、第1方向Xに沿ってそれぞれ延出し、第2方向Yに等ピッチで並んでいる。走査線G1からG3も、図5に現れていないが、第1絶縁基板10の上方に形成されている。

[0031] 図4において、第2方向Yに対して反時計回りに鋭角に交差する方向を方向D1と定義し、第2方向Yに対して時計回りに鋭角に交差する方向を方向

D 2 と定義する。なお、第 2 方向 Y と方向 D 1 とのなす角度 $\theta 1$ は、第 2 方向 Y と方向 D 2 とのなす角度 $\theta 2$ とほぼ同一である。信号線 S L は、概ね第 2 方向 Y に沿ってそれぞれ延出し、第 1 方向 X に等ピッチで並んでいる。図示した例では、第 2 方向 Y に向かって、2 つの走査線 G L 間において、信号線 S L が方向 D 2 に延出し、走査線 G L の間においては方向を変えて方向 D 1 に延出している。これらの走査線 G L と、信号線 S L とは、X-Y 平面の平面視において、互いに交差している。

[0032] 図 5 に示すように、第 1 絶縁基板 1 0 の上方には、信号線 S L 1、複数の画素電極 P E、複数の検出電極 C E、複数のセンサ配線 S M が形成されている。図 4 に示すように、走査線 G L は、第 1 方向 X に沿ってそれぞれ延出し、第 2 方向 Y に等ピッチで並んでいる。走査線 G L も、図 5 に現れていないが、第 1 絶縁基板 1 0 の上方に形成されている。

[0033] 図 4 に示すように、スイッチング素子 T r は、走査線 G L と信号線 S L との交差部付近に位置し、走査線 G L 及び信号線 S L と電氣的に接続されている。

[0034] 図 5 に示すように、複数の画素電極 P E は、第 1 方向 X に間隔をおいて並んでいる。画素電極 P E は、信号線 S L 1 とセンサ配線 S M との間に位置している。画素電極 P E は、コンタクト部 P A 1、電極部 P B 1、及び、連結部 P C 1 を有している。コンタクト部 P A 1 は、スイッチング素子 T r と電氣的に接続される。電極部 P B 1 は、コンタクト部 P A 1 から、一方の走査線 G L に対して他方の側である走査線 G L に近接する側に延出している。電極部 P B 1 は、帯状電極、線状電極、櫛歯電極などと称される場合もある。図 4 において、1 つの画素電極 P E は、8 本の電極部 P B 1 を有している。2 本の電極部 P B 1 は、コンタクト部 P A 1 に接続される。これらの電極部 P B 1 は、第 1 方向 X に間隔をおいて並んでいる。連結部 P C 1 は、8 本の電極部 P B 1 の両端部に繋がっている。これにより、一方の電極部 P B 1 の一部分で断線が発生したとしても、連結部 P C 1 を介して他方の電極部 P B 1 から一方の電極部 P B 1 に画素電位を供給することが可能となる。

- [0035] なお、画素電極 P E の形状は、図 4 の例に限らず、例えば、連結部 P C 1 の 1 つを省略してもよいし、電極部 P B 1 の本数が 8 本でなく、例えば 2 本、3 本や 4 本でもよい。
- [0036] 第 1 方向 X に隣り合う画素電極 P E 同士は、略同一の形状が第 2 方向 Y の所定線に対して線対称になるように形成されている。
- [0037] センサ配線 S M は、X-Y 平面の平面視において、第 1 方向 X に並ぶ 2 つの信号線 S L の間にあり、信号線 S L と同じ第 2 方向 Y へ延出している。
- [0038] 図 5 において、アレイ基板 S U B 1 は、ガラス基板や樹脂基板などの透光性を有する第 1 絶縁基板 1 0 を基体としている。アレイ基板 S U B 1 は、第 1 絶縁基板 1 0 の対向基板 S U B 2 と対向する側に、第 1 絶縁層 1 1、第 2 絶縁層 1 2、第 3 絶縁層 1 3、信号線 S L 1、画素電極 P E、検出電極 C E、第 1 配向膜 A L 1などを備えている。以下の説明において、アレイ基板 S U B 1 から対向基板 S U B 2 に向かう方向を上方、あるいは、単に上と称する。
- [0039] 第 1 絶縁基板 1 0 上に、図 5 の断面では現れないが、走査線 G L 及びゲート電極 G E (図 4 参照) が設けられ、図 5 に示す第 1 絶縁層 1 1 が走査線 G L 及びゲート電極 G E (図 4 参照) を覆う。なお、第 1 絶縁層 1 1、走査線 G L 及びゲート電極 G E の下に、さらにシリコン酸化物やシリコン窒化物などの透光性を有する無機系材料によって形成されている絶縁層があってもよい。
- [0040] 第 1 絶縁層 1 1 上には、図 5 の断面では現れないが、半導体層 S C (図 4 参照) が積層されている。半導体層 S C は、例えば、アモルファスシリコンによって形成されているが、ポリシリコン又は酸化物半導体によって形成されていてもよい。
- [0041] 図 5 に示すように、第 2 絶縁層 1 2 は、信号線 S L 及びセンサ配線 S M を覆っている。第 2 絶縁層 1 2 は、例えばアクリル樹脂などの透光性を有する樹脂材料によって形成され、無機系材料によって形成された他の絶縁膜と比べて厚い膜厚を有している。ただし、第 2 絶縁層 1 2 については無機系材料

によって形成されたものであってもよい。

[0042] また、図5の断面では現れないが、第2絶縁層12上には、半導体層SCの一部を覆うソース電極SEと、半導体層SCの一部を覆うドレイン電極DEとが設けられている。ドレイン電極DEは、信号線SLと同じ材料で形成されている。半導体層SC及びドレイン電極DE上には、第3絶縁層13が設けられている。

[0043] 図4に示すように、ソース電極SEは、信号線SLと同じ2つの導電体が、信号線SLと同層でかつ第1方向Xに信号線SLから伸びている。これにより、信号線SLと電氣的に接続するソース電極SEは、平面視において、半導体層SCの一端部と重畳している。

[0044] 図4に示すように、平面視において、隣り合うソース電極SEの導電体の間の位置には、ドレイン電極DEが設けられている。ドレイン電極DEは、平面視において、半導体層SCと重畳している。ソース電極SE及びドレイン電極DEと重畳しない部分は、スイッチング素子Trのチャネルとして機能する。図4に示すように、ドレイン電極DEと電氣的に接続されるコンタクト部PA1は、コンタクトホールで画素電極PEと電氣的に接続されている。以上説明したスイッチング素子Trは、ボトムゲート型であるが、トップゲート型であってもよい。

[0045] 図5に示すように、センサ配線SMは、第1絶縁層11の上に位置している。センサ配線SMは、Al、Mo、Wのいずれか1つを含む検出電極CEよりも低抵抗な金属材料で形成されている。また、センサ配線SMは、信号線SLと同層に形成されて、信号線SLと同じ材料で形成されている。

[0046] 検出電極CEは、第2絶縁層12の上に位置している。また、図5において、検出電極CEは、第3絶縁層13を介して信号線SLと対向している。第3絶縁層13は、例えば、シリコン酸化物やシリコン窒化物などの透光性を有する無機系材料によって形成されている。

[0047] 図5において、検出電極CEのスリットSPAは、センサ配線SMの直上に位置している。つまり、センサ配線SMは、前記第1方向に隣り合う2つ

の検出電極のスリットに重畳する。

- [0048] 検出電極CEは、第3絶縁層13によって覆われている。第3絶縁層13は、例えば、シリコン酸化物やシリコン窒化物などの透光性を有する無機系材料によって形成されている。
- [0049] 画素電極PEは、第3絶縁層13の上に位置し、第3絶縁層13を介して検出電極CEと対向している。画素電極PE及び、検出電極CEは、例えば、ITO (Indium Tin Oxide) やIZO (Indium Zinc Oxide) などの透光性を有する導電材料によって形成されている。画素電極PEは、第1配向膜AL1によって覆われている。第1配向膜AL1は、第3絶縁層13も覆っている。
- [0050] 対向基板SUB2は、ガラス基板や樹脂基板などの透光性を有する第2絶縁基板20を基体としている。対向基板SUB2は、第2絶縁基板20のアレイ基板SUB1と対向する側に、遮光層BM、カラーフィルタCFR、CFG、CFB、オーバーコート層OC、第2配向膜AL2などを備えている。
- [0051] 図5に示すように、遮光層BMは、第2絶縁基板20のアレイ基板SUB1と対向する側に位置している。そして、図5に示すように、遮光層BMは、画素電極PEとそれぞれ対向する開口部APを規定している。遮光層BMは、黒色の樹脂材料や、遮光性の金属材料によって形成されている。
- [0052] カラーフィルタCFR、CFG、CFBのそれぞれは、第2絶縁基板20のアレイ基板SUB1と対向する側に位置し、それぞれの端部が遮光層BMに重なっている。一例では、カラーフィルタCFR、CFG、CFBは、それぞれ青色、赤色、緑色に着色された樹脂材料によって形成されている。
- [0053] オーバーコート層OCは、カラーフィルタCFR、CFG、CFBを覆っている。オーバーコート層OCは、透光性を有する樹脂材料によって形成されている。第2配向膜AL2は、オーバーコート層OCを覆っている。第1配向膜AL1及び第2配向膜AL2は、例えば、水平配向性を示す材料によって形成されている。

- [0054] 以上説明したように、対向基板SUB2は、遮光層BM、カラーフィルタCFR、CFG、CFBなどを備えている。遮光層BMは、図4に示した走査線GL、信号線SL、コンタクト部PA1、スイッチング素子Trなどの配線部と対向する領域に配置されている。
- [0055] 図5において、対向基板SUB2は、3色のカラーフィルタCFR、CFG、CFBを備えていたが、青色、赤色、及び、緑色とは異なる他の色、例えば白色、透明、イエロー、マゼンタ、シアンなどのカラーフィルタを含む4色以上のカラーフィルタを備えていてもよい。また、これらのカラーフィルタカラーフィルタCFR、CFG、CFBは、アレイ基板SUB1に備えられていてもよい。
- [0056] 上述したアレイ基板SUB1及び対向基板SUB2は、第1配向膜AL1及び第2配向膜AL2が向かい合うように配置されている。液晶層LCは、第1配向膜AL1と第2配向膜AL2との間に封入されている。液晶層LCは、誘電率異方性が負のネガ型液晶材料、あるいは、誘電率異方性が正のポジ型液晶材料によって構成されている。
- [0057] アレイ基板SUB1がバックライトユニットILと対向し、対向基板SUB2が表示面側に位置する。バックライトユニットILとしては、種々の形態のものが適用可能であるが、その詳細な構造については説明を省略する。
- [0058] 第1偏光板PL1を含む第1光学素子OD1は、第1絶縁基板10の外表面、あるいは、バックライトユニットILと対向する面に配置される。第2偏光板PL2を含む第2光学素子OD2は、第2絶縁基板20の外表面、あるいは、観察位置側の面に配置される。第1偏光板PL1の第1偏光軸及び第2偏光板PL2の第2偏光軸は、例えばX-Y平面においてクロスニコルの位置関係にある。なお、第1光学素子OD1及び第2光学素子OD2は、位相差板などの他の光学機能素子を含んでもよい。
- [0059] 例えば、液晶層LCがネガ型液晶材料である場合であって、液晶層LCに電圧が印加されていない状態では、液晶分子LMは、X-Y平面内において、その長軸が第1方向Xに沿う方向に初期配向している。一方、液晶層LC

に電圧が印加された状態、つまり、画素電極 P E と検出電極 C E との間に電界が形成されたオン時において、液晶分子 L M は、電界の影響を受けてその配向状態が変化する。オン時において、入射した直線偏光は、その偏光状態が液晶層 L C を通過する際に液晶分子 L M の配向状態に応じて変化する。

[0060] 図 6 に示すように、検出電極 C E は、複数の小検出電極 C E d が電氣的に接続されている。小検出電極 C E d は、アレイ基板 S U B 1 の表示領域 D A (図 1 参照) の略全域に亘って形成されている。つまり、副画素 S P i x は、画素電極 P E を有し、画素電極 P E と重畳する領域に、小検出電極 C E d (検出電極 C E) が設けられている。X-Y 平面の平面視において、信号線 S L は、2 つの副画素 S P i x に跨がる小検出電極 C E d と重畳する。

[0061] 図 4 及び図 7 に示すように、センサ配線 S M は、小検出電極 C E d と接続するための台座 S M d を有している。台座 S M d は、センサ配線 S M から副画素 S P i x 内に突出している。台座 S M d は、センサ配線 S M と同時に形成され、センサ配線 S M と同じ材料で形成されている。第 1 方向に並ぶ小検出電極 C E d の間のスリットは、センサ配線 S M と重畳し、第 2 方向に延在している。

[0062] センサ配線 S M は、小検出電極 C E d のスリット S P A に重畳するので、センサ配線 S M 自体では、隣り合う小検出電極 C E d を接続できない。そこで、センサ配線 S M が台座 S M d を介して小検出電極 C E d を電氣的に接続している。

[0063] 図 4 及び図 7 に示すように、小検出電極 C E d と台座 S M d とがコンタクトホール T H を介して電氣的に接続すると、センサ配線 S M と検出電極 C E との電氣的な接続部ができる。

[0064] 平面視で走査線 G L と信号線 S L とが交差する交差部の近傍において、台座 S M d が 2 カ所ある。一方の台座 S M d は、他方の台座 S M d に対して上述した交差部を中心として回転対称の位置に配置されている。これにより、副画素 S P i x 内において、台座 S M d は、スイッチング素子 T r と第 1 方向に並ぶので、副画素 S P i x の開口を広くとりやすくなる。このため、表

示品位が向上する。本実施形態では、この交差部において、小検出電極C E dと台座S M dとの電氣的な接続パターンは、図7から図9の3つの接続パターンがある。

[0065] 図6及び図7に示す第1接続パターンQ 1において、走査線G Lと信号線S Lとが交差する交差部の近傍の2つの台座S M dがそれぞれ、小検出電極C E dとコンタクトホールT Hを介して電氣的に接続されている。

[0066] 図6及び図8に示す第2接続パターンQ 2において、走査線G Lと信号線S Lとが交差する交差部の近傍の2つの台座S M dのうち1つの台座S M dのみが、小検出電極C E dとコンタクトホールT Hを介して電氣的に接続されている。

[0067] 図6及び図9に示す第3接続パターンQ 3において、走査線G Lと信号線S Lとが交差する交差部の近傍の2つの台座S M dのいずれもが、小検出電極C E dとコンタクトホールT Hを介して電氣的に接続されていない。また、センサ配線S MがスリットS P Cで電氣的に分断されている。

[0068] センサ配線S Mは、隣り合う検出電極C Eの間のスリットS P Cにおいて電氣的に分断されている。この構造により、検出電極C Eと、センサ配線S Mとの寄生容量が小さくなり、静電量の検出精度が向上する。

[0069] 図6に示すように、第1接続パターンQ 1、第2接続パターンQ 2及び第3接続パターンQ 3が組み合わせられ、小検出電極C E dが第1方向Xに3つ電氣的に接続され、第2方向Yに3つ電氣的に接続される。つまり、本実施形態では、検出電極C Eは、第1方向Xに3つ電氣的に接続され、第2方向Yに3つ電氣的に接続される複数の小検出電極C E dで構成されている。

[0070] 第2接続パターンQ 2及び第3接続パターンQ 3においてもコンタクトホールT Hのない台座S M dがある。これにより、台座S M dが、表示領域D A内で均等に分散される。その結果、遮光のばらつきが少ないので、表示品位の低下を抑制できる。

[0071] 以上説明したセンサ付き表示装置P N Lでは、表示期間と検出期間とが時分割で交互に実行される。1検出面のタッチ検出を1つの検出期間で実行し

てもよく、複数の検出期間に分けて実行してもよい。また、表示期間で1フレーム分の画像の表示を行ってもよく、1フレーム分の画像の表示期間中に、複数の表示期間と検出期間とが交互に配置されていてもよい。

[0072] 検出期間において、制御信号に応じて集積回路CP及び接続回路MP（図2参照）が動作し、検出用の駆動信号が検出電極CEに供給される。検出期間において、図1に示す外縁配線DE－Gには、検出用の駆動信号と同じ波形で、かつ駆動信号と同期したガード信号が供給されてもよい。又は、検出期間において、外縁配線DE－Gは、電氣的にどことも接続されていない状態（ハイインピーダンス）に設定されてもよい。

[0073] 検出電極CEの容量変化に応じた検出信号が、接続回路MPのアナログフロントエンドを介して集積回路CPの検出回路に供給される。これにより、センサ付き表示装置PNLは、複数の検出電極CE毎に接触状態あるいは近接状態の被検出体を検出することができる。具体的な検出方法については、特許文献1に記載されているので、特許文献1の記載を本実施形態に含め、記載を省略する。

[0074] 以上説明したように、センサ付き表示装置PNLは、第1絶縁基板10上に、複数の検出電極CEと、複数のセンサ配線SMと、複数の画素P_ixと、複数の走査線GLと、複数の信号線SLと、を備える。複数の検出電極CEは、第1方向X及び第1方向Xに交差する第2方向Yにマトリクス状に配列されている。複数の走査線GLは、スイッチング素子Trを走査し、第1方向Xに延在する。複数の信号線SLは、スイッチング素子Trに接続され、第2方向Yに延在する。センサ配線SMは、第1方向Xに並ぶ副画素SP_ixの間にある。センサ配線SMと、信号線SLとは、第1方向Xに交互に配置されている。センサ配線SMは、第1方向Xに隣り合う2つの検出電極CEのスリットSPAに重畳しても、センサ配線SMと、信号線SLとは、第3方向Zにおいて同層に形成されているので、センサ配線SMの駆動の影響が表示品位に影響を与えにくい。

[0075] また、信号線SLが第1方向に隣り合う2つの副画素SP_ixに跨がる検

出電極C Eに重畳しているので、信号線S Lに起因する光漏れの影響が低減される。

- [0076] 1つの検出電極C Eには、複数のセンサ配線S Mが電氣的に接続される。
- 1つの検出電極C Eに複数のセンサ配線S Mを電氣的に接続させて、配線抵抗を低減できるので、検出電極C Eに供給する駆動信号の波形劣化を抑制することができる。その結果、センサ付き表示装置P N Lは、静電量の検出精度が向上する。
- [0077] センサ配線S Mは、信号線S Lと重畳しないので、センサ配線S M及び信号線S Lを覆う絶縁層の厚みを薄くすることができる。
- [0078] センサ配線S Mは、副画素S P i x内に突出した、小検出電極C E dと接続する接続部を有している。ここで、接続部とは、小検出電極C E dと台座S M dとがコンタクトホールT Hを介して電氣的に接続する構造をいう。センサ配線S Mは、小検出電極C E dのスリットS P Aに重畳するので、センサ配線S M自体では、隣り合う小検出電極C E dを接続できない。そこで、センサ配線S Mが台座S M dを介して小検出電極C E dを電氣的に接続している。これにより、所望の面積を有する検出電極C Eとすることができる。
- [0079] 図6に示すようにコンタクトホールT Hは、例えば、1つの検出電極C Eと1つのセンサ配線S Mとの間に複数設けられている。これにより、接続抵抗が低減し、検出電極C Eに供給する駆動信号の波形劣化を抑制することができる。その結果、センサ付き表示装置P N Lは、静電量の検出精度が向上する。
- [0080] 以上、好適な実施の形態を説明したが、本開示はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本開示の趣旨を逸脱しない範囲で種々の変更が可能である。本開示の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本開示の技術的範囲に属する。
- [0081] 例えば、以上説明した台座S M dは、中継電極、接続電極、幅広部、拡張部及び拡幅部のいずれかとしてもよく、若しくは単に、センサ配線S Mの第

1 部分等と表現してもよい。

[0082] 第1方向Xと第2方向Yとで規定される平面は、アレイ基板SUB1の面と平行としたが、アレイ基板SUB1の面が湾曲していてもよい。この場合、センサ付き表示装置PNLが最大面積でみる方向からみて、所定の方向が第1方向となり、その第1方向と交差する方向が第2方向となる。センサ付き表示装置PNLが最大面積でみる方向は、第1方向及び第2方向に直交する第3方向が規定されればよい。

符号の説明

[0083] 10 第1絶縁基板
20 第2絶縁基板
AL1 第1配向膜
AL2 第2配向膜
BE 周辺領域
BM 遮光層
CE 検出電極
CEd 小検出電極
DA 表示領域
GL 走査線
PE 画素電極
PNL 表示装置
Q1 第1接続パターン
Q2 第2接続パターン
Q3 第3接続パターン
SM センサ配線
SMd 台座
SL 信号線
SPix、SPix1、SPix2、SPix3 副画素
SUB1 アレイ基板

S U B 2 対向基板

T H コンタクトホール

T r スイッチング素子

請求の範囲

- [請求項1] 第1基板と、
前記第1基板の上方に、第1方向及び前記第1方向に交差する第2方向にマトリクス状に配列された複数の検出電極と、
前記検出電極に接続される複数のセンサ配線と、
複数の画素を含み、前記第1方向及び前記第2方向にマトリクス状に配列された複数の画素と、
前記画素のスイッチング素子を走査し、前記第1方向に延在する複数の走査線と、
前記画素の前記スイッチング素子に接続され、前記第2方向に延在する複数の信号線と、
を含み、
前記センサ配線と、前記信号線とは、第1方向に交互に配置され、同層に形成され、
前記第1方向に隣接して並ぶ2つ前記画素のスイッチング素子は、1つの信号線に接続され、当該信号線が2つの前記画素に跨がる検出電極に重畳し、
前記センサ配線は、前記第1方向に並ぶ2つの前記画素の間にあり、当該センサ配線は、前記第1方向に隣り合う2つの検出電極のスリットに重畳する、
センサ付き表示装置。
- [請求項2] 前記センサ配線は、前記画素内に突出した、前記検出電極と接続するための台座を有している、請求項1に記載のセンサ付き表示装置。
- [請求項3] 前記走査線と前記信号線とが交差する交差部の近傍において、前記台座が2つあり、一方の前記台座は、他方の前記台座に対して前記交差部を中心として回転対称の位置に配置されている請求項2に記載のセンサ付き表示装置。
- [請求項4] 前記検出電極は、複数の小検出電極を有し、

前記交差部の近傍の2つの台座がそれぞれ、1つの前記小検出電極とコンタクトホールを介して電氣的に接続されている第1接続パターンと、

前記交差部の近傍の2つの台座のうち1つの台座のみが、1つの前記小検出電極とコンタクトホールを介して電氣的に接続されている第2接続パターンと、

前記交差部の近傍の2つの台座のいずれもが、1つの前記小検出電極とコンタクトホールを介して電氣的に接続されていない第3接続パターンと、

を有する請求項3に記載のセンサ付き表示装置。

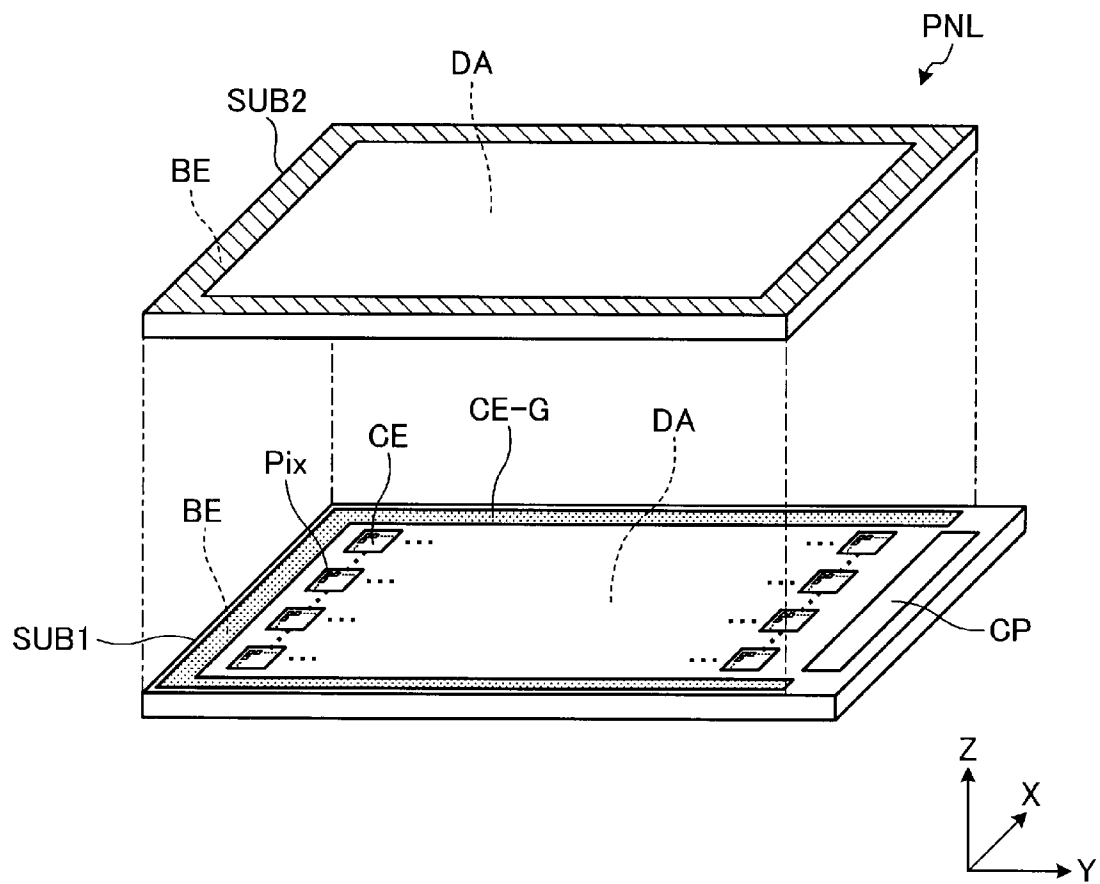
[請求項5] 前記第2接続パターン及び前記第3接続パターンにおいて、コンタクトホールのない台座がある、請求項4に記載のセンサ付き表示装置。

[請求項6] 平面視において、前記信号線は、前記画素が有する2つの副画素に跨がる前記小検出電極と重畳する請求項4または5に記載のセンサ付き表示装置。

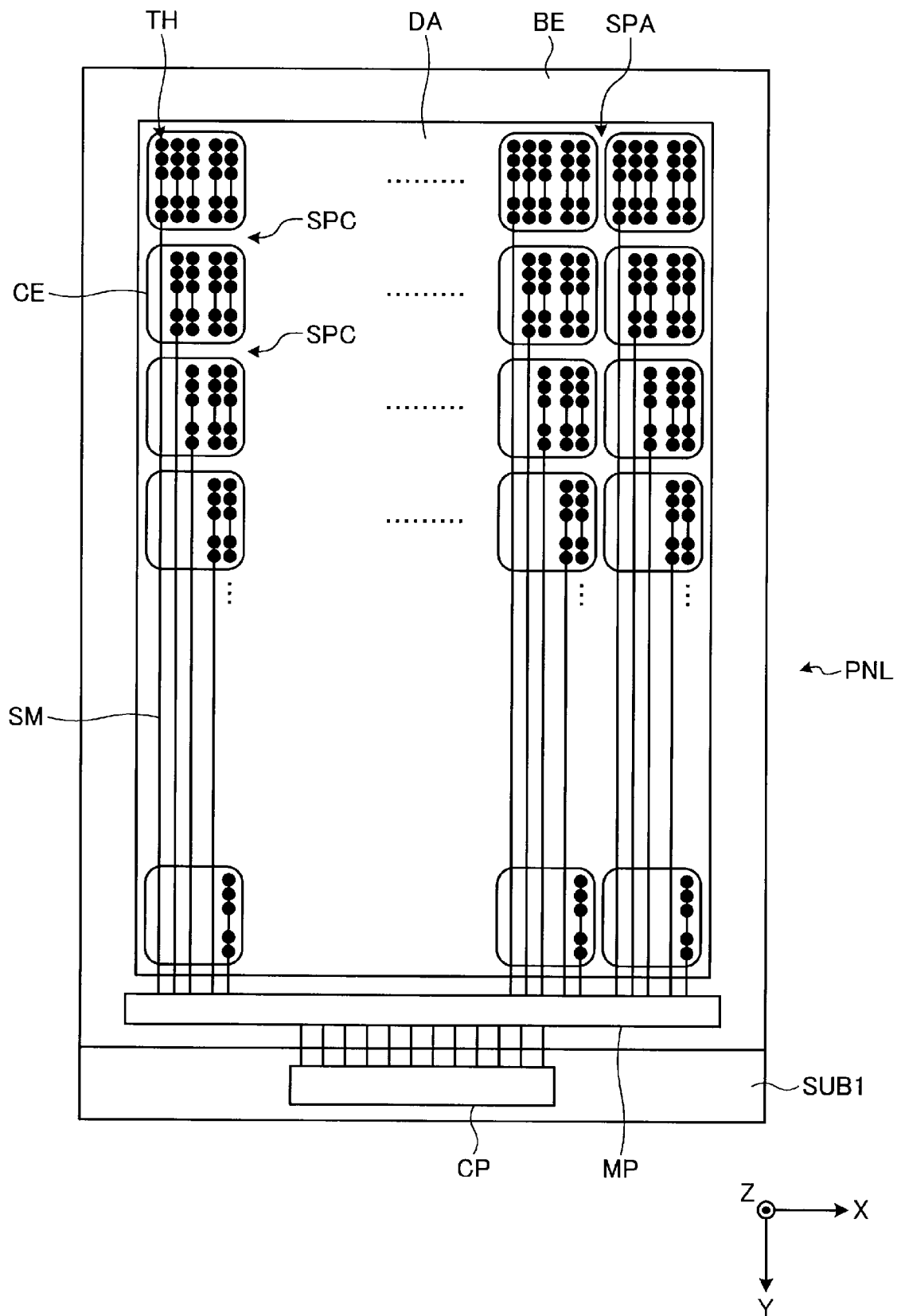
[請求項7] 1つの前記検出電極には、複数の前記センサ配線が電氣的に接続される、請求項1から6のいずれか1項に記載のセンサ付き表示装置。

[請求項8] 前記スリットは、前記第2方向に延在している請求項1から7のいずれか1項に記載のセンサ付き表示装置。

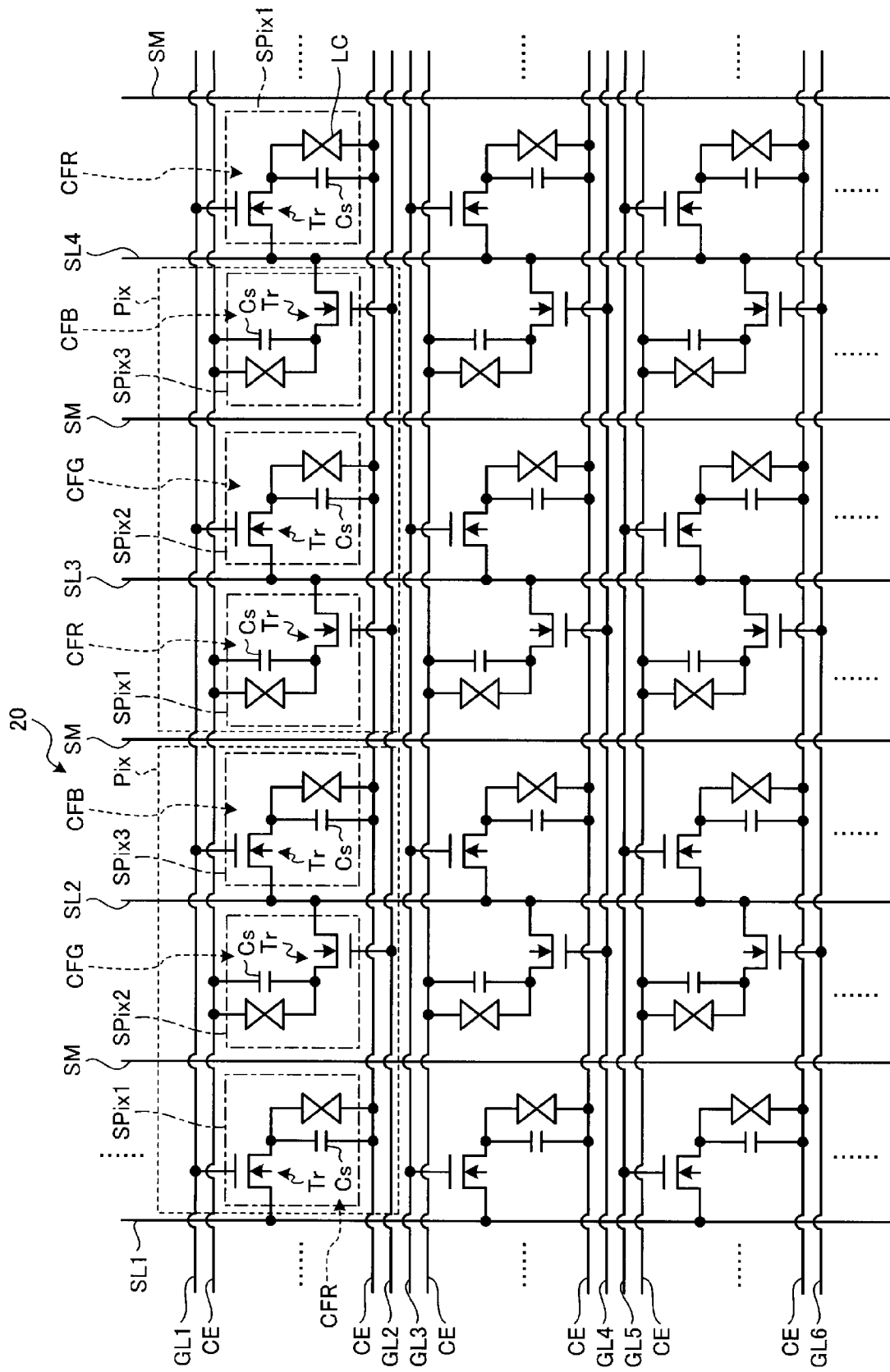
[図1]



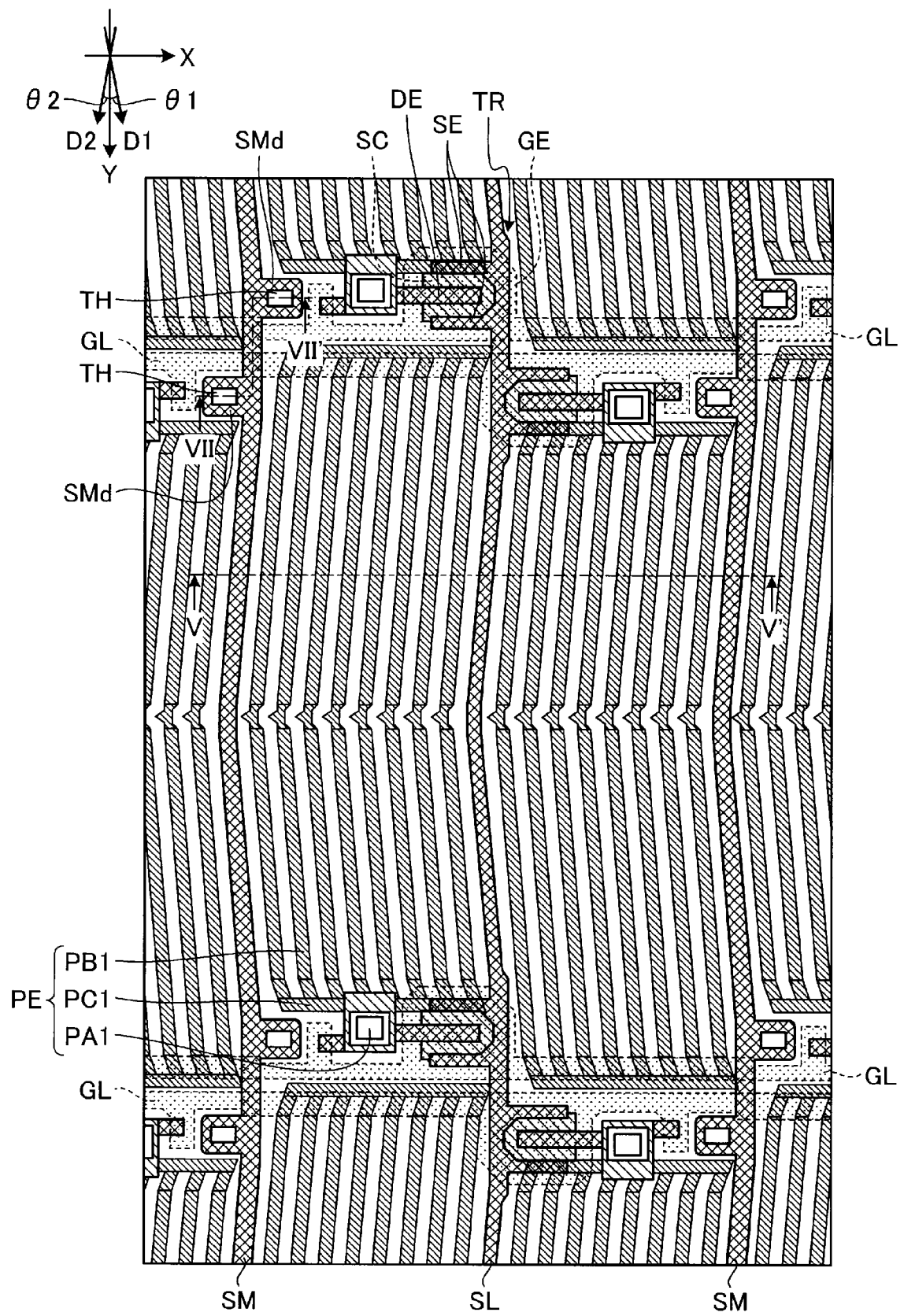
[図2]



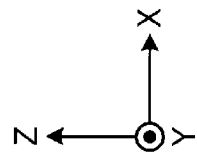
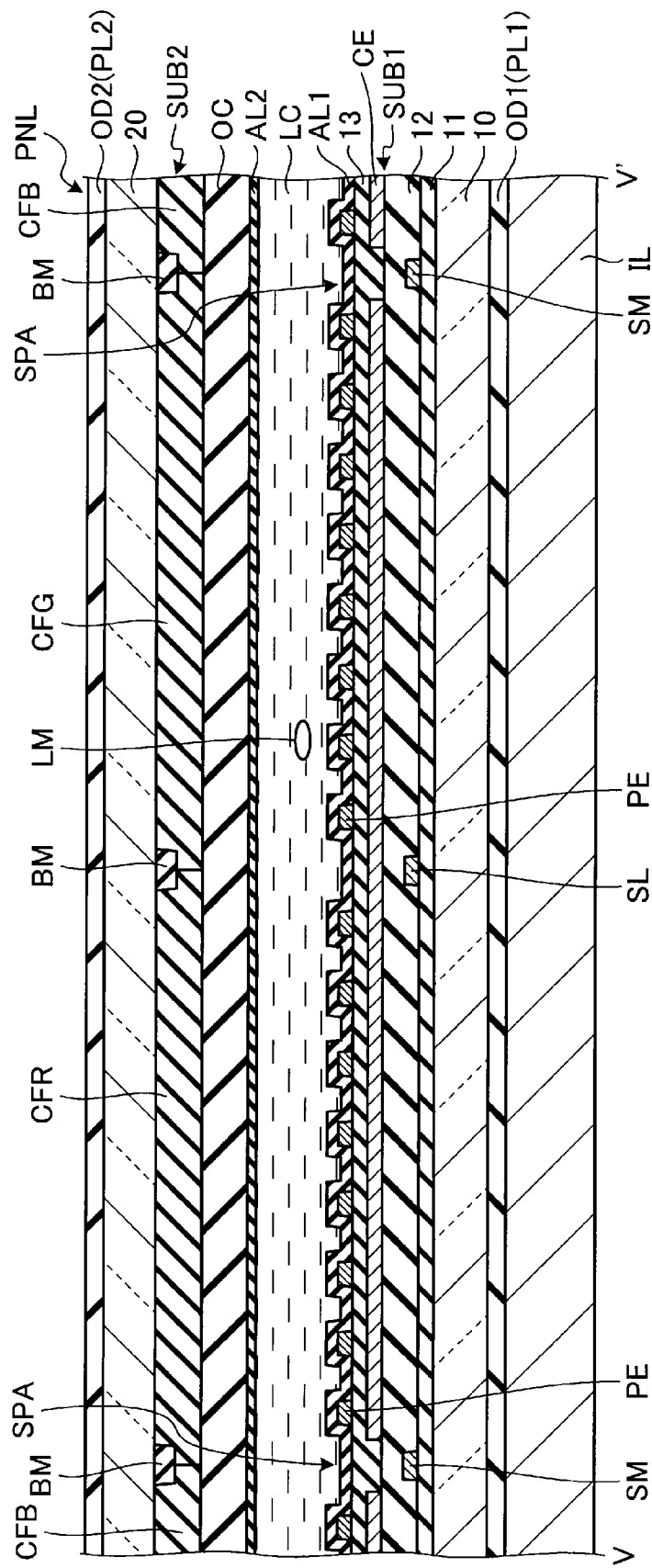
[図3]



[図4]



[図5]



[図6]

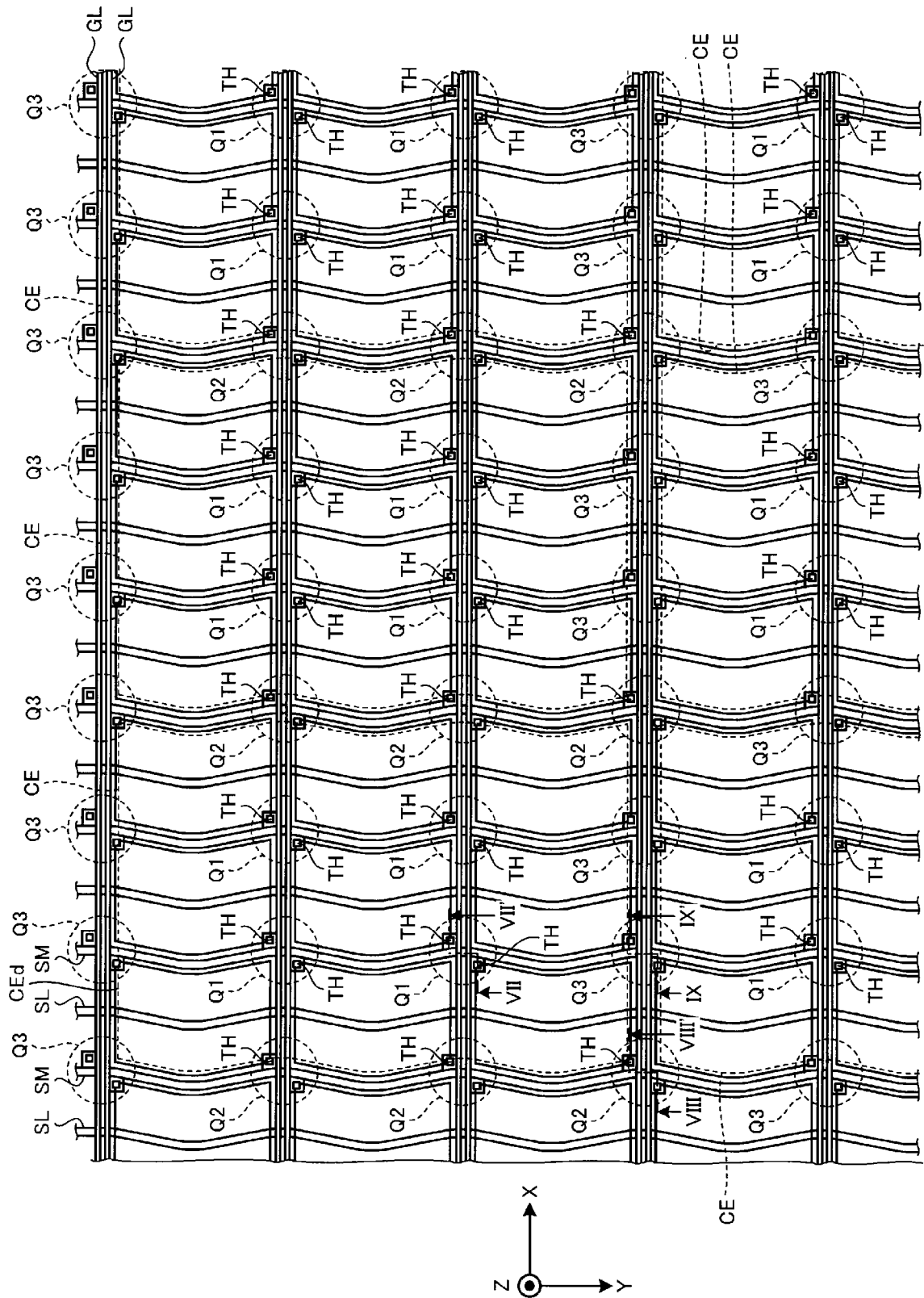
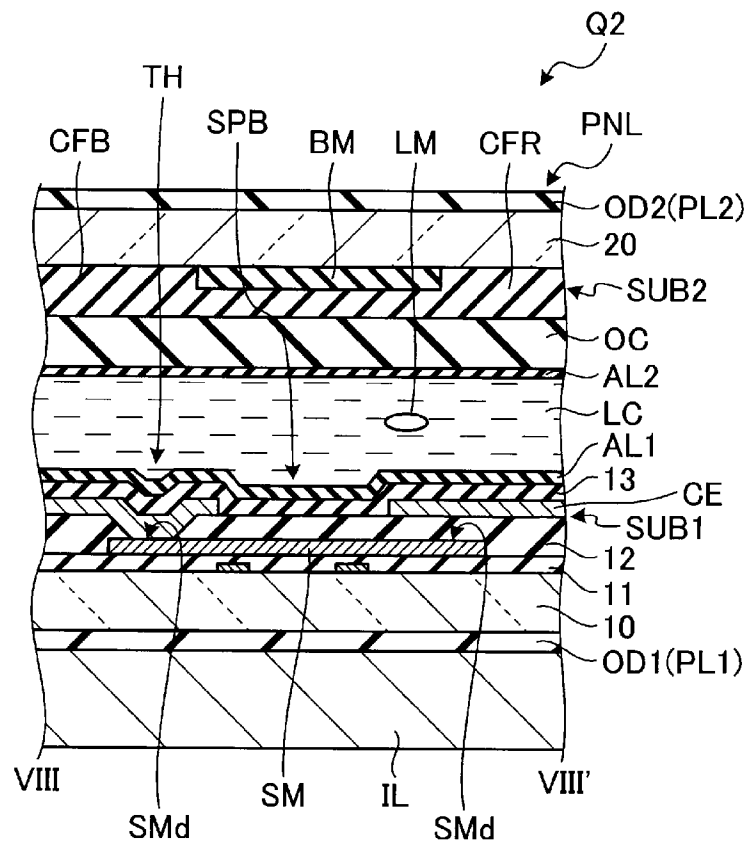
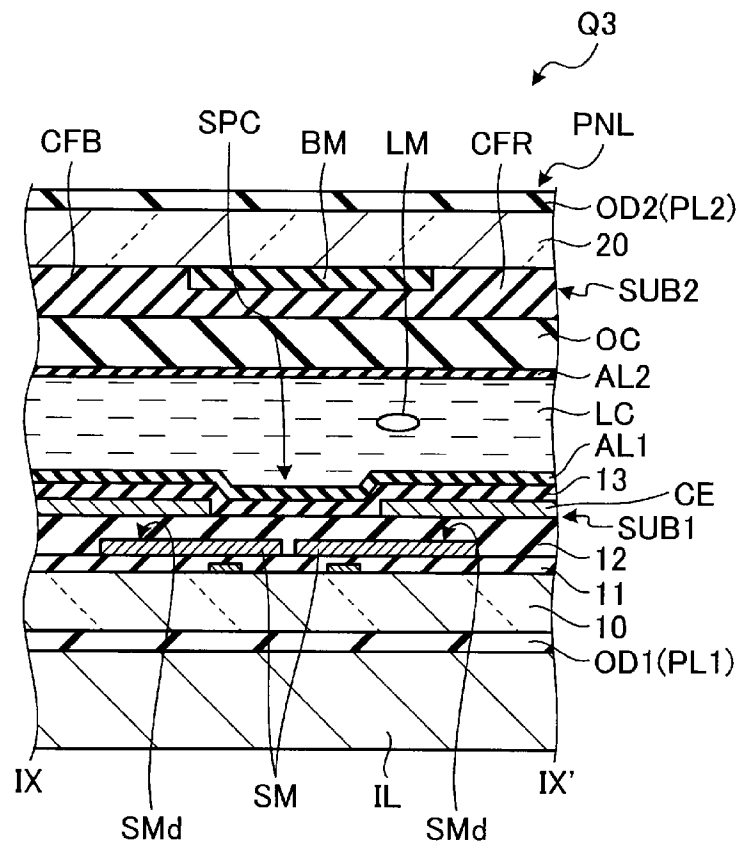


Figure 2 is a cross-sectional view of a semiconductor device 20. The device is composed of several layers and regions. At the top, there is a layer labeled TH. Below this, there is a layer labeled CFB. The next layer is labeled SPA. Below SPA, there is a layer labeled BM. Below BM, there is a layer labeled LM. Below LM, there is a layer labeled CFR. Below CFR, there is a layer labeled PNL. Below PNL, there is a layer labeled OD2(PL2). Below OD2(PL2), there is a layer labeled SUB2. Below SUB2, there is a layer labeled OC. Below OC, there is a layer labeled AL2. Below AL2, there is a layer labeled LC. Below LC, there is a layer labeled AL1. Below AL1, there is a layer labeled 13. Below 13, there is a layer labeled CE. Below CE, there is a layer labeled SUB1. Below SUB1, there is a layer labeled 12. Below 12, there is a layer labeled 11. Below 11, there is a layer labeled 10. Below 10, there is a layer labeled OD1(PL1). At the bottom, there is a layer labeled VII. The device is also labeled with VII' on the right side. The device is also labeled with SMd, SM, and IL in the center. The device is also labeled with Q1 at the top right.

[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/010121

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G02F1/1368 (2006.01) i, G06F3/041 (2006.01) i
FI: G06F3/041412, G06F3/041422, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F3/041, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2018/207660 A1 (SHARP CORPORATION) 15.11.2018 (2018-11-15), entire text, all drawings	1-8
A	WO 2016/136272 A1 (PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.) 01.09.2016 (2016-09-01), entire text, all drawings	1-8
A	JP 2012-212076 A (SONY CORPORATION) 01.11.2012 (2012-11-01), entire text, all drawings	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24.03.2020

Date of mailing of the international search report
07.04.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/010121

WO 2018/207660 A1	15.11.2018	CN 110582743 A
		entire text, all drawings
WO 2016/136272 A1	01.09.2016	US 2016/0253024 A1
		entire text, all drawings
JP 2012-212076 A	01.11.2012	US 2012/0249454 A1
		entire text, all drawings
		CN 102738199 A
		TW 201301613 A

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/1368(2006.01)i; G06F 3/041(2006.01)i FI: G06F3/041 412; G06F3/041 422; G02F1/1368		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06F3/041; G02F1/1368 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2018/207660 A1（シャープ株式会社）15.11.2018（2018-11-15） 全文全図	1-8
A	WO 2016/136272 A1（パナソニック液晶ディスプレイ株式会社）01.09.2016（2016-09-01） 全文全図	1-8
A	JP 2012-212076 A（ソニー株式会社）01.11.2012（2012-11-01） 全文全図	1-8
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 24.03.2020		国際調査報告の発送日 07.04.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐賀野 秀一 5E 5878 電話番号 03-3581-1101 内線 3521

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/010121

引用文献			公表日	パテントファミリー文献			公表日
WO	2018/207660	A1	15.11.2018	CN	110582743	A	
				全文全図			
WO	2016/136272	A1	01.09.2016	US	2016/0253024	A1	
				全文全図			
JP	2012-212076	A	01.11.2012	US	2012/0249454	A1	
				全文全図			
				CN	102738199	A	
				TW	201301613	A	