

309640

A4
C4

公告 309640

申請日期	85 年 11 月 25 日
案 號	85114513
類 別	1701L ²¹ / ₆₀

Int. (以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	球柵陣列型半導體裝置及使用該裝置之電子設備
	英 文	BGA type semiconductor device and electronic equipment using the same
二、發明人 創作	姓 名	(1) 山村英穗
	國 籍	(1) 日本 (1) 日本國神奈川縣横浜市磯子區洋光台六-五-二六
三、申請人	住、居所	
	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

309640

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐ 有 ☐ 無主張優先權

日本 1995 年 11 月 29 日 07-310861 ☒ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

〔發明背景〕

本發明係關係於半導體裝置與電子裝備或設備，其使用如此之半導體裝置與更特別關係到一種半導體裝置，其係操作在一很高速度與實現一很高積集密度與同時關係到使用該半導體裝置之電子裝備或設備。

電子裝備已經被相當地進步，並且，於近年來已有長足之進步，於改善一操作速度或於完成一較高積集度。當高速電子裝備是可用時，各類之處理係可以容易地與低價地被實現。再者，積集密度的改善使得一卓越的複雜功能可以被實現。這趨勢是值得注意的，特別是，於一半導體裝置領域中。以這方式，於電子電路，電子裝備與半導體裝置之操作速度上之改良，以及，較高積集度之改良變成電子工業之進步及發展之原動力。

半導體裝置的一較高積集度增加了予以併入該裝置中之電路數目，因此增加半導體裝置所需連接至其他裝置之接腳的數目。以上問題之一個解答是被揭示於美國專利第 5, 216, 278 號，其係有關於此一技術，以採用一球柵列陣 (B G A) 封裝體。該半導體裝置係收納在 B G A 封裝體之內，藉以形成一 B G A 類型半導體裝置。

現將會以參考圖式方式，來說明一先前技藝 B G A 類型半導體裝置。

圖式 9 是一用於一 B G A 類型之半導體裝置之 B G A 板 1 之俯視圖。於該圖中，一 B G A 板 1 是一接路板，其包含有機材料或陶瓷的一印刷電路板。被安置置在一半導

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

體裝置安裝區域或位置5於BGA板1的中心的是一半導體單元。結合墊4係被提供在BGA板1之上用以焊接。這些墊4與在半導體元件上之電極係藉由結合線等而電氣連接。分別由焊接墊4輻射狀延伸的是接線3的圖型，其順序地連接其一端與相關之貫孔2。該圖型電線3於BGA板1的中心具有高密度。爲了要避免如此，諸貫孔2係被沿著BGA板1的外圍設置。

圖式10顯示BGA板1的一後視圖。於該圖中，貫孔2係使用以連接BGA板1的前面與後方線。更詳細地說，在BGA板1的後側延伸至相關之貫孔2之接線6係被連接至銲接墊7。這些墊7係以一二維位置關係被安排。更明白地說，於圖式10的例子中，該銲接墊係呈3列排列，沿著板1之四側邊，而不是呈單一系列，而是於一二維安排具有一寬度。

圖式11顯示BGA板1的一主要部份的剖面圖，其中，一半導體元件8係被安裝在BGA板1上。在半導體元件8與焊接墊4上之電極是藉由結合線9加以連接。來自結合墊4之電線經由成圖型之電線3，貫孔2與接線6到銲接墊7。連接到銲接墊7的是銲接球10。雖然未示出，但BGA類型半導體裝置係被由銲接球10安裝在一印刷電路板，以電氣連接到其他裝置。

前述BGA類型半導體裝置更特徵於該裝置的類型可以具有更多之接腳，相較於相同外尺寸之其他封裝體，例如：雙排裝(DIP)或四排平裝(QFP)。這特色導

五、發明說明(3)

致於圖式 10 所示之銲接墊 7 是安排在 2 維形式，其係不存在於其他封裝體中。為此緣故，即使當半導體裝置的一較高積集度增加了併入於其中之電路的數字，以及，其接腳數目，其中可以了解，一半導體裝置防止其外部尺寸變大，這成就了電子工業的發展與建設。

〔發明概要〕

然而，當一半導體裝置在其操作速度被更改良或當其積集度係被更進一步增強時，它有時候發生該傳統的 B G A 類型半導體裝置不能應付。

使用該半導體裝置之重要因素之一是電源雜訊。當半導體裝置操作時，它消耗電源。因為電流消耗變化係取決於其內部電路的操作，電源供給雜訊係由於電源系統中之電線阻抗所造成。假設電源雜訊係被 ΔV 所指明，一電源系統的阻抗是由 Z 所指明，以電流消耗變化是由 ΔI 所表示；則在這三個因素中之一關係係被一方程式 $\Delta V = Z \times \Delta I$ 所表示。

於半導體裝置中，該電源系統的阻抗係基於於半導體裝置內之電線的一電感值 L 。因此，假設該半導體裝置具有一操作頻率 f ，則電源系統的阻抗 Z 係滿足一方程式 $Z = 2 \pi f L$ 。

於具有安裝於其上之半導體裝置之印刷電路板，因為該電源系統的阻抗係被一旁路電容器，平面電源供給／接地線路或其他機構而抑制至一低值；於很多例子中，整個

五、發明說明(4)

電源系統的阻抗是基於在半導體裝置內之電線的電感值 L 。

因此，如由 $\Delta V = 2 \pi f L \times \Delta I$ 所表達，該電源雜訊 ΔV 係由操作頻率 f ，在半導體裝置內之電線的電感值 L 與電流消耗變化分量 ΔI 所產生。

當電源雜訊變成過度時，該半導體裝置係錯誤地操作。這是因為一電源電壓偏離開在半導體裝置內之電路的一正常操作範圍，或電源雜訊係被重疊在信號線路上，以造成其他電路之錯誤操作。為此緣故，假如該電源雜訊是不被壓制到一規定值或更低，半導體裝置發生錯誤之操作，如此使該裝置之使用變差。

當半導體裝置的操作上頻率 f 增加，這造成一電源雜訊的增加，其係按照前述方程式 $\Delta V = 2 \pi f \times \Delta I$ ，因此半導體裝置之錯誤操作，其造成該半導體裝置變成不可使用。

再者，當半導體裝置的一較高積集度和併入於其中之電路數目造成電流消耗之增加，這同時也造成一電流消耗變化 ΔI 之增加。因此，該電源雜訊按照上述方程式 $\Delta V = 2 \pi f \times \Delta I$ 增加，和錯誤操作發生在半導體裝置中，如此導致半導體裝置之停止使用。

再者，於這例子中，特別是一 CMOS 半導體裝置中，半導體裝置的於操作頻率 f 之改良，造成電流消耗依頻率比例增加。這同時也造成該電源消耗變化 ΔI 增加，以依據上述方程式 $\Delta V = 2 \pi f \times \Delta I$ 增加電源雜訊，這造

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

成該半導體裝置錯誤地操作和變成不能使用。

以上將更詳細地說明參考圖式 9 至 11 所示之先前技藝之例子。

於圖式 9 至 11 中所示之圖型電線 3 與接線 6 之線寬是 0.15 mm ，而其長度均是 5 mm 。該貫孔 2 有一 0.3 mm 之直徑和一 0.8 mm 之長度（深度）。再者，該結合線 9 具有 0.04 mm 之直徑和 2 mm 之長度。

以如此一結構，如以上所述，該 BGA 板之接線部份，亦即，接線包含圖型電線 3，接線 6，與貫孔 2 具有一 5.2 nH 之電感值，該結合線部份具有 1.7 nH 的電感值，與兩個總電感值是 6.8 nH 。因為先前技藝 BGA 類型半導體裝置具有 5 電源接線與 5 接地線，該總電感值 L_0 是 $2.72\text{ nH} (= 6.8\text{ nH} / 5) + (6.8\text{ nH} / 5)$ 。如此，先前技藝內之 BGA 類型半導體內之電源系統之接線具有 $1.2.72\text{ nH}$ 的一電感值 L_0 。

前述先前技藝 BGA 類型半導體裝置一般操作在 110 MHz 之電流頻率以具有 0.5 A 之電流消耗變化 ΔI 。於此例子中，該 BGA 類型半導體裝置之電流雜訊 ΔV 是 $0.94\text{ v} (= 2\pi \times 110\text{ MHz} \times 2.72\text{ nH} \times 0.5\text{ A})$ 與其可容許的電源雜訊是 1 V 或者更低。因此，前述先前技藝 BGA 類型半導體裝置具有上述之條件限制，亦即， 110 MHz 之操作頻率限制及 0.5 A 之電流消耗變化限制。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

因此，於圖式 9 至 11 中所示之先前技藝之 BGA 類型半導體裝置，當操作頻率或電流消耗更進一步增加時，該電源雜訊超過其可容許位準，因此造成半導體裝置之誤操作和無法使用。

如此，當半導體裝置的操作的速度被更進一步改良或者當積集密度被更進一步增加時，該先前技藝之 BGA 類型半導體裝置是不能應用。

所以，本發明的一目的係提供一 BGA 類型半導體裝置，其能解決於先前技藝中之上述問題，以及，能實現較高速度操作或較高積集密度，以及，同時也提供使用該半導體裝置之電子設備。

以上之目的係藉由提供一 BGA 類型半導體裝置加以完成，該裝置係可以解決於先前技藝中之以上之問題。按照本發明的一方面，其中提供一 BGA 類型半導體裝置，其中，一在該半導體裝置內之用於電源系統之電線列陣係與其他電線（例如，信號線）分開提供，以縮短用於電源之電線的長度，或者用於電源之線數目係被增加，以降低電源系統的電感值，藉以配合半導體裝置的操作速度之改良與於積集密度上之增加。

更明白地說，一依據本發明之半導體裝置係由一基板，一半導體晶片安置在基板的上表面和多數鉚接墊提供在基板的下表面，其中，該基板具有一第一群貫孔，其係連接到半導體晶片的信號線與形成於從基板的外圍之內部與一第二群貫孔連接到半導體晶片之電源線或接地線，並且

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

，安置於延伸自一半導體晶片安裝區域之外圍之基底之一部份。

以這安排，其係可能降低電源供給系統的接線長度，以較短於信號線的長度，或者，增加電源供給系統的線路數目，其輪流造成降低電源供給系統的電感值的效果。

較佳地，在基板上表面上係被提供以第一結合墊，以連接半導體晶片的信號端與信號線，以及，第二結合墊連接半導體晶片的電源供給端或接地端與電源接線或返回（接地）線，該第二結合墊係被安置於第一結合墊與該半導體晶片之間。以以上之結合墊安排，該用於電源或接地之第二群貫孔可以被形成，而不會影響線路圖型，因此高密度封裝係成為可能。

於本文中，該“來自基板的外圍之內部份”係指為圖式 1 中所示之區域 100，以及，“由一半導體晶片安置區域延伸之基板的部份”係圖式 1 中所示之區域 200。圖式 1 將隨後作更詳細地說明。

較佳地，基板之一側之長度被指為 a 以及半導體晶片之一側之長度被指為 b ，來自基板的外圍之內部份是一延伸自基板外圍到 $(a - b) / 8$ 之一區域範圍，以及，由一半導體晶片安裝區域的外圍延伸之基板之部份是由半導體晶片之外圍至 $(a - b) / 8$ 之一區域範圍。藉由分別形成第一和第二群貫孔在這些區域範圍之內，電源接線長度可以被降低到信號線路長度的四分之一，這順序地降低電感值。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

總結，於依據本發明之半導體裝置中，該用於電源系統之線陣列係被安排於 B G A 型半導體裝置之中心，以使得電源線之長度短於信號線之長度，或者用於電源系統之線數目係增加，以降低其電感值。

再者，當本發明之 B G A 類型半導體裝置係使用至電子設備或儀器時，該電子設備或儀器本身可以操作於高速。

[圖式之簡要說明]

圖式 1 是依據本發明之一實施例之一 B G A 類型半導體裝置之 B G A 板之俯視圖；

圖式 2 是依據本發明之一實施例之該 B G A 類型半導體裝置之 B G A 板之後視圖；

圖式 3 是當一半導體元件是安裝於本發明之實施例中之 B G A 板時之主部份之剖面視圖；

圖式 4 是依據本發明之另一實施例之一 B G A 類型半導體裝置之 B G A 板之俯視圖；

圖式 5 是依據本發明之另一實施例之該 B G A 類型半導體裝置之 B G A 板之後視圖；

圖式 6 是當一半導體元件是安裝於本發明之另一實施例中之 B G A 板時之主部份之剖面視圖；

圖式 7 是一示意圖，用以說明具有本發明的 B G A 類型半導體裝置在其中的電子裝置；

圖式 8 是一示意圖，用以說明具有 B G A 半導體裝置

五、發明說明(9)

安裝在其中之電子裝置；

圖式 9 是一使用在先前技藝 B G A 使用類型半導體裝置中之 B G A 板之俯視圖；

圖式 1 0 是使用於先前技藝中之 B G A 板之後視圖；
及

圖式 1 1 是當一半導體元件安裝在先前技藝之 B G A 板類型之半導體裝置中之 B G A 板中之主要部份之剖面圖。

〔較佳實施例之說明〕

本發明將被說明於參考隨附之圖式。

圖式 1 到 3 是用以說明一依據本發明之第一實施例之 B G A 類型半導體裝置之示意圖，其中，圖式 1 於 B G A 類型半導體中之 B G A 板之俯視圖，圖式 2 是 B G A 板的一後視圖，與圖式 3 當一半導體元件裝置至 B G A 板時，B G A 板之一主要部份的一剖面圖。

於圖式 1 到 3 中，所示出之 B G A 類型半導體裝置包含一 B G A 板 1，線圖案 3，結合墊 4，一於 B G A 板 1 中心之半導體裝置安裝區域或位置 5，接線 6，錫球 1 0，電源墊 1 1，貫孔 1 2，銲接墊 1 3，接線之圖案 1 4，及結合線 1 5 及 1 6。

如在圖式 1 中所顯示，該 B G A 板 1 在其上表面係被提供以結合墊 4 與圖型電線 3，其具有 0 . 1 5 m m 之線寬，該圖型線 3 係於其端點連接至相關之貫孔 2。這些孔

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

係被用於信號線 (此名詞 " 信號 " 在本文中係被指為不是電源與一接地之所有信號，其包含，譬如，一測試信號) 之連接。提供於半導體裝置安裝區域或位置 5 的附近的是電源墊 1 1，其是用於連接電源或接地線。該電源供給墊 1 1 是連接到貫孔 1 2。

如在圖式 2 所顯示，在 B G A 板 1 的後側，接線 6 係被安排連接到貫孔 2 與以及銲接墊 7 被安排連接到接線 6，用以連接信號線。安排在 B G A 板 1 之後方的中心是圖型接線 1 4，其具有 0 . 3 m m 之線寬，其係被連接到貫孔 1 2 以及銲接墊 1 3，其係被連接到圖型接線 1 2 用以連接電源及接地線。用於電源供給系統之圖型接線 1 4 具有一寬廣線寬，以降低其電感值，與貫孔 1 2 與銲接墊 1 3 係被互相連接，使得部份的貫孔與相關之銲接墊以 1 : 1 關係由單一接線或其他貫孔及相關銲接墊以相同方式藉由多數接線所加以連接。

如在圖式 3 所顯示，安裝在 B G A 板 1 上之半導體元件 8 的電極 (信號電極) 係藉由結合線 1 5 連接至圖型線 3，以及，更經由圖型線 3，貫孔 2 及接線 6 連接銲接墊 7。該銲接墊 7 係被連接到錫球 1 0，用以連接至信號線。另安排在 B G A 板 1 的中心的是半導體元件 8 的電極 (電源或接地電極)，以及，電源墊 1 1 係被結合線 1 6 所連接，與更經由電源墊 1 1，貫孔 1 2 及圖型接線 1 4 連接至銲接墊 1 3。該銲接墊 1 3 被連接到錫球 1 0，用以連接至電源供給與接地電線。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (11)

於第一實施例的結構中，電源供給電線的 8 組與 8 組接地電線係被安排在輻射安排之信號電線之內側，因此，如此信號電線的數目可以被避免降低，與者，需要用以電源或接地線之輻射狀安排之必要可以被避免，結果，信號線的數目被增加。

於這第一實施例中，該電源供給與接地線係被由半導體元件 8 連接到電源供給墊 1 1，該電源墊 1 1 係安排接近半導體元件 8，藉由結合線 1 6，與，更由貫孔 1 2 及具有線寬 0.3 mm 及長度約 2 mm 之圖案接線 1 4 由電源墊 1 1 連接至用於電源及接地之焊接墊 1 3。因為，這些接線路徑是短的，他們具有一小的電感值。在本實施例中，這接線路徑的電感值是 1.5 nH。具有 0.04 mm 直徑及 1.7 mm 長度之結合線 1 6 具有 1.4 nH 的一電感值。因此，延伸自半導體元件 8 到銲接劑墊 1 3 之路徑之電感值總和是 2.9 nH。該用於電源之結合線，貫孔與電線是被供給 8 組，以及，用於接地線之結合線，貫孔與電線亦是為 8 組。因此，整個電感值 L_o 理論上是 $0.73 \text{ nH} (= (2.9 \text{ nH} / 8) + (2.9 \text{ nH} / 8))$ ，但其實際變成 0.60 nH，基於多數線之使用的效果。

第一實施例具有如上所述之佈置，是能夠操作在 500 MHz 之操作頻率及具有 0.5 A 之電流消耗變化 ΔI 。亦即，該電源供給雜訊 ΔV 變成 0.94 V (

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

$= 2 \pi \times 500 \text{ MHz} \times 0.60 \text{ nH} \times 0.5 \text{ A}$) , 其係少於可容許的電源雜訊 1 伏特。

該第一實施例是能夠操作在 110 MHz 以 2.3 A 之電流消耗變化。亦即, 該電源雜訊 ΔV 變成 0.95 伏 ($= 2 \pi \times 110 \text{ MHz} \times 0.60 \text{ nH} \times 2.3 \text{ A}$) , 其係少於可容許的電源雜訊 1 伏特。

雖然該可容許電源雜訊係被設定到 1 伏特或者更低, 該操作頻率是 110 MHz 與 500 MHz 以及, 電流消耗變化分別是 0.5 安培 及 2.3 安培 。在目前實施例中, 本發明係不被限制到該特定的例子。

亦即, 因為本發明可以使其電感值較小於先前技藝 BGA 類型半導體裝置之電感值, 即使當高速操作在多種設定值時, 本發明可以確保其正常操作。

換句話說, 當本案操作於高速時, 對於相關之狀態之可容許範圍係可以較鬆, 因此, 包含 BGA 類型半導體裝置之設計可以較易完成。

電源供給值之百分之二十至三十通常被設定為可容許電源供給雜訊, 以及, 於很多情況下, 1 安培 或更低的電流是被設定為電流消耗變化 (其係通常等於一 LSI 之電流消耗值)。即使當根據第一實施例之裝置係被設定在如此狀況之下, 其可以正常地操作在較先前技藝之為高之速度。

第二實施例係具有相同之情形, 第二實施例係如下。

圖式 4 到 6 是示意圖, 用以說明一依據本發明之第二

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(13)

實施例之 B G A 類型半導體裝置，其中，圖式 4 是一使用於 B G A 類型半導體裝置中之 B G A 板之俯視圖，圖式 5 是 B G A 板的一後視圖，與圖式 6 是 B G A 板之一主要部份之剖面圖，其係當一半導體元件是安裝至該 B G A 板時。於圖式 4 至 6 中，具有實際等同於圖式 1 至 3 第一實施例中功能之構件係以相同之參考數加以表示，爲了消除其重覆性，其說明係加以省略。

於圖式 4 至 6 所示之 B G A 類型半導體裝置包含半導體元件電極 17，貫孔 18，銲接墊 19，平面接線圖型或片圖型 20，與一內部圖型 21。

如在圖式 4 中所顯示，該 B G A 板 1 於其上側係被提供以結合墊 4 與圖型線 3，其具有 0.15 mm 的一線寬，以及是連接到貫孔 2，用以連接至信號線。

半導體元件 8 被裝置在被提供於 B G A 板 1 之中心之半導體元件電極 17，該半導體元件電極 17 係順序地連接到形成在半導體元件 8 後側之接地電極。半導體元件電極 17 係連接至貫孔 18，用以連接至接地線。

提供於半導體元件電極 17 附近的是電源供給墊 11，其係被連接到貫孔 12，用以連接電源供給線。

如在圖式 5 中所顯示，安排在 B G A 板 1 的後側的是接線 6，其係連接到貫孔 2，以及，銲接墊 7 係被連接到接線 6，用以連接信號線。

提供於 B G A 板 1 的後側之中心的是平面圖型接線或片圖型 20，其係被連接到相關的貫孔 18。形成在平面

五、發明說明 (14)

圖型接線或片圖型 20 上與銲接阻抗罩一起使用的是銲接墊 19，其係使用於連接接地線。

同時也安排接近平面或片圖型 20 之外圍或接近 BGA 板 1 之中心的是圖型接線 14 具有 0.3 mm 的線寬，其係被連接到貫孔 12，以及銲接墊 13 係連接至圖型接線 14，用以連接至電源線。用以連接電源供給線之圖型接線 14 係被作寬，以降低阻抗。再者，貫孔 12 與銲接墊 13 係連接在一起，以部份的貫孔與相關的銲接墊係以 1 : 1 之關係被單一接線所連接，以及，其他貫孔係藉由多數接線以 1 : 1 之關係加以互相連接。

如在圖式 6 所顯示，半導體元件 8 的電極（信號電極）係安裝在這 BGA 板 1 被連接到圖型電線 3，藉由結合線 15，以及，更連接到銲接墊 7，藉由圖型線 3，貫孔 2 與接線 6。該銲接墊 7 係被連接到銲接球 10，用以連接信號電線。

於 BGA 板 1 的中心，半導體元件 8 的後側之接地電極係被連接到半導體元件電極 17 與更進一步經由半導體元件電極 17，貫孔 18，及平面圖型接線或片圖型 20。該銲接墊 19 係被連接到銲接球 10，用以連接至接地線。

安排在更接近一點 BGA 板 1 的中心的是半導體元件 8 的電極與電源供給墊 11，其係藉由相關接線 16 連接在一起，與，更經由電源線 11，貫孔 12 及圖型接線 14，以連接至銲接墊 13。該銲接墊 13 係連接至錫球

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (15)

1 0 , 用以連接電源供給電線。

於第二的實施例中，爲了著要控制信號線的特徵阻抗與，降低串音，內部圖型 2 1 係被提供在 B G A 板 1 之內。於例子中，該內部圖型 2 1 是連接到接地貫孔 1 8，以及，同時也隔絕開其他貫孔 2 與 1 2。

於第二實施例的結構中，半導體元件 8 的接地連接是被藉由連接接地電極到鉚接墊 1 9 經過 1 6 個貫孔 1 8 而沒有使用任何線型接線加以完成。再者，電源供給線係被以 1 6 組結合線，貫孔與接線之形式加以提供，其係全部位於在信號電線之內被輻射狀地安排。因此，此信號線的數目可以防止被降低，同時，電源供給或接地線輻射狀安排之需求可能被避免，結果造成信號線數目增加。

於第二實施例中，接地線的電感值之主要貢獻只是貫孔 1 8。所以，一每貫孔之電感值小至 0.25 nH ，當貫孔 1 8 具有 0.3 mm 的直徑和 0.8 mm 之長度（深度）時。

電源線係被結合線 1 6 所由半導體元件 8 連接到電源墊 1 1，其係定位於接近半導體元件 8，與更進一步由電源墊 1 1 經由貫孔 1 2 連接到鉚接墊 1 3，接線 1 4 具有 0.3 mm 之線寬及 2 mm 之線長。因爲線路徑是短的，電感值是小的，並且，於第二實施例中係 1.5 nH 。該結合線 1 6 具有 0.04 mm 的直徑， 1.7 mm 的長度，與 1.4 nH 之一電感值。因此，每一延伸自半導體元件 8 的頂端到鉚接墊 1 3 之電感總和是 2.9 nH 。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (16)

16 組電源供給線與 16 組接地線係被提供。如此，整個電感值 L_o 是在理論上 $0.20 \text{ nH} (= (2.9 \text{ nH} / 16) + (0.25 \text{ nH} / 16))$ ，但真正只是 0.19 nH ，因為多數電源供給線使用的效果。

該第二實施例具有前述之如此安排，係能夠操作在 1600 MHz 之操作頻率以及具 0.5 A 之電流消耗變化 ΔI 。該電源雜訊 ΔV 是 $0.96 \text{ V} (= 2\pi \times 1600 \text{ MHz} \times 0.19 \text{ nH} \times 0.5 \text{ A})$ 和可容許電源雜訊是 1 伏或更低。

第二實施例是能夠操作在 110 MHz 之操作頻率以及具有 7.3 A 之電流消耗變化 ΔI 。亦即，電源雜訊 ΔV 是 $0.96 \text{ 伏} (= 2\pi \times 110 \text{ MHz} \times 0.19 \text{ nH} \times 7.3 \text{ A})$ ，其係少於 1 伏的可容許電源雜訊。

圖式 1 與 2 與圖式 4 及 5 是 BGA 板 1，其形成本發明的一第三實施例，以及，其本身可以商業化。

於這些 BGA 板 1 中，已經說明如上，該用於電源供給或接地之焊接墊，其係被安排於 BGA 板的中心者，具有一接線電感值大約 0.60 nH ，相對於圖式 1 及 2 的結構，以及大約 0.19 nH ，其相對於圖式 4 與 5 之結構。

於圖式 1 及 2 結構的例子中，該第三實施例可以操作在 500 MHz 之操作頻率，以及，具有 0.5 A 之電流消耗變化 ΔI ，或者，操作上的 110 MHz 之操作頻率

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

具有 2 . 3 安培之電流消耗變化 ΔI 。於圖式 4 及 5 的結構中，另一方面，第三實施例可以操作在 1 6 0 0 M H z 之操作頻率具有 0 . 5 安培之電流消耗變化 ΔI 或者在 1 1 0 M H z 之操作頻率具有 7 . 3 安培之電流消耗變化 ΔI 。

圖式 7 顯示依據本發明第四實施例之電子設備。

於圖式 7 中，多數依據本發明之第一實施例之 B G A 半導體裝置 5 1 或多數依據第二實施例之 B G A 半導體裝置 5 1 係安裝在一印刷電路板 5 2 上，該印刷電路板 5 2 係順序地經由連接器 5 3 及 5 4 連接至一背板 5 5，該背板 5 5 係被順序地供給一來自電源裝置 5 7 之電源，經由一電源線 5 6。於圖式中，一外殼，開關，連接至其他部件之接線等係被省略。

於第四實施例中，因為本發明之 B G A 半導體裝置係被安裝於一半導體設備中，該半導體設備可以以一高積集度，高速加以操作。

圖式 8 顯示電子設備及更明白地說係一依據本發明之第五實施例之電腦。

於圖式 8 中所示之電腦包含一電腦主體 6 0，一顯示單元 6 8 及一鍵盤 6 9。併入於電腦主體 6 0 的是一硬碟機 6 2，一軟碟機 6 3，一電源供應器 6 4 及一印刷電路板 6 1。安裝在印刷電路板 6 1 上的是一中央處理單元 (C P U) 6 5，其包含 B G A 類型半導體裝置，另一半導體裝置 6 6 及一記憶體 6 7。

五、發明說明(18)

於圖式8中之實施例中，該CPU65，其包含BGA類型半導體裝置者，可以操作於600MHz之頻率，因此，整個電腦可以操作於高速。

不用說，以相同之佈置，一高積集度之BGA半導體裝置可以被使用於CPU65之中，以改良電腦之處理能力。

當BGA半導體裝置使用於其中時，第四及第五實施例之電子設備可以操作於高速及高功能，因此貢獻到電子工業的發展與建設。

雖然所有的電源供給或接地線於實施例中係被安排在BGA板之中心的附近，但是，本發明不被限制到該特定的例子和如此之佈置可以部份地被進行，而用於一特定設計需求，而不破壞本發明的效果。

再者，第一實施例及第二實施例的安排可以被固定地使用。

雖然接地電極已經被提供在半導體元件的後側，由第二實施例之設計觀點看來，但電源電極可以被提供在半導體元件的後側，同時展示本發明的效果大致相等於前一例子。

該接地內部層已經被提供在第二實施例之BGA板之內。然而，該內部層可以用於電源供給，可以是多層中的一層，或者可以包含信號電線，而沒有涉及破壞本發明的效果。

雖然於半導體元件與BGA板間之連接於本實施例中

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

係藉由結合線加以作用，但其亦可以由其他機構加以進行，例如，經由一捲帶自動結合 (T A B) 技巧或一銲接球技巧，而不會劣化本發明的效果。

再者，雖然半導體元件與銲接墊於實施例係被安排在 B G A 板的不同平面，但他們也可以被安排在相同的平面而沒有損害本發明的效果。於後者中，使用於實施例中之貫孔可以不被使用。

即使當銲接劑墊與結合墊之位置安排爲了不是本案之技術理由外原因改變時，本發明是仍然有效。

當然，本發明不只可適用到 B G A 類型半導體裝置，同時也適用到 P G A 類型半導體裝置。

如同於先前所說明，按照本發明，其中提供一 B G A 類型半導體裝置可以更改善它的操作上的速度與積集密度。例如，該操作頻率可以增加至 5 0 0 M H z 至 1 6 0 0 M H z，其相當於先前技藝之 1 1 0 M H z 之操作頻率之 4 . 5 至 1 4 . 5 倍。再者，電流消耗變化可以被增加到 2 . 3 安培至 7 . 3 安培，其相當於先前技藝 0 . 5 安培之 4 . 6 至 1 4 . 6 倍，以及，積集密度直接地影響電流消耗，亦即，在半導體裝置內之電路的數目可以被增加到 4 . 6 至 1 4 . 6 倍於先技。結果，一使用本發明之半導體裝置之電子的電路或裝備可以操作在高速與被產生複雜功能，如此貢獻到電子工業的發展與建設。

以上之有利效果導於該電源供給或接地線可以被縮短，以降低其電感值。在 B G A 板上之電源供給線的總長度

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(20)

是 1 0 m m , 其係等於先前技藝中之最短信號電線的長度 , 反之 , 於本發明的第二與第三實施例中 , 電源供給與信號線的長度分別是 2 m m 與 1 . 7 m m , 其係少於最短信號線長度之五分之一 , 因此 , 電感值係被由 6 . 8 n H 降至 0 . 6 n H 或 0 . 1 9 n H , 其係為其之 1 / 1 0 或更低。這麼來 , 本發明的本質是安排電源供給或接地線在 B G A 板之中心部分 , 藉以縮短接線長度。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

球柵陣列型半導體裝置及使用該裝置之電子設備

一球柵陣列(BGA)類型半導體裝置，其藉由縮短電源或接地線，以實現其高速操作與高積集密度，而降低其電感值。於BGA類型半導體裝置中，該電源或接地線係被提供於一BGA板中心之附近，以實現高速操作與高積集密度，藉以一使用BGA類型半導體裝置之電子電路或裝備可以於產生高操作速度與因此形成複雜之功能。

英文發明摘要(發明之名稱： BGA TYPE SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT USING THE SAME)

A BGA type semiconductor device which realizes its high speed operation and high integration density by shortening power supply or grounding wires to reduce its inductance. In the BGA type semiconductor device, the power supply or grounding wires are provided in the vicinity of the center of a BGA board to realize the high-speed operation and high integration density, whereby an electronic circuit or equipment using the BGA type semiconductor device can be made high in operational speed and made sophisticated in function.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

六、申請專利範圍

1. 一種半導體裝置包含：

一基板；

一半導體晶片安置在該基板之一上表面；

多數焊接墊安置在該基板之下表面；

該基板具有一第一組貫孔連接至該半導體晶片之信號接線上，以及，形成在該基板之外圍之內部份，以及，一第二組貫孔連接至電源接線或接地接線並形成在基板之一部份，其係由一半導體晶片安裝區域之外圍延伸。

2. 如申請專利範圍第1項所述之半導體裝置，其中，在基板之上表面係被提供以一第一結合墊，用以連接該半導體晶片之信號端及信號接線，藉由線結合，以及第二結合墊用以連接該半導體晶片之電源端或接地端及電源接線或接地線藉由線結合。

3. 如申請專利範圍第2項所述之半導體裝置，其中，該第二結墊係安置在第一結合墊及半導體晶片之間。

4. 如申請專利範圍第3項所述之半導體裝置，其中，該多數焊接墊係安置於延伸第一組貫孔及第二組貫孔間之一區域中，以及，由第二組貫孔所定義之一區域中。

5. 如申請專利範圍第1項所述之半導體裝置，其中，至少該多數焊接墊之某些係安置於一延伸於第一組貫孔及第二組貫孔間之區域。

6. 如申請專利範圍第1項所述之半導體裝置，其中，其中，該基板之外圍之內部份延伸於該基板之外圍至(a - b) / 8 之區域範圍，以及由半導體晶片安裝區域延

六、申請專利範圍

伸之基板之部份延伸於由半導體晶片安裝區域至 (a - b) / 8 之區域範圍，其中， a 表示基板一側之長度，以及 b 表示半導體晶片之長度。

7. 一種半導體裝置包含：

一基板；

一半導體晶片安置在該基板之一上表面；

多數焊接墊安置在該基板之下表面；

至少用於半導體晶片之電源及接地貫之某些焊接墊是安置於該基板之實際中心部份。

8. 如申請專利範圍第 7 項所述之半導體裝置，其中，該基板具有一組貫孔，其係被安置於該基板中，其一部份係由一半導體晶片安裝區域之外圍延伸，該組貫孔係使用以連接該半導體晶片之電源接線或接地接線。

9. 一種半導體裝置包含：

一基板；

一半導體晶片安置在該基板之一上表面；

多數焊接墊安置在該基板之下表面；

該基板具有一第一組貫孔連接至該半導體晶片之信號接線上，以及，安置在該基板之外圍之內部份，以及，一第二組貫孔連接至半導體晶片之電源接線或接地接線並安置在一半導體晶片安裝區域之外圍延伸之內部份中；

該多數焊接墊係安排於延伸第一組貫孔及第二組貫孔間之一區域中，以及，由第二組貫孔所定義之一區域中；

其中，該由該半導體晶片之電源電極或接地電極至用

六、申請專利範圍

以電源之焊接墊或至用於接地之焊接墊之接線長度係短於由該半導體晶片之信號電極至用於半導體晶片之信號之焊接墊之接線長度。

10. 如申請專利範圍第9項所述之半導體裝置，其中，在基板之上表面係被提供以一第一結合墊，用以連接該半導體晶片之信號端及信號接線，藉由線結合，以及第二結合墊用以連接該半導體晶片之電源端或接地端及電源接線或接地線藉由線結合。

11. 如申請專利範圍第10項所述之半導體裝置，其中，該第二結墊係安置在第一結合墊及半導體晶片之間。

12. 一種電子設備，其包含如申請專利範圍第1項所述之半導體裝置。

13. 一種電子設備，其包含如申請專利範圍第7項所述之半導體裝置。

14. 一種電子設備，其包含如申請專利範圍第9項所述之半導體裝置。

(請先閱讀背面之注意事項再填寫本頁)

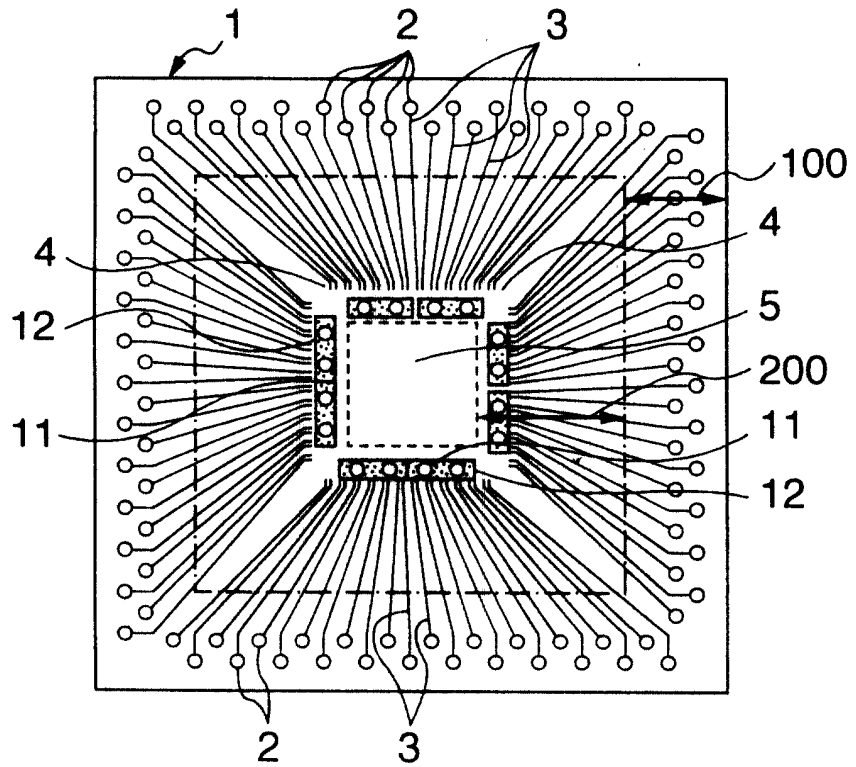
裝

訂

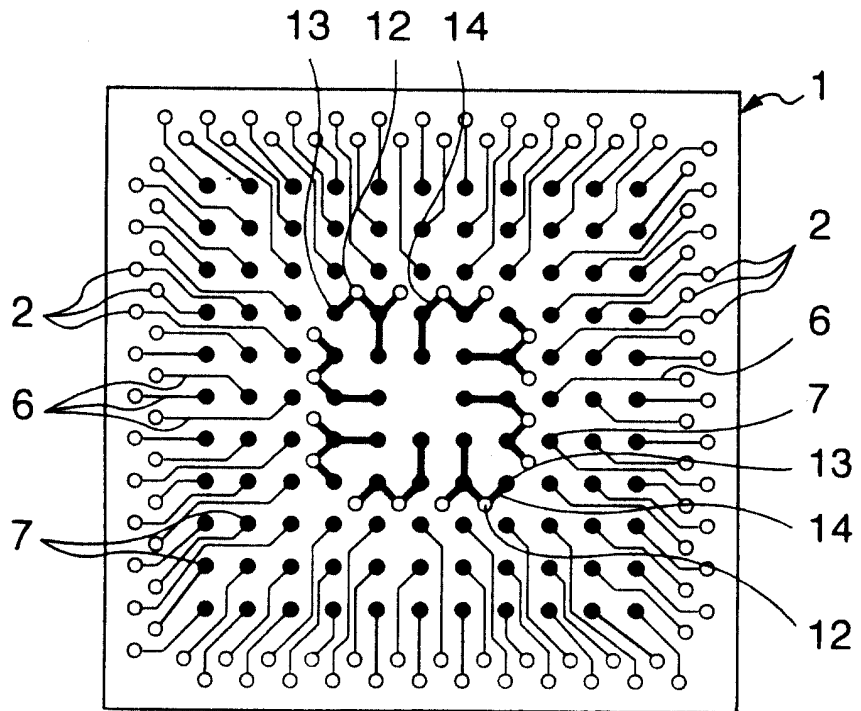
外

85114513

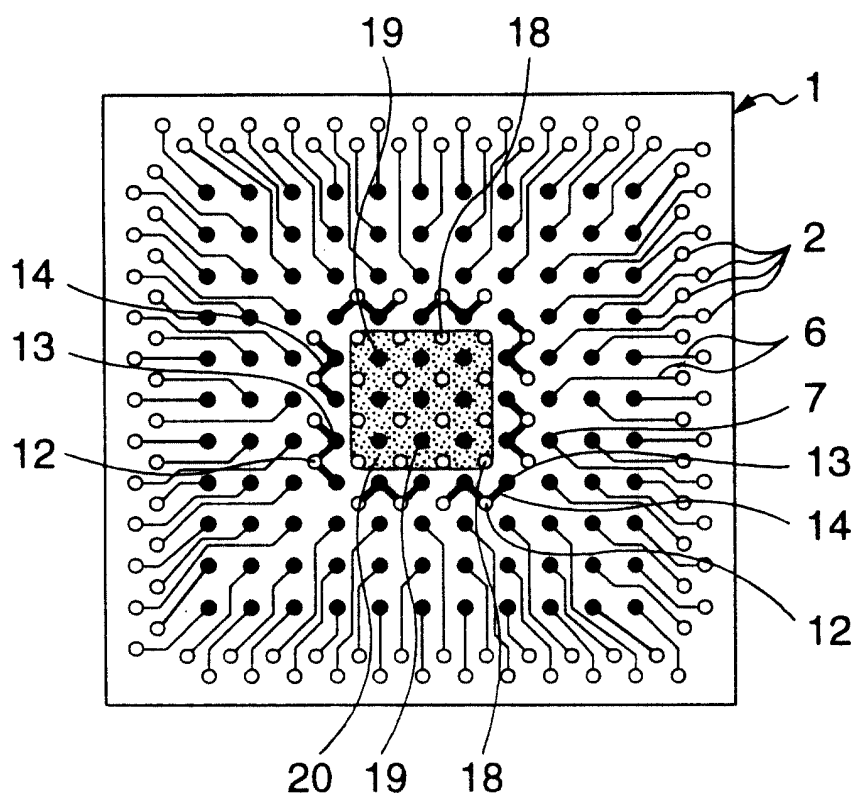
第 1 圖



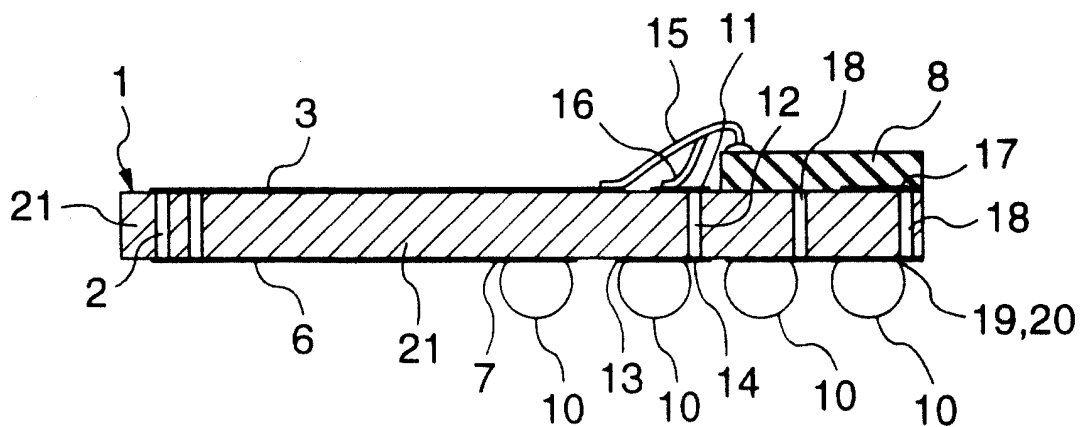
第 2 圖



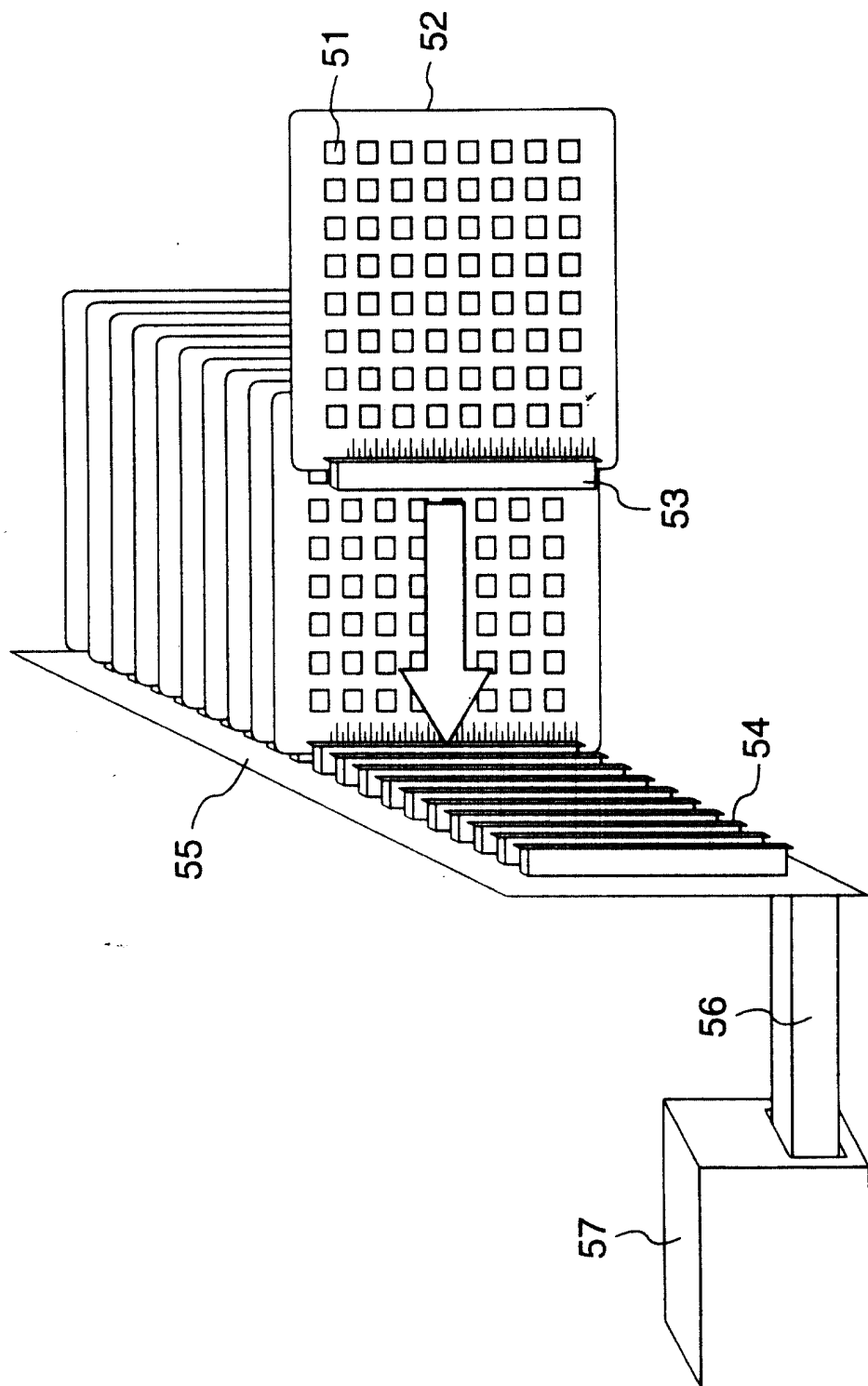
第 5 圖



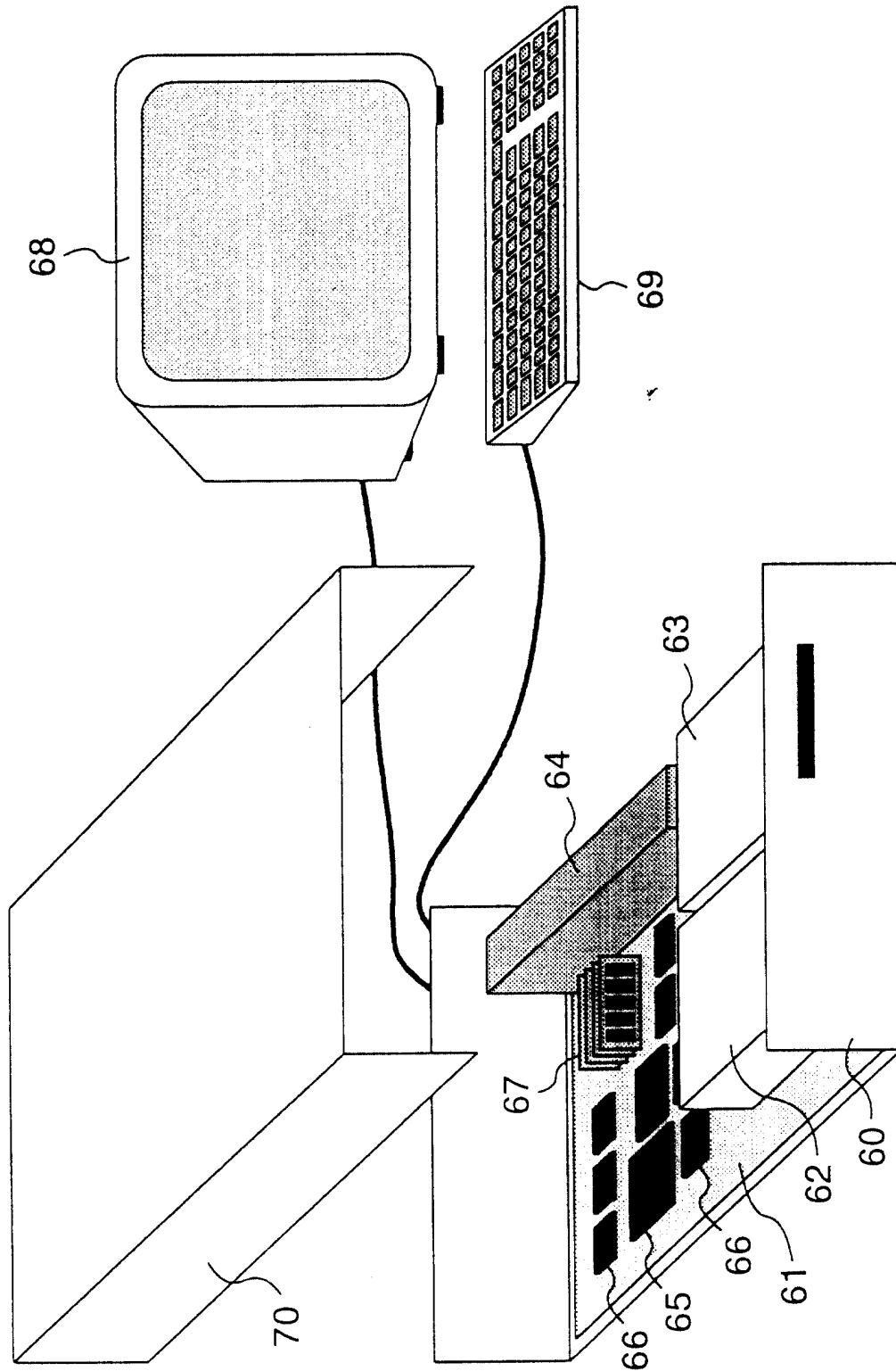
第 6 圖



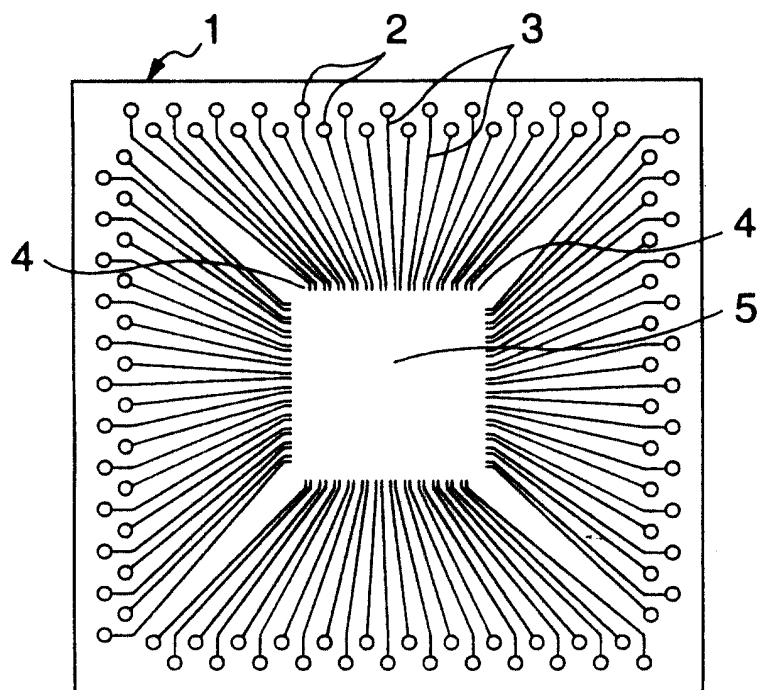
第7圖



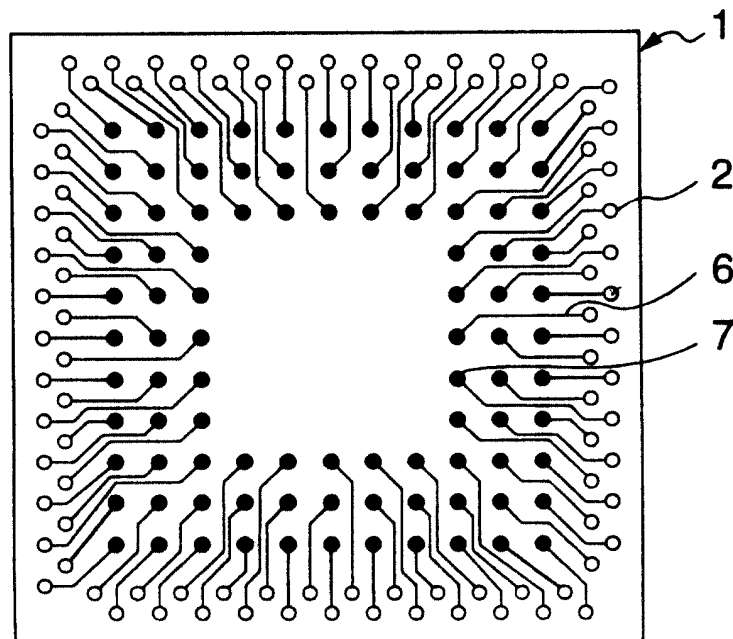
第 8 圖



第 9 圖



第10圖



第11圖

