

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-233354
(P2004-233354A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.⁷
G01R 31/28

F I
G O 1 R 31/28

テーマコード(参考)
2 G 1 3 2

審査請求 未請求 請求項の数 6 O L 外国語出願 (全 18 頁)

(21) 出願番号 特願2004-18143 (P2004-18143)
(22) 出願日 平成16年1月27日(2004.1.27)
(31) 優先権主張番号 0300934
(32) 優先日 平成15年1月28日(2003.1.28)
(33) 優先権主張国 フランス(FR)

(71) 出願人 591035139
エステーマイクロエレクトロニクス ソシエ
テ アノニム
フランス国, 9 2 1 2 0 モンルージュ,
ブルバール ロマン ロラン, 2 9 番地
(74) 代理人 100074930
弁理士 山本 恵一
(72) 発明者 シルヴィー ヴィダール
フランス国, 8 3 9 1 0 プウリール,
ロティスマン ル カド, 1 2 番地
(72) 発明者 クロード ザフラ
フランス国, 1 3 1 9 0 アロー, シ
ュマン ドゥ ボン ランコントレ
Fターム(参考) 2G132 AA00 AB01 AE24 AG01 AL25
AL26

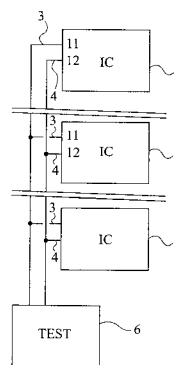
(54) 【発明の名称】 集積回路の並列試験

(57) 【要約】

【課題】 いくつかの同一の集積回路チップを、テストと各チップとの間の2つの物理的接点を介して非同期動作で並列に試験する方法を提供する。

【解決手段】 その方法は、集積回路チップに対してテスト側で第1の試験制御信号を送出し、各集積回路チップによって試験を非同期化された方法で実行させ、前記第1の制御信号の送出に続く所定の時間間隔の後、集積回路チップへ第2の結果要求制御信号をテスト側で送出し、前記第2の制御信号を受信すると、すべてのチップを同期して応答させる手段を含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

いくつかの同一の集積回路チップ(1)を、テストと該各チップとの間の2つの物理的接点を介して非同期動作で並列に試験するための方法であって、

前記集積回路チップに対して前記テスト側(6)で第1の試験制御信号(CTRL1)を送出するステップ(20)と、

前記各集積回路チップによって、前記試験を非同期化された方法で実行させるステップ(21)と、

前記第1の制御信号の送出しに続く所定の時間間隔の後、前記集積回路チップへ、第2の結果要求制御信号(CTRL2)を前記テスト側で送出手続き(23)と、

10

前記第2の制御信号を受信すると、すべてのチップを同期して応答させるステップ(24)と

を備える方法。

【請求項 2】

前記所定の時間間隔は、集積回路チップによる前記試験ステップ(21)の最大実行時間よりも長いように選択されることを特徴とする請求項1に記載の方法。

【請求項 3】

前記第1の制御信号(CTRL1)を受信する集積回路チップは、前記試験ステップ(34)の非同期実行の後、同期応答制御信号を受け入れる準備のできた状態に設定されることを特徴とする請求項1に記載の方法。

20

【請求項 4】

期待された2値応答が、前記テスト側(6)で蓄積された所定のデータワードと異なっていると、前記試験は負とみなされることを特徴とする請求項1に記載の方法。

【請求項 5】

同一の集積回路チップのセットを2配線接点を用いて並列に試験するためのシステムであって、

前記各チップのパッド(11、12)と接触するよう意図された複数の物理的接触対(3、4)と、

請求項1に記載の方法を実行することのできる装置とを有するシステム。

30

【請求項 6】

試験される各集積回路チップ(1)は、同期動作モードに切り換えるための少なくとも1つの制御信号(CTRL2)を解釈することができることを特徴とする請求項5に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路の試験に関し、より詳細には、2つの物理的接点、一般的にはチップボード型の装置による、集積回路チップの機能試験に関する。本発明は、より詳細には、チップ内部の回路が外部環境に関して非同期に動作するいわゆる安全性応用を意図した、非接触トランスポンダ集積回路の試験に関する。

40

【背景技術】

【0002】

図1は、集積回路1の従来の試験の例を、単純化し、ブロック図で表した図である。このようなテストは、集積回路チップに対応するパッドに接続された2つのポイント3、4を備えた接触素子2を有する。チップ1は、テストの支持具5上に乗っており、チップボード2は試験システムの中央装置(UC)6と通信する。

【0003】

図2は、本発明が適用する型のチップ1を、ブロック図で概略的に表した図である。チップ1は、本適用に関連した処理回路及びこの領域の2つの入力/出力パッド11、12

50

を有する領域 2 を有する。パッド 1 1 及び 1 2 は、より詳細には、続いて誘導巻線の両端に接続されるようになっており、該巻線は、電磁トランスポンダへの応用において、一般的には並列の共振回路に加わっている。本発明が関係する機能試験は、共振回路を組み立てる前の回路の試験を含む。

【0004】

機能試験は、無線周波数モード試験とも呼ばれ、一般的にはテストのポインタ 3 及び 4 に対するパッド 1 1 及び 1 2 を用いて実行される。

【発明の開示】

【発明が解決しようとする課題】

【0005】

いわゆる非安全性応用において、機能試験は、一般的にはいくつかの集積回路を並列に接続することで実行される。従ってこのような試験は、切断される前に集積回路のウェーハによって実行される。

【0006】

いわゆる安全性応用において、特定の問題は、チップごとに含まれている秘密量又は秘密アルゴリズムの同期動作に基づいた、つまりチップ外部のクロックに基づいた脅威を防ぐために、集積回路チップの動作が自然に非同期化されることである。従って、該チップはすべて、各パッド 1 1 及び 1 2 で受信された制御信号に、予想不可能な可変遅延で対応する。安全性応用の製品のこのような特徴は、いくつかのチップの並列試験を妨げ、試験時間を著しく増加させる。

【0007】

本発明は、従来 of 解決方法における少なくともいくつかの不利な点を解消する、新しい集積回路チップの試験方法を提供することを目的としている。

【0008】

本発明はより詳細には、非同期動作を意図された場合でも、並列であるいくつかの同一のチップを処理する、集積回路チップの試験方法を提供することを目的としている。

【0009】

本発明はより詳細には、集積回路チップ及びテストの現在の構造と互換性のある解決方法、特に、従来より用いられていた 2 つのパッドに関し、追加のパッドへのアクセスを必要としない解決方法を提供することを目的としている。

【0010】

本発明は、チップごとの試験結果の従来のような利用と互換性のある解決方法を提供することを目的としている。

【課題を解決するための手段】

【0011】

これらおよびその他の目的を達成するために、本発明は、いくつかの同一の集積回路チップを、テストと各チップとの間の 2 つの物理的接点を介して非同期動作で並列に試験するための方法であって、該方法は、

集積回路チップに対してテスト側で第 1 の試験制御信号を送出するステップと、

各集積回路チップによって、試験を非同期化された方法で実行させるステップと、

第 1 の制御信号の送出に続く所定の時間間隔の後、集積回路チップへ第 2 の結果要求制御信号をテスト側で送出するステップと、

前記第 2 の制御信号を受信すると、すべてのチップを同期して応答させるステップとを備える。

【0012】

本発明の実施形態によると、所定の時間間隔は、集積回路チップによる試験ステップの最大実行時間よりも長いように選択される。

【0013】

本発明の実施形態によると、前記第 1 の制御信号を受信する集積回路チップは、試験ステップの非同期実行の後、同期応答制御信号を受け入れる準備のできた状態に設定される

10

20

30

40

50

。

【0014】

本発明の実施形態によると、期待された2値応答がテスト側で蓄積された所定のデータワードと異なっていると、試験は負とみなされる。

【0015】

本発明はまた、同一の集積回路チップのセットを2配線接点を用いて並列に試験するためのシステムを提供し、該システムは、各チップのパッドと接触するよう意図された複数の物理的接触対、及び試験装置を有する。

【0016】

本発明の実施形態によれば、試験される各集積回路チップは、同期動作モードに切り換えるための少なくとも1つの制御信号を解釈することができる。 10

【0017】

上記の本発明における目的、特徴及び利点は、図面と関連した特定の実施例の、制限されていない記述で詳述される。

【発明を実施するための最良の形態】

【0018】

同一の要素は、異なる図面でも同一の参照番号で示される。わかりやすくするために、本発明の理解に必要な要素のみが図で表され、詳述される。特に、集積回路チップの回路の内部構造は詳述されていない。同様に実際の試験ステップも、本発明が、従来より行われてきた試験と互換性があるため、詳述されていない。 20

【0019】

本発明の特徴は、集積回路チップ側で同期動作モードに切り替えることを可能にする特定の制御信号を提供することであり、この制御信号は、実際の同期信号(クロック)とは異なる。

【0020】

本発明の別の特徴によれば、この特定の制御信号の送出は、テストから来ていくつかのチップへ並列に送信される。

【0021】

図3は、機能的ブロック図の形式で本発明の実施形態を表した図である。

【0022】

本発明によると、いくつかのチップ1は、各ポイント3、4の対によって試験装置6(TEST)に並列に接続されている。従って装置6は、並列に処理されるチップと同じ数だけ、接点(ティップ)及び入力部-出力部を有する。 30

【0023】

従来では、チップ上で実行される望ましい試験は、無線周波数モードでの機能試験である。つまり、試験装置6は、各集積回路1の端子11及び12に接続された共振回路の存在をエミュレートするよう意図されている。

【0024】

図では示されていないが、本発明による試験は、特に、ウェーハ上で、つまりカード又はパッケージに組み立てるために集積回路チップ1を切断する前に、実行されるよう意図されている。しかし、並列に試験されるチップの数は、ウェーハ内のチップの数と一致する必要はない。 40

【0025】

図4は、本発明による試験方法の実施形態を示している。この図では、左側に、テスト(TESTER)側で実行されるステップが示され、右側に、集積回路(IC)側で実行されるステップが示されている。

【0026】

本発明によると、試験手順は、すべての集積回路チップへ制御信号 CTRL 1 を並列に送信することで始まる(ブロック20、 SEND CTRL 1)。制御信号 CTRL 1 は、本発明によれば同期動作の受け入れ要求を有する試験開始制御信号として、異なる集積 50

回路チップにより解釈される。チップ1側では、実際の試験が非同期に（各チップがそれぞれのクロックによってレートされる）実行され（ブロック21、PROCESS1）、その後チップすべてがテストから来る応答要求制御信号を待つよう設定される（ブロック22、WAIT CTRL2）。

【0027】

テストは、ステップ20からの時間間隔 t が終わった後、すべてのチップに応答要求を送信する（ブロック23、SEND CTRL2）。制御信号CTRL2はすべてのチップに同時に到達し、そして、該チップは、テストに対して同期して応答する、つまりテストのクロックに同期化される（ブロック24、SEND ANSW）。応答するとすぐに、各チップは同期動作モードを終了する（ブロック25、SYNC OUT）。

10

【0028】

テスト側では、同期して受信された応答が解釈される（ブロック26、INTERP）。テストは、バッチごとにチップを試験できる数と同じ数の入力部 - 出力部を有するので、並列に受信された応答は、（例えばバッチ内の位置によって）認識可能な異なるチップに対して解釈される。実際、期待された2値応答が、テスト側で蓄積されていた所定のデータワードと異なっていればすぐに、チップの試験は負であるとみなされる。これは動作認証試験であるので、正しく動作しないチップのうち1つが、誤っていることを宣言され、適切な除去手順を行うことで十分である。

【0029】

バッチ処理は、バッチ内のすべてのチップ上で並列に実行されるので、それにより、直列試験でかかるかなりの時間を省くことが可能になる。すべての不良チップが識別され、従来の除去手順で除かれる。

20

【0030】

図5は、集積回路チップ側の本発明の試験方法の実施を表した図である。

【0031】

トランスポンダの集積回路チップは、給電されると、制御信号を受信しそれを解釈するよう期待されている。従来、その給電は、非接触トランスポンダの場合、読み出し/書き込み端末の電磁放射から来ていた。これは特に共振回路の機能の一つであり、共振回路が電力を獲得する。試験段階では、電力は、接点3及び4により遠隔供給キャリアによって同様に供給される。

30

【0032】

待ち段階では、チップは周期的に制御信号CTRL1の受信を試験する（ブロック30、CTRL1?）。試験モードの選択はすでに上流で実行されているとみなされ、従って試験モードで起こりやすい命令のみがその後考慮される。

【0033】

試験30の結果が試験命令CTRL1の存在を示した場合、集積回路チップはデフォルトで非同期動作モードに設定される（ブロック33、ASYNCH）。そして、提供された試験手順が制御信号CTRL1の動作のもと実行される（ブロック34、PROC）。最後に、動作の同期化を受け入れることが可能な状態に設定される（ブロック35、SYNC AUTH）。そしてチップは元に戻り、新たな命令を待つ。

40

【0034】

制御信号が受信されたがそれが命令CTRL1ではなかった場合、チップはそれが命令CTRL2かどうかを試験する（ブロック31、CTRL2?）。

【0035】

原則として、命令CTRL1のあとに受信される命令は、テストによって送出された命令CTRL2である（ブロック23、図4）。従って、それぞれ、試験30は負であり、試験31は正である。チップは一時的に同期動作モードに設定され（ブロック36、SYNC IN）、同期して応答ANSWを命令CTRL1の実行された試験に送る（ブロック37、ANSW PROC）。応答ANSWを送出するとすぐに、チップは同期モードに切り換える許可をリセットし（ブロック38、RESET SYNC AUTH）、次

50

の命令の待ちへ戻る。

【0036】

どんな理由であっても、命令CTRL1に続く命令が命令2ではない場合、試験31は負である。これはすなわち、試験モードは終了され、チップは同期モードに設定されないということである。直接ブロック38に行くと、チップは同期モードに切り換える許可をリセットし(ブロック38、RESET SYNC AUTH)、次の命令の待ちへ戻る。命令は同期モードで通常の命令のように処理される。

【0037】

同様に、制御信号CTRL2が受信されるが命令CTRL1の後でない場合、試験31は正である。しかし手順35で同期モードへの切り換えが許可されていないため、ステップ36には何の影響も与えない。従って、チップの応答の同期送信は起こらない。

【0038】

本発明の利点は、実際の試験の(非同期動作での)安全な実行が尊重されることである。試験手順(ブロック34、図5)のあとでのみ、チップは同期動作制御信号を受け入れる準備ができていることを宣言する。この制御信号CTRL2は、受信されたとき、同期して応答を試験に送出することを可能にする。

【0039】

デフォルトで、本発明が適用する型のチップ内でのすべての処理は、非同期化された方法、つまり外部クロックとのリンクなしに、行われる処理である。本発明によると、制御信号CTRL2の終了時のみ、チップは、同期モード、つまり外部クロックに依存したモードに切り換わる。

【0040】

本発明の利点は、試験の非同期処理を尊重しつつ、並列ないくつかのチップを試験手順により処理できることである。

【0041】

2つの制御信号の送出間の、テストによる待ちの遅延時間 t は、試験されるチップによる試験命令の処理の最大可能遅延に従って、予め決められ選択される。

【0042】

本発明の別の利点は、本発明が、従来の試験手順及び従来の集積回路構造と完全に互換性があることである。その実行に対し、本発明が集積回路チップから必要とするものは、同期動作モードに切り換えることを可能にする特定の制御信号(CTRL2)の理解のみである。

【0043】

一般に、本発明の適用する、試験される集積回路チップは、異なる制御信号を解釈できるマイクロ制御装置を備えている。これらのマイクロ制御装置によって理解可能な制御信号を加えるだけで充分である。

【0044】

本発明の実際の実行は、上記の機能的指摘に基づく当業者の能力の範囲内である。特に、本発明の必要性に基づいた試験される集積回路チップにもたらされる修正、例えば同期許可表示器(ブロック35、図5)を含むレジスタを追加するといった修正は、当業者の能力の範囲内である。さらに、バッチごとのチップの数の決定は、当業者の能力の範囲内であり、特に、テスト(異なる試験を並列で処理する能力)、ティップボード及びチップの大きさを考慮に入れる。

【0045】

もちろん、本発明は、当業者が容易に発想できる様々な変更、修正、改善がなされる可能性をもつ。そのような変更、修正、改善は、本開示の一部であり、本発明の精神と範囲内であることを意図している。従って、上記の記述は例のみによるものであり、制限されることを意図したものではない。本発明は、請求項及びその均等物で定義されているようにのみ制限される。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 4 6 】

【 図 1 】 上述の通り、本発明が適用する型の試験ツールの構造を概略的に表した図である。

【 図 2 】 上述の通り、本発明が関係する型の集積回路チップの単純化した表面図である。

【 図 3 】 本発明による並列試験システムの実施形態のブロック図である。

【 図 4 】 本発明による試験方法の実施形態を表した図である。

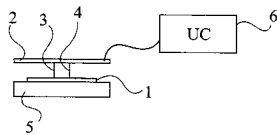
【 図 5 】 試験される集積回路側で実行される処理を表した図である。

【 符号の説明 】

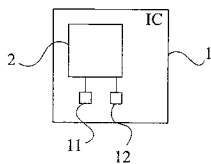
【 0 0 4 7 】

- 1 チップ
- 2 ティップボード
- 3、4 ポインタ
- 5 支持具
- 6 中央装置
- 11、12 パッド

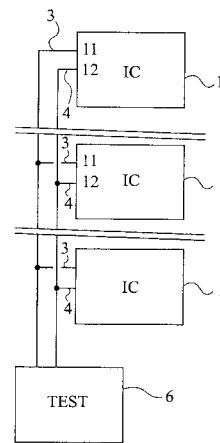
【 図 1 】



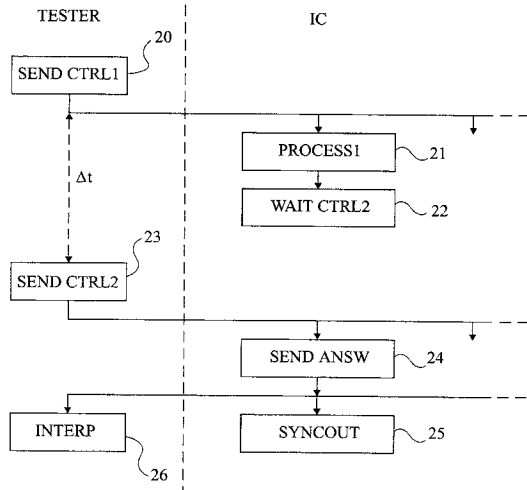
【 図 2 】



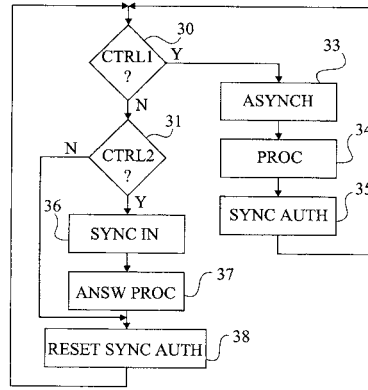
【 図 3 】



【 図 4 】



【 図 5 】



【 外国語明細書 】

PARALLEL TESTING OF INTEGRATED CIRCUITS

Background Of The Invention

1. Field of the Invention

The present invention relates to the testing of integrated circuits and, more specifically, to the functional testing of integrated circuit chips by means of two physical contact points, generally by devices of tip board type. The present invention more specifically relates to the testing of contactless transponder integrated circuits intended for so-called secure applications where circuits internal to the chip operate asynchronously with respect to its outer environment.

2. Discussion of the Related Art

Fig. 1 shows, in a simplified view and in the form of blocks, an example of a conventional test of an integrated circuit 1. Such a tester comprises a contacting element 2 provided with two points 3, 4 of connection to pads corresponding to the integrated circuit chip. Chip 1 rests upon a support 5 of the tester and tip board 2 communicates with a central unit (UC) 6 of the test system.

Fig. 2 very schematically shows in the form of blocks a chip 1 of the type to which the present invention applies. Chip 1 comprises an area 2 comprising the processing circuits linked to the application and two input/output pads 11, 12 of this area. Pads 11 and 12 are more specifically intended to be subsequently connected to the ends of an inductive winding taking part in a resonant circuit, generally parallel, in an application to an electromagnetic transponder. The functional test to which the present invention relates includes of testing the circuit before assembly with its resonant circuit.

The functional testing, also called radiofrequency mode testing, is generally performed by using pads 11 and 12 for points 3 and 4 of the tester.

In so-called non-secure applications, a functional testing is generally carried out by connecting several integrated circuits in parallel. Such a testing is thus carried out by integrated circuit wafer, before cutting.

In so-called secure applications, a specific problem is that the operation of integrated circuit chips is voluntarily desynchronized to prevent piracies based on a

synchronized operation, based on a clock external to the chip, of secret quantities or secret algorithms contained by the chips. The chips thus all respond with variable non-predictable delays to control signals received on their respective pads 11 and 12. Such a characteristic of secure products prevents parallel tests of several chips, which considerably increases the duration of testing.

Summary Of The Invention

The present invention aims at providing a novel integrated circuit chip testing method which overcomes at least some disadvantages of known solutions.

The present invention more specifically aims at providing an integrated circuit chip testing method, processing several identical chips in parallel even though these chips are intended for a desynchronized operation.

The present invention also aims at providing a solution compatible with the current structure of integrated circuit chips and of testers, and especially which does not require access to an additional pad with respect to the two pads conventionally used.

The present invention also aims at providing a solution which is compatible with conventional exploitations made of chip-by-chip test results.

To achieve these and other objects, the present invention provides a method for testing, in parallel, several identical integrated circuit chips with an asynchronous operation, via two physical contacts between a tester and each of the chips, comprising the steps of:

transmitting on the tester side a first test control signal for the integrated circuit chips;

having the test executed in desynchronized fashion by each of the integrated circuit chips;

transmitting on the tester side, after a predetermined time interval following the transmission of the first control signal, a second result request control signal to the integrated circuit chips; and

having all chips respond synchronously upon reception of said second control signal.

According to an embodiment of the present invention, the predetermined time

interval is selected to be longer than the maximum execution time of the test steps by any integrated circuit chip.

According to an embodiment of the present invention, an integrated circuit chip receiving said first control signal sets, after desynchronized execution of the test steps, to a state ready to accept a synchronized answer control signal.

According to an embodiment of the present invention, the test is considered as being negative as soon as the expected binary answer differs from a predetermined data word stored on the tester side.

The present invention also provides a system for testing by twin-wire contact a set of identical integrated circuit chips in parallel fashion, comprising a plurality of physical contact pairs intended to contact pads of the respective chips; and a test device.

According to an embodiment of the present invention, each integrated circuit chip to be tested is capable of interpreting at least one control signal for switching to a synchronous operating mode.

The foregoing objects, features and advantages of the present invention, will be discussed in detail in the following non-limiting description of specific embodiments in connection with the accompanying drawings.

Brief Description Of The Drawings

Fig. 1, previously described, schematically shows the structure of a test tool of the type to which the present invention applies;

Fig. 2, previously described, is a simplified top view of an integrated circuit chip of the type to which the present invention relates;

Fig. 3 shows, in the form of blocks, an embodiment of a parallel test system according to the present invention;

Fig. 4 illustrates an embodiment of the test method according to the present invention; and

Fig. 5 shows the processings performed, on the tested integrated circuit side.

Detailed Description

The same elements have been designated with the same reference numerals in the

different drawings. For clarity, only those elements that are necessary to the understanding of the present invention have been shown in the drawings and will be described hereafter. In particular, the internal structures of the circuits of the integrated circuit chip have not been detailed. Similarly, the actual testing steps have not been detailed, the present invention being compatible with conventionally-performed tests.

A feature of the present invention is to provide, on the integrated circuit chip side, a specific control signal allowing it to switch to a synchronous operating mode, this control signal being different from an actual synchronization signal (clock).

Another feature of the present invention is that the transmission of this specific control signal comes from the tester and is sent in parallel onto several chips.

Fig. 3 illustrates, in the form of functional blocks, an embodiment of the present invention.

According to the present invention, several chips 1 are connected in parallel by pairs of respective points 3, 4 to a test device 6 (TEST). Thus, device 6 comprises as many contacts (tips) and inputs-outputs as there are chips to be processed in parallel.

Conventionally, the test which is desired to be performed on the chips is a functional test in radiofrequency mode, that is, test device 6 is intended to emulate the presence of a resonant circuit connected to terminals 11 and 12 of each integrated circuit 1.

Although this is not shown in the drawings, the test according to the present invention is more specifically intended to be performed on wafers, that is, before cutting of integrated circuit chips 1 for assembly either in cards, or in packages. The number of chips tested in parallel however does not necessarily correspond to the number of chips in a wafer.

Fig. 4 illustrates an embodiment of the test method according to the present invention. This drawing shows in its left-hand portion the steps implemented on the tester side (TESTER) and on its right-hand side the steps implemented on the integrated circuit side (IC).

A test procedure starts according to the present invention with the sending of a control signal CTRL1 (block 20, SEND CTRL1) in parallel to all integrated circuit chips. Control signal CTRL1 is interpretable by the different integrated circuit chips as a test

start control signal comprising, according to the present invention, a request for acceptance of a synchronous operation. On the side of chip 1, the actual test is performed (block 21, PROCESS1) asynchronously (each chip being rated by its own clock) before the chips all set to wait for an answer request control signal coming from the tester (block 22, WAIT CTRL2).

The tester sends, to all chips and after expiry of a time interval Δt from step 20, an answer request (block 23, SEND CTRL2). Control signal CTRL2 arrives simultaneously on all chips which then respond synchronously (block 24, SEND ANSW) to the tester, that is, synchronized on the tester clock. As soon as they have answered, each of the chips leaves the synchronous operating mode (block 25, SYNC OUT).

On the tester side, the synchronously-received answers are interpreted (block 26, INTERP). Since the tester has as many inputs-outputs as it can test chips per batch, the answers received in parallel are interpreted for the different chips which are recognizable (for example, by their position in the batch). In practice, the testing of a chip is considered as being negative as soon as the expected binary answer differs from a predetermined data word stored on the tester side. Since this is an operation verification test, it is enough for one of the chips not to operate properly for it to be declared faulty and to undergo an adequate rejection procedure.

The batch processing enables saving significant time with respect to a series testing since it is performed in parallel on all chips in the batch. All the defective chips are identified and eliminated as with a conventional rejection procedure.

Fig. 5 illustrates the implementation of the test method of the present invention on the integrated circuit chip side.

When supplied, the integrated circuit chip of a transponder expects to receive a control signal and to interpret it. The supply conventionally comes from the electromagnetic radiation of a read/write terminal in the case of a contactless transponder. This especially is one of the functions of the resonant circuit, which is to capture this power. In a test phase, the power is provided similarly by a remote supply carrier by means of contacts 3 and 4.

In its waiting phase, the chip periodically tests the reception of a control signal CTRL1 (block 30, CTRL1?). It is considered that the selection of the test mode has

already been performed upstream and only the instructions likely to occur in test mode are thus considered hereafter.

If the result of test 30 indicates the presence of test instruction CTRL1, the integrated circuit chip sets, as by default, to an asynchronous operating mode (block 33, ASYNCH). Then, the provided test procedure is executed under the action of control signal CTRL1 (block 34, PROC). Finally, it sets to a state capable of accepting a synchronization of its operation (block 35, SYNC AUTH). The chip then sets back to wait for a new instruction.

If a control signal is received, but not instruction CTRL1, the chip then tests whether it is instruction CTRL2 (block 31, CTRL2?).

In principle, the instruction received after an instruction CTRL1 is instruction CTRL2 transmitted by the tester (block 23, Fig. 4). Tests 30 and 31 are then respectively negative and positive. The chip then temporarily sets to a synchronous operating mode (block 36, SYNC IN) and synchronously sends answer ANSW to the performed test of instruction CTRL1 (block 37, ANSW PROC). As soon as it has transmitted answer ANSW, the chip resets the authorization for switching to the synchronous mode (block 38, RESET SYNC AUTH) and returns to the waiting for a next instruction.

If for any reason, the instruction following instruction CTRL1 is not instruction CTRL2, test 31 is negative. This means that the test mode has been left and the chip then does not set to synchronous mode. It directly goes to block 38, that is, it resets the authorization for switching to the synchronous mode (block 38, RESET SYNC AUTH) before returning to waiting for a next instruction. The instruction is then processed in synchronous mode as with a conventional instruction.

Similarly, if a control signal CTRL2 is received but it does not follow an instruction CTRL1, test 31 will be positive. However, since the switching to the synchronous mode has not been allowed by procedure 35, step 36 will be of no effect. Accordingly, there will be no synchronous sending of the chip answer.

An advantage of the present invention is that it respects the secure execution (in asynchronous operation) of the actual test. Indeed, only after the test procedures (block 34, Fig. 5) does the chip declare itself ready to accept a synchronous operation control signal. This control signal CTRL2, when received, allows it to synchronously transmit

the answer to the test.

It should be recalled that, by default, all processings within a chip of the type to which the present invention applies are processings which are performed in desynchronized fashion, that is, with no link with an external clock. According to the present invention, only at the end of control signal CTRL2 does the chip switch to a synchronous mode, that is, a mode depending on the external clock.

An advantage of the present invention is that it enables processing several chips in parallel with the test procedure, while respecting a desynchronized processing of the test.

The duration of delay Δt of waiting by the tester between the transmissions of the two control signals is predetermined and selected according to the possible maximum delay of processing of the test instruction by the chips to be tested.

Another advantage of the present invention is that it is perfectly compatible with conventional test procedures and with conventional integrated circuit structures. Indeed, for its implementation, the present invention only requires, from the integrated circuit chip, the understanding of a specific control signal (CTRL2) allowing it to switch to a synchronous operating mode.

Generally, integrated circuit chips to be tested to which the present invention applies are equipped with microcontrollers capable of interpreting different control signals. It is then enough to add a control signal understandable by these microcontrollers.

The practical implementation of the present invention is within the abilities of those skilled in the art based on the functional indications given hereabove. In particular, the modifications to be brought to the integrated circuit chips to be tested according to the needs of the present invention, like for example the addition of a register containing the synchronization authorization indicator (block 35, Fig. 5), are within the abilities of those skilled in the art. Further, the determination of the number of chips per batch is within the abilities of those skilled in the art, taking into account, especially, the tester (its capacities of processing the different tests in parallel), the tip board, and the chip size.

Of course, the present invention is likely to have various alterations,

modifications, and improvement which will readily occur to those skilled in the art. Such alterations, modifications, and improvements are intended to be part of this disclosure, and are intended to be within the spirit and the scope of the present invention. Accordingly, the foregoing description is by way of example only and is not intended to be limiting. The present invention is limited only as defined in the following claims and the equivalents thereto.

CLAIMS

1. A method for testing in parallel several identical integrated circuit chips (1) with an asynchronous operation, via two physical contacts between a tester and each of the chips, comprising the steps of:

transmitting (20) on the tester side (6) a first test control signal (CTRL1) for the integrated circuit chips;

having the test executed (21) in desynchronized fashion by each of the integrated circuit chips;

transmitting (23) on the tester side, after a predetermined time interval following the transmission of the first control signal, a second result request control signal (CTRL2) to the integrated circuit chips; and

having all chips respond (24) synchronously upon reception of said second control signal.

2. The method of claim 1, wherein the predetermined time interval is selected to be longer than the maximum execution time of the test steps (21) by any integrated circuit chip.

3. The method of claim 1, wherein an integrated circuit chip receiving said first control signal (CTRL1) sets (35), after desynchronized execution of the test steps (34), to a state ready to accept a synchronized answer control signal.

4. The method of claim 1, wherein the test is considered as being negative as soon as the expected binary answer differs from a predetermined data word stored on the tester side (6).

5. A system for testing by twin-wire contact a set of identical integrated circuit chips in parallel fashion, comprising:

a plurality of physical contact pairs (3, 4) intended to contact pads (11, 12) of the respective chips; and

a device capable of implementing the method of claim 1.

6. The system of claim 5, wherein each integrated circuit chip (1) to be tested is capable of interpreting at least one control signal (CTRL2) to switch to a synchronous operating mode.

ABSTRACT

A method for testing in parallel several identical integrated circuit chips with an asynchronous operation, via two physical contacts between a tester and each of the chips, including transmitting on the tester side a first test control signal for the integrated circuit chips, having the test executed in desynchronized fashion by each of the integrated circuit chips, transmitting on the tester side, after a predetermined time interval following the transmission of the first control signal, a second result request control signal to the integrated circuit chips, and having all chips respond synchronously upon reception of said second control signal.

Fig. 3

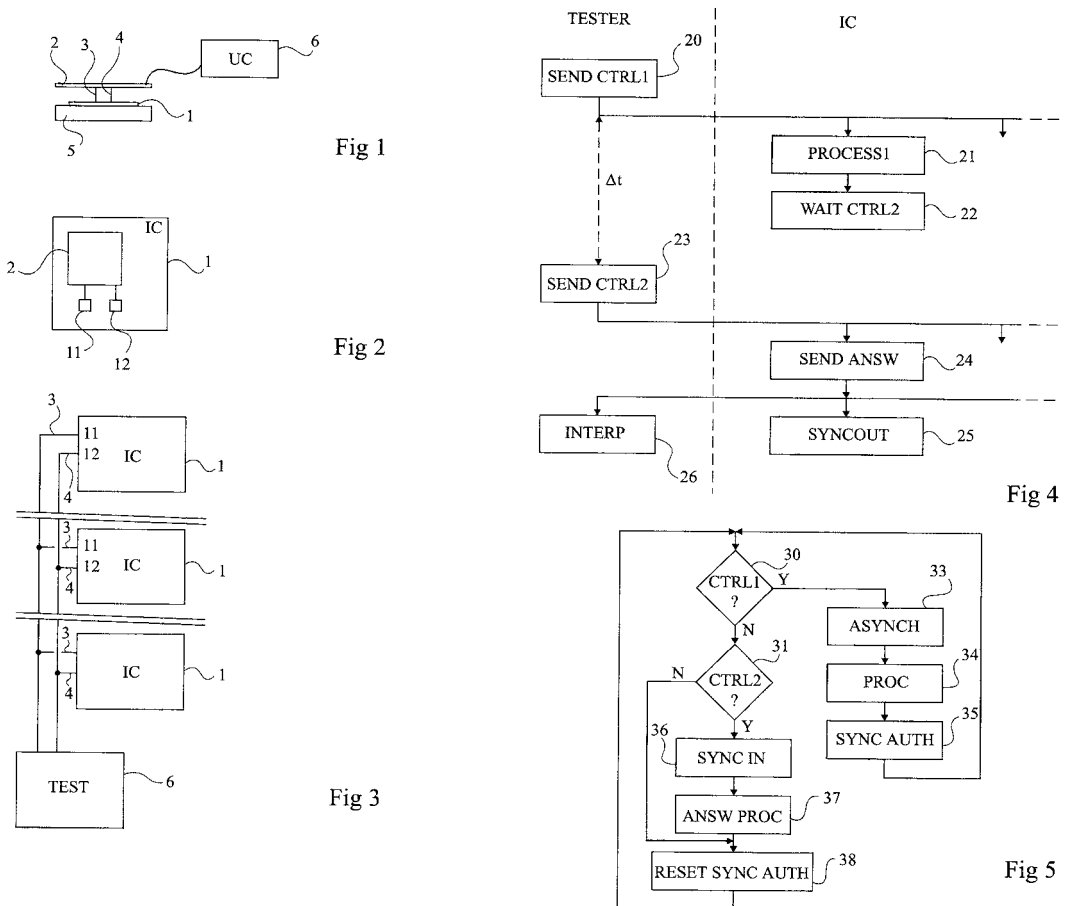


Fig 1

Fig 2

Fig 3

Fig 4

Fig 5