

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G06F 3/05 G06F 13/38		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년06월 15일 10-0200042 1999년03월09일
(21) 출원번호 (22) 출원일자	10-1996-0009257 1996년03월29일	(65) 공개번호 (43) 공개일자	특 1997-0066822 1997년 10월 13일
(73) 특허권자	현대전자산업주식회사 김영환		
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 이명수		
(74) 대리인	경기도 이천시 부발읍 아미리 산 148-1 현대아파트103-203 김학제		

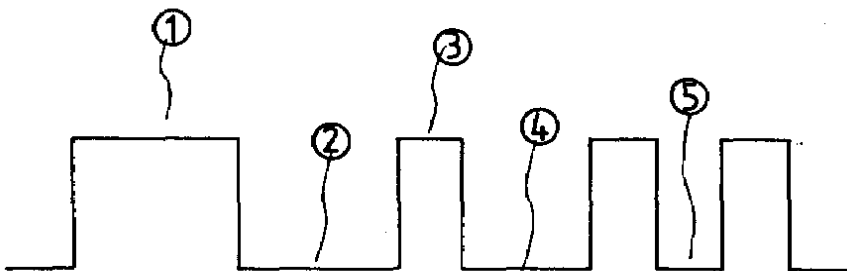
심사관 : 오홍수

(54) 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 장치 및 방법

요약

본 발명은 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 장치 및 방법에 관한 것으로, 일반적으로 직렬 신호를 받으면 독자적인 중앙처리장치를 통하여 소프트웨어적으로 처리하는 경향이 있어, 중앙처리장치의 부담이 가중되고, 오동작을 일으키는 주 원인이 될 수도 있으며, 단순한 직렬 신호 처리를 하는데 성능 이상의 시스템이 쓰여지는 경우가 많아 비 효율적인 문제점이 있으므로, 본 발명은 원칩화를 실현할 수 있도록 구조를 최대한 단순화시켜 설계가 가능하도록 하였으며, 여러 가지 펄스폭 신호에도 대응할 수 있도록 가변적인 클럭을 사용하였으며, 가능한한 적은수의 게이트로 카운터 및 레지스터를 구성할 수 있도록 카운터 클럭폭을 넓게 한 것이다.

대표도



명세서

[발명의 명칭]

특정한 펄스 폭으로 변조된 직렬 신호의 복호화 장치 및 방법

[도면의 간단한 설명]

제1도는 본 발명의 입력 신호를 나타낸 파형도.

제2도는 본 발명의 블록도.

제3도는 본 발명의 트리거 신호 타이밍도.

제4도는 본 발명의 입/출력 신호의 특성을 나타낸 파형도 이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 딜레이 라인 20 : 트리거 신호 발생기

30 : 발진기 40 : 카운터

50 : 스타트 판별기 60 : 비트 판별기

70 : 비트수 카운터 80 : 시프트 레지스터

[발명의 상세한 설명]

본 발명은 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 장치 및 방법에 관한 것으로, 특히 특정한 펄

스 쪽으로 '1'과 '0'의 부호를 나타내는 직렬 신호를 카운터와 시프트 레지스터를 이용하여 병렬 신호를 간단히 변화시켜 줌으로써 처리하고자 하는 데이터의 모양을 갖추도록 하는 일종의 직렬/병렬 신호 변환 장치인 특정한 펄스 쪽으로 변조된 직렬 신호의 복호화 장치 및 방법에 관한 것이다.

일반적으로 직렬 신호를 받으면 독자적인 중앙처리장치를 통하여 소프트웨어적으로 처리하는 경향이 있었다.

그러므로, 중앙처리장치가 또 다른 처리를 하고자 할 경우에는 시스템의 부담이 가중되고, 오동작을 일으키는 주 원인이 될 수도 있으며, 단순한 직렬 신호 처리를 하는데 성능 이상의 시스템이 쓰여지는 경우가 많아 경제적으로도 비 효율적인 문제점이 있었다.

따라서, 본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 직렬 신호를 간단히 변화시켜 줌으로써 처리하고자 하는 데이터의 모양을 갖추도록 한 것이다.

즉, 원침화를 실현할 수 있도록 구조를 최대한 단순화시켜 설계가 가능하도록 하였으며, 여러 가지 펄스 쪽 신호에도 대응할 수 있도록 가변적인 클럭을 사용하였으며, 가능한 적은 수의 게이트로 카운터 및 레지스터를 구성할 수 있도록 카운터 클럭 쪽을 넓게 하였다.

본 발명은 로직 게이트(Transistor Transistor Logic : TTL)레벨의 어떤 신호에서도 응용이 가능하며, 일정한 로우 레벨 유지 기간을 카운트하여 이 부호가 '1'인지 '0'인지를 검색하고 이러한 여러개의 비트를 조합하여 하나의 데이터로 변환한다.

이하 도면을 참조하여 상세히 설명하면 다음과 같다.

우선 본 발명의 입력 신호의 성격을 제1도를 참조하여 설명하면, ①과 ②는 스타트 비트를 나타내고, ③은 '1'부호와 '0'부호를 구분하는 경계 레벨에 속하며, ④는 '1'부호 ⑤는 '0'부호로 각각 정의된다.

상기 스타트 비트 ①과 ② 중 ②는 항상 ①다음에 와야만 하고, ①에서 ⑤까지의 입력 신호 레벨 상태는 어떤 경우든 일정한 간격을 유지하고 있어야 한다.

그리고, 스타트 비트 ①, ②, '1'부호와 '0'부호의 경계 레벨에 속하는 ③의 순서는 항상 고정적이고, '1'부호 ④와 '0'부호 ⑤는 순서 및 반복 횟수에 관계는 없지만 항상 '1'부호와 '0'부호의 경계 레벨인 ③을 사이에 두어야 한다.

'1'부호와 '0'부호의 경계 레벨에 속하는 ③뒤에 '1'부호 ④와 '0'부호 ⑤로 이루어지는 일정수의 비트는 어떠한 정보를 가지는 암호에 해당된다. 이 정보의 시작을 알리는 시작 신호가 바로 스타트 신호인 ①과 ②에 해당한다.

본 발명의 전체적인 구성을 제2도를 참조하여 설명하면, 입력 신호를 입력받아 지연 신호를 생성시키는 딜레이 라인(10)과; 상기의 순수한 입력 신호와 딜레이 라인(10)의 지연된 신호를 입력받아 트리거 신호를 생성시키는 트리거 신호 발생기(20)와; 발진 주파수를 생성시키는 발진기(30)와; 상기 트리거 신호 발생기(20)의 트리거 신호를 입력받아 스타트 비트 레벨의 길이를 계수화하는 카운터(40)와; 상기 카운터(40)의 계수화한 스타트 비트가 합당한 스타트 코드인지를 판별하는 스타트 판별기(50)와; 스타트 신호 이후에 들어오는 입력값이 '1'인지 '0'인지 판단하는 비트 판별기(60)와; 상기 스타트 판별기(50)에서 합당한 스타트 코드로 인식되면 트리거 신호를 클럭으로 하여 사용자가 취하고자 하는 비트수 만큼을 계수화하는 비트수 카운터(70) 및; 출력 인에이블 신호를 바이트 단위로 출력하는 시프트 레지스터(80)로 구성된다.

상기와 같이 구성되는 본 발명의 동작을 제1도, 제3도를 참조하여 설명하면, 입력 신호(①)가 딜레이 라인(10)으로 들어가서 ⑥과 같은 지연 신호가 만들어진다. 지연 신호(⑥)의 모양은 입력 신호(①)의 모양과 같다. 이 지연 신호(⑥)를 생성시키는 딜레이 라인(10)이 필요한 이유는 ⑦, ⑧과 같은 트리거 신호를 좀더 쉽게 만들기 위해 삽입한 장치이다.

트리거 신호 발생기(20)는 순수한 입력 신호(①)와 지연 신호(⑥)가 서로 상반일 때에만 결과를 참으로 하는 배타적 논리합(Exclusive OR : EOR)을 취하여 트리거 신호(⑦, ⑧)를 만들어 내는 역할을 한다.

여기서 순수 입력 신호를 A, 지연 신호를 B, 트리거 신호를 각각 C, D라 하면 다음과 같은 논리식이 성립된다.

$$C = ! (A * B) \text{---} \text{㉑}$$

$$D = ! (!A * B) \text{---} \text{㉒}$$

상기의 ㉑과 같은 식은 카운터(40)의 스타트 신호를 만들어주고 입력되는 비트를 카운트 할 수 있도록 클럭 입력으로 사용한다. ㉒과 같은 식에 의해서 생기는 트리거 신호의 모양은 ⑧과 같다. 아울러 제2도의 ⑨의 신호선에 해당된다.

상기의 ㉑과 같은 식은 카운터(40)를 스톱시키고, 리셋시키는 역할을 하는 트리거 신호 발생 로직이다. ㉑과 같은 식의 결과 파형은 ⑦과 같고, 제2도의 ⑩의 신호선에 해당된다. 이 파형은 시프트 레지스터(80)의 시프트 클럭으로 사용된다.

트리거 신호를 받아 스타트 비트(②) 레벨의 길이를 카운터(40)를 사용하여 계수하여 스타트 판별기(50)에서 합당한 스타트 코드인지를 판별한다. 스타트 판별기(50)에서 합당한 스타트 코드로 인식되면 비트수 카운터(70)와 시프트 레지스터(80)를 인에이블 시킴으로서 다음 입력되는 신호의 분석이 가능해진다.

스타트 판별기(50)의 리셋은 스타트 비트(①) 신호가 입력되는 경우에 자동으로 행해진다. 스타트 판별기(50)에서 인에이블 신호가 만들어진 후 비트 판별기(60)에서 스타트 신호 이후에 들어오는 입력값이 '1'인지 '0'인지를 판단하여 시프트 레지스터(80)로 그 값을 넣어주게 되어 있다. 여기서 스타트 판별기(50)로 입력되는 데이터 버스의 수(n)는 보통은 비트 판별기(60)로 입력되는 데이터 버스의 수(m)보다

많다. ($n \geq m$) 이는 스타트 비트(②) 레벨 간격이 '1'부호(④) '0'부호(⑤)보다는 크기 때문이다.

비트수 카운터(70)는 카운트 인에이블 된 후 ⑧과 같은 트리거 신호를 클럭으로 하여 사용자가 취하고자 하는 비트수 만큼을 계수화한 후 시프트 레지스터(80)의 데이터를 출력시키도록 하는 최종 출력 인에이블 신호를 만들어 낸다.

일반적으로 최종 출력되는 데이터를 사용하고자 하는 후단 시스템에서 비트수 카운터(70) 출력값을 인터럽트 신호로 사용하도록 되어 있다.

발진기(30)의 발진 주파수에 비례하여 카운터(40)의 크기가 결정된다.

시스템의 최적화를 위해서는 발진 주파수를 가능한한 작게하는 것이 경제적이다. 그러므로, 적외선 리모콘 시스템 같은 경우의 수신측 처리 장치로 적합하다. 예를들어, 우리가 처리하고자 하는 데이터의 비트수가 32비트라고 하면 칩 설계시 비트수 카운터(70)의 계수 범위를 32로 세팅하거나 8로 세팅하여 출력 인에이블 신호를 시프트 레지스터(80)로 내주도록 설계한다. 여기서 시프트 레지스터(80)의 크기는 바이트 단위로 계산된다.

입/출력 신호의 관계를 제4도를 참조하여 설명하면, 처리 신호가 8비트 데이터인 경우에, ⑨부분은 스타트 판별기(50)에서 인에이블 신호를 만들어 주게 되는 시점이 되고, ⑩부분은 비트 카운터(70)에서 시프트 레지스터(80)에게 데이터 출력 인에이블 신호를 날려주는 시점이 된다. ⑪부분은 이전 값을 나타내고 있고, ⑫부분 시점에서 출력 인에이블 신호를 받아서 ⑩부분에서 시프트 레지스터(80)가 비로소 정상적인 데이터를 출력하게 된다.

따라서, 마이컴으로 구현되는 이러한 신호 처리를 단일 칩으로 구현함으로써 마이컴의 부담을 줄이는 한편 마이컴 없이도 신호 처리를 가능하게 하여 하드웨어 설계시 융통성을 부여할 수 있다.

특히, 저 전력형 스탠바이 제어 신호를 만들고자 할 경우에 이상적인 설계 환경을 제공할 수 있으므로 원격 무선 제어가 가능한 각종 전자 제품의 전단 설계 시스템으로 활용이 가능하다.

이상에서 상세히 설명한 바와 같이 본 발명은, 모든 처리 과정이 하드웨어적으로 이루어짐으로서 설계의 단순화를 추구할 수 있으며 소프트웨어와 하드웨어의 이중 처리 구조를 갖는 시스템과 비교하여 거의 단순한 하드웨어만으로 구현이 가능하므로 경제적인 효과가 있다.

(57) 청구의 범위

청구항 1

입력 신호를 입력받아 지연 신호를 생성하는 딜레이 라인(10)과; 상기 입력 신호와 지연 신호의 트리거 신호를 생성하는 트리거 신호 발생기(20)와; 발진 주파수를 생성하는 발진기(30)와; 입력 신호 스타트 비트 레벨의 길이를 계수화하는 카운터(40)와; 상기 계수화한 스타트 비트가 합당한지 판별하는 스타트 판별기(50)와; 입력 신호값이 '1'인지 '0'인지 판별하는 비트 판별기(60)와; 합당한 스타트 코드를 비트수 만큼 계수화하는 비트수 카운터(70) 및; 출력 인에이블 신호를 바이트 단위로 출력하는 시프트 레지스터(80)로 구성함을 특징으로 하는 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 장치.

청구항 2

입력 신호와 지연 신호의 트리거 신호를 만들고, 발진 주파수와 함께 입력되어 계수화 하고, 합당한 스타트 코드인지 스타트 신호를 판별하고, 비트 데이터 인에이블 신호가 만들어진 후 스타트 신호 이후 입력값이 '1'인지 '0'인지 판단하여 분리하고, 트리거 신호를 클럭으로 하여 비트수 만큼을 계수화한 후 최종 출력 인에이블 신호를 만들어 데이터를 출력시키도록 함을 특징으로 하는 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 방법.

청구항 3

제2항에 있어서, 입력 신호의 스타트 비트(①,②)와, '1'부호와 '0'부호의 경계 레벨(③)과, '1'부호(④) 및, '0'부호(⑤)를 입력함으로써 지연 신호와 트리거 신호 생성을 제어함을 특징으로 하는 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 방법.

청구항 4

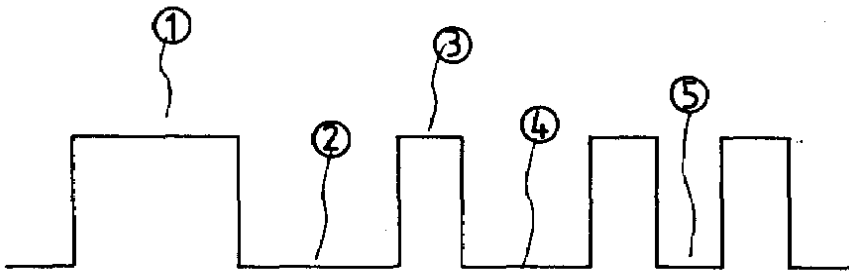
제2항에 있어서, 트리거 신호를 만드는 방법은, 순수한 입력 신호와 입력 신호의 지연 신호가 상반일 때에만 결과를 참으로 하는 배타적 논리합(Exclusive OR : EOR)을 취하여 트리거 신호를 만듦을 특징으로 하는 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 방법.

청구항 5

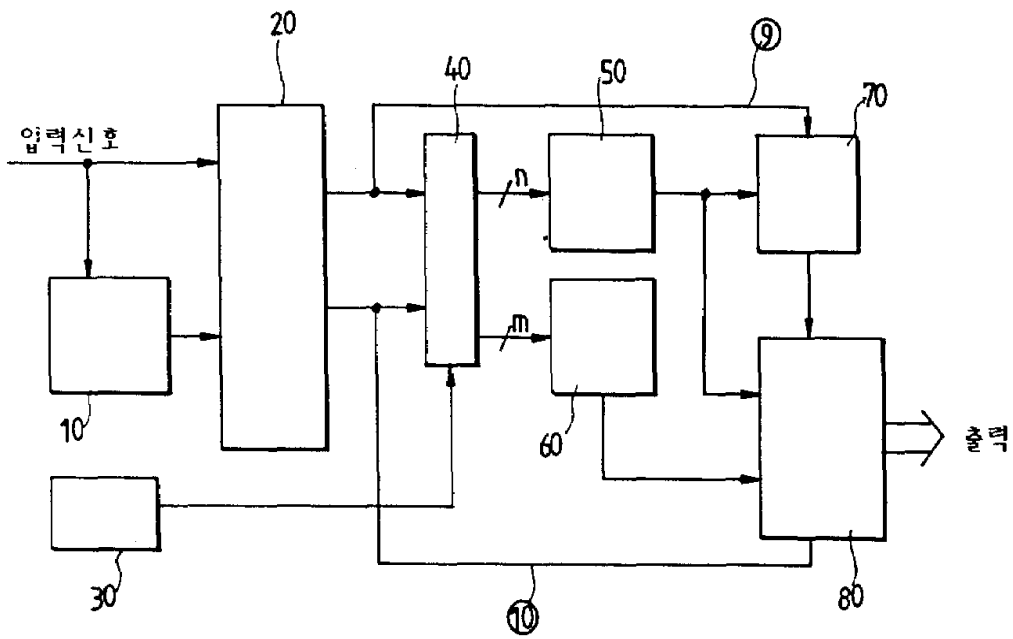
제2항에 있어서, 스타트 신호와 비트 데이터를 분리하는 방법은, 트리거 신호를 받아서 스타트 신호 레벨 길이를 계수화하여 합당한 코드인지 판별하고, 합당한 코드로 인식되면 인에이블시켜 다음 신호 비트 데이터 입력값이 '1'인지 '0'인지 판단하여 분리함을 특징으로 하는 특정한 펄스 폭으로 변조된 직렬 신호의 복호화 방법.

도면

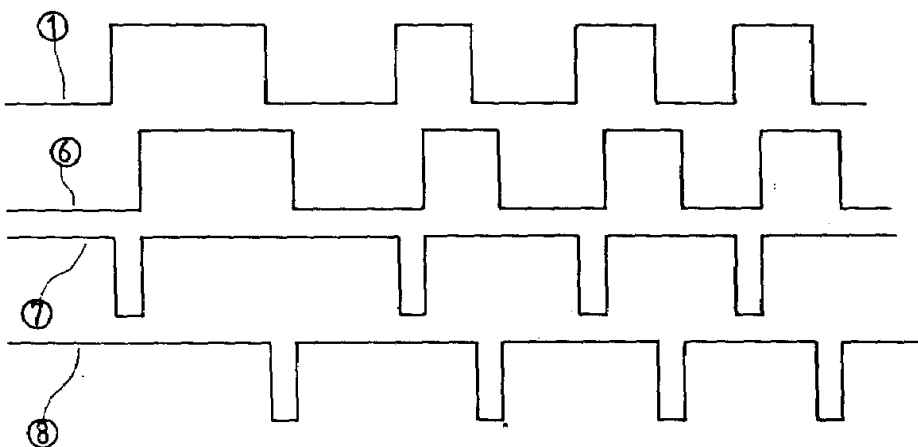
도면1



도면2



도면3



도면4

