

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015 年 8 月 13 日(13.08.2015)



(10) 国際公開番号

WO 2015/118721 A1

- (51) 国際特許分類:  
H01L 29/12 (2006.01) H01L 29/78 (2006.01)  
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2014/076722
- (22) 国際出願日: 2014 年 10 月 6 日(06.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2014-023869 2014 年 2 月 10 日(10.02.2014) JP
- (71) 出願人 (米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP). 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 高谷 秀史 (TAKAYA Hidefumi) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 斎藤 順 (SAITO Jun) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 添野 明高 (SOENO Akitaka) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 濱田 公守

(HAMADA Kimimori) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 水野 祥司 (MIZUNO Shoji) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内 Aichi (JP). 青井 佐智子 (AOI Sachiko) [JP/JP]; 〒4801192 愛知県長久手市横道 4 1 番地の 1 株式会社豊田中央研究所内 Aichi (JP). 渡辺 行彦 (WATANABE Yukihiko) [JP/JP]; 〒4801192 愛知県長久手市横道 4 1 番地の 1 株式会社豊田中央研究所内 Aichi (JP).

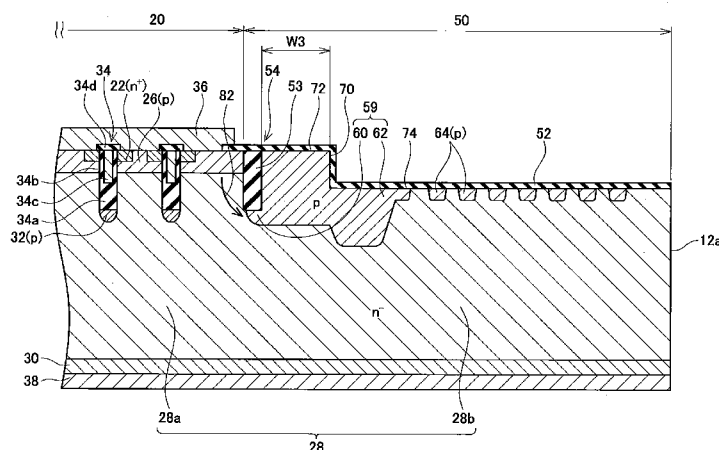
(74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: A semiconductor device comprising: a termination trench that passes once around a region in which a plurality of gate trenches are formed; a lower-end p-type region of a p-type, which is in contact with the lower end of the termination trench; an outer-periphery p-type region of a p-type, which is in contact with the termination trench from the outer peripheral side, and is exposed to the surface of the semiconductor substrate; a plurality of guard ring regions of a p-type, which are formed more peripherally outward than the outer-periphery p-type region, and are exposed to the surface of the semiconductor substrate; and an outer-periphery n-type region of an n-type, which isolates the outer-periphery p-type region from the plurality of guard ring regions, and isolates the plurality of guard ring regions from each other.

(57) 要約:

[続葉有]



WO 2015/118721 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

複数のゲートトレンチが形成されている領域の周囲を一巡する終端トレンチと、終端トレンチの下端に接する p 型の下端 p 型領域と、外周側から終端トレンチに接しており、半導体基板の表面に露出している p 型の外周 p 型領域と、外周 p 型領域よりも外周側に形成されており、半導体基板の表面に露出している p 型の複数のガードリング領域と、外周 p 型領域を複数のガードリング領域から分離しており、複数のガードリング領域を互いから分離している n 型の外周 n 型領域を有する半導体装置。

## 明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

### 技術分野

[0001] (関連出願の相互参照)

本出願は、2014年2月10日に出願された日本特許出願特願2014-023869の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

[0002] 本明細書が開示する技術は、半導体装置に関する。

### 背景技術

[0003] 特開2008-135522号公報に開示の半導体装置は、MOSFETと、MOSFETの周囲に形成されている複数の終端トレンチを有する。各終端トレンチは、MOSFETが形成されている領域を囲むように環状に伸びている。各終端トレンチ内には、絶縁層が配置されている。また、各終端トレンチの底面に接する範囲の半導体層には、p型フローティング領域が形成されている。MOSFETがオフする際には、MOSFETのボディ領域から外周側（終端トレンチが形成されている領域）に向かって空乏層が伸びる。最も内側の終端トレンチの下側のp型フローティング領域まで空乏層が伸びると、そのp型フローティングから外周側に向かってさらに空乏層が伸びる。これによって、空乏層が隣のp型フローティング領域まで伸びると、そのp型フローティング領域からさらに外周側に空乏層が伸びる。このように、空乏層は、各p型フローティング領域を経由しながら、MOSFETが形成されている領域の周囲に広く広がる。これによって、半導体装置の耐圧が向上される。

### 発明の概要

#### 発明が解決しようとする課題

[0004] 近年、上述したタイプの半導体装置に対する耐圧の要求がますます高まっ

ている。従来は、上述した p 型フローティング領域は、終端トレンチを形成した後に終端トレンチの底面に p 型不純物を注入し、その後、注入した p 型不純物を半導体層内に拡散させることで形成される。しかしながら、半導体の材料や、その他の製造工程の各種条件によっては、p 型不純物の拡散距離が短くなり、各 p 型フローティング領域の間隔を十分に狭めることができない場合がある。このような場合、当該間隔の領域に十分に空乏層を伸展させることが困難となる。各終端トレンチの間隔を狭くすることで各 p 型フローティング領域の間隔を狭めることも考え得るが、加工精度の問題等により各終端トレンチ間隔を狭くすることには限界がある。従来の終端トレンチの構造では、耐圧の向上に限界があった。したがって、本明細書では、より高耐圧を実現可能な半導体装置を開示する。

### 課題を解決するための手段

[0005] 本明細書は、半導体基板を有する半導体装置を開示する。この半導体装置は、前記半導体基板内であってその表面に露出している n 型の第 1 領域と、前記第 1 領域の下側に配置されている p 型の第 2 領域と、前記第 2 領域の下側に配置されており、前記第 2 領域によって第 1 領域から分離されている n 型の第 3 領域と、前記表面に形成されており、前記第 1 領域及び前記第 2 領域を貫通して前記第 3 領域に達する複数のゲートトレンチと、前記ゲートトレンチ内に配置されている第 1 絶縁層と、前記ゲートトレンチ内に配置されており、前記第 1 絶縁層を介して前記第 2 領域に対向しているゲート電極と、前記ゲートトレンチの下端に接する p 型の第 4 領域と、前記表面に形成されており、前記表面を平面視したときに前記複数のゲートトレンチが形成されている領域の周囲を一巡する終端トレンチと、前記終端トレンチ内に配置されている第 2 絶縁層と、前記終端トレンチの下端に接する p 型の下端 p 型領域と、前記終端トレンチよりも外周側に形成されており、前記終端トレンチに接しており、前記表面に露出している p 型の外周 p 型領域と、前記外周 p 型領域よりも外周側に形成されており、前記表面に露出している p 型の複数のガードリング領域と、前記終端トレンチよりも外周側に形成されており

、前記第3領域と繋がっており、前記外周p型領域を前記複数のガードリング領域から分離しており、前記複数のガードリング領域を互いから分離しているn型の外周n型領域を有する。

[0006] なお、本明細書において、外周側とは、複数のゲートトレンチが形成されている領域から遠ざかる方向を意味する。また、上述した下端p型領域は、上述した外周p型領域と繋がっていてもよいし、外周p型領域から分離されていてもよい。

[0007] この半導体装置では、第1領域、第2領域、第3領域、第4領域及びゲート電極によってスイッチング素子が形成されている。スイッチング素子がオフすると、第2領域から第3領域内に空乏層が広がる。空乏層がゲートトレンチの下端に達すると、空乏層が第4領域に到達する。すると、第4領域からも第3領域内に空乏層が広がる。これによって、スイッチング素子が形成されている領域における耐圧が確保される。また、空乏層が、第2領域から第3領域内に広がる空乏層が終端トレンチの下端に達すると、空乏層が下端p型領域に到達する。すると、空乏層が、下端p型領域及び外周p型領域から外周n型領域内に延びる。外周p型領域から伸びる空乏層が、外周p型領域の隣のガードリング領域に到達すると、そのガードリング領域から隣のガードリング領域に向かってさらに空乏層が伸びる。空乏層は、各ガードリング領域を経由して外周側に向かって広がる。これによって、外周側の領域に空乏層が広く伸展し、耐圧が確保される。このように、この半導体装置では、半導体基板の表面に露出するガードリングによって、空乏層の伸展を促進することができる。また、ガードリング領域は半導体基板の表面に露出する範囲に形成されているため、高精度に形成することができる。このため、ガードリング領域の間の間隔を容易に狭くすることができる。このため、この半導体装置では、ガードリング領域によって十分な耐圧を確保することができる。

[0008] 上述した半導体装置においては、前記表面に段差部が形成されていることによって、前記表面が、第1表面と、第1表面から突出する第2表面を有し

ていてもよい。前記終端トレンチが、前記第2表面に形成されていてもよい。前記外周p型領域が、前記第2表面から前記第1表面に跨る範囲に露出しているてもよい。前記複数のガードリング領域が、前記第1表面に露出しているてもよい。また、この場合、前記終端トレンチと前記段差部の間の間隔が、 $10\mu\text{m}$ 以上であってもよい。

[0009] 上述したいずれかの半導体装置においては、前記外周p型領域のうちの外周側の端部であって前記表面に露出する領域が、AⅠの濃度がBの濃度よりも高いAⅠ高濃度領域であり、前記外周p型領域のうちの前記AⅠ高濃度領域に隣接する領域が、Bの濃度がAⅠの濃度よりも高いB高濃度領域であってもよい。この場合、前記AⅠ高濃度領域の幅が、前記各ガードリング領域の幅よりも広くてもよい。なお、上記の幅は、内周側から外周側に向かう方向における寸法を意味する。

[0010] このような構成によれば、外周p型領域における漏れ電流を抑制することができる。

[0011] 上述したいずれかの半導体装置において、前記下端p型領域の一部が、前記終端トレンチよりも内周側に広がっており、前記終端トレンチよりも内周側に広がっている前記下端p型領域の前記一部が、前記終端トレンチの下端よりも上側に広がっていてもよい。

[0012] 上述したいずれかの半導体装置において、前記ガードリング領域が、AⅠを含有しているてもよい。

[0013] このような構成によれば、より高精度にガードリング領域を形成することができる。

[0014] 上述した段差を有する半導体装置は、以下の方法によって製造してもよい。この方法は、n型層上にp型層を成長させる工程と、前記p型層の一部を除去することで、前記n型層が露出している表面と、前記p型層が露出しており、前記n型層が露出している表面よりも突出する表面を形成する工程と、前記n型層が露出している前記表面から前記p型層が露出している前記表面に跨る範囲にp型不純物を注入することによって、前記外周p型領域を形

成する工程と、前記 n 型層が露出している前記表面に p 型不純物を注入することによって、前記ガードリング領域を形成する工程と、前記 p 型層が露出している前記表面に終端トレンチを形成する工程を有する。

### 図面の簡単な説明

[0015] [図1]半導体装置 10 の平面図。

[図2]図 1 の I-I 線における縦断面図。

[図3]外周 p 型領域 62 の拡大断面図。

[図4]図 3 の A-A 線における不純物濃度分布を示すグラフ。

[図5]半導体装置 10 の製造工程の説明図。

[図6]半導体装置 10 の製造工程の説明図。

[図7]半導体装置 10 の製造工程の説明図。

[図8]半導体装置 10 の製造工程の説明図。

[図9]半導体装置 10 の製造工程の説明図。

[図10]半導体装置 10 の製造工程の説明図。

[図11]幅 W3 と DS 耐圧の関係を示すグラフ。

[図12]第 1 変形例の半導体装置の図 2 に対応する縦断面図。

[図13]第 2 変形例の半導体装置の図 2 に対応する縦断面図。

[図14]第 3 変形例の半導体装置の図 2 に対応する縦断面図。

[図15]第 4 変形例の半導体装置の図 2 に対応する縦断面図。

### 発明を実施するための形態

[0016] 図 1 に示すように、実施例 1 に係る半導体装置 10 は SiC（シリコンカーバイド）からなる半導体基板 12 を有している。半導体基板 12 は、MOSFET 領域 20 と、外周領域 50 を有している。MOSFET 領域 20 には、MOSFET が形成されている。なお、図 1 では、図の見易さを考慮して、MOSFET 領域 20 内にゲートトレンチ 34 のみを示している。外周領域 50 は、MOSFET 領域 20 の外側の領域である。本実施例では、外周領域 50 は、MOSFET 領域 20 と半導体基板 12 の端面 12a との間の領域である。外周領域 50 には、耐圧構造が形成されている。なお、図 1

では、図の見易さを考慮して、外周領域 50 内に終端トレンチ 54 と、境界部 p 型領域 59 と、ガードリング領域 64 のみを示している。

[0017] 図 2 に示すように、MOSFET 領域 20 内には、ソース領域 22、ボディ領域 26、ドリフト領域 28、ドレイン領域 30、p 型フローティング領域 32、ゲートトレンチ 34、ソース電極 36、ドレイン電極 38 が形成されている。

[0018] ソース領域 22 は、MOSFET 領域 20 内に複数個形成されている。ソース領域 22 は、高濃度に n 型不純物を含む n 型領域である。ソース領域 22 は、半導体基板 12 の上面に露出する範囲に形成されている。

[0019] ボディ領域 26 は、ソース領域 22 の側方及び下側に形成されており、ソース領域 22 に接している。ボディ領域 26 は、p 型領域である。ボディ領域 26 は、ソース領域 22 が形成されていない位置において半導体基板 12 の上面に露出している。

[0020] ドリフト領域 28 は、低濃度に n 型不純物を含む n 型領域である。ドリフト領域 28 の n 型不純物濃度は、ソース領域 22 の n 型不純物濃度よりも低い。ドリフト領域 28 は、ボディ領域 26 の下側に形成されている。ドリフト領域 28 は、ボディ領域 26 に接しており、ボディ領域 26 によってソース領域 22 から分離されている。

[0021] ドレイン領域 30 は、高濃度に n 型不純物を含む n 型領域である。ドレイン領域 30 の n 型不純物濃度は、ドリフト領域 28 の n 型不純物濃度よりも高い。ドレイン領域 30 は、ドリフト領域 28 の下側に形成されている。ドレイン領域 30 は、ドリフト領域 28 に接しており、ドリフト領域 28 によってボディ領域 26 から分離されている。ドレイン領域 30 は、半導体基板 12 の下面に露出する範囲に形成されている。

[0022] ゲートトレンチ 34 は、MOSFET 領域 20 内に複数個形成されている。ゲートトレンチ 34 は、半導体基板 12 の上面に形成された溝である。各ゲートトレンチ 34 は、ソース領域 22 とボディ領域 26 を貫通し、ドリフト領域 28 に達するように形成されている。図 1 に示すように、複数のゲー

トレンチ 34 は、互いに平行に伸びている。図 2 に示すように、各ゲート  
トレンチ 34 内には、ボトム絶縁層 34 a と、ゲート絶縁膜 34 b と、ゲート  
電極 34 c が形成されている。ボトム絶縁層 34 a は、ゲートトレンチ 34  
の底部に形成された厚い絶縁層である。ボトム絶縁層 34 a の上側のゲート  
トレンチ 34 の側面は、ゲート絶縁膜 34 b によって覆われている。ボトム  
絶縁層 34 a の上側のゲートトレンチ 34 内には、ゲート電極 34 c が形成  
されている。ゲート電極 34 c は、ゲート絶縁膜 34 b を介して、ソース  
領域 22、ボディ領域 26 及びドリフト領域 28 と対向している。ゲート電  
極 34 c は、ゲート絶縁膜 34 b 及びボトム絶縁層 34 a によって、半導体  
基板 12 から絶縁されている。ゲート電極 34 c の上面は、絶縁層 34 d に  
よって覆われている。

[0023] p 型フローティング領域 32 は、半導体基板 12 内であって、各ゲートト  
レンチ 34 の底面（すなわち、下端）に接する範囲に形成されている。p 型  
フローティング領域 32 の周囲は、ドリフト領域 28 に囲まれている。各 p  
型フローティング領域 32 は、ドリフト領域 28 によって、互いに分離され  
ている。また、各 p 型フローティング領域 32 は、ドリフト領域 28 によっ  
て、ボディ領域 26 から分離されている。

[0024] ソース電極 36 は、MOSFET 領域 20 内の半導体基板 12 の上面に形  
成されている。ソース電極 36 は、ソース領域 22 及びボディ領域 26 と導  
通している。

[0025] ドレイン電極 38 は、半導体基板 12 の下面に形成されている。ドレイン  
電極 38 は、ドレイン領域 30 と導通している。

[0026] 上述したドリフト領域 28 及びドレイン領域 30 は、外周領域 50 まで広  
がっている。ドリフト領域 28 とドレイン領域 30 は、半導体基板 12 の端  
面 12 a まで広がっている。また、ドレイン電極 38 は、外周領域 50 を含  
む半導体基板 12 の下面全体に形成されている。また、外周領域 50 内の半  
導体基板 12 の上面は、絶縁層 52 によって覆われている。以下では、MO  
SFET 領域 20 内のドリフト領域 28 を、素子部ドリフト領域 28 a と呼

び、外周領域50内のドリフト領域28を、外周部ドリフト領域28bと呼ぶ場合がある。

[0027] 外周領域50内の半導体基板12の表面には、段差部70が形成されている。段差部70によって、半導体基板12の表面が、中央部側の表面72と、端面12a側の表面74に区画されている。表面72は、表面74に対して上側に突出している。このため、表面72に対応する部分では、表面74に対応する部分よりも、半導体基板12の厚みが厚い。上述したMOSFET領域20は、表面72に対応する部分（厚みが厚い部分）に形成されている。段差部70の高さは、ボディ領域26の厚みよりも大きい。したがって、ボディ領域26の下端よりも、表面74が下側（裏面側）に位置している。

[0028] 外周領域50内の半導体基板12の表面72には、終端トレンチ54が形成されている。終端トレンチ54内には、絶縁層53が形成されている。終端トレンチ54は、ボディ領域26に隣接する位置に形成されている。終端トレンチ54は、ゲートトレンチ34と略同じ深さを有している。従って、絶縁層53は、ボディ領域26よりも深い位置では、素子部ドリフト領域28aに接している。図1に示すように、終端トレンチ54は、半導体基板12の表面を平面視したときに、MOSFET領域20の周囲を一巡するように伸びている。したがって、ボディ領域26は、絶縁層53によって、外周領域50内のいずれのp型領域からも分離されている。すなわち、本実施例では、終端トレンチ54に囲まれた領域がMOSFET領域20である。

[0029] 図2に示すように、終端トレンチ54の下端（すなわち、底面）に接する位置に、下端p型領域60が形成されている。本実施例では、下端p型領域60は、MOSFET領域20内には形成されていない。また、終端トレンチ54よりも外周側の領域であって、終端トレンチ54に接する位置には、外周p型領域62が形成されている。外周p型領域62は、表面72に露出する位置から表面74に露出する位置に跨って形成されている。外周p型領域62は、表面72、段差部70及び表面74に露出している。また、外周

p型領域62は、終端トレンチ54の下端よりも深い位置まで広がっている。図示するように、本実施例では、下端p型領域60と外周p型領域62が繋がっている。下端p型領域60と外周p型領域62は1つのp型領域であるので、以下ではこれらをまとめて境界部p型領域59と呼ぶ場合がある。すなわち、境界部p型領域59は、終端トレンチ54の下端に露出する位置、表面72に露出する位置及び表面74に露出する位置に跨って延びるp型領域である。図1に示すように、境界部p型領域59は、終端トレンチ54に沿って、MOSFET領域20の周囲を一巡するように形成されている。図2に示すように、境界部p型領域59の下側には、外周部ドリフト領域28bが形成されている。

[0030] 図3は、外周p型領域62の外周端近傍の拡大断面図を示している。図示するように、外周p型領域62は、Al（アルミニウム）高濃度領域61と、B（ボロン）高濃度領域63を有している。Al高濃度領域61はBよりもAlの濃度が高いp型領域であり、B高濃度領域63はAlよりもBの濃度が高いp型領域である。外周p型領域62は、制御不能な誤差レベルを除いて、BとAl以外のp型不純物を含有していない。Al高濃度領域61は、外周p型領域62が表面74に露出する範囲のうち、外周p型領域62の外周端に形成されている。B高濃度領域63は、Al高濃度領域61以外の外周p型領域62内に形成されている。外周p型領域62の大部分は、B高濃度領域63によって構成されている。図4は、外周p型領域62の外周端近傍における不純物濃度分布（図3のA-A線に沿った不純物濃度分布）を示している。図3、4において、領域61aは、Alを含有するとともに、Bを含有しない領域である。領域61bは、AlとBを含有しており、Alの濃度がBの濃度よりも高い領域である。Al高濃度領域61は、領域61aと領域61bによって構成されている。図3に示すAl高濃度領域61の幅W1（すなわち、内周側から外周側に向かう方向における寸法）は、後述するガードリング領域64のそれぞれの幅W2よりも広い。なお、上記の幅W1、W2は、内周側から外周側に向かう方向における寸法を意味する。

[0031] 図2に示すように、外周p型領域62の外周側には、複数のガードリング領域64が形成されている。各ガードリング領域64は、p型領域であり、表面74に露出する範囲に形成されている。各ガードリング領域64は、浅い範囲にのみ形成されている。したがって、各ガードリング領域64の下端は、外周p型領域62の下端よりも上側（表面側）に位置している。各ガードリング領域64の下側には、外周部ドリフト領域28bが形成されている。最も内周側（MOSFET領域20側）のガードリング領域64と外周p型領域62の間には、外周部ドリフト領域28bが形成されている。外周部ドリフト領域28bによって、最も内周側のガードリング領域64が外周p型領域62から分離されている。また、各ガードリング領域64の間には、外周部ドリフト領域28bが形成されている。外周部ドリフト領域28bによって、各ガードリング領域64が互いから分離されている。各ガードリング領域64は、p型不純物としてAlを含有している。各ガードリング領域64は、制御不可能な誤差レベルを除いて、Al以外のp型不純物を含有していない。

[0032] 次に、半導体装置10の動作について説明する。半導体装置10を動作させる際には、ドレイン電極38とソース電極36の間にドレイン電極38がプラスとなる電圧が印加される。さらに、ゲート電極34cに対してゲートオン電圧が印加されることで、MOSFET領域20内のMOSFETがオンする。すなわち、ゲート電極34cに対向している位置のボディ領域26にチャンネルが形成され、ソース電極36から、ソース領域22、チャンネル、ドリフト領域28、ドレイン領域30を経由して、ドレイン電極38に向かって電流が流れる。ゲート電極34cへのゲートオン電圧の印加を停止すると、チャンネルが消失し、MOSFETがオフする。MOSFETがオフすると、ボディ領域26とドリフト領域28の境界部のpn接合からドリフト領域28内に空乏層が広がる。空乏層がMOSFET領域20内のp型フローティング領域32に到達すると、p型フローティング領域32からもドリフト領域28内に空乏層が広がる。これによって、2つのp型フローティング

領域 3 2 の間のドリフト領域 2 8 が効果的に空乏化される。このため、MOSFET 領域 2 0 内における電界集中が抑制される。これによって、MOSFET 領域 2 0 内における高い耐圧が実現される。

[0033] また、上述した p n 接合から伸びる空乏層は、図 2 の矢印 8 2 に示すように、終端トレンチ 5 4 の下側の境界部 p 型領域 5 9 にも到達する。すると、境界部 p 型領域 5 9 からドリフト領域 2 8 内に空乏層が広がる。ゲートトレンチ 3 4 と終端トレンチ 5 4 の間のドリフト領域 2 8 は、ゲートトレンチ 3 4 の下側の p 型フローティング領域 3 2 から広がる空乏層と終端トレンチ 5 4 の下側の境界部 p 型領域 5 9（すなわち、下端 p 型領域 6 0）から広がる空乏層によって空乏化される。このとき、ゲートトレンチ 3 4 の深さと終端トレンチ 5 4 の深さが略等しい（すなわち、p 型フローティング領域 3 2 の深さ方向の位置と下端 p 型領域 6 0 の深さ方向の位置が略等しい）ため、ゲートトレンチ 3 4 と終端トレンチ 5 4 の間のドリフト領域 2 8 において等電位線が横方向（表面 7 2 と平行な方向）に伸びる。これによって、終端トレンチ 5 4 の近傍における電界集中が抑制される。

[0034] また、境界部 p 型領域 5 9 は、終端トレンチ 5 4 の下端に接する範囲から半導体基板 1 2 の表面 7 4 に接する位置まで広がっている。このため、表面 7 4 の近傍では、境界部 p 型領域 5 9 から最も内周側のガードリング領域 6 4 に向かって空乏層が広がる。空乏層が最も内周側のガードリング領域 6 4 に到達すると、そのガードリング領域 6 4 からその隣のガードリング領域 6 4 に空乏層が伸展する。このように、空乏層が、各ガードリング領域 6 4 を順次経由して外周側に広がる。このため、外周領域 5 0 内に空乏層が広く伸展する。これによって、外周領域 5 0 内における高い耐圧が実現される。

[0035] このように、この半導体装置では、終端トレンチ 5 4 の下側の境界部 p 型領域 5 9 が p 型フローティング領域 3 2 と同様に深い位置に設けられていることによって、MOSFET 領域 2 0 の外周端近傍における電界集中が抑制される。また、終端トレンチ 5 4 よりも外周側において境界部 p 型領域 5 9 が終端トレンチ 5 4 の底面から半導体基板 1 2 の表面 7 4 まで伸びているこ

とで、表面 7 4 近傍の浅い範囲内にのみ形成されたガードリング領域 6 4 に空乏層が到達することが可能となっている。その結果、複数のガードリング領域 6 4 によって外周領域 5 0 における空乏層の伸展が促進される。また、各ガードリング領域 6 4 が互いから分離されているため、外周領域 5 0 内において電位が比較的均等に分布することができる。このため、外周領域 5 0 における高い耐圧が実現されている。

[0036] また、この半導体装置では、外周 p 型領域 6 2 の外周端であって、表面 7 4 に露出する範囲に、A 1 高濃度領域 6 1 が形成されている。このように A 1 高濃度領域 6 1 が形成されていることによって、外周 p 型領域 6 2 の表面近傍を通る漏れ電流を抑制することができる。

[0037] 次に、半導体装置 1 0 の製造方法について説明する。まず、図 5 に示すように n 型層 2 8 のみからなる半導体ウエハ 9 0 を準備する。n 型層 2 8 は、ドリフト領域 2 8 となる領域である。次に、図 6 に示すように、n 型層 2 8 の表面に、エピタキシャル成長によって p 型層 2 6 を形成する。p 型層 2 6 は、ボディ領域 2 6 となる領域である。次に、所定範囲内の半導体ウエハ 9 0 の表面を部分的にエッチングする。ここでは、エッチングした範囲において、図 7 に示すように p 型層 2 6 が除去され、n 型層 2 8 が露出するようにエッチングを行う。これによって、半導体ウエハ 9 0 の表面に段差部 7 0 が形成される。段差部 7 0 によって、半導体ウエハ 9 0 の表面が、表面 7 2 と表面 7 4 に区画される。

[0038] 次に、境界部 p 型領域 5 9 に対するイオン注入を行う。すなわち、まず、半導体ウエハ 9 0 の表面のうちの段差部 7 0 を含む範囲（すなわち、表面 7 2 から表面 7 4 に跨る範囲）に B を注入する。ここでは、B の注入エネルギーを調節することによって、図 8 の注入範囲 X に示すように、浅い位置から比較的深い位置まで B が分布するように B を注入する。次に、半導体ウエハ 9 0 の表面 7 4 のうちの注入範囲 X の外周端 X 1 の含む範囲（すなわち、図 8 の注入範囲 Y）に、A 1 を注入する。ここでは、A 1 の注入エネルギーを低く設定することで、半導体ウエハ 9 0 の表面 7 4 近傍にのみ A 1 が注入さ

れるようにA Iを注入する。

[0039] 次に、ガードリング領域64に対するイオン注入を行う。すなわち、半導体ウエハ90の表面74のうちの注入範囲Yよりも外周側（各ガードリング領域64に対応する注入範囲Z）に、A Iを注入する。ここでは、A Iの注入エネルギーを低く設定することで、半導体ウエハ90の表面74近傍にのみA Iが注入されるようにA Iを注入する。なお、注入範囲Zの幅は、注入範囲Yの幅よりも狭い。

[0040] 次に、半導体ウエハ90を熱処理することで、注入したA IとBを拡散させると共に活性化させる。これによって、図9に示すように、境界部p型領域59とガードリング領域64を形成する。このとき、BはA IよりもS i C中における拡散係数が大きいため、Bの分布範囲が広がる。すなわち、注入範囲Xに比べて、拡散後のBが分布する範囲はかなり広くなる。上述したようにA Iの注入範囲Yの幅を広くしておく、Bの分布範囲が拡大しても、境界部p型領域59の外周端にA I高濃度領域61を容易に配置することができる。また、ガードリング領域64は、半導体ウエハ90の表面74近傍の浅い位置に形成されるため、ガードリング領域64を高精度に形成することができる。特に、ガードリング領域64に注入されるA IはS i C中における拡散係数が低いので、ガードリング領域64をより高精度に形成することができる。したがって、各ガードリング領域64の間の間隔を狭小化することができる。さらに、外周p型領域62とガードリング領域64の間の間隔も狭小化することができる。

[0041] 次に、図10に示すように、外周p型領域62の端部（A I高濃度領域61とは反対側の端部）に終端トレンチ54を形成し、終端トレンチ54内に絶縁層53を形成する。

[0042] その後、MOSFET領域20内の構造を形成し、その他の必要な構造（拡散層、電極、絶縁層等）を形成することで、図1の半導体装置10が完成する。なお、上述した製造方法の各工程の順序は、適宜変更することができる。また、MOSFET領域20内の構造を、外周領域50内の構造より先

に形成してもよいし、外周領域50内の構造と並行して形成してもよい。

[0043] 以上に説明したように、この製造方法によれば、各ガードリング領域64の間の間隔を狭小化することができる。また、外周p型領域62とガードリング領域64の間の間隔も狭小化することができる。したがって、この半導体装置10では、外周領域50に空乏層が伸びやすい。このため、この方法によれば、外周領域50の耐圧が高い半導体装置10を製造することができる。

[0044] なお、図11は、終端トレンチ54と段差部70の間の間隔W3（図2参照）と、半導体装置10のDS間耐圧（ドレイン-ソース間の耐圧）との関係を示している。図示するように、間隔W3が10 $\mu$ m未満となると、DS間耐圧が急激に低下する。このため、間隔W3は10 $\mu$ m以上であることが好ましい。

[0045] また、上述した実施例の半導体装置10では、終端トレンチ54の下側の境界部p型領域59（すなわち、下端p型領域60）が、MOSFET領域20側に形成されていなかった。しかしながら、図12に示すように、下端p型領域60の一部が、終端トレンチ54よりもMOSFET領域20側に突出していてもよい。このような構成によれば、ゲートトレンチ34と終端トレンチ54の間のドリフト領域28をより空乏化し易くなる。なお、この場合、その突出している部分が、終端トレンチ54の下端よりも上側（ボディ領域26側）にはみ出していないことが好ましい。すなわち、図13のように下端p型領域60の一部がMOSFET領域20内において終端トレンチ54の下端の深さD1よりも上側に位置していると、下端p型領域60とボディ領域26の間の距離L1が短くなる。距離L1が短くなると、DS間耐圧が低下する。このため、MOSFET領域20内に位置する下端p型領域60は、終端トレンチ54の下端よりも下側にのみ存在することが好ましい。但し、場合によっては、下端p型領域60の一部を深さD1よりも上側に配置し、距離L1を最適化することで、DS間耐圧を確保してもよい。

[0046] また、上述した半導体装置10では、半導体基板12の表面に段差部70

が形成されていたが、図 1 4 に示すように半導体基板 1 2 の表面がフラットであってもよい。なお、図 1 4 の半導体装置のボディ領域 2 6 は、イオン注入により形成される。エピタキシャル成長とは異なり、イオン注入によれば、ボディ領域 2 6 を半導体ウエハの表面の必要な領域内にのみ形成することができる。したがって、図 1 4 の半導体装置の製造工程では、上述した実施例で説明した p 型層 2 6（ボディ領域 2 6）の一部をエッチングする工程（すなわち、段差部 7 0 を形成する工程）を実施する必要がない。したがって、図 1 4 の半導体装置では、半導体基板 1 2 の表面がフラットとなっている。

[0047] また、上述した実施例では、下端 p 型領域 6 0 が外周 p 型領域 6 2 と繋がっていた。しかしながら、図 1 5 に示すように、下端 p 型領域 6 0 が外周 p 型領域 6 2 から分離されていてもよい。図 1 5 では、外周 p 型領域 6 2 が終端トレンチ 5 4 よりも浅い範囲に形成されている。このため、ドリフト領域 2 8 によって、下端 p 型領域 6 0 が外周 p 型領域 6 2 から分離されている。このような構成でも、下端 p 型領域 6 0 と外周 p 型領域 6 2 の間の距離  $L_2$  が、下端 p 型領域 6 0 から外周 p 型領域 6 2 まで空乏層が伸展可能な距離に設定されていれば、上述した実施例と同様に外周領域 5 0 の耐圧を確保することができる。なお、空乏層を伸展させるために、距離  $L_2$  は、 $L_2 \leq \{2 \varepsilon (V_{bi} - V) / q \cdot N_b\}^{1/2}$  の数式を満たすように設定されていることが好ましい。ここで、 $\varepsilon$  はドリフト領域 2 8 の誘電率であり、 $V_{bi}$  は下端 p 型領域 6 0 とドリフト領域 2 8 の間の内蔵電位であり、 $V$  は印加電圧であり、 $q$  は電気素量であり、 $N_b$  はドリフト領域 2 8 の n 型不純物濃度である。

[0048] また、上述した実施例では、MOSFET を有する半導体装置について説明したが、MOSFET に代えて IGBT 等の他の素子が形成されていてもよい。また、上述した実施例では、半導体基板 1 2 が SiC により構成されていたが、Si 等の他の材質によって構成された半導体基板を使用してもよい。

[0049] 以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独であるいは各種の組み合わせによって技術的有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

## 請求の範囲

### [請求項1]

半導体基板を有する半導体装置であって、  
前記半導体基板内であってその表面に露出しているn型の第1領域と、  
と、  
前記第1領域の下側に配置されているp型の第2領域と、  
前記第2領域の下側に配置されており、前記第2領域によって第1領域から分離されているn型の第3領域と、  
前記表面に形成されており、前記第1領域及び前記第2領域を貫通して前記第3領域に達する複数のゲートトレンチと、  
前記ゲートトレンチ内に配置されている第1絶縁層と、  
前記ゲートトレンチ内に配置されており、前記第1絶縁層を介して前記第2領域に対向しているゲート電極と、  
前記ゲートトレンチの下端に接するp型の第4領域と、  
前記表面に形成されており、前記表面を平面視したときに前記複数のゲートトレンチが形成されている領域の周囲を一巡する終端トレンチと、  
前記終端トレンチ内に配置されている第2絶縁層と、  
前記終端トレンチの下端に接するp型の下端p型領域と、  
前記終端トレンチよりも外周側に形成されており、前記終端トレンチに接しており、前記表面に露出しているp型の外周p型領域と、  
前記外周p型領域よりも外周側に形成されており、前記表面に露出しているp型の複数のガードリング領域と、  
前記終端トレンチよりも外周側に形成されており、前記第3領域と繋がっており、前記外周p型領域を前記複数のガードリング領域から分離しており、前記複数のガードリング領域を互いから分離しているn型の外周n型領域、  
を有する半導体装置。

### [請求項2]

前記表面に段差部が形成されていることによって、前記表面が、第

1 表面と、第 1 表面から突出する第 2 表面を有しており、  
前記終端トレンチが、前記第 2 表面に形成されており、  
前記外周 p 型領域が、前記第 2 表面から前記第 1 表面に跨る範囲に  
露出しており、  
前記複数のガードリング領域が、前記第 1 表面に露出している、  
請求項 1 の半導体装置。

[請求項3] 前記終端トレンチと前記段差部の間の間隔が、 $10\mu\text{m}$ 以上である  
請求項 2 の半導体装置。

[請求項4] 前記外周 p 型領域のうちの外周側の端部であって前記表面に露出する  
領域が、A I の濃度が B の濃度よりも高い A I 高濃度領域であり、  
前記外周 p 型領域のうちの前記 A I 高濃度領域に隣接する領域が、B  
の濃度が A I の濃度よりも高い B 高濃度領域である請求項 1 ～ 3 のい  
ずれか一項の半導体装置。

[請求項5] 前記 A I 高濃度領域の幅が、前記各ガードリング領域の幅よりも広  
い請求項 4 の半導体装置。

[請求項6] 前記下端 p 型領域の一部が、前記終端トレンチよりも内周側に広が  
っており、  
前記終端トレンチよりも内周側に広がっている前記下端 p 型領域の  
前記一部が、前記終端トレンチの下端よりも上側に広がっていない、  
請求項 1 ～ 5 のいずれか一項の半導体装置。

[請求項7] 前記ガードリング領域が、A I を含有する請求項 1 ～ 6 のいずれか  
一項の半導体装置。

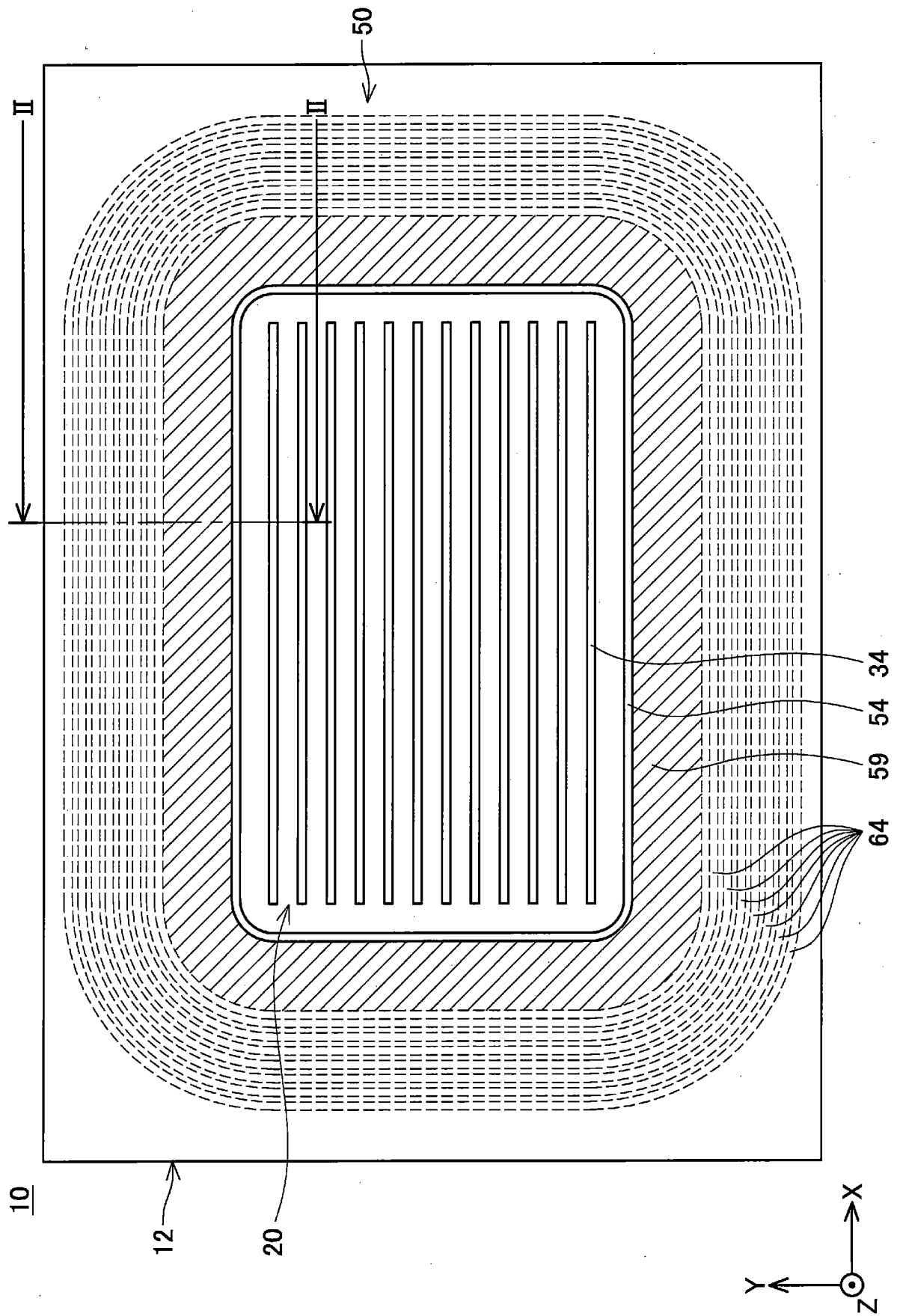
[請求項8] 請求項 2 の半導体装置を製造する方法であって、  
n 型層上に p 型層を成長させる工程と、  
前記 p 型層の一部を除去することで、前記 n 型層が露出している表  
面と、前記 p 型層が露出しており、前記 n 型層が露出している表面よ  
りも突出する表面を形成する工程と、  
前記 n 型層が露出している前記表面から前記 p 型層が露出している

前記表面に跨る範囲に p 型不純物を注入することによって、前記外周 p 型領域を形成する工程と、

前記 n 型層が露出している前記表面に p 型不純物を注入することによって、前記ガードリング領域を形成する工程と、

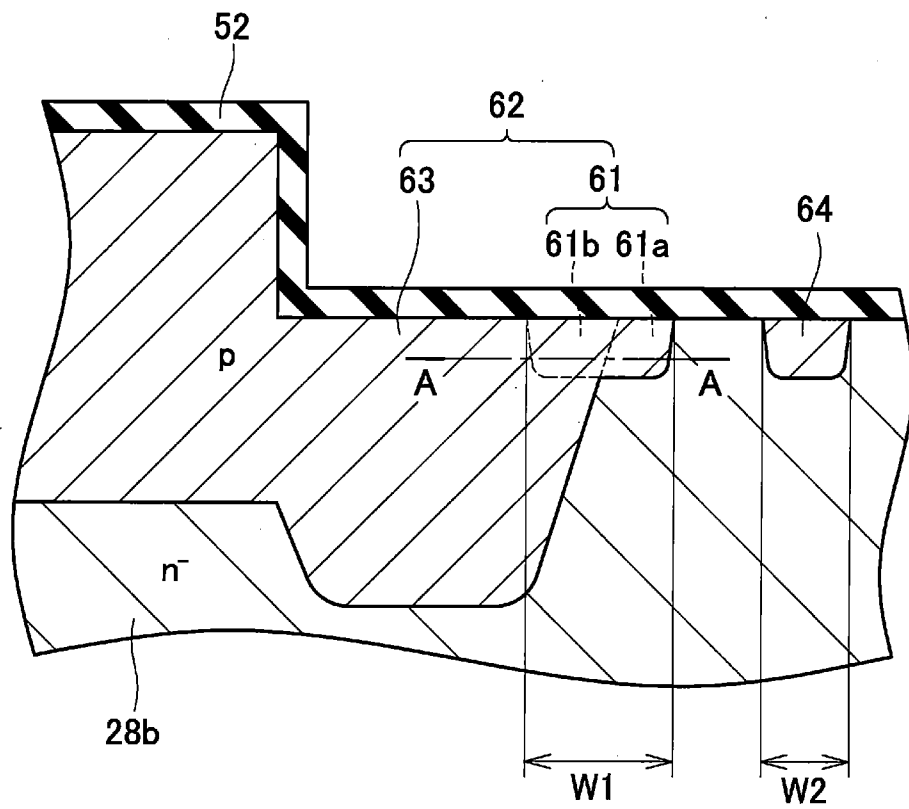
前記 p 型層が露出している前記表面に終端トレンチを形成する工程  
、  
を有する方法。

[図1]

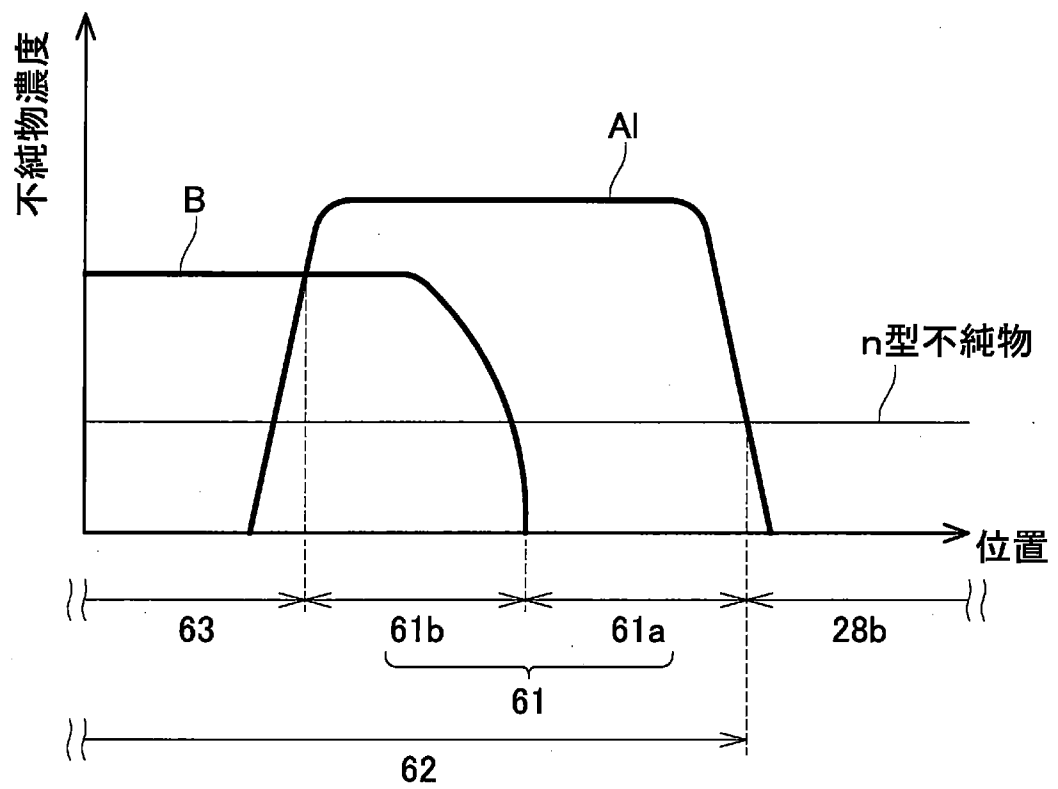




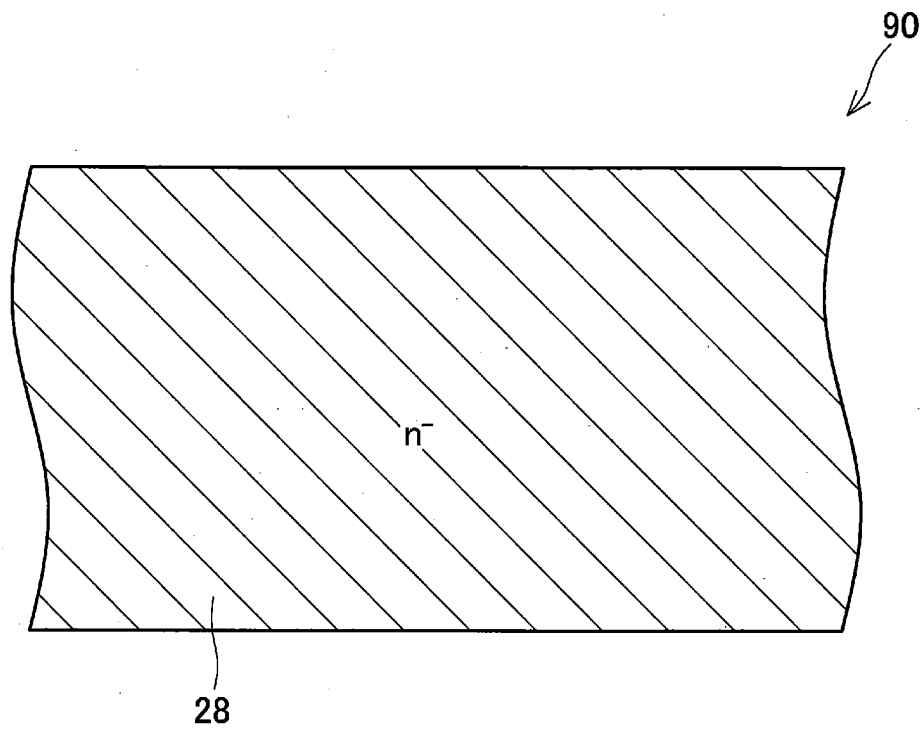
[図3]



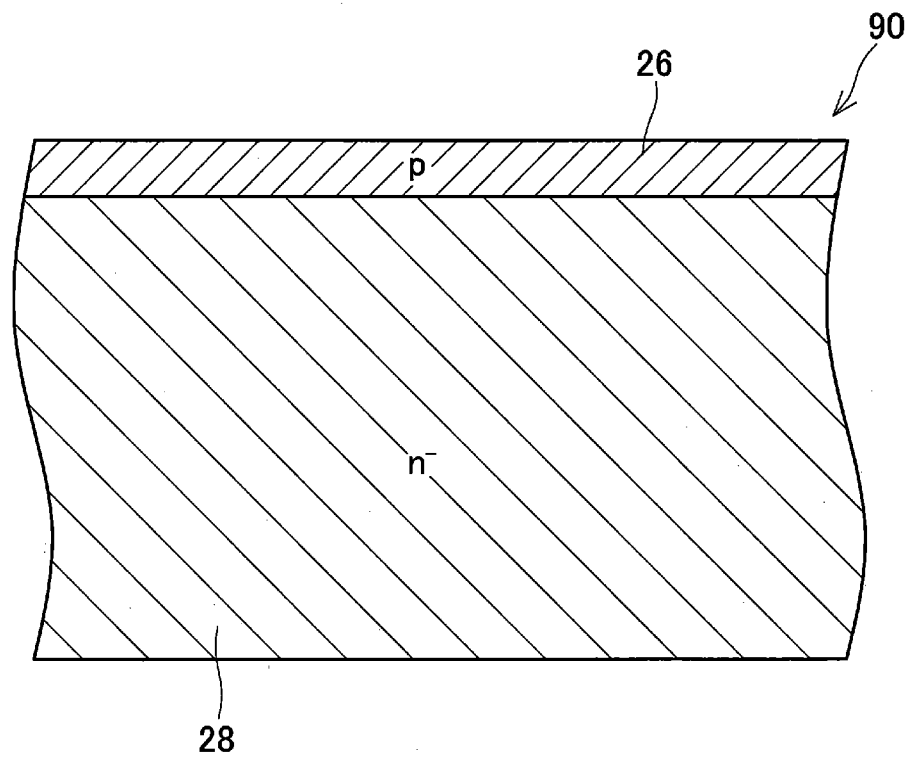
[図4]



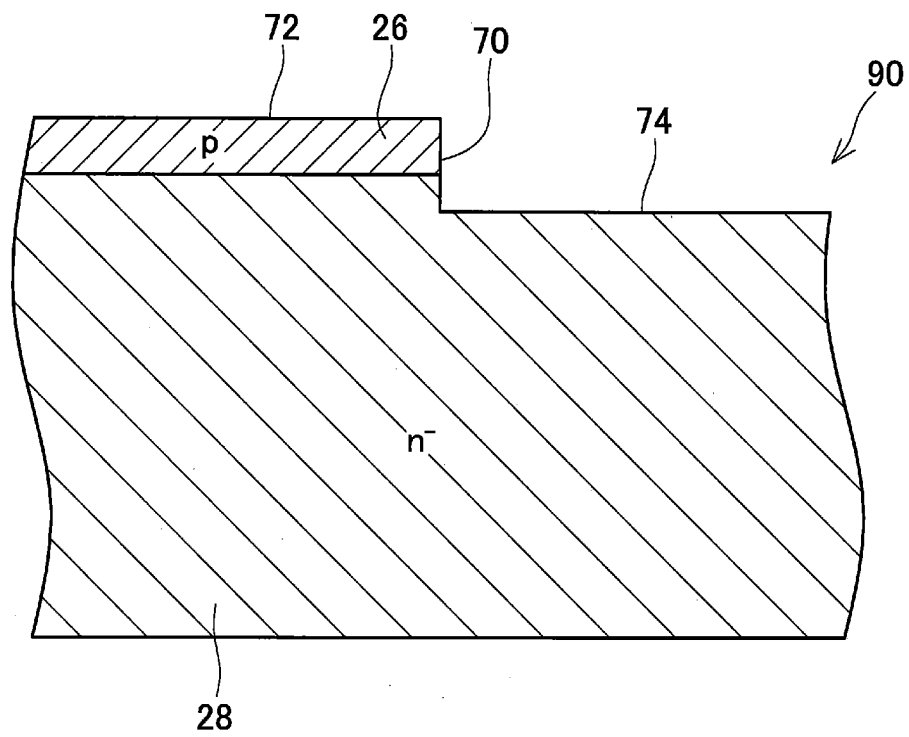
[図5]



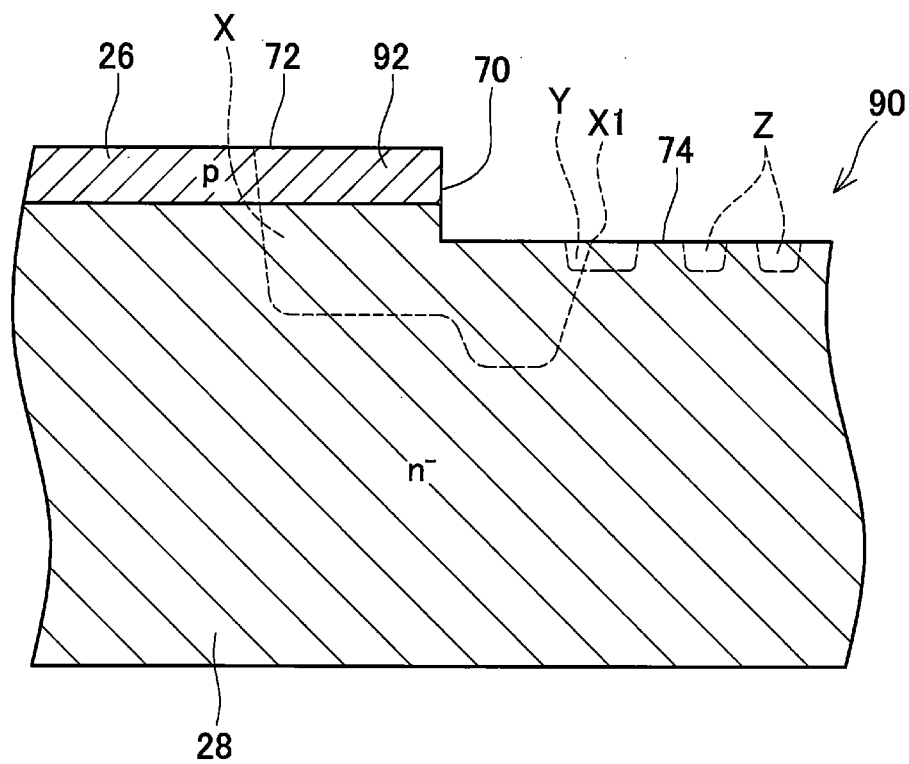
[図6]



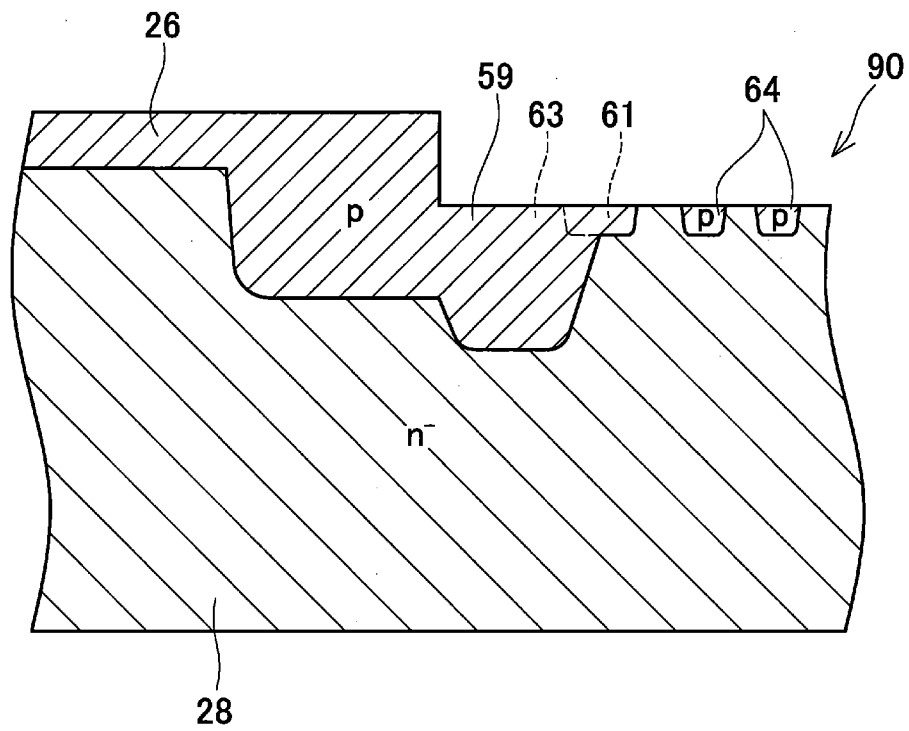
[図7]



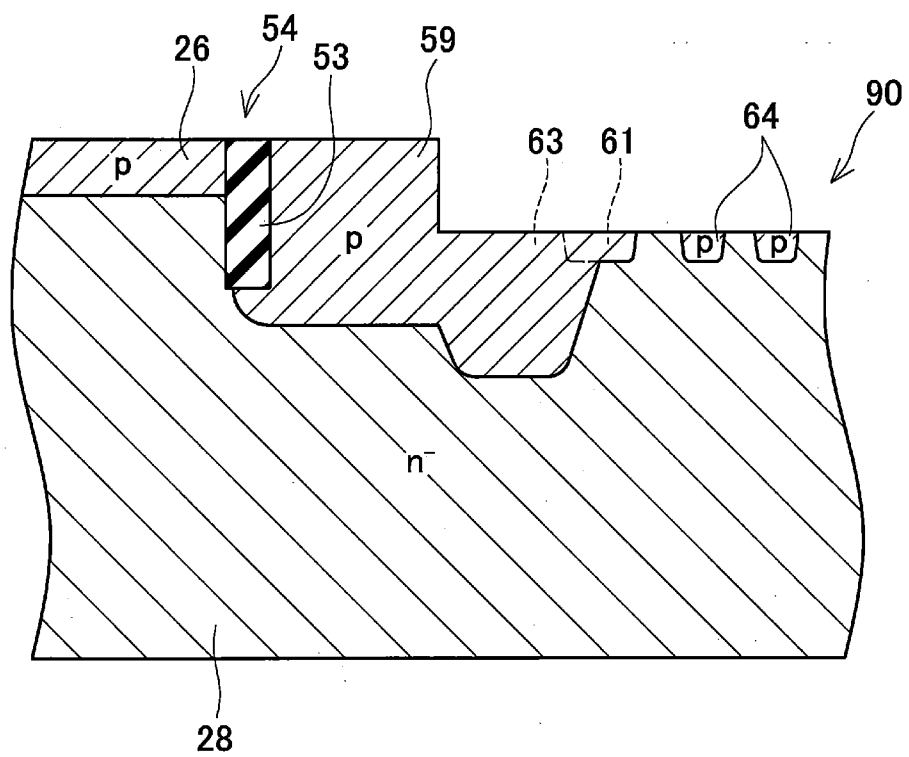
[図8]



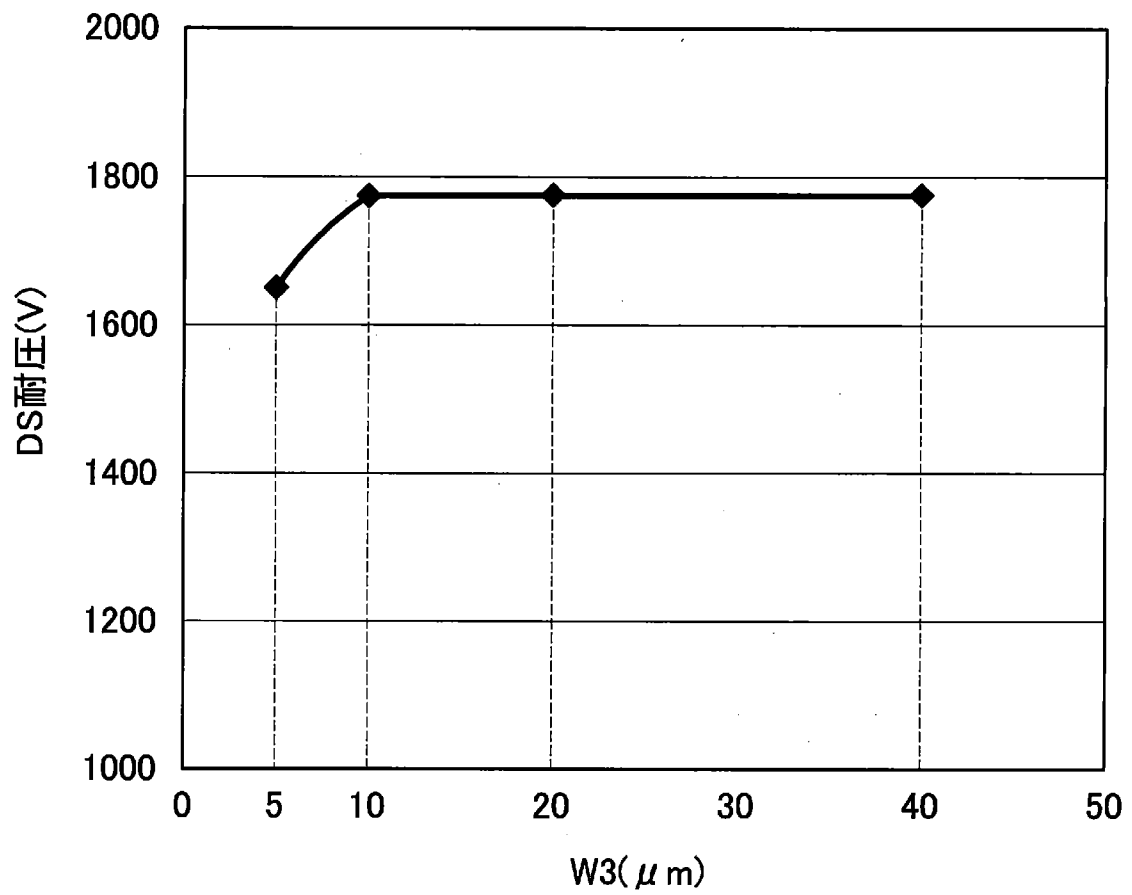
[図9]



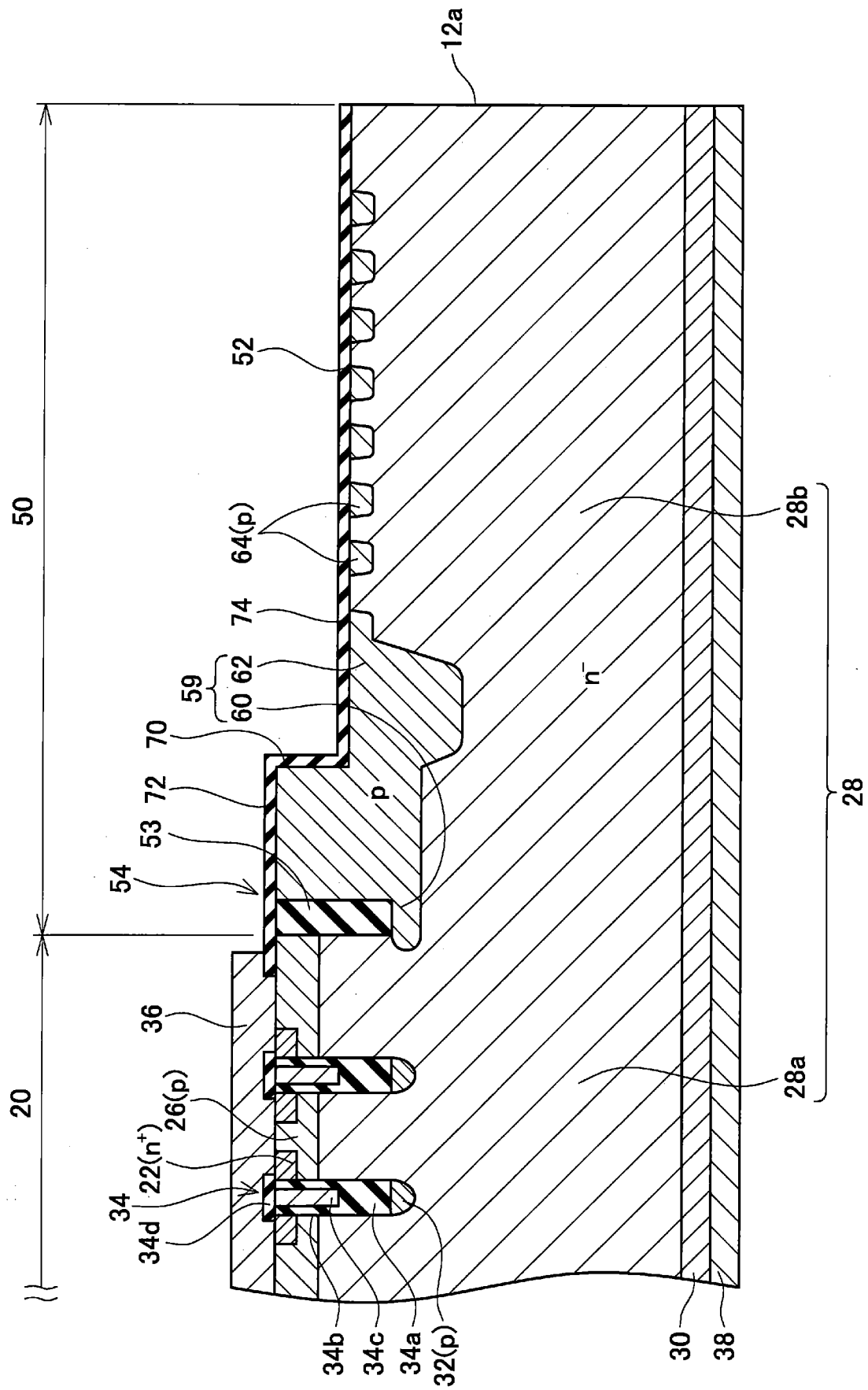
[図10]



[図11]

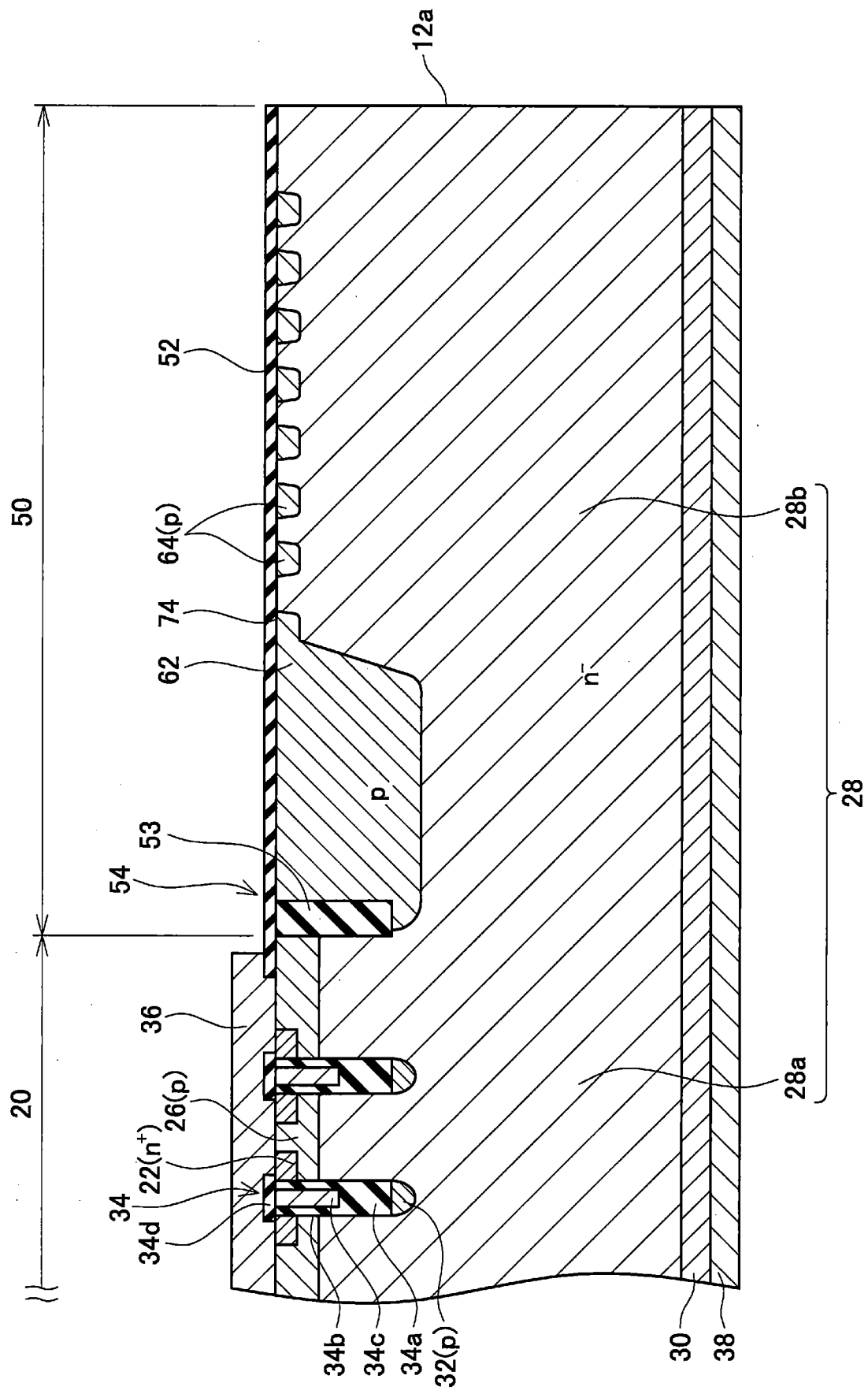


[図12]





[図14]



[illegible]

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/076722

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/12(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/12, H01L29/06, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                              | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 11-87698 A (The Kansai Electric Power Co., Inc.),<br>30 March 1999 (30.03.1999),<br>fig. 4<br>(Family: none) | 1, 6, 7<br>2-5, 8     |
| Y         | JP 2013-191734 A (Toyota Motor Corp.),<br>26 September 2013 (26.09.2013),<br>fig. 2<br>(Family: none)           | 1, 6, 7               |
| Y         | JP 2012-4312 A (Denso Corp.),<br>05 January 2012 (05.01.2012),<br>fig. 1<br>(Family: none)                      | 7                     |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
09 December, 2014 (09.12.14)

Date of mailing of the international search report  
16 December, 2014 (16.12.14)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/12(2006.01)i, H01L29/06(2006.01)i, H01L29/78(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/12, H01L29/06, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 4 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 4 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 4 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                   | 関連する<br>請求項の番号    |
|-----------------|-----------------------------------------------------|-------------------|
| Y<br>A          | JP 11-87698 A（関西電力株式会社）1999.03.30, 図4（ファミリーなし）      | 1, 6, 7<br>2-5, 8 |
| Y               | JP 2013-191734 A（トヨタ自動車株式会社）2013.09.26, 図2（ファミリーなし） | 1, 6, 7           |
| Y               | JP 2012-4312 A（株式会社デンソー）2012.01.05, 図1（ファミリーなし）     | 7                 |

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 2 . 2 0 1 4

国際調査報告の発送日

1 6 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

須原 宏光

電話番号 03-3581-1101 内線 3516

5 F

9 0 5 7