



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0029582
(43) 공개일자 2014년03월11일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) G11C 16/34 (2006.01)
(21) 출원번호 10-2012-0094349
(22) 출원일자 2012년08월28일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이상규
충청북도 청원군 오창읍 오창중앙로 83 대우이안
아파트 705동 1202호
허민호
충청북도 청주시 흥덕구 서현서로 40 한라비발디
아파트 305동 704호
김명수
경기도 구리시 수택천로25번길 32-6 3층
(74) 대리인
강신섭, 문용호, 이용우

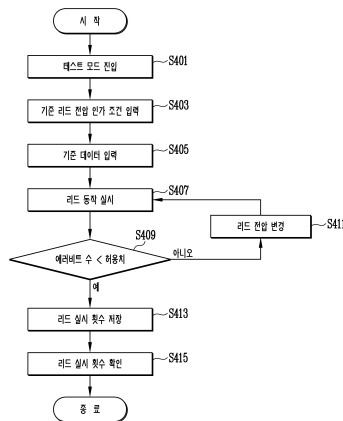
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치 및 이의 동작 방법

(57) 요약

반도체 장치의 동작 방법은 메모리 셀들의 리드 동작을 위하여 칩의 외부로부터 입력된 리드 전압의 인가 조건이 내부 레지스터에 저장되는 단계와, 메모리 셀들로부터 독출되는 데이터에 포함된 에러 비트의 수가 허용 범위를 벗어나면 리드 전압의 인가 조건에 따라 리드 전압의 레벨을 변경하면서 리드 동작을 반복 실시하는 단계, 및 에러 비트의 수가 허용 범위에 해당하면 리드 동작이 실시된 횟수를 내부 레지스터에 저장되는 단계를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

메모리 셀들의 리드 동작을 위하여 칩의 외부로부터 입력된 리드 전압의 인가 조건이 내부 레지스터에 저장되는 단계;

상기 메모리 셀들로부터 독출되는 데이터에 포함된 에러 비트의 수가 허용 범위를 벗어나면 상기 리드 전압의 인가 조건에 따라 상기 리드 전압의 레벨을 변경하면서 상기 리드 동작을 반복 실시하는 단계; 및

상기 에러 비트의 수가 허용 범위에 해당하면 상기 리드 동작이 실시된 횟수를 상기 내부 레지스터에 저장되는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 2

제 1 항에 있어서,

상기 리드 동작은 테스트 모드에서 실시되는 반도체 장치의 동작 방법.

청구항 3

제 1 항에 있어서,

상기 데이터에 포함된 상기 에러 비트의 수를 확인하기 위하여 상기 데이터와 기준 데이터를 비교하는 단계를 더 포함하는 반도체 장치의 동작 방법.

청구항 4

제 3 항에 있어서,

상기 리드 전압의 인가 조건이 상기 내부 레지스터에 저장될 때 상기 기준 데이터도 상기 내부 레지스터에 저장되는 반도체 장치의 동작 방법.

청구항 5

제 1 항에 있어서,

상기 리드 전압의 인가 조건이 상기 내부 레지스터에 저장될 때 상기 메모리 셀들을 선택하기 위한 어드레스 신호도 상기 내부 레지스터에 저장되는 반도체 장치의 동작 방법.

청구항 6

제 1 항에 있어서,

상기 내부 레지스터에 저장된 상기 리드 동작의 실시 횟수가 상기 칩의 외부로 출력되는 단계를 포함하는 반도체 장치의 동작 방법.

청구항 7

제 1 항에 있어서,

상기 테스트 모드가 종료된 후 상기 내부 레지스터에는 상기 메모리 셀들의 프로그램 동작, 리드 동작 또는 소거 동작을 위한 전압들의 인가 조건이 저장되는 반도체 장치의 동작 방법.

청구항 8

제 1 항에 있어서,

상기 리드 전압의 인가 조건은 테스트 모드에서 호스트로부터 직접 입력되는 반도체 장치의 동작 방법.

청구항 9

제 1 항에 있어서,

상기 리드 전압의 인가 조건은 상기 리드 전압의 최저 레벨, 상기 리드 전압의 최고 레벨, 상기 리드 전압의 변경 레벨 및 상기 리드 동작의 최대 허용 실시 횟수를 포함하는 반도체 장치의 동작 방법.

청구항 10

제 1 항에 있어서,

테스트 리드 명령 신호가 입력되면 상기 칩의 내부에서 상기 리드 동작이 상기 리드 전압의 인가 조건에 따라 반복 실시되는 반도체 장치의 동작 방법.

청구항 11

메모리 셀들을 포함하는 메모리 어레이;

상기 메모리 셀들의 리드 동작을 수행하도록 구성된 동작 회로; 및

상기 메모리 셀들의 리드 동작을 위하여 칩의 외부로부터 입력된 리드 전압의 인가 조건과 상기 리드 동작의 실시 횟수를 저장하기 위한 내부 레지스터를 포함하고, 상기 메모리 셀들로부터 독출되는 데이터에 포함된 에러 비트의 수가 허용 범위를 벗어나면 상기 리드 전압의 인가 조건에 따라 상기 리드 전압의 레벨을 변경하면서 상기 리드 동작이 반복 실시되도록 상기 동작 회로를 제어하는 제어 회로를 포함하는 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 제어 회로는 테스트 모드에서 상기 리드 전압의 레벨을 변경하면서 상기 리드 동작이 반복 실시되도록 상기 동작 회로를 제어하는 반도체 장치.

청구항 13

제 11 항에 있어서,

상기 제어 회로는 상기 데이터에 포함된 상기 에러 비트의 수를 확인하기 위하여 상기 데이터와 기준 데이터를 비교하는 동작을 수행하도록 구성되는 반도체 장치.

청구항 14

제 13 항에 있어서,

상기 리드 전압의 인가 조건이 상기 내부 레지스터에 저장될 때 상기 기준 데이터가 상기 내부 레지스터에 저장되는 반도체 장치.

청구항 15

제 11 항에 있어서,

상기 리드 전압의 인가 조건이 상기 내부 레지스터에 저장될 때 상기 메모리 셀들을 선택하기 위한 어드레스 신호도 상기 내부 레지스터에 저장되는 반도체 장치.

청구항 16

제 11 항에 있어서,

상기 내부 레지스터에 저장된 상기 리드 동작의 실시 횟수가 상기 동작 회로의 입출력 회로를 통해 상기 칩의 외부로 출력되는 단계를 포함하는 반도체 장치.

청구항 17

제 11 항에 있어서,

상기 테스트 모드가 종료된 후 상기 내부 레지스터는 상기 메모리 셀들의 프로그램 동작, 리드 동작 또는 소거 동작을 위한 전압들의 인가 조건을 저장하기 위해 사용되는 반도체 장치.

청구항 18

제 11 항에 있어서,

상기 리드 전압의 인가 조건은 테스트 모드에서 호스트로부터 직접 입력되는 반도체 장치.

청구항 19

제 11 항에 있어서,

상기 리드 전압의 인가 조건은 상기 리드 전압의 최저 레벨, 상기 리드 전압의 최고 레벨, 상기 리드 전압의 변경 레벨 및 상기 리드 동작의 최대 허용 실시 횟수를 포함하는 반도체 장치.

청구항 20

제 11 항에 있어서,

테스트 리드 명령 신호가 입력되면 상기 칩의 내부에서 상기 제어 회로의 제어에 의해 상기 동작 회로가 상기 리드 전압의 인가 조건에 따라 상기 리드 동작을 반복 실시하는 반도체 장치.

명세서

기술분야

본 발명은 반도체 장치 및 이의 동작 방법에 관한 것으로, 특히 메모리 셀을 포함하는 반도체 장치 및 이의 동작 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(non-volatile semiconductor memory device)로 구분될 수 있다. 불휘발성 반도체 메모리 장치는 외부의 전원 공급이 중단되더라도 그 내용이 보존되며, 대표적으로 낸드 플래시 메모리 장치가 불휘발성 반도체 메모리 장치에 해당된다.
- [0003] 최근 들어, 낸드 플래시 메모리 장치는 메모리 셀에 2비트의 데이터를 저장하는 방식으로 동작한다. 이 때문에 메모리 셀들에 2비트의 데이터를 저장하기 위한 프로그램 동작이 완료되면 메모리 셀들의 문턱전압들이 소거 레벨과 제1 내지 제3 프로그램 레벨들에 각각 분포된다. 그리고, 리드 동작 시 메모리 셀들의 문턱전압들을 구분하기 위하여 문턱전압 분포들 사이의 전압들을 리드 전압으로 사용한다.
- [0004] 그런데, 집적도를 높이기 위하여 메모리 셀들의 간격이 좁아짐에 따라 인접한 메모리 셀들 사이에서 간섭 현상이 발생되기 때문에, 리드 동작에 의해 독출된 데이터에 에러 비트들이 포함된다. 에러 비트들의 수가 허용치보다 작으면 ECC 처리를 통해 보정이 가능하지만, 허용치보다 많으면 오류가 발생된다.
- [0005] 따라서, 메모리 셀들로부터 독출되는 데이터에서 발생하는 에러 비트의 수를 최소화하기 위한 방안이 요구되고 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 실시예는 메모리 셀들로부터 독출되는 데이터에서 발생하는 에러 비트의 수를 최소화할 수 있는 반도체 장치 및 이의 동작 방법을 제공한다.

과제의 해결 수단

- [0007] 본 발명의 실시예에 따른 반도체 장치의 동작 방법은 메모리 셀들의 리드 동작을 위하여 칩의 외부로부터 입력된 리드 전압의 인가 조건이 내부 레지스터에 저장되는 단계와, 메모리 셀들로부터 독출되는 데이터에 포함된 에러 비트의 수가 허용 범위를 벗어나면 리드 전압의 인가 조건에 따라 리드 전압의 레벨을 변경하면서 리드 동작을 반복 실시하는 단계, 및 에러 비트의 수가 허용 범위에 해당하면 리드 동작이 실시된 횟수를 내부 레지스터에 저장되는 단계를 포함한다.
- [0008] 본 발명의 실시예에 따른 반도체 장치는 메모리 셀들을 포함하는 메모리 어레이와, 메모리 셀들의 리드 동작을 수행하도록 구성된 동작 회로, 및 메모리 셀들의 리드 동작을 위하여 칩의 외부로부터 입력된 리드 전압의 인가 조건과 리드 동작의 실시 횟수를 저장하기 위한 내부 레지스터를 포함하고, 메모리 셀들로부터 독출되는 데이터에 포함된 에러 비트의 수가 허용 범위를 벗어나면 리드 전압의 인가 조건에 따라 리드 전압의 레벨을 변경하면서 리드 동작이 반복 실시되도록 동작 회로를 제어하는 제어 회로를 포함한다.

발명의 효과

- [0009] 본 발명의 실시예는 메모리 셀들로부터 독출되는 데이터에서 발생하는 에러 비트의 수를 최소화하여 신뢰성을 향상시킬 수 있다. 또한, 본 발명의 실시예는 테스트 장비에 구애받지 않고 칩 내부에서 리드 전압의 인가 조건에 따라 리드 동작이 자동적으로 반복 실시될 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.

도 2는 도 1에 도시된 메모리 블록을 설명하기 위한 회로도이다.

도 3a 및 도 3b는 도 1에 도시된 메모리 셀들의 문턱전압 분포를 설명하기 위한 도면이다.

도 4는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다.

도 5는 본 발명의 실시예에 따른 메모리 시스템을 간략히 보여주는 블록도이다.

도 6은 앞서 설명된 다양한 실시예들에 따라 프로그램 동작을 수행하는 퓨전 메모리 장치 또는 퓨전 메모리 시스템을 간략히 보여주는 블록도이다.

도 7은 본 발명의 실시예에 따른 플래시 메모리 장치를 포함한 컴퓨팅 시스템을 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.
- [0012] 도 1은 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.
- [0013] 도 1을 참조하면, 반도체 장치는 메모리 어레이(110)와 주변 회로(120~160)를 포함한다. 주변 회로는 제어 회로(120)와 동작 회로(130~160)를 포함한다. 플래시 메모리 장치의 경우, 동작 회로는 메모리 셀들의 리드 동작, 프로그램 동작 및 소거 동작을 수행하도록 구성되며, 전압 공급 회로(130), 페이지 버퍼 그룹(140), 컬럼 선택 회로(150) 및 입출력 회로(160)를 포함할 수 있다. 제어 회로(120)는 동작 회로(130~160)를 제어한다.
- [0014] 메모리 어레이(110)는 다수의 메모리 블록들(110MB)을 포함한다. 각각의 메모리 블록(110MB)은 다수의 메모리 스트링들(ST)을 포함할 수 있다. 메모리 블록(110MB)의 구조를 설명하면 다음과 같다.
- [0015] 도 2는 도 1에 도시된 메모리 블록을 설명하기 위한 회로도이다.
- [0016] 도 2를 참조하면, 각각의 메모리 블록은 비트라인들(BLe0~BLek, BLo0~BLok)과 공통 소스 라인(SL) 사이에 연결된 다수의 메모리 스트링들(ST)을 포함한다. 즉, 메모리 스트링들(ST)은 대응하는 비트 라인들(BLe0~BLek, BLo0~BLok)과 각각 연결되고 공통 소스 라인(SL)과 공통으로 연결된다. 각각의 메모리 스트링(ST)은 소스가 공통 소스 라인(SL)에 연결되는 소스 셀렉트 트랜지스터(SST), 복수의 메모리 셀들(Ce00~Cen0)이 직렬로 연결된 셀 스트링, 그리고 드레인이 비트라인(BLe0)에 연결되는 드레인 셀렉트 트랜지스터(DST)를 포함한다. 셀 스트링에 포함된 메모리 셀들(Ce00~Cen0)은 셀렉트 트랜지스터들(SST, DST) 사이에 직렬로 연결된다. 소스 셀렉트 트랜지스터(SST)의 게이트는 소스 셀렉트 라인(SSL)에 연결되고, 메모리 셀들(Ce00~Cen0)의 게이트들은 워드라인들(WL0~WLn)에 각각 연결되며, 드레인 셀렉트 트랜지스터(DST)의 게이트는 드레인 셀렉트 라인(DSL)에 연결된다.
- [0017] 여기서, 드레인 셀렉트 트랜지스터(DST)는 셀 스트링(Ce00~Cen0)과 비트라인의 연결 또는 차단을 제어하며, 소스 셀렉트 트랜지스터(SST)는 셀 스트링(Ce00~Cen0)과 공통 소스 라인(SL)의 연결 또는 차단을 제어한다.
- [0018] 낸드 플래시 메모리 장치에서 메모리 셀 블록에 포함된 메모리 셀들은 물리적 페이지 단위 또는 논리적 페이지 단위로 구분할 수 있다. 예를 들어, 하나의 워드라인(예, WL0)에 연결된 메모리 셀들(Ce00~Ce0k, Co00~Co0k)이 하나의 물리적 페이지(PAGE)를 구성한다. 또한, 하나의 워드라인(예, WL0)에 연결된 짝수번째 메모리 셀들(Ce00~Ce0k1)이 하나의 이븐 물리적 페이지를 구성하고, 홀수번째 메모리 셀들(Co00~Co0k)이 하나의 오드 물리적 페이지를 구성할 수 있다. 이러한 페이지(또는, 이븐 페이지와 오드 페이지)는 프로그램 동작 또는 리드 동작의 기본 단위가 된다.
- [0019] 다시, 도 1 및 도 2를 참조하면, 주변 회로(120~160)는 선택된 워드라인(예, WL0)에 연결된 메모리 셀들(예, Ce00~Ce0k)의 소거 루프, 프로그램 루프 및 리드 동작을 수행하도록 구성된다. 이러한 주변 회로는 프로그램 루프, 리드 루프 및 소거 동작을 제어하기 위한 제어 회로(120)와 제어 회로(120)의 제어에 따라 프로그램 루프, 리드 루프 및 소거 동작을 수행하도록 구성된 동작 회로(130~160)를 포함한다. 프로그램 루프, 리드 루프 및 소거 동작을 수행하기 위하여, 동작 회로(130~160)는 동작 전압들(Verase, Vpgm, Vread, Vpass, Vvfy, Vdsl, Vssl, Vsl)을 선택된 메모리 블록의 로컬 라인들(SSL, WL0~WLn, DSL)과 공통 소스 라인(SL)으로 선택적

으로 출력하고, 비트라인들(BLe0~BLek, BLo0~BLok)의 프리차지/디스차지를 제어하거나 비트라인들(BLe0~BLek, BLo0~BLok)의 전류 흐름을 센싱하도록 구성된다. 특히, NAND 플래시 메모리 장치의 경우, 동작 회로는 전압 공급 회로(130), 페이지 버퍼 그룹(140), 컬럼 선택 회로(150) 및 입출력 회로(160)를 포함한다. 각각의 구성 요소에 대해 구체적으로 서설명하면 다음과 같다.

- [0020] 제어 회로(120)는 외부로부터 입출력 회로(160)를 통해 입력되는 명령 신호(CMD)에 응답하여 프로그램 루프, 리드 동작 또는 소거 루프를 수행하기 위한 동작 전압들(Verase, Vpgm, Vread, Vpass, Vvfy, Vdsl, Vssl, Vsl)이 원하는 레벨로 발생될 수 있도록 전압 공급 회로(130)를 제어하기 위한 전압 제어 신호(CMDv)를 출력한다. 그리고, 제어 회로(120)는 프로그램 루프, 리드 루프 또는 소거 루프를 수행하기 위해 페이지 버퍼 그룹(140)에 포함된 페이지 버퍼들(PB0~PBk)을 제어하기 위한 제어 신호들(CMDpb)을 출력한다. 또한, 제어 회로(120)는 어드레스 신호(ADD)가 입력되면 이들에 의해 컬럼 어드레스 신호(CADD)와 로우 어드레스 신호(RADD)가 생성되어 제어 회로(120)로부터 출력된다.
- [0021] 특히, 제어 회로(120)는 메모리 셀들의 리드 동작을 위하여 칩의 외부로부터 입력된 리드 전압(Vread)의 인가 조건과 리드 동작의 실시 횟수를 저장하기 위한 내부 레지스터들(123, 125, 127)을 포함하고, 메모리 셀들로부터 독출되는 데이터에 포함된 에러 비트의 수가 허용 범위를 벗어나면 리드 전압(Vread)의 인가 조건에 따라 리드 전압(Vread)의 레벨을 변경하면서 리드 동작이 반복 실시되도록 동작 회로(130~160)를 제어하기 위한 테스트 리드 동작 제어부(121)를 포함할 수 있다. 구체적인 제어 동작은 후술하기로 한다.
- [0022] 전압 공급 회로(130)는 제어 회로(120)의 전압 제어 신호(CMDv)에 응답하여 메모리 셀들의 프로그램 루프, 리드 동작 또는 소거 루프에 따라 필요한 동작 전압들(Verase, Vpgm, Vread, Vpass, Vvfy, Vdsl, Vssl, Vsl)을 생성하고, 제어 회로(120)의 로우 어드레스 신호(RADD)에 응답하여 선택된 메모리 블록의 로컬 라인들(SSL, WL0~WLn, DSL)과 공통 소스 라인(SL)로 동작 전압들을 출력한다.
- [0023] 이를 위해, 전압 공급 회로(130)는 전압 생성 회로(131)와 로우 디코더(133)를 포함할 수 있다. 전압 생성 회로(131)는 제어 회로(120)의 전압 제어 신호(CMDv)에 응답하여 동작 전압들(Verase, Vpgm, Vread, Vpass, Vvfy, Vdsl, Vssl, Vsl)을 생성하고, 로우 디코더(140)는 제어 회로(120)의 로우 어드레스 신호(RADD)에 응답하여 동작 전압들을 메모리 블록들(110MB) 중 선택된 메모리 블록의 로컬 라인들(SSL, WL0~WLn, DSL)과 공통 소스 라인(SL)으로 전달한다.
- [0024] 이렇듯, 이하에서 설명되는 동작 전압들(Verase, Vpgm, Vread, Vpass, Vvfy, Vdsl, Vssl, Vsl)의 출력과 변경은 제어 회로(120)의 전압 제어 신호(CMDv)에 따라 전압 공급 회로(130)에 의해 이루어진다. 특히, 테스트 모드에서 리드 동작이 실시되는 경우, 리드 전압(Vread)의 출력과 변경은 제어 회로(120)의 레지스터(예, 121)에 저장된 리드 전압의 인가 조건과 테스트 리드 동작 제어부(121)의 제어에 따라 제어된다.
- [0025] 페이지 버퍼 그룹들(140)은 비트라인들(BLe0~BLek, BLo0~BLok)을 통해 메모리 어레이(110)와 연결되는 다수의 페이지 버퍼들(PB0~PBk)을 각각 포함한다. 프로그램 동작 시 제어 회로(120)의 동작 제어 신호(CMDpb)와 메모리 셀들에 저장하기 위한 데이터(DATA)에 따라, 페이지 버퍼들(PB0~PBk)은 비트라인들(BLe0~BLek, BLo0~BLok)을 선택적으로 프리차지한다. 프로그램 검증 동작이나 리드 동작 시 제어 회로(120)의 동작 제어 신호(CMDpb)에 따라, 페이지 버퍼들(PB0~PBk)은 비트라인들(BLe0~BLek, BLo0~BLok)을 프리차지한 후 비트라인들(BLe0~BLek, BLo0~BLok)의 전류 흐름을 센싱하여 메모리 셀로부터 독출된 데이터를 래치한다. 페이지 버퍼들(PB0~PBk)은 비트라인들과 각각 연결될 수 있으며, 이븐 비트라인(BLe0~BLek)과 오드 비트라인(BLo0~BLok)을 포함하는 한쌍의 비트라인들마다 연결될 수도 있다.
- [0026] 컬럼 선택 회로(150)는 제어 회로(120)에서 출력된 컬럼 어드레스(CADD)에 응답하여 페이지 버퍼 그룹(140)에 포함된 페이지 버퍼들(PB0~PBk)을 선택한다. 즉, 컬럼 선택 회로(150)는 메모리 셀들에 저장될 데이터를 컬럼 어드레스(CADD)에 응답하여 순차적으로 페이지 버퍼들(PB0~PBk)로 전달한다. 또한, 리드 동작에 의해 페이지 버퍼들(PB0~PBk)에 래치된 메모리 셀들의 데이터가 외부로 출력될 수 있도록 컬럼 선택 회로(150)는 컬럼 어드레스(CADD)에 응답하여 순차적으로 페이지 버퍼들(PB0~PBk)을 선택한다.
- [0027] 입출력 회로(160)는 외부로부터 입력되는 명령 신호(CMD)와 어드레스 신호(ADD)를 제어 회로(120)로 전달한다. 또한, 입출력 회로(160)는 프로그램 동작 시 외부로부터 입력된 데이터(DATA)를 컬럼 선택 회로(150)로 전달하거나, 리드 동작 시 메모리 셀들로부터 독출된 데이터를 외부로 출력하는 동작을 수행한다.
- [0028] 도 3a 및 도 3b는 도 1에 도시된 메모리 셀들의 문턱전압 분포를 설명하기 위한 도면이다.
- [0029] 도 3a를 참조하면, 메모리 셀들에 저장된 2비트의 데이터에 따라 메모리 셀들의 문턱전압들은 소거 레벨(PV0)과

제1 내지 제3 프로그램 레벨들(PV1~PV3)로 나뉘어 분포된다. 이상적인 경우, 문턱전압 분포들은 리드 마진을 제공하기 위하여 일정한 전압 간격을 유지한다. 그리고, 문턱전압 분포들 사이의 레벨에 해당하는 리드 전압들(Vread1~Vread3)을 이용하여 메모리 셀들의 문턱전압 레벨을 구분하고, 구분된 레벨에 의해 메모리 셀들의 데이터가 독출된다.

- [0030] 도 3b를 참조하면, 집적도를 높이기 위하여 메모리 셀의 사이즈가 작아지고 메모리 셀들의 간격이 좁아짐에 따라 메모리 셀들에 데이터를 저장하기 위한 프로그램 동작 시 인접한 메모리 셀에 간섭 현상이 발생한다. 간섭 현상에 의해 메모리 셀의 문턱전압이 변하게 되며, 문턱전압이 높아지면 문턱전압 분포들(PV0'~PV3') 사이의 간격이 좁아지거나 문턱전압 분포들(PV0'~PV3')이 겹치게 된다. 그 결과, 리드 동작 시 독출된 데이터에 에러 비트가 포함되며, 간섭 현상이 심해지면 에러 비트의 수가 증가한다. 데이터에 포함된 에러 비트들은 에러 정정 코드(ECC; error correction code)를 통해 보정될 수 있으나, 에러 비트의 수가 허용 범위(즉, ECC를 통해 보정될 수 있는 범위)를 벗어나면 에러 정정이 불가능하여 오류나 불량 발생된다.
- [0031] 이러한 문제를 해결하기 위하여 에러 비트의 수가 허용 범위 내에서 발생할 수 있도록 리드 전압의 레벨을 변경하는 테스트 리드 동작이 제시되고 있다.
- [0032] 테스트 리드 동작을 테스트 장비에서 리드 전압의 레벨을 결정하고 결정된 레벨의 리드 전압에 의해 독출된 데이터와 기준 데이터를 비교한다. 비교 결과에 따라 에러 비트의 수를 확인할 수 있으며, 에러 비트의 수가 허용 범위를 벗어나면, 테스트 장비에서 리드 전압의 레벨을 변경하고, 변경된 레벨의 리드 전압에 의해 독출된 데이터와 기준 데이터를 다시 비교한다. 이러한 동작들을 반복함으로써, 에러 비트의 수가 허용 범위에 해당될 때 사용되는 리드 전압의 레벨을 확인할 수 있다. 확인 결과에 따라 리드 동작 시 인가될 리드 전압을 설정함으로써, 오류나 불량 발생을 최소화할 수 있다.
- [0033] 하지만, 리드 전압의 레벨을 테스트 장비에서 조절하기 때문에 많은 시간이 소요되고, 리드 전압의 레벨을 조절할 수 없는 저가의 테스트 장비에서는 최적화된 리드 전압을 찾을 수 없다. 이하, 본 발명의 실시예에서는 메모리 셀들로부터 독출되는 데이터에서 발생하는 에러 비트의 수를 최소화하여 신뢰성을 향상시킴과 동시에, 테스트 장비에 구애받지 않고 칩 내부에서 최적화된 리드 전압을 설정하기 위해 리드 전압의 인가 조건에 따라 리드 동작을 자동적으로 반복 실시할 수 있는 방안을 설명하기로 한다.
- [0034] 도 4는 본 발명의 실시예에 따른 반도체 장치의 동작 방법을 설명하기 위한 흐름도이다.
- [0035] 도 1 및 도 4를 참조하면,
- [0036] 단계(S401)에서 테스트 모드로 진입한다. 테스트 리드 명령 신호가 입력되고, 메모리 칩은 테스트 모드(즉, 테스트 리드 동작 모드)로 진입한다.
- [0037] 단계들(S403, S405)에서, 칩의 외부로부터 리드 전압(Vread)의 인가 조건에 해당하는 바이어스 테이블과 기준 데이터가 입력된다. 입력된 인가 조건과 기준 데이터는 제어 회로(120)의 내부 레지스터(123, 125, 127)에 저장된다. 여기서, 리드 전압의 인가 조건은 리드 전압의 최저 레벨, 리드 전압의 최고 레벨, 리드 전압의 변경 레벨 및 리드 동작의 최대 허용 실시 횟수를 포함할 수 있다. 리드 전압의 인가 조건에 따라 초기 리드 전압이 설정된다.
- [0038] 또한, 리드 동작의 대상이 되는 메모리 셀들을 선택하기 위한 어드레스 신호가 함께 입력될 수 있다. 어드레스 신호는 특정 메모리 블록에서 하나의 워드라인 또는 하나의 페이지를 선택하기 위해 사용되며, 인가 조건과 기준 데이터와 함께 레지스터에 저장될 수 있다. 저장된 어드레스 신호에 따라 제어 회로(120)는 로우 어드레스(RADD)와 컬럼 어드레스(CADD)를 생성할 수 있다.
- [0039] 한편, 내부 레지스터(123, 125, 127)는 테스트 모드가 종료된 후 메모리 셀들의 프로그램 동작, 리드 동작 또는 소거 동작을 위한 전압들의 인가 조건을 저장하기 위한 용도로 각각 사용된다. 따라서, 테스트 모드를 위해 별도의 레지스터가 구비될 필요가 없다.
- [0040] 이렇게 테스트 리드 명령 신호가 입력되면 외부 컨트롤러(예, 도 5의 510)의 제어와 상관없이 칩의 내부에서 테스트 리드 동작이 리드 전압의 인가 조건에 따라 반복 실시된다. 이하에서 설명하는 테스트 리드 동작은 레지스터(123, 125, 127)에 저장된 리드 전압의 인가 조건과 테스트 리드 동작 제어부(121)의 제어에 따라 진행된다.
- [0041] 단계(S407)에서, 리드 동작이 실시된다. 전압 공급 회로(130)는 제어 회로(120)의 전압 제어 신호(CMDv)와 로우 어드레스 신호(RADD)에 따라 선택된 메모리 블록(110MB)의 선택된 워드라인(예, WL0)에 설정된 리드 전압

(Vread)을 인가하고 나머지 워드라인들(예, WL1~WLn)에 패스 전압(Vpass)을 인가한다. 그리고, 페이지 버퍼들(PB0~PBk)은 비트라인의 전압 또는 전류 변화를 센싱하여 메모리 셀들에 저장된 데이터를 래치한다.

- [0042] 단계(S409)에서, 제어 회로(120)는 페이지 버퍼들(PB0~PBk)에 래치된 데이터(즉, 메모리 셀들로부터 독출된 데이터)와 레지스터(123, 125, 127)에 저장된 기준 데이터를 비교한다. 여기서, 독출된 데이터와 기준 데이터를 비교하고, 독출된 데이터에 포함된 에러 비트의 수에 따라 리드 동작의 패스 또는 페일 여부를 확인하기 위한 비교 회로(미도시)가 별도로 구비될 수도 있다. 한편, 메모리 셀들로부터 데이터를 독출하기 전에, 기준 데이터가 메모리 셀들로 먼저 저장될 수 있다.
- [0043] 비교 결과, 독출된 데이터의 에러 비트 수가 허용 범위(예, ECC를 통해 보정 가능한 범위)를 벗어난 것으로 확인되면, 테스트 리드 동작 제어부(121)는 레지스터(123, 125, 127)에 저장된 리드 전압의 인가 조건에 따라 리드 전압(Vread)의 레벨을 변경하도록 전압 공급 회로(130)를 제어한다.
- [0044] 다시 단계(S407)에서, 변경된 리드 전압(Vread)을 이용하여 리드 동작을 재실시한다. 변경된 리드 전압(Vread)에 의해 메모리 셀들로부터 독출된 데이터는 페이지 버퍼들(PB0~PBk)에 다시 래치된다.
- [0045] 단계(S409)에서, 독출된 데이터와 기준 데이터가 다시 비교된다.
- [0046] 비교 결과, 독출된 데이터의 에러 비트 수가 허용 범위(예, ECC를 통해 보정 가능한 범위)에 해당하면, 단계(S413)에서 테스트 리드 동작 제어부(121)는 레지스터(123, 125, 127)에 패스 결과를 저장한다. 예로써, 테스트 리드 동작 제어부(121)는 레지스터(123, 125, 127)에 리드 동작이 실시 횟수를 저장할 수 있다.
- [0047] 단계(S415)에서, 내부 레지스터에 저장된 리드 동작의 실시 횟수를 확인하기 위하여, 리드 동작의 실시 횟수가 칩의 외부로 출력된다.
- [0048] 상기에서와 같이, 테스트 리드 명령 신호가 입력되고 리드 전압의 인가 조건과 테스트 리드 동작에 필요한 데이터들이 저장되면, 외부 컨트롤러(또는 테스트 장비)의 제어와 상관없이 칩 내부에서 테스트 리드 동작이 리드 전압의 인가 조건에 따라 반복 실시된다. 따라서, 장비의 구매 없이 최적화된 리드 전압을 칩 내부의 동작만으로 설정이 가능해진다.
- [0049] 도 5는 본 발명의 실시예에 따른 메모리 시스템을 간략히 보여주는 블록도이다.
- [0050] 도 5를 참조하면, 본 발명의 실시예에 따른 메모리 시스템(500)은 불휘발성 메모리 장치(520)와 메모리 컨트롤러(510)를 포함한다.
- [0051] 불휘발성 메모리 장치(520)는 앞서 설명한 반도체 장치로 구성될 수 있다. 메모리 컨트롤러(510)는 프로그램 동작, 리드 동작이나 소거 동작과 같은 일반 동작 모드에서 불휘발성 메모리 장치(520)를 제어하도록 구성된다. 다만, 테스트 리드 동작을 위한 테스트 모드에서는 리드 전압의 인가 조건, 기준 데이터, 어드레스 신호와 같은 데이터들은 메모리 컨트롤러(510)와 같은 외부 컨트롤러를 거치지 않고 호스트로부터 직접 불휘발성 메모리 장치(510)로 직접 입력될 수 있다.
- [0052] 불휘발성 메모리 장치(520)와 메모리 컨트롤러(510)의 결합에 의해 메모리 카드 또는 반도체 디스크 장치(Solid State Disk: SSD)로 제공될 수 있을 것이다. SRAM(511)은 프로세싱 유닛(512)의 동작 메모리로서 사용된다. 호스트 인터페이스(513)는 메모리 시스템(500)과 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 에러 정정 블록(514)은 불휘발성 메모리 장치(520)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(514)는 본 발명의 불휘발성 메모리 장치(520)와 인터페이싱 한다. 프로세싱 유닛(512)은 메모리 컨트롤러(510)의 데이터 교환을 위한 제반 제어 동작을 수행한다.
- [0053] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(500)은 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(미도시됨) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 불휘발성 메모리 장치(520)는 복수의 플래시 메모리 칩들로 구성되는 멀티-칩 패키지로 제공될 수도 있다. 이상의 본 발명의 메모리 시스템(500)은 에러의 발생 확률이 낮은 고신뢰성의 저장 매체로 제공될 수 있다. 특히, 최근 활발히 연구되고 있는 반도체 디스크 장치(Solid State Disk: 이하 SSD)와 같은 메모리 시스템에서 본 발명의 플래시 메모리 장치가 구비될 수 있다. 이 경우, 메모리 컨트롤러(510)는 USB, MMC, PCI-E, SATA, PATA, SCSI, ESDI, 그리고 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 외부(예를 들면, 호스트)와 통신하도록 구성될 것이다.
- [0054] 도 6은 앞서 설명된 다양한 실시예들에 따라 프로그램 동작을 수행하는 퓨전 메모리 장치 또는 퓨전 메모리 시

시스템을 간략히 보여주는 블록도이다. 예를 들면, 퓨전 메모리 장치로서 원낸드 플래시 메모리 장치(600)에 본 발명의 기술적 특징이 적용될 수 있다.

[0055] 원낸드 플래시 메모리 장치(600)는 서로 다른 프로토콜을 사용하는 장치와의 각종 정보 교환을 위한 호스트 인터페이스(610)와, 메모리 장치를 구동하기 위한 코드를 내장하거나 데이터를 일시적으로 저장하는 버퍼 램(620)과, 외부에서 주어지는 제어 신호와 명령어에 응답하여 읽기와 프로그램 및 모든 상태를 제어하는 제어부(630)와, 명령어와 어드레스, 메모리 장치 내부의 시스템 동작 환경을 정의하는 설정(Configuration) 등의 데이터가 저장되는 레지스터(640) 및 불휘발성 메모리 셀과 페이지 버퍼를 포함하는 동작 회로로 구성된 낸드 플래시 셀 어레이(650)를 포함한다. 낸드 플래시 셀 어레이(650)의 메모리 어레이는 도 2에 도시된 메모리 어레이가 적용된다.

[0056] 도 7에는 본 발명에 따른 플래시 메모리 장치(712)를 포함한 컴퓨팅 시스템이 개략적으로 도시되어 있다.

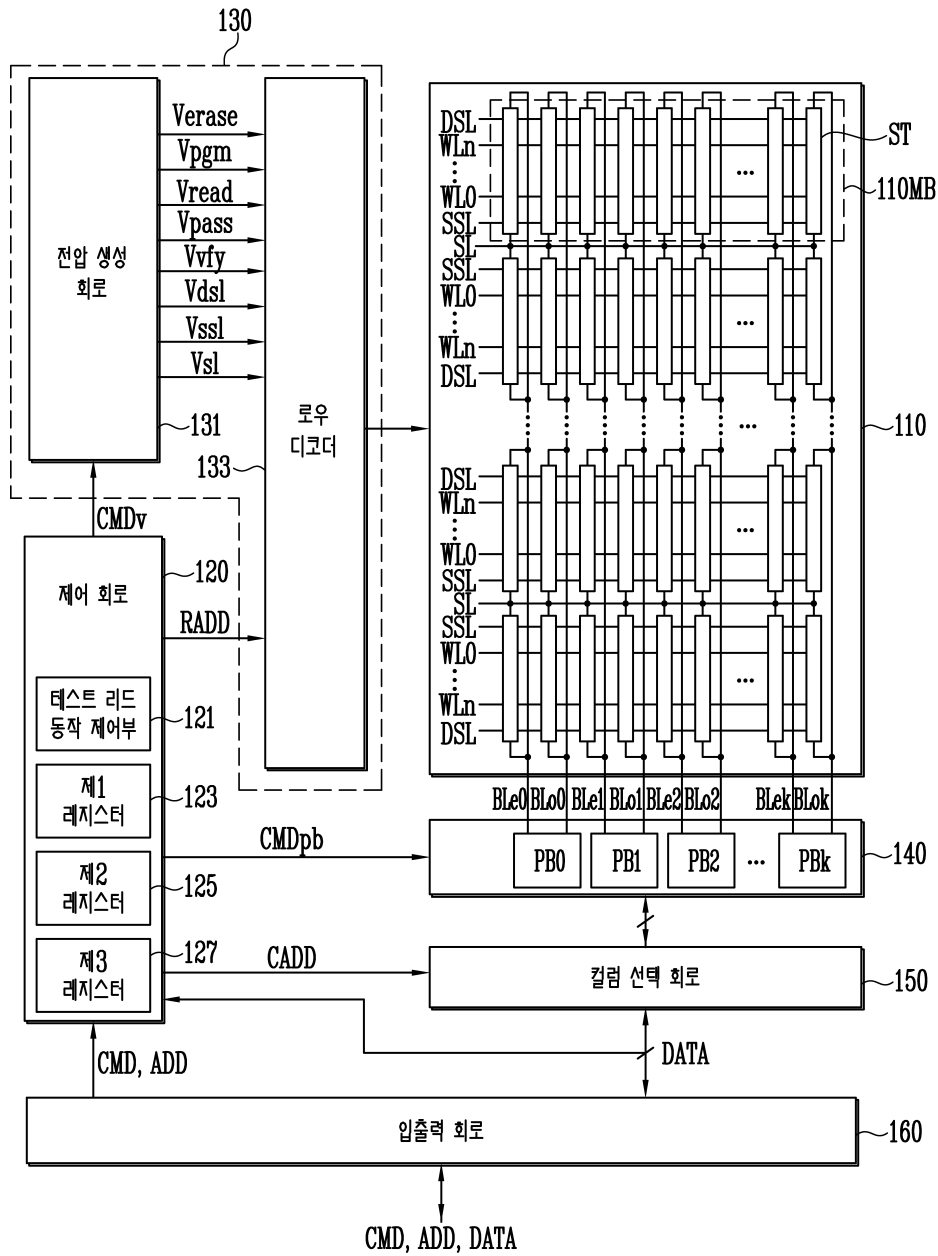
[0057] 본 발명에 따른 컴퓨팅 시스템(700)은 시스템 버스(760)에 전기적으로 연결된 마이크로프로세서(720), 램(730), 사용자 인터페이스(740), 베이스밴드 칩셋(Baseband chipset)과 같은 모뎀(750) 및 메모리 시스템(710)을 포함한다. 본 발명에 따른 컴퓨팅 시스템(700)이 모바일 장치인 경우, 컴퓨팅 시스템(700)의 동작 전압을 공급하기 위한 배터리(미도시됨)가 추가적으로 제공될 것이다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템(700)에는 응용 칩셋(Application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 시스템(710)은, 예를 들면, 데이터를 저장하는 데 불휘발성 메모리를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다. 또는, 메모리 시스템(710)은, 퓨전 플래시 메모리(예를 들면, 원낸드 플래시 메모리)로 제공될 수 있다.

부호의 설명

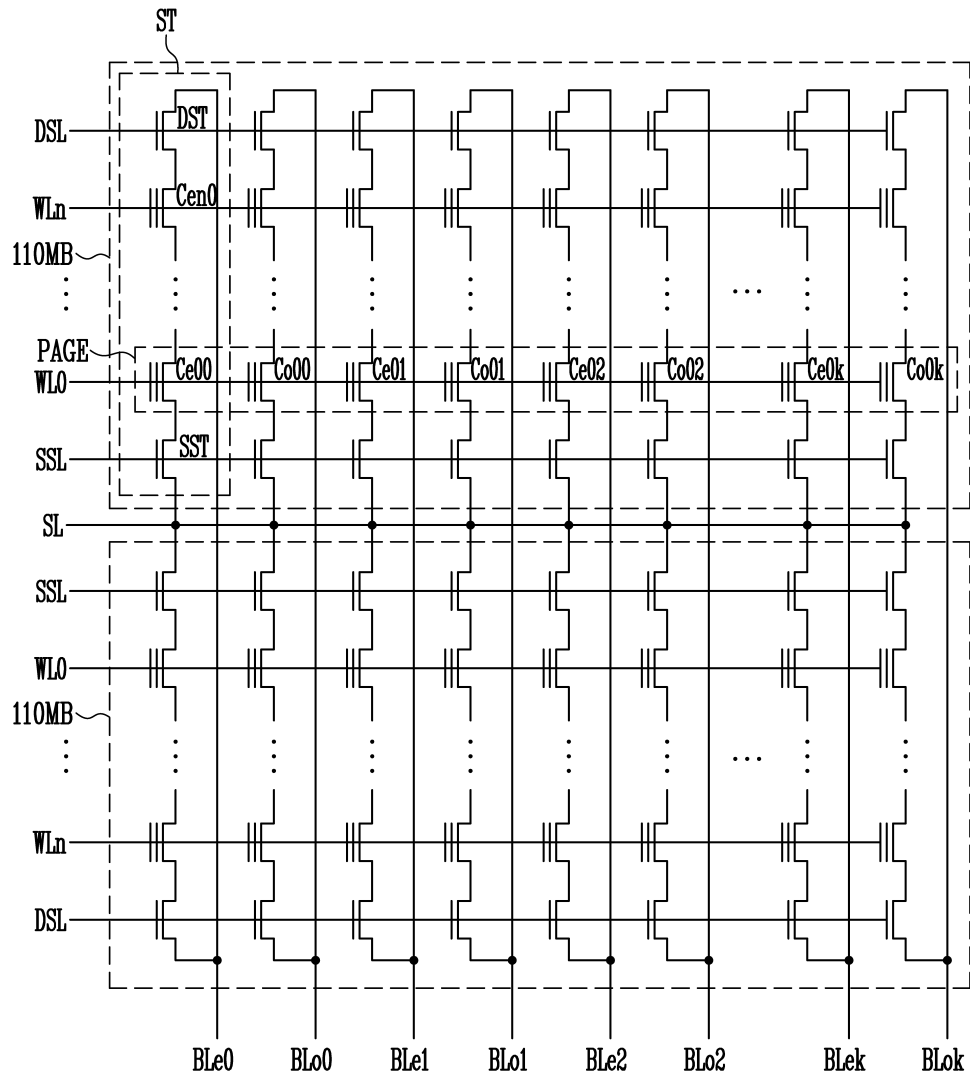
- | | | |
|--------|--------------------|----------------------|
| [0058] | 110 : 메모리 어레이 | 110MB : 메모리 블록 |
| | ST : 스트링 | PAGE : 페이지 |
| | 120 : 제어 회로 | 130 : 전압 공급 회로 |
| | 131 : 전압 생성 회로 | 133 : 로우 디코더 |
| | 140 : 페이지 버퍼 그룹 | PBO~PBk : 페이지 버퍼 |
| | 150 : 컬럼 선택 회로 | 160 : 입출력 회로 |
| | 121 : 테스트 리드동작 제어부 | 123, 125, 127 : 레지스터 |

도면

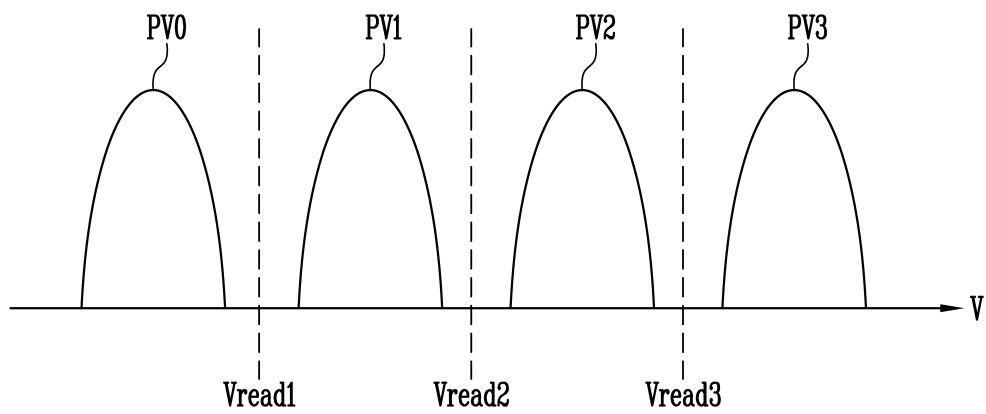
도면1



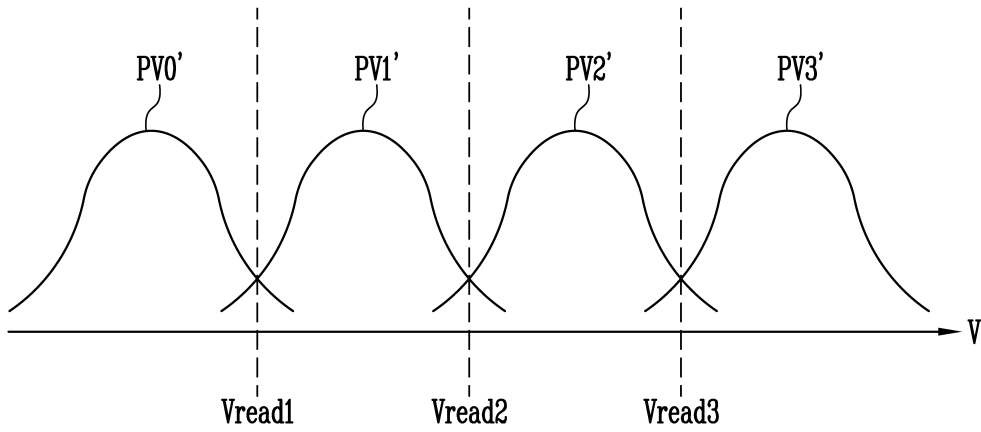
도면2



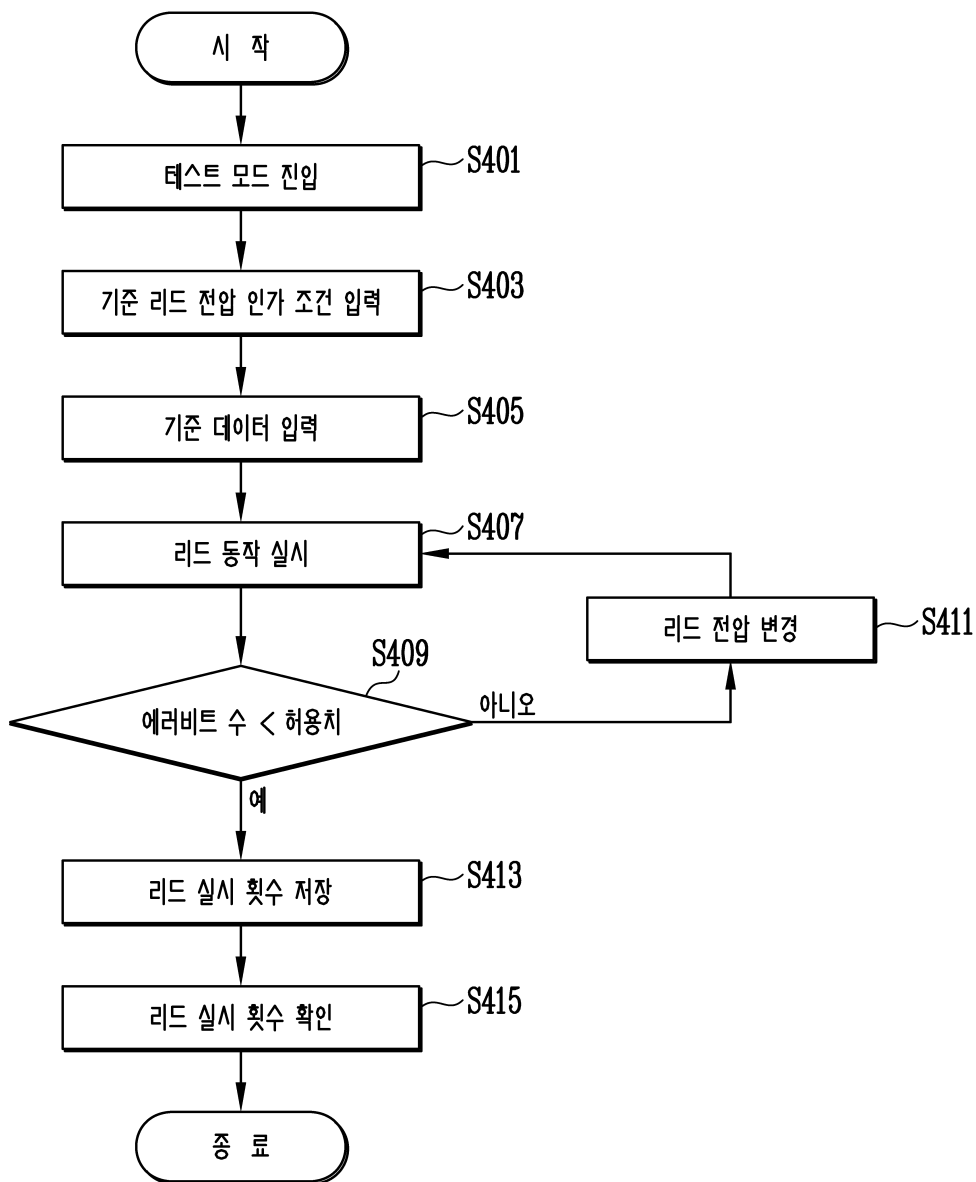
도면3a



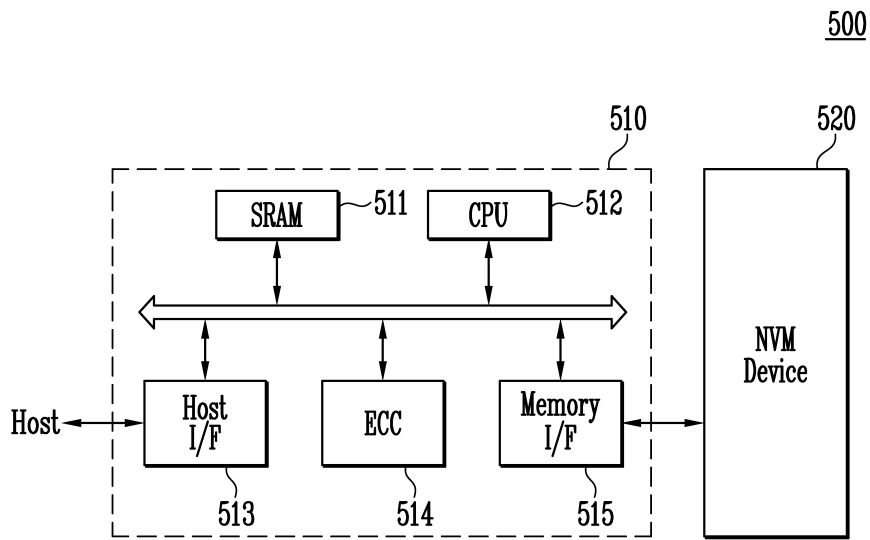
도면3b



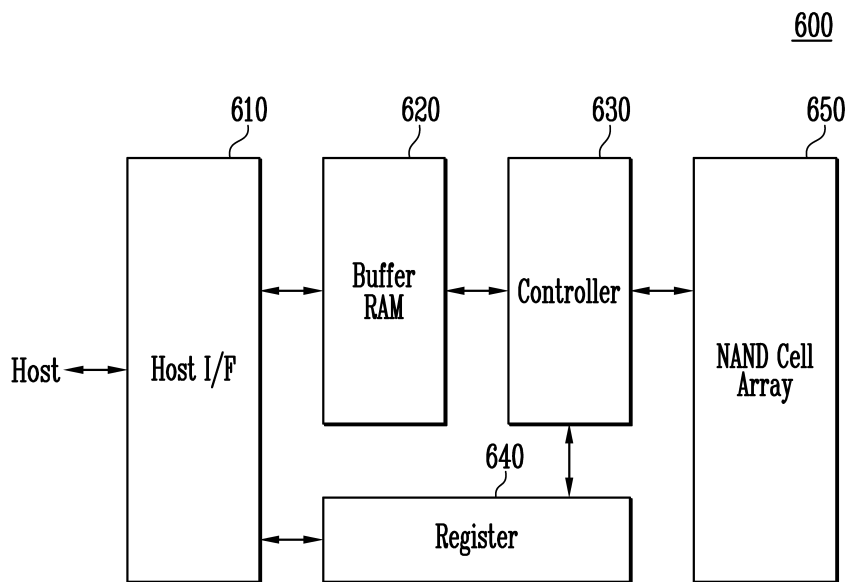
도면4



도면5



도면6



도면7

