

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成24年2月2日 (2012.2.2)

【公開番号】特開2010-192052(P2010-192052A)

【公開日】平成22年9月2日 (2010.9.2)

【年通号数】公開・登録公報2010-035

【出願番号】特願2009-36575(P2009-36575)

【国際特許分類】

G 1 1 C 11/41 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/11 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

【F I】

G 1 1 C 11/34 V

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 6 8 1 E

H 0 1 L 27/10 6 8 1 A

H 0 1 L 27/10 6 8 1 B

H 0 1 L 27/10 3 8 1

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

G 1 1 C 11/34 3 4 5

H 0 1 L 27/10 4 7 1

【手続補正書】

【提出日】平成23年12月9日 (2011.12.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一つの半導体チップ上に形成されたメモリブロックを含む半導体装置であって、前記メモリブロックは、

それぞれが、複数のワード線、複数のビット線、および前記複数のワード線と前記複数のビット線の交点に配置された互いに同一種類の複数のメモリセルを含み、第 1 方向に向けて順次並んで配置された複数のメモリアレイと、

前記メモリブロックの端縁部に配置され、外部からのメモリアクセス命令に伴う外部制御信号が入力され、これに応じた内部制御信号を出力する第 1 インタフェース部と、

前記第 1 インタフェース部から前記第 1 方向に延伸し、前記第 1 インタフェース部からの前記内部制御信号を伝送する第 1 配線と、

前記第 1 配線を介して入力された前記内部制御信号に応じて対応する前記メモリアレイ

を制御する制御部、
を備え、

前記第1インタフェース部から前記メモリアレイへの前記外部制御信号の伝達に生じる前記メモリアレイ間での遅延時間の差分を相殺するように前記メモリアレイのサイズを前記第1方向において前記第1インタフェース部に近接配置されたメモリアレイで大きく前記第1インタフェース部から遠ざかる方向に順次小さく設定したことを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記メモリアレイのサイズの設定は、前記メモリアレイに含まれる前記ワード線の本数を、それぞれ、前記第1インタフェース部に近接するメモリアレイで多く前記第1インタフェース部から遠ざかる方向に順次少なく設定するものであることを特徴とする半導体装置。

【請求項3】

請求項2記載の半導体装置において、

前記ワード線の本数は、少なくとも前記メモリアレイのいずれか一つにおいて2のn乗（nは自然数）の値でないことを特徴とする半導体装置。

【請求項4】

請求項3記載の半導体装置において、

前記第1インタフェース部は、前記外部制御信号の一部となるアドレス信号に基づいて、前記内部制御信号の一部となるメモリアレイ選択信号を出力するデコーダ回路を備え、前記メモリアレイ選択信号は、対応する前記メモリアレイに含まれる前記ワード線が選択された際に活性化され、前記メモリアレイに含まれる前記ビット線を選択または駆動する際に用いられることを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか1項に記載の半導体装置において、

前記複数のメモリセルは、SRAMメモリセルであることを特徴とする半導体装置。

【請求項6】

請求項2記載の半導体装置において、さらに、

前記メモリブロックの端縁部に配置され、前記メモリアレイのいずれかから読み出したリードデータを外部に向けて出力する第2インタフェース部と、

前記第1方向の反対方向となる第2方向に延伸し、前記リードデータを前記第2インタフェース部に伝送する第2配線とを有することを特徴とする半導体装置。

【請求項7】

一つの半導体チップ上に形成されたメモリブロックを含む半導体装置であって、

前記メモリブロックは、

外部から制御信号が入力される接続部となる第1ノードと、

複数のメモリアレイと、

前記第1ノードから前記メモリブロック内に延伸して配置され、前記複数のメモリアレイに向けて制御信号を伝送する第1配線と、

を備え、

前記複数のメモリアレイのそれぞれは、

複数のワード線と、

複数のビット線と、

前記複数のワード線と前記複数のビット線の交点に配置された互いに同一種類の複数のメモリセルと、

を含み、

前記メモリアレイはそれぞれ前記第1ノードから互いに異なった距離にある位置に配置され、前記第1ノードと前記メモリアレイとの間を接続する前記第1配線の配線長は、前記第1ノードに近接配置されたメモリアレイとの間で短く、前記第1ノードから遠い位置

に配置されたメモリアレイとの間で長く、それぞれ配設されており、

前記第1ノードから前記メモリアレイへ前記第1配線を介して伝達される制御信号に生じる前記メモリアレイ間での遅延時間の差分を相殺するように前記メモリアレイの面積を前記第1ノードに近接配置された前記メモリアレイにおいて大きく、前記第1ノードから遠ざかる方向に配置された前記メモリアレイにおいて順次小さくすることで前記メモリアレイのサイズをそれぞれ設定したことを特徴とする半導体装置。

【請求項8】

請求項7記載の半導体装置において、

前記メモリアレイのサイズの設定は、前記メモリアレイに含まれる前記ワード線の本数を、前記第1ノードに近接する前記メモリアレイで多く、前記第1ノードから遠ざかる方向に順次少なく設定することを含むものであることを特徴とする半導体装置。

【請求項9】

請求項8記載の半導体装置において、

前記複数のワード線の本数は、少なくとも前記メモリアレイのいずれかにおいて、2のn乗（nは自然数）の値でないことを特徴とする半導体装置。

【請求項10】

請求項7記載の半導体装置において、

前記メモリアレイのサイズの設定は、前記メモリアレイに含まれる前記ビット線の本数を、前記第1ノードに近接する前記メモリアレイで少なく、前記第1ノードから遠ざかる方向に順次多く設定することを含むものであることを特徴とする半導体装置。

【請求項11】

一つの半導体チップ上に形成されメモリブロックを含む半導体装置であって、

前記メモリブロックは、

それぞれが、サブ駆動線と、前記サブ駆動線に接続される複数のメモリセルを含んだ複数のメモリアレイと、

前記メモリアレイのそれぞれに対応して配置され、対応する前記メモリアレイに含まれる前記サブ駆動線を駆動するサブドライバ回路と、

前記サブドライバ回路それぞれの活性化・非活性化を制御するメインドライバ回路と、を備え、

前記サブドライバ回路はそれぞれ前記メインドライバ回路から互いに異なった距離にある位置に配置されており、

前記サブ駆動線の長さは、前記メインドライバ回路に近接して配置された前記メモリアレイ内で長く、前記メインドライバ回路から遠ざかる方向に配置されたメモリアレイ内で順次短く設定されてなることを特徴とする半導体装置。

【請求項12】

請求項11記載の半導体装置において、

前記サブ駆動線は、ワード線であることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

ARY[m]（m=0～3）は、X方向に延伸する複数のワード線WLと、Y方向に延伸する複数の相補ビット線（ビット線対）BLと、これらの交点に配置される複数のメモリセルMCLを含み、その上層（Z方向）には、グローバルリード線GRおよびグローバルライト線GWがY方向に延伸している。この実施例では、特に限定はされないが、例えば、WLはメタル第3層、BLはメタル第2層、GRおよびGWはメタル第4層でそれぞれ形成される。また、ARY[0]～ARY[3]は、それぞれY方向に向けて順次配置される。