(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0003757
(43) 공개일자 2017년01월10일

(51) 국제특허분류(Int. Cl.)
H01B 13/00 (2006.01) *B22F 9/24* (2006.01)
H01B 5/14 (2006.01)
(52) CPC특허분류
H01B 13/00 (2013.01)
B22F 9/24 (2013.01)
(21) 출원번호 10-2015-0092699
(22) 출원일자 2015년06월30일
심사청구일자 2015년06월30일

(71) 출원인
연세대학교 산학협력단
서울특별시 서대문구 연세로 50 (신촌동, 연세대학교)
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
이태윤
서울특별시 서대문구 연세로 50 (신촌동,연세대학교)
안종현
서울특별시 서대문구 연세로 50 연세대학교 제1공학관 A440
(뒷면에 계속)
(74) 대리인
권혁수, 송윤호

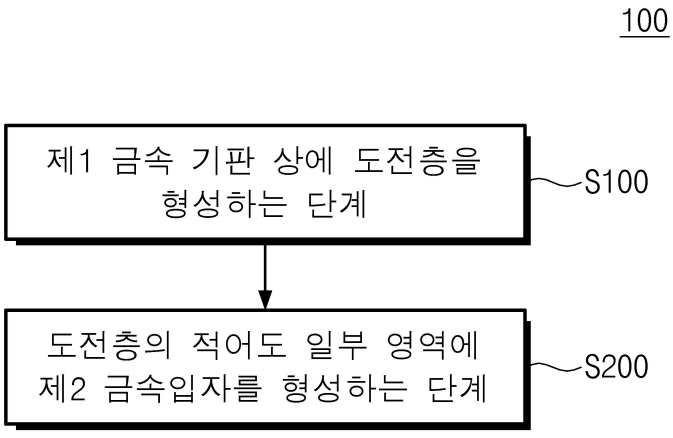
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **도전층의 결함 치유 방법, 금속-탄소 복합층 형성 방법, 이차원 나노소재, 투명전극 및 이의 제조 방법**

(57) 요 약

본 발명은 도전층의 결함 치유 방법, 금속-탄소 복합층 형성 밥법 및 이에 따라 형성된 이차원 나노소재, 그리고, 투명전극 및 이의 제조 방법에 관한 것이다. 본 발명의 일 실시 예에 따른 도전층의 결함 치유 방법은 제1 금속 기판 상에 도전층을 형성하는 단계; 및 상기 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시켜 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계;를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01B 5/14 (2013.01)
(72) 발명자
홍주리
경기도 김포시 고촌읍 신곡로3번길 34-16 302동 602호 (신곡리,강변마을아파트)
이재복
서울특별시 강남구 개포로 411 우성8차아파트 801동 805호
이한보람
서울특별시 강남구 삼성로85길 11, 롯데캐슬아파트 101동 1503호

이 발명을 지원한 국가연구개발사업
과제고유번호 20110022975
부처명 교육과학기술부
연구관리전문기관 한국연구재단
연구사업명 중점연구소지원(이공분야)
연구과제명 나노융합 그린에너지 원천기술 개발
기 여 율 1/4
주관기관 연세대학교 산학협력단
연구기간 2014.09.01 ~ 2015.08.31이 발명을 지원한 국가연구개발사업
과제고유번호 1711016487
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 중견연구자지원사업
연구과제명 초고민감 센서를 이용한 식품안전 상시 모니터링 시스템 구축
기 여 율 1/4
주관기관 연세대학교 산학협력단
연구기간 2014.11.01 ~ 2015.10.31이 발명을 지원한 국가연구개발사업
과제고유번호 1711015292
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 글로벌프론티어사업
연구과제명 2차원 몰리브데나이트와 실리콘 나노멤브레인 합성 기술 개발
기 여 율 1/4
주관기관 연세대학교 산학협력단
연구기간 2014.09.01 ~ 2015.08.31이 발명을 지원한 국가연구개발사업
과제고유번호 1345228388
부처명 교육부
연구관리전문기관 한국연구재단
연구사업명 2014년도 하반기 일반연구자지원사업
연구과제명 원자층증착법을 이용한 이차원 소재의 결함 치유
기 여 율 1/4
주관기관 인천대학교
연구기간 2014.11.01 ~ 2015.04.30

명 세 서

청구범위

청구항 1

제1 금속 기판 상에 도전층을 형성하는 단계; 및

상기 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시켜 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계;를 포함하는 도전층의 결함 치유 방법.

청구항 2

제1 항에 있어서,

상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는,

상기 제1 금속이 산화되어 생성된 전자가 상기 도전층을 통해 도전층의 표면으로 이동하고, 상기 염 용액에 포함된 제2 금속 이온이 상기 전자를 얻어 환원되는 단계;를 포함하는 도전층의 결함 치유 방법.

청구항 3

제1 항에 있어서,

상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는,

상기 도전층의 결함에 선택적으로 상기 제2 금속 입자들을 형성하는 도전층의 결함 치유 방법.

청구항 4

제1 항에 있어서,

상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는,

상기 도전층이 형성된 상기 제1 금속 기판을 상기 염 용액에 침지하는 단계를 포함하는 도전층의 결함 치유 방법.

청구항 5

제4 항에 있어서,

상기 제1 금속 기판을 상기 염 용액에 침지하는 단계는,

상기 제1 금속 기판을 상기 염 용액에 1분 내지 20분 동안 침지하는 도전층의 결함 치유 방법.

청구항 6

제4 항에 있어서,

상기 염 용액의 농도는 1㎜ 이하인 도전층의 결함 치유 방법.

청구항 7

제1 항 내지 제6항 중 어느 한 항에 있어서,

상기 도전층은 탄소층인 도전층의 결함 치유 방법.

청구항 8

제7 항에 있어서,

상기 탄소층은 그래핀을 포함하는 도전층의 결함 치유 방법.

청구항 9

제1 금속 기판 상에 탄소층을 형성하는 단계; 및

상기 탄소층의 적어도 일부 영역에 상기 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속 입자를 형성하는 단계;를 포함하는 금속-탄소 복합층 형성 방법.

청구항 10

제9 항에 있어서,

상기 제1 금속보다 환원 전위가 큰 제2 금속 입자를 형성하는 단계는,

상기 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시키는 단계;를 포함하는 금속-탄소 복합층 형성 방법.

청구항 11

제10 항에 있어서,

상기 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시키는 단계는,

상기 탄소층이 형성된 상기 제1 금속 기판을 상기 염 용액에 침지하는 단계를 포함하는 금속-탄소 복합층 형성 방법.

청구항 12

제1 금속 기판;

상기 제1 금속 기판 상의 탄소층; 및

상기 탄소층 상의 적어도 일부 영역에 상기 제1 금속보다 환원 전위가 큰 제2 금속 입자;를 포함하는 이차원 나노소재.

청구항 13

제12 항에 있어서,

상기 제2 금속 입자는 상기 탄소층의 결함에 형성된 이차원 나노소재.

청구항 14

제13 항에 있어서,

상기 탄소층은 그래핀을 포함하고,

상기 결함은 그래핀의 결정립계(grain boundary)를 포함하는 이차원 나노소재.

청구항 15

제1 금속 기판 상에 도전층을 형성하는 단계;

상기 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시켜 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계; 및

상기 제1 금속 기판을 제거하는 단계;를 포함하는 투명전극 제조 방법.

청구항 16

제15 항에 있어서,

상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는,

상기 도전층의 결함에 선택적으로 금속 입자를 형성하는 투명전극 제조 방법.

청구항 17

그래핀; 및

상기 그래핀의 결함에 형성된 금속 입자를 포함하는 투명전극.

청구항 18

제18 항에 있어서,

상기 그래핀의 결함은 그래핀의 결정립계(grain boundary)를 포함하는 투명전극.

발명의 설명

기 술 분 야

[0001] 본 발명은 도전층의 결함 치유 방법, 금속-탄소 복합층 형성 방법, 이차원 나노소재, 투명전극 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 그래핀(graphene)은 단일 원자층 두께의 육방정계(hexagonal) 이차원(2D) 구조를 갖는 탄소 원자의 sp^2 결합으로, 상온에서도 매우 높은 전하 캐리어 유동도(charge carrier mobility)를 가짐과 더불어 뛰어난 기계적, 물리적 특성 때문에 미래 나노 소자의 유망한 핵심 물질로서 활발히 연구되고 있다.

[0003] 또한, 단일 원자층으로 이루어진 특성에 기인한 그래핀(graphene)의 높은 전도성과 투명성을 이용한 유연성, 신축성, 접이식 전극으로의 활용성도 주목받고 있다.

[0004] 그러나, 그래핀을 대면적으로 성장시킨 경우, 그래핀의 표면에 주름(wrinkle), 보이드(void), 폴드(fold), 결정립계(grain boundary) 등의 결함이 존재하고, 이로 인해 그래핀의 전기전도도, 전하 이동도가 크게 저하되는 문제점이 있었다.

[0005] 따라서, 이러한 그래핀의 고유의 성질을 저하시키지 않도록, 그래핀이 이루는 탄소 원자의 sp^2 결합 구조를 변형시키지 않으면서, 그래핀의 결함을 치유할 수 있는 방법이 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 도전층의 구조를 손상시키지 않으면서, 저비용으로 결함을 치유할 수 있는 도전층의 결함 치유 방법을 제공하는 것을 목적으로 한다.

[0007] 본 발명이 해결하고자 하는 다른 과제는 저비용으로 금속-탄소 복합층 형성하는 방법을 제공하는 것에 있다.

[0008] 본 발명이 해결하고자 하는 또 다른 과제는 상기 도전층의 결함 치유 방법 을 이용하여 높은 투과도를 유지하면서 낮은 면저항을 갖는 투명 전극을 제조하는 방법을 제공하는 것에 있다.

[0009] 본 발명의 목적은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0010] 본 발명의 일 실시예 따른 도전층의 결함 치유 방법은 제1 금속 기판 상에 도전층을 형성하는 단계; 및 상기 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시켜 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계;를 포함할 수 있다.

[0011] 일 실시 예에 있어서, 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는, 상기 제1 금속이 산화되어 생성된 전자가 상기 도전층을 통해 도전층의 표면으로 이동하고, 상기 염 용액에 포함된 제2 금속 이온이 상기 전자를 얻어 환원되는 단계;를 포함할 수 있다.

[0012] 일 실시 예에 있어서, 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는, 상기 도전층의 결함에 선택적으로 상기 제2 금속 입자들을 형성할 수 있다.

[0013] 일 실시 예에 있어서, 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는, 상기 도전층이 형성된 상기 제1 금속 기판을 상기 염 용액에 침지하는 단계를 포함할 수 있다.

[0014] 일 실시 예에 있어서, 상기 제1 금속 기판을 상기 염 용액에 침지하는 단계는, 상기 제1 금속 기판을 상기 염 용액에 1분 내지 20분 동안 침지할 수 있다.

[0015] 일 실시 예에 있어서, 상기 염 용액의 농도는 1mM 이하일 수 있다.

[0016] 일 실시 예에 있어서, 상기 도전층은 탄소층일 수 있다.

[0017] 일 실시 예에 있어서, 상기 탄소층은 그래핀을 포함할 수 있다.

[0018] 본 발명의 다른 측면에 따른 금속-탄소 복합층 형성 방법은 제1 금속 기판 상에 탄소층을 형성하는 단계; 및 상기 탄소층의 적어도 일부 영역에 상기 제1 금속보다 환원 전위가 큰 제2 금속 입자를 형성하는 단계;를 포함할 수 있다.

[0019] 일 실시 예에 있어서, 상기 제1 금속보다 환원 전위가 큰 제2 금속 입자를 형성하는 단계는, 상기 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시키는 단계;를 포함할 수 있다.

[0020] 일 실시 예에 있어서, 상기 제2 금속 이온이 포함된 염 용액을 상기 제1 금속 기판에 접촉시키는 단계는, 상기 탄소층이 형성된 상기 제1 금속 기판을 상기 염 용액에 침지하는 단계를 포함할 수 있다.

[0021] 본 발명의 또 다른 측면에 따른 이차원 나노소재는 제1 금속 기판; 상기 제1 금속 기판 상의 탄소층; 및 상기 탄소층 상의 적어도 일부 영역에 상기 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속 입자;를 포함할 수 있다.

[0022] 일 실시 예에 있어서, 상기 제2 금속 입자는 상기 탄소층의 결함에 형성될 수 있다.

[0023] 일 실시 예에 있어서, 상기 탄소층은 그래핀을 포함하고, 상기 결함은 그래핀의 결정립계(grain boundary)를 포함할 수 있다.

[0024] 본 발명의 또 다른 측면에 따른 투명전극 제조 방법은 제1 금속 기판 상에 도전층을 형성하는 단계; 상기 제1 금속보다 환원 전위가 큰 제2 금속이 이온 형태로 포함된 염 용액을 상기 제1 금속 기판에 접촉시켜 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계; 및 상기 제1 금속 기판을 제거하는 단계;를 포함할 수 있다.

[0025] 일 실시 예에 있어서, 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계는, 상기 도전층의 결함에 선택적으로 금속 입자를 형성할 수 있다.

[0026] 본 발명의 또 다른 실시 예에 따른 투명전극은 그래핀; 및 상기 그래핀의 결함에 형성된 금속 입자를 포함할 수 있다.

[0027] 일 실시 예에 있어서, 상기 그래핀의 결함은 그래핀의 결정립계(grain boundary)를 포함할 수 있다.

발명의 효과

[0028] 본 발명의 일 실시 예에 따르면, 도전층의 구조를 손상시키지 않으면서, 저비용으로 도전층의 결함을 치유할 수 있다.

[0029] 본 발명의 다른 실시 예에 따르면, 저비용으로 금속-탄소 복합층을 형성할 수 있다.

[0030] 본 발명의 또 다른 실시 예에 따르면, 면저항이 낮으면서 투과도가 높은 투명전극을 제조할 수 있다.

[0031] 본 발명의 효과가 상술한 효과들로 한정되는 것은 아니며, 언급되지 아니한 효과들은 본 명세서 및 첨부된 도면들로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확히 이해될 수 있을 것이다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시 예에 따른 도전층의 결함 치유 방법(100)을 설명하기 위한 흐름도이다.

도 2는 도 1에 도시된 제2 금속 입자를 형성하는 단계(S200)를 설명하기 위한 흐름도이다.

도 3은 본 발명의 일 실시 예에 따른 투명전극의 제조 방법(300)을 설명하기 위한 흐름도이다.

도 4a 및 도 4b는 본 발명의 일 실시 예에 따라 도전층의 결함 치유 또는 금속-탄소 복합층 형성을 위해 공통되는 단계를 설명하기 위한 모식도이다.

도 5 및 도 6은 본 발명의 일 실시 예에 따른 이차원 나노소재를 나타낸 모식도이다.

도 7a 내지 도 7c 및 도 8a 내지 8c는 본 발명의 실시 예에 따라 형성된 이차원 나노소재를 전계방출형 주사전자현미경(FE-SEM)으로 촬영한 이미지이다.

도 9a 내지 도 9c는 본 발명의 실시 예에 따라 형성된 이차원 나노소재의 표면을 각각 주사전자현미경(SEM), 원자현미경(AFM), 투과전자현미경(TEM)으로 촬영한 이미지이다.

도 10a 및 도 10b는 본 발명의 일 실시 예에 따른 투명 전극 제조 방법에 따라 제조된 투명전극의 투과도(transmittance)에 따른 면저항(sheet resistance)을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0034] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미가 있다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다. 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.

[0035] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다' 및/또는 이 동사의 다양한 활용형들 예를 들어, '포함', '포함하는', '포함하고', '포함하며' 등은 언급된 조성, 성분, 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 조성, 성분, 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한 '구비한다', '갖는다' 등도 이와 동일하게 해석되어야 한다.

[0036] 본 발명은 일 실시 예에 따른 도전층의 결함 치유 방법은 제1 금속 기판 상에 도전층을 형성하고, 제1 금속보다 환원전위가 더 큰 제2 금속이 이온 형태로 포함된 염 용액에 상기 제1 금속 기판을 접촉시킴으로써, 제1 금속과 제2 금속 이온 간의 갈바닉 치환 반응(galvanic displacement reaction)에 의해 제1 금속은 산화되고, 상기 제2 금속 이온은 환원되어 제2 금속 입자가 도전층의 결함에 형성되어 결함을 치유할 수 있다. 구체적으로, 상기 제1 금속이 산화되면서 생성된 전자가 상기 도전층의 표면으로 이동하고, 상기 제2 금속 이온이 상기 전자를 받아 환원되어 도전층의 표면에 제2 금속 입자가 형성될 수 있다. 이 경우, 도전층의 결함이 존재하는 경우, 반응성이 큰 결함 부분으로 전자가 이동하고, 상기 전자를 제2 금속 이온이 받아 환원됨으로써, 도전층의 결함에 선택적으로 제2 금속 입자를 형성할 수 있다. 여기서, 상기 제2 금속 이온과 제1 금속을 반응시키기 위해 상기 염 용액에 상기 도전층이 형성된 제1 금속 기판을 침지할 수 있다.

[0037] 상기 도전층은 비금속 도전층일 수 있다. 예로서, 탄소를 포함하는 그래핀 또는 탄소나노튜브(CNT) 이루어질 수 있다.

[0038] 상기 도전층의 결함은 도전층의 전기적 특성을 저하시키는 결정립계(grain boundary), 주름(wrinkle), 보이드(void) 또는 크랙(crack)을 포함할 수 있다.

[0039] 또한, 본 발명의 다른 실시 예에 따른 금속-탄소 복합층 형성 방법은 상기 도전층의 결함 치유 방법과 같은 방법을 이용하되, 제2 금속 이온이 포함된 염 용액의 농도 및 염 용액과 제1 금속과의 반응 시간을 조절함에 따라 저비용으로 탄소층층 상에 제2 금속 입자를 포함하는 금속층을 형성할 수 있다.

[0040] 또한, 본 발명의 또 다른 실시 예에 따른 투명전극 제조 방법 역시 상기 도전층의 결함 치유 방법을 이용할 수 있다. 즉, 투명성을 갖는 도전층 상의 일부 영역, 예로서 결함이 있는 영역에 선택적으로 금속 입자를 형성함으로써, 투과도를 크게 저하시키지 않으면서, 낮은 면저항을 갖는 투명 전극을 제조할 수 있다. 예로서, 상기 투명성을 갖는 도전층은 그래핀일 수 있다.

[0041] 이하, 본 명세서에 첨부된 도면을 참조하여 본 발명에 대해 상세히 설명한다.

[0042] 도 1은 본 발명의 일 실시 예에 따른 도전층의 결함 치유 방법(100)을 설명하기 위한 흐름도이다.

[0043] 도 1에 도시된 바와 같이, 본 발명의 일 실시 예에 따른 도전층의 결함 치유 방법은 제1 금속 기판 상에 도전층을 형성하는 단계(S100) 및 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계(S200)를 포함할 수 있다.

[0044] 상기 제1 금속 기판 상에 도전층 형성하는 단계(S100)에서, 상기 도전층은 비금속 도전층일 수 있다. 예로서, 탄소를 포함하는 그래핀 또는 탄소나노튜브를 포함하는 도전층일 수 있다. 일 실시 예로서, 그래핀의 경우, 제1 금속 기판 상에 화학기상증착법(CVD)으로 그래핀을 성장시킬 수 있다.

[0045] 상기 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계(S200)는 제1 금속보다 환원 전위가 큰 제2 금속이 이온 형태로 포함된 염 용액을 제1 금속에 접촉시켜 갈바닉 치환 반응에 의해 도전층의 적어도 일부 영역에 제2 금속입자를 형성할 수 있다.

[0046] 도 2는 도 1에 도시된 제2 금속 입자를 형성하는 단계(S200)를 설명하기 위한 흐름도이다.

[0047] 도 2에 도시된 바와 같이, 제2 금속 입자를 형성하는 단계(S200)는 도전층이 형성된 제1 금속 기판에 제2 금속 이온이 포함된 염 용액을 접촉시키는 단계(S210) 및 제2 금속 이온과 제1 금속 간의 갈바닉 치환반응에 의해 도전층의 결함에 제2 금속 입자가 형성되는 단계(S220)를 포함할 수 있다.

[0048] 상기 도전층이 형성된 제1 금속 기판에 제2 금속 이온이 포함된 염 용액을 접촉시키는 단계(S210)는 도전층이 형성된 제1 금속 기판을 상기 염 용액에 침지하는 단계를 포함할 수 있다. 이 경우, 침지 시간 및 염 용액의 농도를 조절함에 따라 도전층의 일부 영역, 예로서, 결함이 있는 영역에만 선택적으로 제2 금속을 형성하거나, 도전층 상에 전체적으로 제2 금속 입자를 포함하는 금속층을 형성할 수 있다. 일 실시 예로서, 1mM 이하 농도의 염 용액에 1분 내지 20분 동안 침지한 경우, 결함이 있는 영역에 선택적으로 제2 금속 입자를 형성할 수 있다. 1분 미만의 반응 시간의 경우 제1 금속 입자가 잘 형성되지 않으며, 20분을 초과한 경우에는 전체적으로 제2 금속 입자가 형성되어 선택적으로 도전층의 결함을 치유할 수 없다.

[0049] 상기 제2 금속 이온과 제1 금속 간의 갈바닉 치환반응에 의해 도전층의 결함에 제2 금속 입자가 형성되는 단계(S220)에서, 상기 제2 금속 입자는 제1 금속의 산화와 제1 금속보다 환원 전위가 큰 제2 금속 이온의 환원에 의해 형성될 수 있다. 즉, 상기 제1 금속이 제1 금속보다 환원 전위가 큰 제2 금속 이온과 반응하여 제1 금속은 전자를 잃어 산화되며, 이때 생성된 전자는 전자 이동도가 높은 도전층을 통해 도전층의 표면으로 이동하고, 상기 제2 금속 이온이 상기 전자를 받아 환원되어 도전층의 표면에 제2 금속 입자가 형성될 수 있다. 상기 일부 영역은 도전층의 결함이 있는 영역일 수 있다. 도전층의 결함이 있는 영역은 결함이 없는 영역과 표면에너지가 달라 반응성이 크므로, 제1 금속이 산화되어 생성된 전자는 결함이 있는 영역으로 우선적으로 이동한다. 이에 따라, 결함이 있는 영역에 우선적, 선택적으로 제2 금속 입자를 형성할 수 있다.

[0050] 도 3은 본 발명의 일 실시 예에 따른 투명전극의 제조 방법(300)을 설명하기 위한 흐름도이다.

[0051] 도 3에 나타난 바와 같이, 본 발명의 일 실시 예에 따른 투명전극의 제조 방법은 제1 금속 기판 상에 도전층을 형성하는 단계(S100), 도전층의 적어도 일부 영역에 제2 금속 입자를 형성하는 단계(S200) 및 제1 금속 기판을 제거하는 단계(S300)를 포함할 수 있다.

[0052] 즉, 본 발명의 일 실시 예에 따른 투명전극의 제조 방법은 앞서 도 1 및 도 2에서 전술한 단계 S100 및 S200을 포함하고, 제1 금속 기판 상의 도전층에 제2 금속 입자가 형성된 경우 제1 금속 기판을 제거함으로써, 투명 전극을 제조할 수 있다. 이 경우, 상기 도전층은 투명성을 갖는 비금속 도전층일 수 있다.

[0053] 일 실시 예로서, 상기 투명성을 갖는 비금속 도전층은 높은 투과도를 갖는 그래핀일 수 있다. 본 발명의 일 실시 예에 따르면, 도전층의 구조를 변형시키지 않으면서, 도전층의 결함에 선택적으로 금속 나노 입자를 형성할 수 있어, 그래핀의 구조(sp^2)를 변형시키지 않고, 그래핀의 결함에 선택적으로 금속 나노 입자를 형성할 수 있다. 이에 따라, 그래핀의 전기적 특성을 저하시키는 그래핀의 결함 영역에 금속 나노입자를 형성함으로써, 그

래핀의 면저항을 낮추면서도 그래핀의 투과도를 크게 낮추지 않아 투명 전극으로 활용될 수 있다.

[0054] 도 4a 및 도 4b는 본 발명의 일 실시 예에 따라 도전층의 결함 치유 또는 금속-탄소 복합층 형성을 위해 공통되는 단계를 설명하기 위한 모식도이다.

[0055] 먼저, 도 4a에 도시된 바와 같이, 제1 금속 기판(400) 상의 도전층(500)을 형성할 수 있다. 상기 도전층(500)은 결함 영역(510)을 포함할 수 있다. 상기 도전층은 비금속 도전층일 수 있다. 예로서, 그래핀 또는 탄소나노튜브(CNT)와 같이 탄소를 포함하는 탄소층일 수 있다.

[0056] 이후, 도 4b에 도시된 바와 같이, 도전층(500)이 형성된 기판을 염 용액(600)에 침지할 수 있다. 상기 염 용액(600)은 상기 제1 금속 기판(400)의 제1 금속보다 환원전위가 큰 제2 금속이 이온형태로 포함된 염 용액일 수 있다. 예로서, 제1 금속은 구리(Cu) 또는 니켈(Ni)일 수 있고, 제2 금속은 환원전위가 큰 귀금속류의 은(Ag), Pd(팔라듐), 백금(Pt) 또는 금(Au)일 수 있으나, 이에 한정되는 것은 아니다.

[0057] 즉, 본 발명의 일 실시 예에 따른 도전층의 결함 치유 방법과 금속-탄소 복합층 형성 방법은 도 4a 와 도 4b에 나타난 바와 같이 공통되는 방법적 특징을 갖되, 상기 염 용액과 도전층이 형성된 제1 금속 기판의 반응 시간 또는 염 용액의 농도에 따라 도전층의 결함을 치유하거나 복합층을 형성할 수 있다.

[0058] 도 5 및 도 6은 본 발명의 일 실시 예에 따른 이차원 나노소재를 나타낸 모식도이다.

[0059] 도 5는 본 발명의 일 실시 예에 따라 도전층의 결함이 치유된 이차원 나노소재 나타낸 것이다. 도 5에 도시된 바와 같이, 이차원 나노소재는 제1 금속 기판(400), 상기 제1 금속 기판(400) 상의 도전층(500), 상기 도전층의 결함 영역(510)에 제1 금속 기판의 제1 금속보다 환원 전위가 큰 제2 금속 입자(700)를 포함할 수 있다. 예로서, 상기 도전층은 탄소층으로서, 그래핀일 수 있고, 상기 도전층의 결함 영역(510)은 그래핀의 결정립계일 수 있다.

[0060] 도 6은 본 발명의 일 실시 예에 따라 금속-탄소 복합층이 형성된 이차원 나노소재를 나타낸 것이다. 도 6에 도시된 바와 같이, 제1 금속 기판(400)의 제1 금속보다 환원전위가 큰 제2 금속 입자가 도전층(500)상에 전면적으로 형성될 수 있다. 예로서, 상기 도전층은 탄소층일수 있고, 탄소층 상에 제2 금속입자가 전면적으로 형성되어 금속층을 이룰 수 있다.

[0061] 이하, 본 발명의 실시 예를 통해 본 발명을 더 상세하게 설명한다.

[0062] <실시 예>

[0063] 먼저, 구리(Cu) 호일 기판 상에 화학기상증착법(CVD)으로 단일층의 그래핀을 성장시켰다. 이후, 초순수(DI water)에 $PdCl_2$ 파우더를 섞어 다양한 농도의 $PdCl_2$ 염 용액을 제조하였다. 그리고 나서, 도 4b와 같이, 상기 그래핀이 성장된 구리 호일 기판을 상기 $PdCl_2$ 염 용액에 다양한 시간동안 침지 하였다. 이후, 상기 그래핀이 성장된 구리 호일 기판을 상기 염 용액으로부터 꺼내 초순수(DI water)에 세척하였다.

[0064] 도 7a 내지 도 7c 및 도 8a 내지 8c는 본 발명의 실시 예에 따라 형성된 이차원 나노소재를 전계방출형 주사전자현미경(FE-SEM)으로 촬영한 이미지이다.

[0065] 도 7a 내지 도 7c는 상기 실시 예에서 염 용액 $PdCl_2$를 0.5mM의 농도로 제조하여 상기 염 용액에 각각 1분(도 7a), 10분(도 7b), 30분(도 7c) 동안 침지하여 형성된 이차원 나노소재의 FE-SEM 이미지이다.

[0066] 도 8a 내지 도 8c는 상기 실시 예에서 염 용액 $PdCl_2$를 0.05mM의 농도로 제조하여 상기 염 용액에 각각 1분(도 8a), 5분(도 8b), 15분(도 8c) 동안 침지하여 형성된 이차원 나노소재의 FE-SEM 이미지이다.

[0067] 도 7a 내지 도 7c 및 도 8a 내지 8c를 참조하면, 염 용액의 몰 농도가 높은 경우, 도 7a 내지 도 7c와 같이 Pd 금속 입자가 그래핀 상에 전면적으로 형성되고, 염 용액의 몰 농도가 낮은 경우, 도 8a 내지 도 8c와 같이 Pd 금속 입자가 그래핀의 결함 영역에 선택적으로 형성되었음을 확인할 수 있다.

[0068] 도 9a 내지 도 9c는 본 발명의 실시 예에 따라 형성된 이차원 나노소재의 표면을 각각 주사전자현미경(SEM), 원자현미경(AFM), 투과전자현미경(TEM)으로 촬영한 이미지이다. 도 9a 내지 도 9c를 참조하면, 그래핀의 결정립계를 따라 팔라듐(Pd) 나노 입자가 형성된 것을 확인할 수 있다.

[0069] 도 10a 및 도 10b는 본 발명의 일 실시 예에 따른 투명 전극 제조 방법에 따라 제조된 투명전극의 투과도(transmittance)에 따른 면저항(sheet resistance)을 나타내는 그래프이다. 여기서, 투과도는 550nm의 파장을

가지는 빛에 대한 투과도를 나타낸다.

[0070] 도 10a는 상기 본 발명의 실시 예와 다른 과정은 동일하되, 0.01mM의 염 용액($PdCl_2$)에 침지 시간을 다르게 조절하여 제조된 이차원 나노소재에서 구리 기판을 제거한 후,그래핀을 유리 기판에 전사하여 측정한 결과이다.

[0071] 도 10b는 상기 본 발명의 실시 예와 다른 과정은 동일하되, 0.05mM의 $AgNO_3$염 용액에 침지 시간을 다르게 조절하여 제조된 이차원 나노소재에서 구리 기판을 제거한 후, 그래핀을 유리 기판에 전사하여 측정한 결과이다.

[0072] 도 10a 및 도 10b를 참조하면, 그래핀 그 자체(bare graphene)의 경우, 투과도는 높지만 면저항 높아 투명전극으로 활용되기 어려우나, 본 발명의 실시 예에 따라 Pd 또는 Ag 나노 입자가 형성된 경우, 90% 이상의 투과도는 유지하면서 면저항이 현저하게 감소되어 투명전극으로 활용될 수 있음을 확인할 수 있다.

[0073] 이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시예들도 본 발명의 범위에 속할 수 있음을 이해하여야 한다. 예를 들어, 본 발명의 실시예에 도시된 각 구성 요소는 분산되어 실시될 수도 있으며, 반대로 여러 개로 분산된 구성 요소들은 결합되어 실시될 수 있다. 따라서, 본 발명의 기술적 보호범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

부호의 설명

[0075] 400: 제1 금속 기판

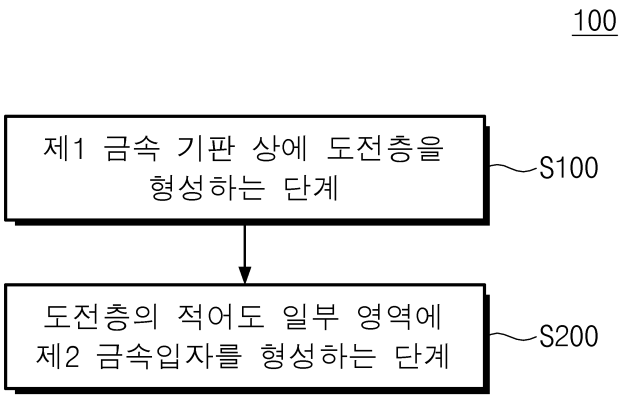
500: 도전층

510: 결함 영역

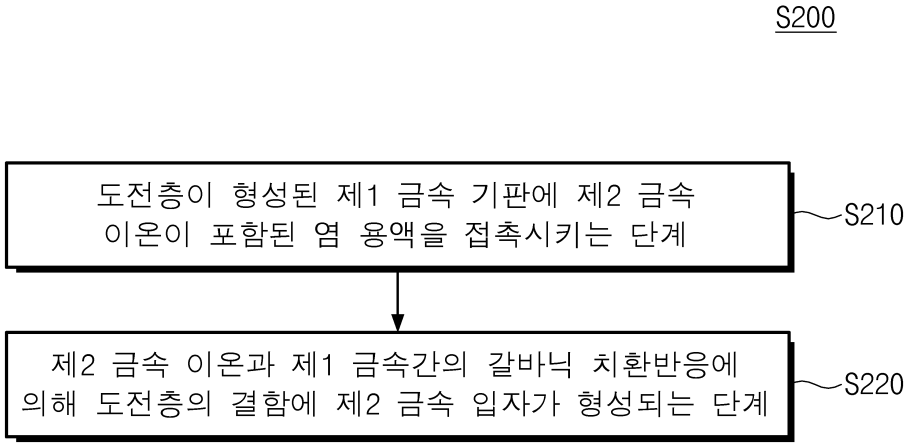
600: 염 용액

도면

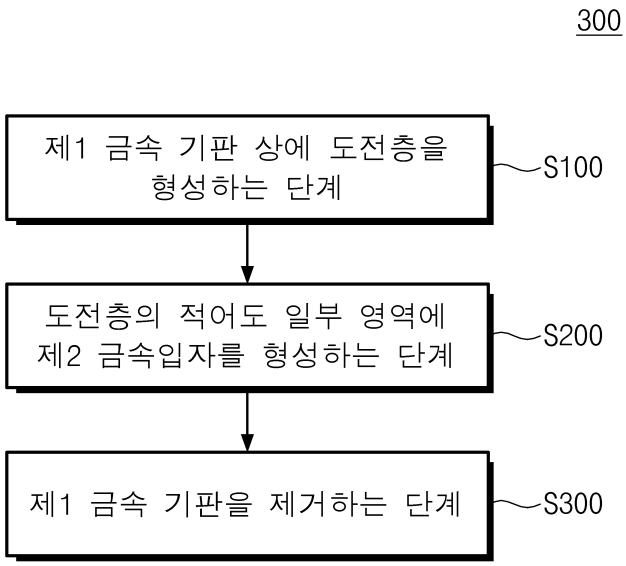
도면1



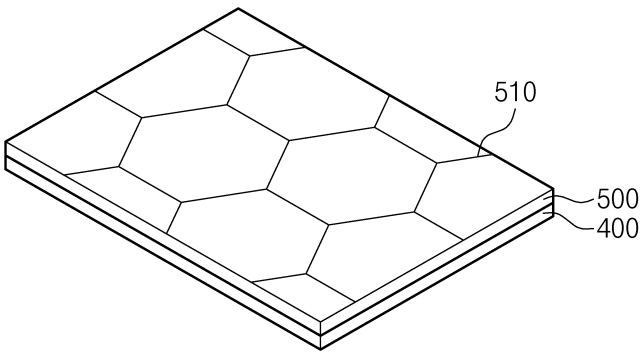
도면2


S200
도전층이 형성된 제1 금속 기판에 제2 금속 이온이 포함된 염 용액을 접촉시키는 단계
S210
제2 금속 이온과 제1 금속간의 갈바닉 치환반응에 의해 도전층의 결함에 제2 금속 입자가 형성되는 단계
S220

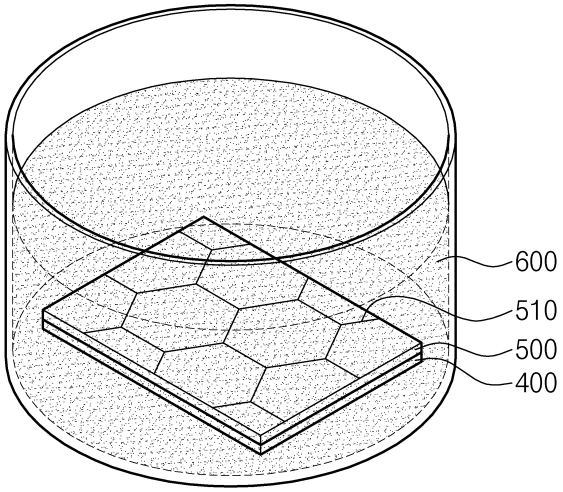
도면3


300
제1 금속 기판 상에 도전층을 형성하는 단계
S100
도전층의 적어도 일부 영역에 제2 금속입자를 형성하는 단계
S200
제1 금속 기판을 제거하는 단계
S300

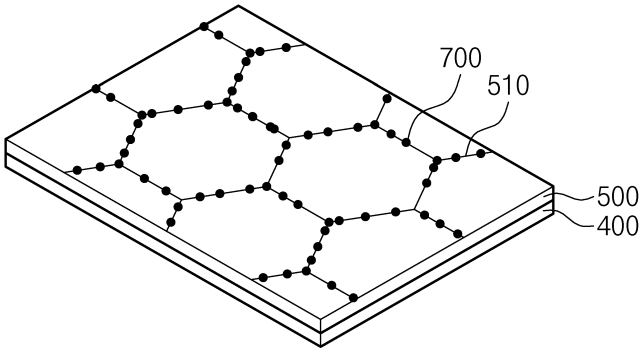
도면4a


510
500
400

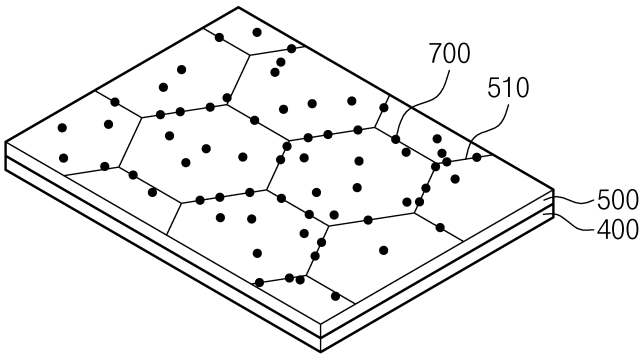
도면4b



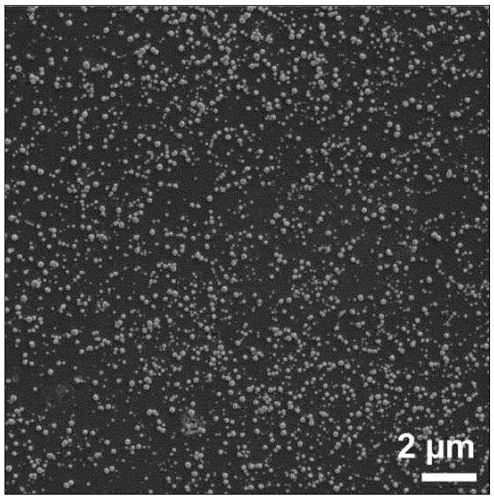
도면5



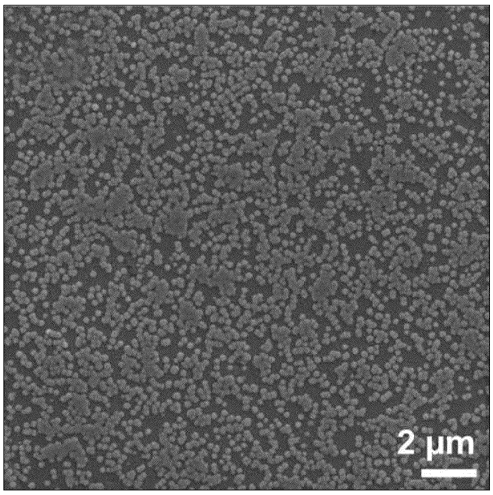
도면6



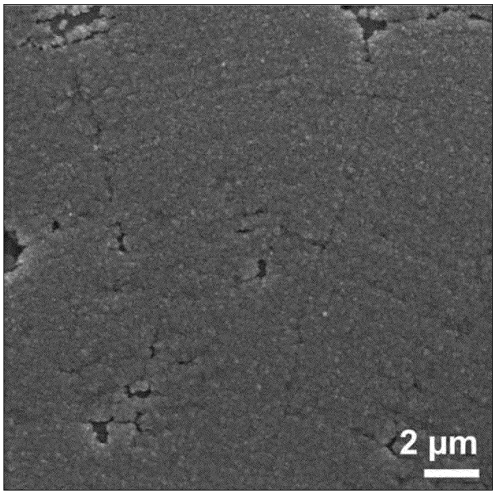
도면7a



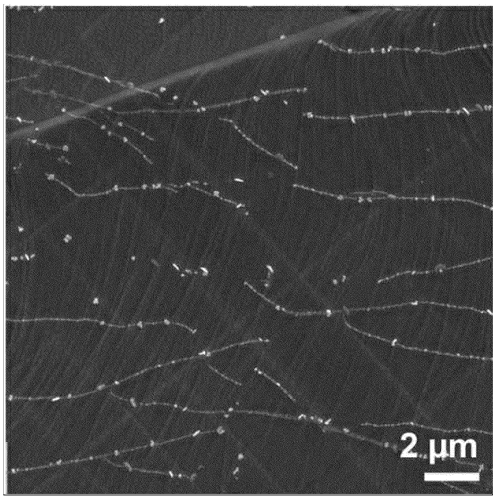
도면7b



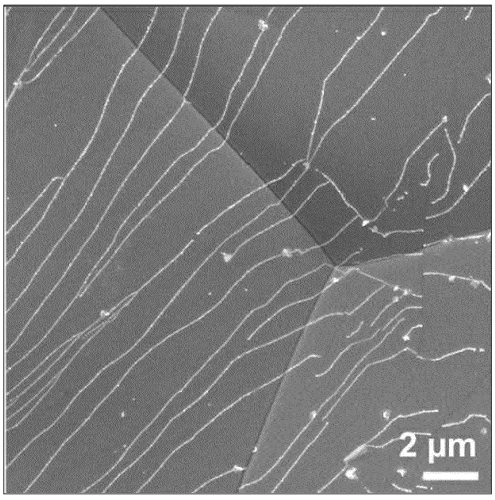
도면7c



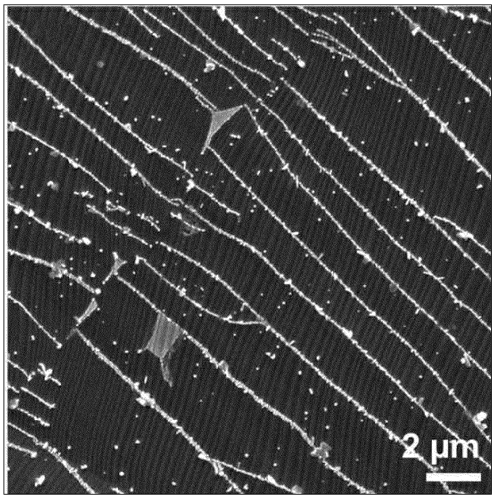
도면8a



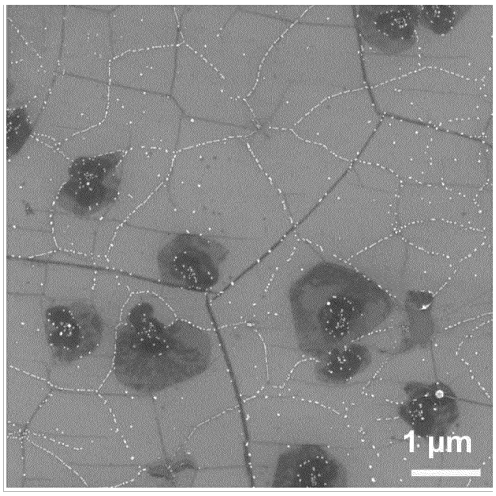
도면8b



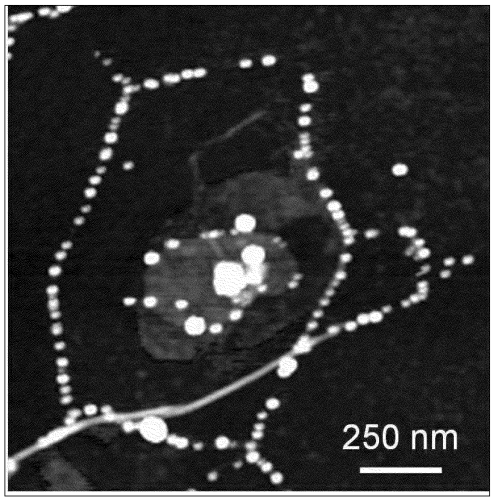
도면8c



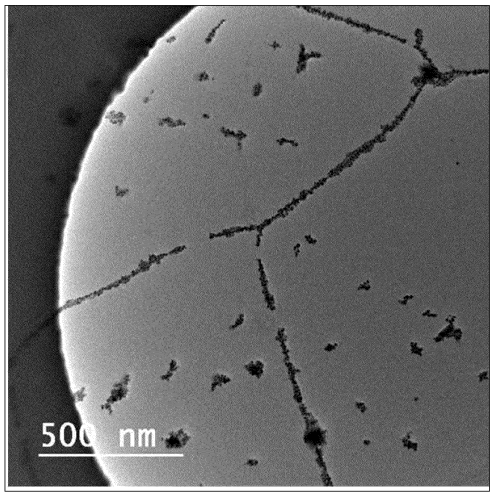
도면9a



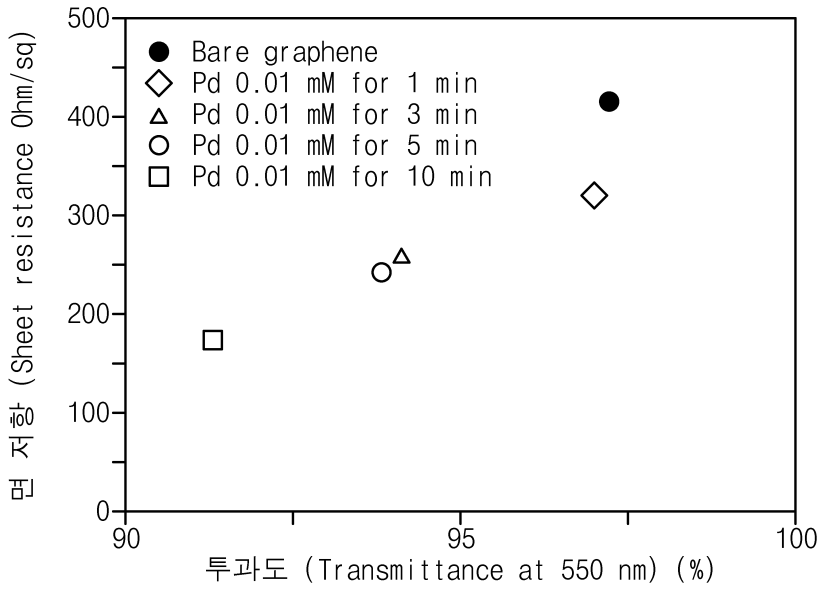
도면9b



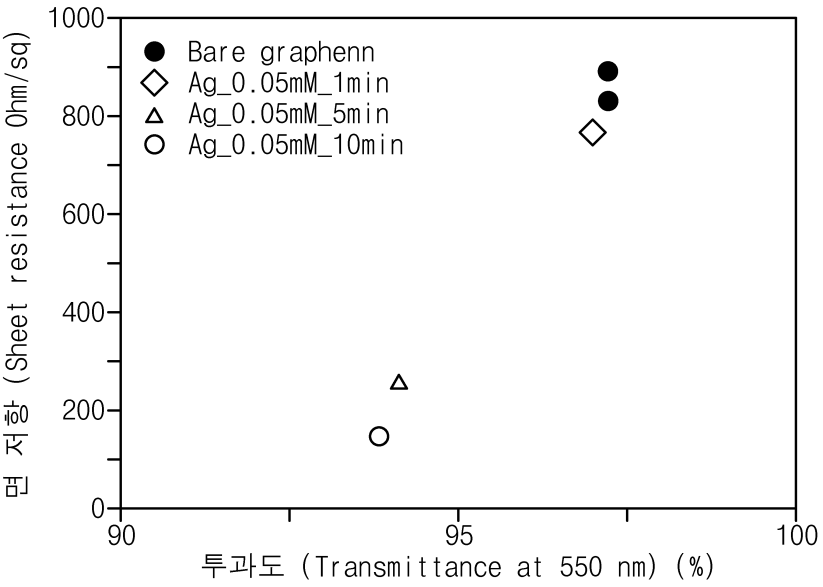
도면9c



도면10a


Bare graphene
Pd 0.01 mM for 1 min
Pd 0.01 mM for 3 min
Pd 0.01 mM for 5 min
Pd 0.01 mM for 10 min
면 저항 (Sheet resistance Ohm/sq)
투과도 (Transmittance at 550 nm) (%)
0
100
200
300
400
500
90
95
100

도면10b


Bare graphenn
Ag_0.05mM_1min
Ag_0.05mM_5min
Ag_0.05mM_10min
면 저항 (Sheet resistance Ohm/sq)
투과도 (Transmittance at 550 nm) (%)
0
200
400
600
800
1000
90
95
100