



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

246246

(11)

(B1)

(51) Int. Cl.⁴

G 06 F 12/16

(22) Přihlášeno 13 04 85

(21) PV 2745-85

(40) Zveřejněno 13 02 86

(45) Vydáno 15 09 87

(75)

Autor vynálezu

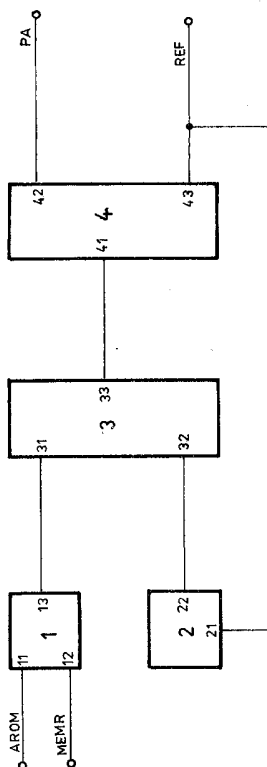
BABKA JIŘÍ ing., KAISER LADISLAV ing., BLANSKO

(54) Zapojení obvodu pro řízení obnovy obsahu informace dynamické paměti

Zapojení se týká oboru elektroniky a výpočetní techniky.

Zapojení řeší technický problém řízení obnovy informace dynamické paměti spolupracující s mikroprocesorem. Podstata zapojení spočívá v tom, že k obnově obsahu informace dynamické paměti RAM dochází v době, kdy mikroprocesor spolupracuje s pamětí ROM a k řízení obvodu je využito pouze těch signálů z procesoru, které jsou určeny pro řízení paměti.

Zapojení je možné využít v obvodech řízení obnovy obsahu informace dynamických pamětí spolupracujících s mikroprocesorem.



Vynález se týká zapojení obvodu pro řízení obnovy obsahu informace dynamické paměti spolupracující s mikroprocesorem.

V současné době je známa celá řada zapojení obvodů, které řeší problém obnovy obsahu informace u dynamických pamětí spolupracujících s mikroprocesorem tak, aby cyklus obnovy informace nezděruoval činnost mikroprocesoru, aby k obnově informace docházelo v potřebných časových intervalech i tehdy, je-li procesor ve stavu čekání. Známá zapojení využívají obvykle k řízení obnovy obsahu informace signály, které je třeba dekodovat z upravených signálů připojeného mikropočítače. Tyto signály nejsou standardně zaváděny k paměťovým obvodům.

Řešení podle vynálezu vychází z té skutečnosti, že paměť mikropočítače je rozdělena na část ROM a RAM, přičemž obnovu informace v dynamické paměti RAM je možno provádět bez časových nároků kdykoliv, pracuje-li procesor s pamětí ROM. Rozlišení části paměti, s kterou procesor právě komunikuje, je dáno stavem adresových bitů. Dále pro uvažované uspořádání platí, že po každé sérii čtení nebo zápisu informace do části paměti RAM následuje čtení z části ROM, přičemž mezi časovými okamžiky čtení z ROM není prodleva větší než odpovídá době přípustné podle technických podmínek použitých obvodů dynamické paměti k provedení jednoho kroku obnovy informace.

Doba, po kterou se čte z paměti ROM, je potom využita k provedení jednoho kroku obnovy informace v dynamické paměti RAM. Aby k obnově informace docházelo i tehdy, je-li procesor ve stavu čekání a nedochází tedy k opakovanému čtení z ROM, je zařazen blok časového dozoru, který zajistí vložení kroků direktivní obnovy informace.

Zapojení obvodu pro řízení obnovy obsahu informace dynamické paměti podle vynálezu sestává z bloku logického součinu, který zpracuje informaci o tom, že je adresována paměť ROM (AROM) a informaci o tom, že probíhá čtení z paměti (MEMR). Výstup tohoto bloku je zaváděn spolu s výstupem bloku časového dozoru na vstupy bloku logického součtu. Výstup tohoto bloku je přiveden na vstup generátoru, jehož výstup PA slouží k přepnutí adresových vstupů dynamické paměti na adresu řádku s obnovovaným obsahem informace a výstup REF je využit pro obnovu obsahu informace na vybrané řádkové adrese a k vynulování bloku časového dozoru.

Zapojení obvodu pro řízení obnovy informace dynamické paměti podle vynálezu ukazuje jiné vhodné uspořádání obvodu, které se vyznačuje tím, že k obnově informace v dynamické paměti RAM dochází v době, kdy procesor spolupracuje s pamětí ROM a obvod využívá pro svoji činnost pouze těch signálů z procesoru, které jsou určeny pro řízení paměti.

Zapojení obvodu pro řízení obnovy obsahu informace dynamické paměti je uvedeno na výkrese.

Zapojení sestává z bloku logického součinu 1, na jehož první vstup 11 přichází informace o tom, že je adresována paměť ROM (AROM) a na druhý vstup 12 přichází informace o tom, že probíhá čtení z paměti (MEMR). Výstup 13 je zaveden na první vstup 31 bloku 3 logického součtu, přičemž jeho druhý vstup 32 je spojen s výstupem 22 bloku 2 časového dozoru. Výstup 33 bloku 3 logického součtu je přiveden na vstup 41 generátoru 4, který generuje signály potřebné pro obnovu informace dynamických pamětí. První výstup 42 generátoru 4 je využit k přepnutí výstupu čítače řádkové adresy obnovy na adresovací vstupy paměti a ke zvýšení údaje tohoto čítače po skončení obnovy informace PA, druhý vstup 43 generátoru 4 je využit pro obnovu informace na vybrané řádkové adrese dynamické paměti (REF) a dále je přiveden na vstup 21 bloku 2 časového dozoru, kde slouží k jeho vynulování.

Zapojení podle vynálezu je možné využít v obvodech řízení obnovy obsahu informace dynamických pamětí spolupracujících s mikroprocesorem.

P Ř E D M Ě T V Y N Ā L E Z U

Zapojení obvodu pro řízení obnovy obsahu informace dynamické paměti spolupracující s mikroprocesorem, sestávající z bloku logického součinu, bloku časového dozoru, bloku logického součtu a generátoru, vyznačující se tím, že první vstup (11) bloku (1) logického součinu je určen pro signál AROM z dekodované adresové sběrnice procesoru, druhý jeho vstup (12) je určen pro signál MEMR z řídicí sběrnice procesoru, výstup (13) bloku (1) logického součinu je spojen s prvním vstupem (31) logického součtu, přičemž druhý vstup (32) bloku (3) logického součtu je spojen s výstupem (22) bloku (2) časového dozoru, na jehož vstup (21) je připojen výstup (43) generátoru (4), připojeného vstupem (41) na výstup (33) bloku (3) logického součtu, přičemž jeden výstup (42) generátoru (4) je určen k přepínání adresových bitů dynamické paměti a druhý výstup (43) k obnově obsahu informace dynamické paměti.

1 výkres

246246

