

公告本

申請日期

88 年 12 月 3 日

案 號

88121212

類 別

H01L21/02

A4

C4

463223

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	製造半導體晶圓之方法及使用半導體晶圓之方法
	英 文	Method of manufacturing semiconductor wafer method of using and utilizing the same
二、發明人 創作	姓 名	(1) 米原隆夫 (2) 渡部國男 (3) 嶋田哲也
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內 (2) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內 (3) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓 名 (名稱)	(1) 佳能股份有限公司 キャノン株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都大田區下丸子三丁目三〇番二號
	代 表 人 姓 名	(1) 御手洗富士夫

463223

申請日期	88 年 12 月 3 日
案 號	88121212
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 近江和明 (5) 坂口清文
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
	住、居所	(5) 日本國東京都大田區下丸子三丁目三〇番二號 佳能股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 名 姓 名	

裝

訂

線

4 6 3 2 2 3

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國 (地區) 申請專利，申請日期：

案號：

， ☐ 有 ☐ 無主張優先權

日本
日本
日本

1998 年 12 月 4 日 10-346116
1999 年 3 月 26 日 11-084649
1999 年 11 月 25 日 11-334544

☒ 有主張優先權
☒ 有主張優先權
☒ 有主張優先權

有關微生物已寄存於：

， 寄存日期：

， 寄存號碼：

(請先閱讀) 面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

本發明相關於製造半導體晶圓的方法，並且也相關於使用及利用此半導體晶圓的方法。

更具體地說，本發明相關於製造半導體晶圓的方法，其中半導體晶圓可被用來製造例如微處理機，記憶體，邏輯電路，系統LSI，太陽電池，影像感測器，光發射裝置，或顯示裝置的半導體裝置，可成為例如被用來形成膜的膜厚度監視器，用於蝕刻操作的蝕刻深度監視器，或用來偵測及數算外來粒子的粒子監視器的監視器晶圓，或是可成為被用在處理系統中以調節膜形成，熱處理，摻雜，或蝕刻的各種不同的處理條件的虛設晶圓。本發明也相關於使用及利用此半導體晶圓的方法。明確地說，本發明可製造可於不同的應用中被使用及利用的不同類型的半導體晶圓。

相關背景技術

已知具有例如Si，GaAs，InP，及GaN的各種不同的半導體材料層的半導體晶圓。特別是，包含具有絕緣表面的支撐基板及形成於其上的半導體層的SOI晶圓正吸引人的注意，因為其高度適合製備在低功率消耗下以高速操作的半導體裝置。為本發明的目的，SOI晶圓指的是在絕緣體上載有半導體的晶圓，其可能不必然為在絕緣體上載有矽的晶圓。

已知的SOI晶圓包含經由氧離子植入及熱處理製備

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(2)

的 S I M O X 晶圓，以及例如在日本專利申請案特許公開第 5 - 2 1 1 1 2 8 號，美國專利第 5 , 3 7 4 , 5 6 4 號，及日本專利申請案特許公開第 1 0 - 2 0 0 0 8 0 號中所述且經由氫離子植入及剝離製備以及在國際專利公告第 W O 9 8 / 5 2 2 1 6 號中所述且經由電漿浸漬離子植入 (P I I I) 製備的黏結晶圓。日本專利申請案特許公開第 2 6 0 8 3 5 1 號及美國專利第 5 , 3 7 1 , 0 3 7 號分別敘述藉著將外延層轉移至分開的支撐基板上而製備高品質的 S O I 晶圓的方法。

日本專利申請案特許公開第 7 - 3 0 2 8 8 9 號 (美國專利第 5 , 8 5 6 , 2 2 9 號) 提供改進的用來轉移外延層的方法。

圖 1 7 A 至 1 7 E 顯示已知的用來轉移外延層的方法。

首先，如圖 1 7 A 所示，使用為 S i 晶圓的半導體晶圓 (可能被稱為原始晶圓，黏結晶圓，裝置晶圓，或種子晶圓) ，並且表面被陽極化以在表面上產生多孔層 4 。

然後，如圖 1 7 B 所示，非多孔狀單晶半導體層 5 典型上使用 C V D 技術藉著外延生長而形成在多孔層 4 上。

然後，如圖 1 7 C 所示，外延層 (非多孔狀單晶半導體層) 的表面被氧化以產生絕緣層 6 。然後，使絕緣層 6 與另一半導體晶圓 2 (或一塊石英玻璃) 的表面接觸並且黏結於其。如此，製備內部含有外延層 5 的多層結構。

然後，如圖 1 7 D 所示，多層結構典型上藉著將楔塊

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(3)

插入其橫向側邊或是加熱多層結構而承受外力或內應力，以將其沿著多孔層分開(圖17D中的參考數字41及42顯示分開的多孔層)。

然後，存留在已經被轉移至第二半導體晶圓2(也稱為處理晶圓或基座晶圓)的外延層5的表面的多孔層4B藉著使用氫氟酸與過氧化氫的混合溶液的濕蝕刻而被去除。然後，如圖17E所示，暴露的外延層典型上藉著氫退火而被平滑化，以產生具有不平常的特性的精製SOI。

另一方面，分離的Si晶圓仍然維持薄盤的輪廓。因此，在也藉著使用相同溶液的濕蝕刻去除存留在其分開側上的多孔層之後，其可再次使用成為如圖17A所示的用來製備另一SOI晶圓的Si晶圓1。或者，其可使用成為如圖17B所示的用來製備另一SOI晶圓的半導體晶圓2。

如上所述，日本專利申請案特許公開第7-302889號揭示重新使用剝離的Si晶圓成為如圖17A所示的Si晶圓1或是成為如圖17B所示的半導體晶圓2的方法。

但是，上述方法伴隨有若干待解決的問題。

例如，當Si晶圓重複地重新使用成為第一晶圓時，其逐漸地損失其厚度，因為其表面層再次被轉變成多孔層，並且所產生的多孔層隨後被去除。因此，此Si晶圓的每一次重新使用可能需要有調整其藉著在表面上形成多孔

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明(4)

層而因此進一步減小其厚度而被重新使用所處的條件的累贅過程。另外，如果產生多層結構，則其可能會敏感地受第一晶圓的厚度以及其他層的厚度的影響而在某些情況下偏轉。因此，嚴密控制第一晶圓的厚度極為重要。

另外，分離步驟中發生的對Si晶圓的損害可能不利地影響後續的步驟，包括產生多孔層的步驟，因而使其不再適合用來製造具有完全相同的特性的SOI晶圓。

另外，SOI晶圓的製造方法遠複雜於大塊晶圓的製造方法，因此SOI晶圓的製造產率通常相當低。換句話說，如果可重新使用的第一晶圓實際上被重新使用成為用來製備另一SOI晶圓的第一或第二晶圓，則從獲得所需的品質位準的觀點而言，其在商業標準上可能不能令人滿意地被使用。

雖然上述的已知的重新使用Si晶圓的方法意欲在製造一SOI晶圓的過程之後重新使用第一晶圓來製造具有相同品質的另一SOI晶圓，但是此Si晶圓通常不能滿足所考慮的晶圓類型在商業上可用的要求。

屆時，從在未來產業中減少廢料及開發有限資源的觀點而言，此一Si晶圓可能不具任何價值。

發明概說

本發明的目的為提供一種製造具有優異的大量生產適合性及再現性的半導體晶圓的方法。

本發明的另一目的為提供一種製造半導體晶圓的方法

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(5)

，其增進經濟效率，並且在不減少市場上的晶圓數目之下提供具有優異品質的S O I晶圓。

根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

製備在一半導體基板上具有一半導體層的一第一構件；

在從該第一構件分離該半導體層之後，將該半導體層轉移至一第二構件上；及

在該轉移步驟之後使該半導體基板的表面平滑，以將該半導體基板使用成為用於與形成該第一及第二構件不同的目的的一半導體晶圓。

另外，根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

製備在一半導體基板上具有一半導體層而在二者之間配置有一分離層的一第一構件；

在經由該分離層分離該半導體層之後，將該半導體層轉移至一第二構件上；及

在該轉移步驟之後使該半導體基板的表面平滑，以將該半導體基板使用成為用於與形成該第一及第二構件不同的目的的一半導體晶圓。

根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

製備在一p型半導體基板上具有一半導體層的一第一構件；

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(6)

從該第一構件分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在該半導體層已經從其分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

製備在一 p 型半導體基板上具有一半導體層而在二者之間配置有一分離層的一第一構件；

經由該分離層分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在已經經由該分離層分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

在一 p 型半導體基板內形成一分離層，以形成在該分離層上具有一半導體層的一第一構件；

經由該分離層分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在已經經由該分離層分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(7)

層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

製備在一 p 型半導體基板上具有一半導體層而在二者之間配置有一分離層的第一構件；

將該第一構件與一第二構件黏結以形成一多層結構；

在氧化氣氛下實施該多層結構的熱處理；

經由該分離層分離該多層結構，以將該半導體層轉移至該第二構件上，因而形成一第一半導體晶圓；及

經由該分離層分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在已經經由該分離層分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

根據本發明的一種製造半導體晶圓之方法，包含以下步驟：

製備一第一構件，其至少具有包含一外延半導體層的一第一半導體層，該外延半導體層具有比一 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度；一分離層；及一第二半導體層；上述各層依所提及的順序配置在該 p 型半導體基板上；及

藉著經由從該分離層分離該第二半導體層的分離步驟

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(8)

來將該第二半導體層轉移至一第二構件上而形成一第一半導體晶圓，並且形成在該 p 型半導體基板上具有該第一半導體層的一第二半導體晶圓。

一種製造半導體晶圓之方法，包含以下步驟：

至少形成包含一外延半導體層的一第一半導體層，其具有比一 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度；及包含一外延半導體層的一第二半導體層，其具有比該第一半導體層的雜質濃度高的界定 p 型導電性的雜質濃度；上述二層依所提及的順序配置在該 p 型半導體基板上；使該第一半導體層的一部份及該第二半導體層成多孔狀，並且在成為多孔狀的該第二半導體層上形成一第三半導體層，因而形成一第一構件；及

將該第三半導體層轉移至一第二構件上以形成一第一半導體晶圓，並且形成包含具有該第一半導體層的該 p 型半導體基板的一第二半導體晶圓。

根據本發明的一種使用半導體晶圓之方法，其特徵在於製備已經被用來製造一黏結 S O I 基板的一種子晶圓，並且接著對該種子晶圓的至少一表面實施平滑化處理，以成為一半導體晶圓來販賣，而不再次用來製造黏結 S O I 基板。

圖式簡要敘述

圖 1 為顯示根據本發明的基本實施例的製造半導體晶圓的方法的流程圖。

(請先閱讀背面之注意事項再
訂本頁)

裝
訂
線

五、發明說明(9)

圖 2 為顯示根據本發明的另一基本實施例的製造半導體晶圓的方法的流程圖。

圖 3 為顯示根據本發明的另一基本實施例的製造半導體晶圓的方法的流程圖。

圖 4 A , 4 B , 4 C , 4 D , 4 E , 4 F , 及 4 G 為顯示根據本發明的第一實施例的製造晶圓的方法的過程示意圖。

圖 5 A , 5 B , 5 C , 5 D , 5 E , 5 F , 5 G , 5 H , 及 5 I 為顯示根據本發明的第二實施例的製造晶圓的方法的過程示意圖。

圖 6 A , 6 B , 6 C , 6 D , 6 E , 6 F , 及 6 G 為顯示根據本發明的第四實施例的製造晶圓的方法的過程示意圖。

圖 7 A , 7 B , 7 C , 7 D , 7 E , 7 F , 7 G , 7 H , 及 7 I 為顯示根據本發明的第五實施例的製造晶圓的方法的過程示意圖。

圖 8 A , 8 B , 8 C , 8 D , 8 E , 8 F , 及 8 G 為顯示根據本發明的第七實施例的製造晶圓的方法的過程示意圖。

圖 9 A , 9 B , 9 C , 9 D , 9 E , 9 F , 及 9 G 為顯示根據本發明的第八實施例的製造晶圓的方法的過程示意圖。

圖 10 為顯示製造系統的例子說明示意圖。

圖 11 為顯示製造系統的另一例子說明示意圖。

(請先閱讀背面之注意事項再
寫本頁)

裝
訂
線

五、發明說明 (10)

圖 1 2 為用來決定分離後的第一晶圓的用途的檢驗過程的流程圖。

圖 1 3 為顯示製造系統的例子說明示意圖。

圖 1 4 為顯示製造系統的另一例子的說明示意圖。

圖 1 5 A , 1 5 B , 1 5 C , 1 5 D , 1 5 E , 1 5 F , 1 5 G , 及 1 5 H 為顯示本發明的製造晶圓的方法的過程示意圖。

圖 1 6 A , 1 6 B , 1 6 C , 及 1 6 D 為顯示本發明的製造太陽電池的方法的過程示意圖。

圖 1 7 A , 1 7 B , 1 7 C , 1 7 D , 及 1 7 E 為顯示習知技術的轉移外延層的方法的示意圖。

元件對照表

1	S i 晶圓 , 第一晶圓
1	大塊矽基板
1	第一基板
2	第二半導體晶圓 , 第二晶圓
2	第二矽晶圓
2	第二基板
3	單晶半導體層
3	外延層
3	外延矽層
4	多孔層 , 分離層
5	非多孔狀單晶半導體層 , 外延層 , 非多孔層

五、發明說明 (11)

- 5 非多孔狀單晶矽層，半導體膜
- 6 絕緣層
- 6 氧化物膜
- 7 外延層
- 1 0 非多孔層
- 1 0 非多孔狀外延層
- 1 4 分離層
- 2 0 S O I 晶圓
- 2 1 外延晶圓，大塊晶圓
- 3 1 外延層，外延半導體層
- 3 1 外延半導體層
- 3 1 " 外延半導體層
- 3 2 外延層，半導體層
- 4 1 分離的多孔層，存留部份
- 4 1 存留的多孔層
- 4 1 多孔層
- 4 1 " 多孔層
- 4 2 分離的多孔層，存留部份
- 4 2 存留的多孔層
- 4 2 多孔層
- 5 1 處理設備
- 5 2 黏結設備
- 5 3 分離設備
- 5 4 分離層去除及表面平滑化設備

(請先閱讀背面之注意事項再填(本頁))

裝

訂

線

五、發明說明 (12)

- 5 5 外 延 生 長 設 備
- 5 6 檢 驗 及 分 析 設 備
- 5 7 貨 運 封 裝 設 備
- 5 8 維 修 區 域
- 5 9 清 潔 區 域
- 8 0 絕 緣 膜
- 8 1 電 極 或 線
- 8 2 金 屬 線 導 體
- 8 3 透 明 基 板
- 8 5 後 表 面 電 極
- 8 6 薄 膜 半 導 體
- 1 4 1 存 留 部 份
- 1 4 2 存 留 部 份
- 4 0 1 低 孔 隙 度 層
- 4 0 2 較 高 孔 隙 度 層
- 4 0 3 高 孔 隙 度 層
- 4 0 4 較 高 孔 隙 度 層
- 5 0 1 第 三 半 導 體 層
- 5 0 2 第 二 半 導 體 層
- 5 0 3 第 一 半 導 體 層

較佳實施例的敘述

圖 1 為顯示根據本發明的基本實施例的製造半導體晶圓的方法的流程圖。

(請先閱讀背面之注意事項再填)

裝

訂

線

五、發明說明 (13)

首先，如圖 1 的步驟 S 1 所示，提供一半導體晶圓成為第一晶圓。可採用 S O I 晶圓及非 S O I 晶圓成為半導體晶圓。特別是，可較佳地採用例如 C Z 晶圓，F Z 晶圓，外延晶圓，及氫退火晶圓的非 S O I 晶圓。C Z 晶圓及 F Z 晶圓分別為藉著柴克勞斯基 (Czochralski) 法及浮動區域法所製造的晶圓。

其次，如同在步驟 S 2 中，分離層形成在半導體晶圓上，並且形成在半導體基板上具有單晶半導體而在二者之間配置有分離層的第一構件。有兩種方法可用來形成分離層。一為形成多孔層的方法，然後在其表面上形成非多孔層。非多孔層是藉著在多孔層上外延生長非多孔層的方法以及在含有氫或類似者的還原氣氛中對多孔層的表面實施熱處理的方法而形成。另一種形成分離層的方法為將氫離子，稀有氣體離子，及氮離子或類似者的至少之一噴射至第一晶圓內的方法，因而形成包含細小空隙（這些細小空隙包含氣體或類似者而被稱為微氣泡，其也被稱為微空腔）的層，或是包含在離開第一晶圓的表面一預定深度位置處的可藉著隨後的熱處理而產生的潛在細小空隙的層。

在任一情況中，在半導體晶圓的表面上具有其預定厚度的單晶半導體層在形成分離層之前形成，並且分離層可在該層內形成。

半導體層上的一層是在單晶半導體層，多晶半導體層，及非晶半導體層或類似者之中選擇。明確地說，其包含 S i , G e , S i G e , S i C , C , G a A s ,

（請先閱讀背面之注意事項再填本頁）

裝

訂

線

五、發明說明 (14)

A l G a A s , I n P , I n A s , 或類似者。另外，在這些半導體層的表面上，可藉著熱氧化，C V D，濺射，或類似者形成一絕緣層，例如矽氧化物，矽氮化物，或矽氮氧化物或類似者。

如果未預先形成分離層，則如稍後所述，可在形成一多層結構後於正確位置處切開多層結構。或者，如果製備產生應力的界面，則結構會在界面處分離。亦即，結構可經由步驟 S 1，S 3，及 S 4。

然後，在步驟 S 3 中，成為支撐基板的部份（第二構件）形成在上面形成有分離層的半導體晶圓上，因而形成多層結構。有兩種方法可用來形成成為此支撐基板的部份。其中一方法為將另外提供的第二晶圓黏結在上面形成有分離層的第一晶圓上，而另一方法為在第一晶圓上澱積相當厚的材料例如多晶矽，因而形成支撐基板。可採用具有與第一半導體基板相同的結構的晶圓例如 C Z 晶圓，F Z 晶圓，外延晶圓，氬退火晶圓，或類似者成為第二晶圓。第一晶圓可直接黏結在這些晶圓的半導體表面上，或是經由在這些晶圓之間的絕緣層及／或黏結層而黏結。或者，可採用例如石英玻璃，塑膠，或類似者的絕緣透明基板，例如撓性金屬膜，鋁，不鏽鋼，或類似者的導電金屬基板，或陶瓷或類似者來取代第二晶圓，並且第一晶圓可直接或經由絕緣層及／或黏結層而不直接地黏結於其。

然後，在步驟 S 4 中，多層結構在分離層上分離。有兩種分離方法。其中一方法為外部加熱多層結構，發射光

（請先閱讀背面之注意事項再）
（本頁）

裝
訂
線

五、發明說明 (15)

至多層結構以吸收光，因而在多層結構的內部產生分離能量。明確地說，包含藉著植入氫離子，稀有氣體離子，氮離子，或類似者於第一晶圓的預定深度位置處而形成的細小空隙的層或是包含潛在細小空氣的層承受熱能，因而其密度隨著細小空隙的增加而減小。以此方式，多層結構的釋放現象發生在層中。此為在多層結構內部產生分離能量的方法。或者，可用藉著加熱過程從側面氧化分離層及／或其附近且利用由於氧化物膜或類似者的生長所造成的應力的分離方法。上述的熱能是藉著在 300℃ 至 800℃ 的熱處理或是最好在 400℃ 至 600℃ 的熱處理而產生。

另一種分離方法是直接對多層結構從外部賦予分離能量。明確地說，其包括將一楔塊插入多層結構的側面因而剝離結構的方法；將由液體及／或氣體所構成的流體吹在多層結構的側面因而剝離結構的方法；於與多層結構的前後表面互相相反的方向施加拉力因而剝離結構的方法；於與多層結構的前後表面互相相反的方向施加壓力因而藉著破壞而剝開分離層的方法；對多層結構的側面施加剪力因而破壞分離層而剝開結構的方法；使用內圓周刀片或線鋸的切開方法；或賦予超音波振動因而破壞分離層的方法。

至於所用的流體，可使用不使用水之下的有機溶劑例如乙醇；例如氫氟酸及硝酸的酸，或是例如氫氧化鉀的鹼，以及具有選擇性蝕刻其他分離區域的功能的液體或類似者。另外，可採用例如空氣，氮氣，碳酸氣體，稀有氣體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

，或類似者的氣體成為流體。可採用對分離區域有蝕刻反應的氣體或電漿。宜於使用具有高純度的水成為噴射流，例如去除雜質金屬或粒子的純水或超純水。但是，當分離步驟在完全低溫過程中執行時，可在水噴射分離之後實施沖洗或去除。

當然，上述的各種不同的分離方法可組合使用。

如此獲得的晶圓成為例如 S O I 晶圓的具有高度價值的晶圓，並且使用此晶圓來製造半導體裝置。所製成的半導體裝置具有低功率消耗的優異性，並且可以高速率操作（步驟 S 5）。

另一方面，分離的第一晶圓（半導體基板）被採用成為表面被平滑化的非 S O I 晶圓，而非在上述步驟中被再次利用成為第一或第二晶圓，並且藉著利用此晶圓而提供一般的半導體裝置。或者，此晶圓可被使用成為監視或虛設晶圓（步驟 S 6）。另外，晶圓可被轉用而經由日本專利申請案特許公開第 8 - 2 1 3 6 4 5 號，第 1 0 - 2 3 3 3 5 2 號，及第 1 0 - 2 7 0 3 6 1 號中所揭示的方法來製造太陽電池。

對於表面平滑化，可對分離的第一晶圓施加拋光，研磨，蝕刻，熱處理，或類似者中的至少之一。特別是，在含有氫的還原氣氛中對分離的第一晶圓實施熱處理（氫退火）的方法為較佳的方法，因為可在抑制晶圓厚度的減小之下進行表面平滑化，同時可使分離後的晶圓表面層中所含的例如硼的雜質向外擴散，因而可降低雜質濃度。

（請先閱讀背面之注意事項再填本頁）

裝

訂

線

五、發明說明 (17)

氫退火的較佳溫度為 300°C 以上，並且在晶圓構成材料的熔點以下。當此退火施加於單晶矽晶圓時，溫度的下限為 800°C ，而以 1000°C 較佳，並且溫度的上限為矽的熔點，以 1400°C 較佳，而以 1200°C 更好。

氫退火的還原氣氛的較佳壓力可為增壓，大氣壓力，或減壓。其應為在大氣壓力及 $3.9 \times 10^4 \text{ Pa}$ 以下或以上，或是其較佳地應為在大氣壓力及 1.3 Pa 以下或更大。

氫退火的較佳處理時間不受特別的限制，因為其係根據所需的性質來適當地選擇。實際的範圍是從大約 1 分鐘到 10 小時。

可採用 100% 的氫及氫與惰氣的混合氣體成為用來提供含有氫的還原氣氛的氣體。

經由此氫退火而獲得的剝離後的第一晶圓具有與商業上可得的氫退火晶圓相同的水準，其可較佳地來製造例如 L S I 的半導體裝置。

由於拋光所造成的平滑化是非常優異的方法。即使是發生表面失敗，失敗的表面也可藉著拋光而幾乎完全被去除。不像 S O I 層的表面拋光，對此拋光不需施加相關於均勻度的嚴格要求。拋光可藉著類似於一般 S i 晶圓的拋光的方法來實施，因而大量生產性優異。但是，晶圓厚度由於拋光而減小，因而以此觀點而言氫退火較優異。

至於拋光方法，化學及機械拋光 (C M P) 較佳。至於用來實施 C M P 的拋光劑，可採用矽石玻璃 (硼矽玻璃

(請先閱讀背面之注意事項再
入本頁)

裝

訂

線

五、發明說明 (18)

), 二氧化鈦, 氮化鈦, 氧化鋁, 硝酸鐵, 氧化鈾, 膠態矽石, 氮化矽, 碳化矽, 石墨, 例如鑽石的拋光顆粒, 或是具有這些顆粒及與其混合的例如 H_2O_2 或 KIO_3 的氧化劑或是例如 $NaOH$, KOH , 或類似者的鹼性溶液的顆粒液體。

可省略平滑化步驟。當然, 在拋光的情況中, 可執行鏡面拋光, 或是可對不只是一面而是對兩面均實施鏡面拋光。

在本發明中, 當特別是採用 P 型半導體晶圓成為第一晶圓時, 如圖 2 所示, 在分離步驟 S 4 中製備例如 SOI 晶圓的第一半導體晶圓 (步驟 S 5), 分離的 P 型半導體晶圓被平滑化, P^- 層或 N^+ 層及類似者外延生長 (步驟 S 6) 在其表面上, 然後可製備 (步驟 S 7) 具有 P^- 層或 N 層及類似者形成在 P 型半導體晶圓上的外延晶圓。特別是, 較佳地採用高濃度 P 型半導體晶圓成為 P 型半導體晶圓。這是因為如稍後會特別敘述的, P^- 外延 / P^+ 基板的形式在目前採用的晶圓中是最被廣泛採用的。外延生長處理可在剝離後的第一晶圓的表面已經被平滑化一次之後施加。此外延生長處理可在剝離後未施加拋光, 蝕刻, 或熱處理而只沖洗之後施加。

當外延半導體層形成在成為第一晶圓的高濃度 P 型半導體晶圓上且被採用時, 如圖 3 所示, 在分離步驟 S 4 中製備例如 SOI 晶圓的第一半導體晶圓 (步驟 S 5)。另外, 外延半導體層根據分離位置而存留在分離的高濃度 P

(請先閱讀背面之注意事項再
訂本頁)

裝

訂

線

五、發明說明 (19)

型半導體晶圓上。如此，可在不新造成外延生長之下製備外延晶圓（步驟 S 7）。例如，具有 P^- 外延層的外延晶圓完成在 P^+ 基板上。亦即，外延半導體層在步驟 S 1 中形成，而分離層形成於其上。如此，不像圖 2，不需要在步驟 S 6 中提供新的外延半導體層。特別是， P^- （或 N）型第一半導體層形成在高濃度 P 型半導體晶圓上，而第二半導體層進一步形成於其上，並且分離位置較佳地設置在第一半導體層的內部。高濃度 P 型具有 $1 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的硼濃度，以及 0.001 至 0.5 ohm · cm 的電阻係數。

視情況可能在 N 型半導體上使其成為用來形成分離層的多孔狀，但是宜於採用 P 型半導體。Unagami 等人研究陽極化中的 Si 溶液反應，並且得到 HF 溶液中的陽極化需要有正孔的結論（T. Unagami, J. Electrochem. Soc., vol. 127, 第 476 頁（1980 年））。為形成多孔狀，較佳地採用高濃度 P 型半導體晶圓，並且其雜質濃度範圍一般是從 $5.0 \times 10^{16} / \text{cm}^3$ 至 $5.0 \times 10^{20} / \text{cm}^3$ ，而以 $1.0 \times 10^{17} / \text{cm}^3$ 至 $2.0 \times 10^{20} / \text{cm}^3$ 較佳，並且以 $5.0 \times 10^{17} / \text{cm}^3$ 至 $1.0 \times 10^{20} / \text{cm}^3$ 更好。當分離層是藉著離子植入而形成時，採用氫，氮，稀有氣體或類似者（He，Ne，Ar 或類似者）成為離子植入種類。可植入其中的至少之一或更多。

外延生長的較佳溫度為 500 °C 或以上，並且在晶圓構成材料的熔點以下。當外延生長施加於單晶矽晶圓時，

（請先閱讀背面之注意事項再）

裝

訂

線

五、發明說明 (20)

溫度的下限為 600°C ，而以 800°C 較佳，並且溫度的上限為矽的熔點，而以 1400°C 較佳，並且以 1200°C 更好。

外延生長是藉著 C V D 法或濺射法來執行，較佳的氣氛壓力可為大氣壓力或減壓，應在大氣壓力及 $3.9 \times 10^{-4} \text{ Pa}$ 以下或更大，或是應更佳地在大氣壓力及 1.3 Pa 以下或以上。

外延生長的較佳處理時間不受特別的限制，因為其係根據所需的膜厚度來選擇。實際範圍是從 10 秒至 10 小時。

至於用於外延生長的氣氛原料氣體，舉例而言可為從矽烷或其類似物例如 SiH_4 ， SiCl_3H ， SiCl_2H_2 ， SiCl_4 ， Si_2H_6 ， SiF_4 ，或類似者中選擇的至少一氣體。為加入雜質，可加入例如 B_2H_6 ， BF_3 ， BBr_3 的含接受體氣體或是例如 PH_3 ， AsH_3 或類似者的含給予體氣體。另外，可於以上所述者加入氫氯酸，氯，或類似者，或是可加入氫或稀有氣體。一般而言，採用氫氣成為載體氣體。

如上所述，在本發明的一實施例中，使用 P^+ 晶圓來製造 S O I 晶圓以較佳地使其成為多孔狀而成為第一晶圓，並且外延層生長在剝離之後的第一晶圓的表面上，因而製造外延晶圓。所製成的外延晶圓可較佳地來製造積體電路例如記憶體，邏輯電路，類比訊號處理電路，以及類比—數位混合電路，或是半導體功能元件例如 C C D，太陽電

(請先閱讀背面之注意事項再為本頁)

裝訂線

五、發明說明 (21)

池，或類似者。在單一製造過程中，可製造 S O I 晶圓及外延晶圓二者，並且可降低總材料成本。

以下敘述外延晶圓。

在低功率消耗及高速 L S I 技術 (Realize Co., Ltd., 第 479 頁至第 483 頁) 中，以 P^- 外延層 / P^+ 基板成為用來減小數位雜訊的基板結構的一例。

根據第 5 - 1 節，矽科學 (UCS Semiconductor Substrate Technical Study Society, Realize Co., Ltd.)，當在外延晶圓上製造 M O S L S I 時，大部份的 M O S L S I 被採用在 P 型外延 / P^+ 基板結構中。因此，採用外延晶圓的最重要的因素是可改善軟體誤差及鎖上。另外，在第 5 . 4 節中，P 型外延 / P^+ 基板的外延晶圓的 T D D B 特性就 M O S 結構氧化物膜的絕緣破壞特性而言比 C Z 大塊 S i 晶圓好，並且由於基板中硼濃度高的區域而有強的吸氣效果。

在此節中，討論外延晶圓的價格。如果的晶圓的開孔變大，則外延晶圓與 C Z S i 晶圓之間的價格差異變小。對於十億位元的世代，需要超高品質的 S i 晶體。另外，由於具有較大直徑的 C Z 晶圓 (對外延晶圓價格) 的價格比的增加，使用大量外延晶圓於高積體 M O S L S I 例如 D R A M 的世代來臨。

在本發明中，當多孔層形成為分離層時，較佳地採用高濃度 P^+ 晶圓。當分離的高濃度 P^+ 晶圓 (半導體基板) 在不丟棄下被利用或轉用成為 P^- 外延基板時，可從此二晶

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (22)

圓製造一高品質 S O I 晶圓及一外延晶圓。另外，可始終採用新的晶圓成為用來製造 S O I 晶圓的晶圓，因而可增加 S O I 晶圓製造效率。因此，可建構在商業上有利的半導體製造系統來用於上述外延晶圓的大量消耗。

當採用 P⁺ 晶圓成為第一晶圓時，製造上述的積體電路或半導體功能元件的較佳晶圓係藉著在不施加外延生長處理下只是將表面平滑化而形成。當然，當對製造此種積體電路或半導體功能元件需要較高品質的層時，可在平滑化的表面上另外形成外延層。當分離的第一晶圓（半導體基板）被利用或轉用時，此晶圓的價格幾乎相等於初始晶圓的價格或是較不昂貴。另外，如果晶圓具有高價值，則其可以較高的價格販售，因而可建構在商業上有利的半導體製造系統。

以下參考圖式更詳細敘述本發明的較佳實施例。

（實施例 1）

圖 4 A 至 4 G 為顯示根據本發明的第一實施例的晶圓製造方法的示意圖。

首先，如圖 4 A 所示，由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓構成的第一晶圓 1 的表面承受陽極化以成多孔狀，因而形成多孔層 4。

然後，如圖 4 B 所示，非多孔層 5 形成在多孔層 4 上而形成第一構件。用來形成非多孔層 5 的方法包括氫退火以封閉多孔層 4 的孔，以藉著外延生長來使其成為非多孔

（請先閱讀背面之注意事項再訂本頁）

裝 · 訂 · 線

五、發明說明 (23)

狀或形成非多孔狀單晶層。另外，非多孔層 5 的表面視需要被氧化，因而在非多孔層 5 上形成絕緣層 6。可藉著 C V D 或濺射及類似者而非氧化來形成絕緣層 6。在此實施例中，採用多孔層 4 成為分離層。

如圖 4 C 所示，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。

第二晶圓 2 可為上面暴露半導體的晶圓，或是在其表面上可形成有絕緣膜的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。或者，可採用以塑膠為基礎的撓性膜。

在此黏結中，這些晶圓的表面可在互相接觸下於室溫承受熱處理以增加黏結強度，並且可藉著陽極黏結而互相黏結。或者，熱處理可在二者開始互相接觸時同時執行。另外，在黏結步驟中，可在二者被加壓以使其互相更緊密接觸下執行熱處理或類似者。熱處理是較佳地在氧化氣氛中或惰氣（ N_2 ， Ar ，或類似者）氣氛中執行。

另外，最好藉著對成對黏結面的至少之一施加使用氧，氮，矽，氫，稀有氣體，或類似者的電漿處理來預先活化黏結面。另外，可在這些黏結面之間插入一黏結層。

如圖 4 D 所示，於分離層（多孔層 4）處，藉著上述方法分離多層結構（參考數字 4 1 及 4 2 各表示分離的多孔層）。剝離的第一晶圓 1 的非多孔狀部份維持晶圓形狀，並且多孔層的存留部份 4 1 形成在分離的面上。另一方面，從第一晶圓轉移的非多孔層 5 與絕緣層 6 一起形成在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (24)

第二晶圓 2 上。多孔層的存留部份 4 2 形成在其分離的面上。在圖中，雖然分離位置畫成在多孔層的內部，但是當然第一晶圓 1 與多孔層 4 之間的界面或是非多孔層 5 與多孔層 4 之間的界面可能在分離位置處。在隨後的實施例中也是如此。

如圖 4 E 所示，多孔層的存留部份 4 2 被去除。當存留部份 4 2 的厚度相當厚時，採用氟酸，過氧化氫，及乙醇的混合物液體成為蝕刻劑，使得存留部份 4 2 藉著濕蝕刻而被選擇性地去除，然後表面藉著氫退火而被平滑化。如果存留部份 4 2 的厚度薄，則存留部份 4 2 可在不濕蝕刻下藉著氫退火來去除，並且可同時執行平滑化處理。如此，獲得具有高價值的 S O I 晶圓。可對存留部份 4 2 的去除步驟加入拋光或平面化步驟。

在圖 4 F 中，在剝離後的晶圓 1（半導體基板）上的存留部份 4 1 藉著拋光，平面化，濕蝕刻，或氫退火及類似者而被去除及平滑化。如此，獲得大塊晶圓。此處，在上面的存留部份 4 1 只是被去除的第一晶圓上，亦即上面的存留部份 4 1 被去除而不將其表面平滑化的第一晶圓上，可對表面平滑化步驟執行外延生長（圖 4 G）。

如圖 4 G 所示，由非多孔狀 P 型單晶半導體構成的外延層 7 可藉著在剝離之後的晶圓 1 的表面上執行外延生長處理而形成。如此，獲得外延晶圓。亦即，從二半導體晶圓獲得一 S O I 晶圓（圖 4 E）及一大塊晶圓（圖 4 F）或是外延晶圓（圖 4 G）。在本發明中，採用此大塊晶圓

（請先閱讀背面之注意事項再）
（本頁）

裝

訂

線

五、發明說明 (25)

(外延晶圓) 於上述第一及第二晶圓以外的用途。例如，晶圓被用來製造太陽電池，被使用成為虛設晶圓或監視器晶圓，或是成為外延晶圓販賣。

在分離之後，在存留在第一或第二晶圓上的分離層非常薄的情況中，幾乎沒有此層，或是即使存留有此層也沒有任何問題，可省略去除上述存留部份的步驟，此在隨後的實施例中也相同。

如已經敘述的，當採用高濃度 P 型半導體晶圓成為第一晶圓時，晶圓較佳地成為多孔狀。圖 4 G 中所得的外延晶圓為具有形成在 P^+ 晶圓上的外延層 (例如 P^- 層) 的晶圓。

此處，在多孔層 4 上形成非多孔層 5 之前，可加入以下步驟 (1) 至 (4) 的至少之一。一系列的步驟可較佳地以 (1) $\rightarrow$ (2) 的順序來實施，以 (1) $\rightarrow$ (2) $\rightarrow$ (3) 或 (1) $\rightarrow$ (2) $\rightarrow$ (4) 更佳，而以 (1) $\rightarrow$ (2) $\rightarrow$ (3) $\rightarrow$ (4) 最好。

(1) 在孔的壁上形成保護層的步驟

例如氧化物膜或氮化物膜的保護膜可設置在多孔層中的孔的壁上，以防止孔由於熱處理而變粗。例如，在氧化氣氛下執行熱處理 (200℃ 至 700℃)。形成在多孔層的表面上的氧化物膜或類似者可在需要時被去除 (例如表面暴露於含有 HF 的液體)。

(請先閱讀背面之注意事項再) (本頁)

裝
訂
線

五、發明說明 (26)

(2) 氫烘焙步驟

多孔層在含有氫的還原氣氛中承受於 800°C 至 1200°C 的熱處理，因而將存在在多孔層的層表面上的孔密封至某一程度。

(3) 供應非常小量的原料的步驟

如果孔不能藉著上述的氫烘焙處理而被密封，則供應小量的非多孔層 5 的原料，因而進一步密封層表面上的孔。

明確地說，原料的供應被調整成使得生長率為 20 nm/min (毫微米/分鐘) 或更小，以 10 nm/min 或更小較佳，而以 2 nm/min 或更小更好。

(4) 高溫烘焙步驟

在比上述的氫烘焙步驟及/或供應少量原料的步驟的處理溫度高的溫度及在含有氫的還原氣氛下執行熱處理。以此方式，可在多孔層的表面上達成更完全的密封及平滑化。

(實施例 2)

圖 5 A 至 5 I 為顯示根據本發明的第二實施例的製造晶圓的方法的示意圖。

首先，如圖 5 A 所示，提供由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的第一晶圓 1，並且

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

五、發明說明 (27)

加入有摻雜劑的單晶半導體層 3 使用擴散法或離子植入法而形成在第一晶圓的頂層上。此單晶半導體層 3 較佳地為具有 $1 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的硼濃度的 P^+ 層。

其次，如圖 5 B 所示，第一晶圓 1 的單晶半導體層 3 的表面承受陽極化而成多孔狀，因而形成多孔層 4。此時，最好只使單晶半導體層 3 的頂層成多孔狀，使得非多孔層 10 以大約 100 nm （毫微米）至 $20 \mu\text{m}$ （微米）的厚度存留在多孔層 4 的下方。如此，硼濃度被嚴格規定的區域可承受陽極化，因而可形成均勻多孔狀表面。

然後，在圖 5 C 中，非多孔層 5 形成在多孔層 4 上，因而形成第一構件。用來形成非多孔層 5 的方法包括藉著氬退火來封閉多孔層 4 的孔以使頂層成為非多孔狀，或是藉著外延生長來形成非多孔狀單晶層。非多孔層 5 的表面視需要被氧化，因而在非多孔層 5 上形成絕緣層 6。可藉著 CVD 或濺射及類似者而非熱氧化來形成絕緣層 6。在此實施例中，採用多孔層 4 成為分離層。

在圖 5 D 中，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。可採用例如 CZ 矽晶圓，FZ 矽晶圓，或類似者的大塊晶圓成為第二晶圓 2。第二晶圓 2 可為上面暴露半導體的晶圓，或是在其表面上可形成有絕緣膜的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。

另外，最好藉著對成對黏結面的至少之一施加使用氧

（請先閱讀背面之注意事項再
本頁）

裝

訂

線

五、發明說明 (28)

，氮，矽，氫，稀有氣體，或類似者的電漿處理來預先活化黏結面。另外，可在這些黏結面之間插入一黏結層。

在圖 5 E 中，於分離層（多孔層 4）處，藉著上述方法分離多層結構。剝離的第一晶圓的非多孔狀部份維持晶圓形狀，並且在分離面上具有多孔層的存留部份 4 1。另一方面，從第一晶圓轉移的非多孔層 5 與絕緣層 6 一起形成在第二晶圓 2 上，並且在其分離面上具有多孔層的存留部份 4 2。

在圖 5 F 中，存留部份 4 2 被去除。當存留部份 4 2 的厚度相當厚時，採用氟酸，過氧化氫，及乙醇的混合物成為蝕刻劑，使得存留部份 4 2 藉著濕蝕刻而被選擇性地去除，然後表面藉著氫退火而被平滑化。當存留部份 4 2 的厚度薄時，存留部份 4 2 可在不濕蝕刻下藉著氫退火來去除，並且可同時執行平滑化處理。如此，獲得具有高價值的 S O I 晶圓。

在圖 5 G 中，在剝離後的晶圓 1（半導體基板）上的存留部份 4 1 藉著拋光，平面化，濕蝕刻，氫退火，或類似者而被去除及平滑化。

另外，當非多孔層 1 0 被去除時，獲得與原始晶圓相同的大塊晶圓（圖 5 H）。

另外，如圖 5 I 所示，由非多孔狀 P 型單晶半導體構成的外延層 7 可在剝離之後的晶圓 1 的表面上已經執行外延生長處理之後形成，因而獲得外延晶圓。亦即，從二晶圓獲得一 S O I 晶圓及一大塊晶圓（圖 5 H）或是外延晶

（請先閱讀背面之注意事項再）
（本頁）

裝

訂

線

五、發明說明 (29)

圖 (圖 5 I) 。此大塊晶圓 (外延晶圓) 被採用於製造圖 5 A 至 5 I 所示的 S O I 晶圓以外的用途。例如，晶圓被採用成為用來製造太陽電池的設備晶圓，被使用成為監視器晶圓或虛設晶圓，或是成為大塊晶圓或外延晶圓販賣。

(實施例 3)

以下藉著再次參考圖 5 A 至 5 I 來敘述根據本發明的第三實施例的製造晶圓的方法。

首先，如圖 5 A 所示，提供由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的第一晶圓 1，並且單晶半導體層 3 藉著外延生長處理而形成在其表面上。此單晶半導體層 3 較佳地為具有界定 P 型導電性的 $1 \times 10^{17} \text{ cm}^{-3}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的硼濃度的 P⁺ 層。

其次，如圖 5 B 所示，第一晶圓 1 的單晶半導體層 3 的表面承受陽極化而成多孔狀，因而形成多孔層 4。此時，最好只使單晶半導體層 3 的頂層成多孔狀，使得非多孔外延層 10 以大約 100 nm (毫微米) 至 20 μm (微米) 的厚度存留在多孔層 4 的下方。

然後，在圖 5 C 中，非多孔層 5 形成在多孔層 4 上，因而形成第一構件。用來形成非多孔層 5 的方法包括藉著氫退火來封閉多孔層 4 的孔以使頂層成為非多孔狀，或是藉著外延生長來形成非多孔狀單晶層。非多孔層 5 的表面視需要被氧化，因而在非多孔層 5 上形成絕緣層 6。可藉

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (30)

著 C V D 或濺射及類似者而非熱氧化來形成絕緣層 6。在此實施例中，採用多孔層 4 成為分離層。

在圖 5 D 中，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的第二晶圓 2 可為上面暴露半導體的晶圓，或是在其表面上可形成有絕緣膜的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。在黏結期間，這些表面可在互相接觸下於室溫承受熱處理以增加黏結強度，並且可藉著陽極黏結而互相黏結。或者，熱處理可在二者開始互相接觸時同時執行。另外，在黏結步驟中，可在二者被加壓以使其互相更緊密接觸下執行熱處理或類似者。

另外，最好藉著對成對黏結面的至少之一施加使用氧，氮，矽，氫，稀有氣體，或類似者的電漿處理來預先活化黏結面。

另外，可在這些黏結面之間插入一黏結層。

在圖 5 E 中，於分離層（多孔層 4）處，藉著上述方法分離多層結構。剝離的第一晶圓的非多孔狀部份維持晶圓形狀，並且在分離面上具有多孔層的存留部份 4 1。另一方面，從第一晶圓轉移的非多孔層與絕緣層 6 一起形成在第二晶圓 2 上，並且在其分離面上具有多孔層的存留部份 4 2。

在圖 5 F 中，存留部份 4 2 被去除。當存留部份 4 2 的厚度相當厚時，採用氟酸，過氧化氫，及乙醇的混合物

（請先閱讀背面之注意事項再
入本頁）

裝

訂

線

五、發明說明 (31)

成為蝕刻劑，使得存留部份 4 2 藉著濕蝕刻而被選擇性地去除，然後表面藉著氫退火而被平滑化。當存留部份 4 2 的厚度薄時，存留部份 4 2 可在不濕蝕刻下藉著氫退火來去除，並且可同時執行平滑化處理。如此，獲得具有高價值的 S O I 晶圓（圖 5 F）。

在圖 5 G 中，在剝離後的晶圓 1（半導體基板）上的存留部份 4 1 藉著拋光，平面化，濕蝕刻，氫退火，或類似者而被去除及平滑化。此時，圖 5 A 中形成的外延層 1 0 存留。當氫退火在此狀態中施加時，表面被平滑化。另外，所含的硼的濃度藉著向外擴散而降低，並且層 1 0 形成為 P⁻型單晶半導體層。此為具有與所謂的 P⁻外延晶圓相同品質的晶圓。如果不需要確實實施向外擴散，則即使表面藉著拋光或短時間的氫退火而被平滑化，也可形成具有與 P⁻外延晶圓相同品質的晶圓。可在層 1 0 上外延生長一外延層。

另外，當層 1 0 被去除時，獲得與原始晶圓相同的大塊晶圓（圖 5 H）。

另外，如圖 5 I 所示，由非多孔狀 P 型單晶半導體構成的外延層 7 在剝離之後的晶圓 1 的表面上已經執行外延生長處理之後形成成為外延晶圓。亦即，從二晶圓獲得一 S O I 晶圓及一外延晶圓或大塊晶圓。此非 S O I 晶圓在不被再次用來製造 S O I 晶圓之下被轉用或販賣用於其他用途。

以下參考圖 1 5 A 至 1 5 H 敘述在從二矽晶圓製造一

（請先閱讀背面之注意事項再
訂本頁）

裝
訂
線

五、發明說明 (32)

S O I 晶圓及一外延晶圓的情況中的有利點。

如圖 1 5 A 所示，外延矽層 3 形成在大塊矽基板 1 上。

其次，如圖 1 5 B 所示，外延層 3 的一部份承受陽極化，因而成為多孔狀，並且形成多孔層（分離層）4。然後，成為 S O I 晶圓的主動層的非多孔狀單晶矽層 5 形成在多孔層 4 上（圖 1 5 C）。另外，形成成為 S O I 晶圓的絕緣膜的一部份的氧化物膜 6（圖 1 5 D）。此時，如圖所示，氧化物膜也形成在矽基板 1 的表面上。第二矽晶圓 2 黏結於其（圖 1 5 E）。在此黏結中，可於氧化氣氛執行熱處理，使得黏結力加強，並且也可加厚矽基板 1 的表面的氧化物膜。然後，黏結基板被分離（圖 1 5 F），存留的多孔層 4 1 及 4 1 被去除，因而可獲得 S O I 晶圓（圖 1 5 G）及外延晶圓（圖 1 5 H）。

在處理步驟中，採用用來形成設備的外延晶圓，以在成為背面屏蔽的氧化物膜附著於表面特別是基板的背面下防止雜質從晶圓擴散至外部。

根據上述步驟，即使未提供與其他步驟區分的形成背面屏蔽的步驟，此種背面屏蔽也在製造 S O I 晶圓的一系列步驟中形成。因此，可非常有效地製造外延晶圓。

特別是，經由一系列的 S O I 晶圓製造步驟所獲得的外延晶圓（圖 1 5 H）的背面氧化物膜的厚度被較佳地控制於 1 0 n m 至 1 0 μ m，而以 1 0 0 n m 至 3 μ m 更好。

（請先閱讀背面之注意事項再
本頁）

裝

訂

線

五、發明說明 (33)

在圖 1 5 A 至 1 5 H 中，已經敘述採用陽極化來形成分離層的情況。當利用藉著離子植入而形成的微氣泡層來製造 S O I 晶圓時，可藉著含有二氧化步驟（在離子植入之前的矽晶圓的表面上形成保護膜的氧化步驟以及用來增加黏結強度的氧化步驟）而與分離步驟同時地獲得具有背面屏蔽的外延晶圓。

（實施例 4）

圖 6 A 至 6 G 為顯示根據本發明的第四實施例的晶圓製造方法的示意圖。

首先，在圖 6 A 中，提供由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的第一晶圓。第一晶圓的表面視需要被氧化，因而形成絕緣層 6。然後，在圖 6 B 中，植入從氫，氮，及稀有氣體選擇的離子，因而於預定深度處形成成為分離層的含有細小空腔（微氣泡或微空腔）的層 1 4。如此，具有由單晶半導體構成的非多孔層 5 的第一構件形成在分離層 1 4 上。

在圖 6 C 中，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。第二晶圓可為上面暴露半導體的晶圓，或是在其表面上可形成有例如氧化物膜的絕緣膜的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。此黏結可在室溫執行。在黏結期間，這些晶圓的表面可在互相接觸下於室溫承受熱處理以增加黏結強度，並且可藉著陽極黏結而互相黏結。或者，

（請先閱讀背面之注意事項再）
（本頁）

裝

訂

線

五、發明說明 (34)

熱處理可在二者開始互相接觸時同時執行。另外，在黏結步驟中，可在二者被加壓以使其互相更緊密接觸下執行熱處理或類似者。另外，可在這些要黏結的表面之間插入一黏結層。另外，最好藉著對成對黏結面的至少之一施加使用氧，氮，矽，氫，稀有氣體，或類似者的電漿處理來預先活化黏結面。

如圖 6 D 所示，於分離層 1 4 處，使用上述方法分離多層結構。在此方法中，當在圖 6 C 中的熱處理期間溫度被設定於 4 0 0 °C 或以上時，分離現象可與黏結同時發生。溫度範圍最好為從 4 0 0 °C 至 6 0 0 °C。

剝離的第一晶圓的非多孔狀部份維持晶圓形狀，並且在分離面上具有分離層 1 4 的存留部份 1 4 1。另一方面，從第一晶圓轉移的非多孔層 5 與絕緣層 6 一起形成在第二晶圓 2 上，並且在分離面上具有分離層 1 4 的存留部份 1 4 2。

在圖 6 E 中，存留部份 1 4 2 被去除。此時，此部份可以低拋光率被拋光，然後可承受氫退火。或者，可在不拋光存留部份 1 4 2 之下執行氫退火來將其去除，並且同時可執行平滑化處理。如此，獲得具有高價值的 S O I 晶圓。

在圖 6 F 中，在剝離後的晶圓 1（半導體基板）上的存留部份 1 4 1 藉著拋光，濕蝕刻，氫退火，或類似者而被去除及平滑化。如此，獲得大塊晶圓。另外，如圖 6 G 所示，可視需要在剝離後的晶圓 1 的表面上執行外延生長

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (35)

處理，因而形成由非多孔狀 P 型單晶半導體構成的外延層 7。在此情況中，獲得外延晶圓。

採用高濃度 P 型晶圓成為第一晶圓 1，並且採用 P⁻單晶層成為外延層 7，因而形成圖 6 G 所示的 P⁻外延 / P⁺基板。在圖 6 E 中，當執行氫退火時，高濃度 P⁺層 5 藉著硼的向外擴散而給予具有低濃度的 S O I 晶圓 (P⁻層)。P⁻外延 / P⁺基板被轉用於上述的 S O I 晶圓的製造以外的其他各種不同的用途。

(實施例 5)

圖 7 A 至 7 I 為顯示根據本發明的第五實施例的製造晶圓的方法的示意圖。

首先，如圖 7 A 所示，提供由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的第一晶圓 1，並且使用外延生長處理在表面上形成單晶半導體層 3。

其次，如圖 7 B 所示，第一晶圓 1 的外延層 3 的表面視需要被氧化，因而形成絕緣層 6 (圖 7 B)。然後，植入從氫，氮，及稀有氣體選擇的離子，使得於預定深度處形成成為分離層的含有細小空腔的層 1 4。如此，由單晶半導體構成的非多孔層 5 存留在分離層 1 4 上，因而形成第一構件 (圖 7 C)。

此時，最好植入離子至外延層 3 內，使得非多孔狀外延層 1 0 以大約 1 0 n m 至 2 0 μ m 的厚度存留在分離層 1 4 的下方。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (36)

在圖 7 D 中，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的成為第二構件的第二晶圓 2 可為上面暴露半導體的晶圓，或是在其表面上可形成有絕緣層的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。此黏結可在室溫執行。在黏結期間，這些晶圓的表面可在互相接觸下於室溫承受熱處理以增加黏結強度，並且可藉著陽極黏結而互相黏結。或者，熱處理可在二者開始互相接觸時同時執行。另外，在黏結步驟中，可在二者被加壓以使其互相更緊密接觸下執行熱處理或類似者。可在這些要黏結的表面之間插入一黏結層。另外，最好藉著對成對黏結面的至少之一施加使用氧，氮，矽，氫，稀有氣體，或類似者的電漿處理來預先活化黏結面。

在圖 7 E 中，於分離層 1 4 處，藉著上述方法來分離多層結構。當溫度於步驟 S 4 3 中的熱處理時被設定於 400℃ 至 600℃ 時，分離現象會與黏結同時發生。

剝離的第一晶圓 1 在厚度未減小下維持晶圓形狀，並且在分離面上具有分離層 1 4 的存留部份 1 4 1。另一方面，從第一晶圓轉移的非多孔層 5 與絕緣層 6 一起形成在第二晶圓 2 上，並且在分離面上具有分離層 1 4 的存留部份 1 4 2。在圖 7 F 中，存留部份 1 4 2 被去除。此時，可以低拋光率實施拋光，然後也可實施氫退火。或者，可在不拋光下實施氫退火，並且可與去除存留部份 1 4 2 一

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (37)

起實施平滑化處理。如此，獲得具有高價值的 S O I 晶圓。

在圖 7 G 中，在剝離後的晶圓 1（半導體基板）上的存留部份 1 4 1 藉著拋光，濕蝕刻，氬退火，或類似者而被去除及平滑化。此時，圖 7 C 中所形成的外延層 1 0 存留。當氬退火在此狀態中施加時，表面被平滑化。另外，如果硼濃度高，則所含的硼的濃度藉著向外擴散而降低，並且層 1 0 形成為 P⁻型單晶半導體層。

另外，當外延層 1 0 被去除時，獲得與初始晶圓相同的大塊晶圓（圖 7 H）。

另外，如圖 7 I 所示，可在剝離後的晶圓 1 的表面上執行外延生長處理之後形成由非多孔狀 P 型單晶半導體構成的外延層 7。因此，獲得外延晶圓。亦即，從二晶圓獲得一 S O I 晶圓及一大塊晶圓或外延晶圓。在本發明中，採用非 S O I 晶圓於製造 S O I 晶圓以外的其他用途。

採用高濃度 P 型晶圓成為第一晶圓 1，並且採用 P⁻單晶層成為外延層 7，因而在步驟 S 4 7 中形成 P⁻外延 / P⁺基板。在步驟 S 4 5 中，當執行氬退火時，高濃度 P⁺層 5 藉著硼的向外擴散而給予具有低濃度的 S O I 晶圓（P⁻層）。

（實施例 6）

採用例如矽晶圓的半導體基板成為第一基板。在半導體基板上，藉著 C V D 或分子束外延生長方法形成由與異

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (38)

質外延生長基板的材料不同的材料所構成的半導體層。此半導體為 SiGe 或 Ge。

另一方面，採用矽晶圓成為第二基板。

例如氧化物膜的絕緣膜形成在半導體層的表面及／或第二基板的表面的至少之一上。

第一與第二基板互相黏結，因而獲得多層結構。

在如此獲得的多層結構中，應力集中在異質界面，亦即第一基板與半導體層之間的界面，因而易於在此界面處剝開多層結構。

因此，當施加用於上述分離的能量時，其觸發多層結構的分離，並且半導體層轉移至第二基板上。分離面可能稍微捲曲，因而視需要執行平滑化。如此，可從二矽晶圓獲得一 SOI 晶圓及一矽晶圓（如果在其上執行外延生長則獲得外延晶圓）。如此獲得的矽晶圓被採用於上述步驟以外的其他用途，因而可始終採用新的矽晶圓來用於 SOI 晶圓的製造。

（實施例 7）

圖 8 A 至 8 G 為顯示根據本發明的第七實施例的晶圓製造方法的示意圖。

首先，在圖 8 A 中，採用由 P 型矽晶圓所構成的第一晶圓 1。然後，藉著外延生長而形成具有比第一晶圓低的雜質濃度的外延層 3 1 以及具有比外延層 3 1 高的雜質濃度的外延層 3 2。對於 P 型矽晶圓，具有 $1 \times 10^{17} \text{ cm}^{-3}$

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (39)

10^{-3} 至 $1 \times 10^{20} \text{ cm}^{-3}$ 的硼濃度及 0.001 至 $0.5 \Omega \cdot \text{cm}$ 的電阻係數的高濃度 P 型矽晶圓較佳。

外延層 32 的雜質濃度必須比外延層 31 的雜質濃度高。外延層 32 的電阻係數被設定為比外延層 31 的電阻係數低。明確地說，外延層 31 的電阻係數被設定為 0.02 至 $10000 \Omega \cdot \text{cm}$ ，而以 0.1 至 $100 \Omega \cdot \text{cm}$ 較佳。外延層 32 的電阻係數被設定為 0.001 至 $0.1 \Omega \cdot \text{cm}$ ，而以 0.005 至 $0.02 \Omega \cdot \text{cm}$ 較佳。

在圖 8 B 中，第一晶圓 1 的外延半導體層 32 及外延層 31 承受部份陽極化，因而成為多孔狀，並且形成多孔層 4。即使電流在陽極化期間固定，當如此地採用具有不同雜質濃度的外延層時，可形成具有不同的孔隙度的多孔層。在多孔層 4 中，外延半導體層 31 的多孔狀部份比半導體層 32 的多孔狀部份孔隙度更高且較脆弱。此時，多孔層形成為使得非多孔層 10 以 100 nm 至 $20 \mu \text{m}$ 的厚度存留在多孔層 4 的下方。

以下更詳細敘述形成具有不同的雜質濃度的外延層。

外延生長層的組份，雜質濃度，及類型的至少之一改變（在此實施例中，雜質濃度改變），因而形成具有二或更多個外延生長層的基板。當形成於此外延生長層的多孔層建構為多孔狀時，二或更多個層具有不同的結構，並且多孔層中的分離位置可在稍後敘述的黏結後分離步驟中規定。

（請先閱讀背面之注意事項再
為本頁）

裝
訂
線

五、發明說明 (40)

宜於使多孔層結構具有在其表面側的低度多孔層以及在其內的高度多孔層。需要在表面側的低度多孔層來增進稍後形成的非多孔狀單晶層的結晶度。位在內部的高度多孔層為機械上較脆弱且在分離步驟中會主要在其內或是在其與相鄰層之間的界面處優先分離的層。

在形成多孔層之前，在外延生長層中預先形成具有與上述者不同的組份，雜質濃度，類型，或類似者的層，因而可在不特別改變用來在形成多孔層的陽極化期間形成多孔層的條件之下形成至少上述的低度及高度多孔層。

當多個第一基板被放置在陽極化溶液中以形成多孔層時，一矽晶圓已經被放置在陽極側成為屏蔽晶圓，以防止從陽極逃脫的金屬離子澱積在第一基板的背面。當藉著改變電流密度而形成二或多個多孔層時，可在屏蔽晶圓的表面上形成類似結構。如果此屏蔽晶圓使用 n 次，則於屏蔽晶圓形成 $2n$ 層多孔層。多孔層變得極不穩定。例如，形成於屏蔽晶圓處的多孔狀部份已經於第 $n + 1$ 次被剝下，並且有時已經擴散於容器中。特別是，當交替形成低度及高度多孔層時，機械強度比在具有相同厚度的多孔層在固定形成條件下形成的情況顯著地降低較多。亦即，屏蔽晶圓的使用一向受限制。但是，根據本發明，根據在第一基板的表面上預先形成的外延生長層的結構來決定第一基板的多孔層的二或更多層結構。如此，可使施加於屏蔽電極的電流密度固定，並且可延長屏蔽晶圓的使用壽命。

二或更多層可形成用於多孔層的結構。特別是，可從

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (41)

表面形成用於第二層的高度多孔層，並且可於其下方形成第二低度多孔層。在此情況中，即使缺陷在分離期間引入，多孔層中的此缺陷也在隨後的去除了多孔層的步驟中被去除，因而缺陷不會存留在第一基板中。如此，當三或更多層結構的多孔層形成時，於外延生長層中形成具有適合這些多孔層的不同組份，雜質濃度，及類型的層。

然後，在圖 8 C 中，非多孔層 5 形成在多孔層 4 上，因而形成第一構件。用來形成非多孔層 5 的方法包括藉著氫退火來封閉多孔層 4 的孔以使頂層成為非多孔狀，或是藉著外延生長來形成非多孔狀單晶層。非多孔層 5 的表面視需要被氧化，因而在非多孔層 5 上形成絕緣層 6。可藉著 C V D 或濺射及類似者而非熱氧化來形成絕緣層 6。在此實施例中，採用外延半導體層 3 1 的多孔狀部份成為分離層。

在圖 8 D 中，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。提供由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的成為第二構件的第二晶圓 2。第二晶圓可為上面暴露半導體的晶圓，或是在其表面上可形成有絕緣膜的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。在黏結中，這些表面可在互相接觸下於室溫承受熱處理以增加黏結強度，並且可藉著陽極黏結而互相黏結。或者，熱處理可在二者開始互相接觸時同時執行。另外，在黏結步驟中，可在二者被加壓以使其互相更緊密接觸下執行熱處理或

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (42)

類似者。

另外，最好對成對黏結面的至少之一施加使用氧，氮，矽，氫，稀有氣體，或類似者的電漿處理以預先活化黏結面。另外，可在要黏結的這些表面之間插入一黏結層。

在圖 8 E 中，於分離層（外延半導體層 3 1 的多孔狀部份）處，藉著上述方法分離多層結構。剝離的第一晶圓的非多孔狀部份維持晶圓形狀，並且在分離面上具有多孔層的存留部份 4 1（外延半導體層 3 1 的多孔狀部份的一部份）。另一方面，從第一晶圓轉移的非多孔層 5 與絕緣層 6 一起形成在第二晶圓 2 上，並且在其分離面上具有多孔層的存留部份 4 2（外延層 3 2 的多孔狀部份及外延半導體層 3 1 的多孔狀部份的一部份）。

在圖 8 F 中，存留部份 4 2 被去除。當存留部份 4 2 的厚度相當厚時，採用氟酸，過氧化氫，及乙醇的混合物成為蝕刻劑，使得存留部份 4 2 藉著對其選擇性地實施濕蝕刻而被去除，然後表面藉著氫退火而被平滑化。當存留部份 4 2 的厚度薄時，可在不濕蝕刻下執行氫退火，並且可與去除存留部份 4 2 同時地執行平滑化處理。如此，獲得具有高價值的 S O I 晶圓。

在圖 8 G 中，在剝離後的晶圓 1（半導體基板）上的存留部份 4 1 藉著拋光，平面化，濕蝕刻，及氫退火而被去除及平滑化。

此時，非多孔層（外延層）1 0 存留在晶圓 1 上，因而獲得外延晶圓。當在下方的基板上想要有 P 型矽晶圓以

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (43)

外的其他晶圓來成為分離後的外延晶圓時，可採用想要的矽晶圓（例如 P⁺ 或 N 型）。

在這些步驟中，可形成二或更多個外延半導體層 3 1。例如，當形成二外延半導體層時，依序形成外延半導體層 3 1' 及 3 1''（整個為 3 1）。使外延半導體層成為多孔狀，此係從表面上的外延半導體層 3 2 執行。使各層成為多孔狀直到至少單晶半導體層 3 1'' 成為多孔狀，使得外延半導體層 3 1' 的一部份在不成為多孔狀之下存留。因此，當層 3 1' 部份成為多孔狀時，從第一晶圓 1 依序形成外延半導體層 3 1'，多孔層 4 1'（藉著使外延半導體層 3 1' 的一部份成為多孔狀所得的層），多孔層 4 1''（藉著使外延半導體層 3 1'' 成為多孔狀所得的層），以及多孔層 4 2（藉著使單晶半導體層 3 2 成為多孔狀所得的層）。另外，當單晶半導體層 3 1'' 與單晶半導體層 3 1' 之間的界面成多孔狀時，多孔層 4 1'（藉著使單一半導體層 3 1' 成為多孔狀所得的層）不存在。

〔每一層的角色〕

外延層 3 2：良好品質的外延層（S O I）形成在此多孔層上。

外延層 3 1'：未成多孔狀的存留層成為用於第二半導體基板的外延層。

外延層 3 1''：分離是在如此形成的多孔層的內部或是在其上方或下方界面處實施。

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (44)

在圖 8 G 中，在剝離後的晶圓 1（半導體基板）上的存留部份 1 4 1 藉著拋光，濕蝕刻，氫退火，或類似者而被去除及平滑化。此時，圖 8 A 中所形成的外延層 1 0（原始的單晶半導體層 3 1）存留。當氫退火在此狀態中施加時，表面被平滑化。當所含的硼的濃度比想要的濃度高時，硼的濃度藉著向外擴散而降低，並且層 1 0 形成為 P⁻型單晶半導體層。

此為具有與所謂的 P⁻外延晶圓相同的品質的晶圓。此層的硼濃度大致等於初始外延半導體層 3 1 的硼濃度。此層在靠近表面的區域成為多孔狀（多孔層 4 2），並且作用成為分離層。因此，有可能其硼濃度與 P⁻外延晶圓的硼濃度不配合。在此情況中，如上所述，配置具有不同硼濃度的二或更多個外延半導體層 3 1，因而這些層可藉著被分成具有最佳硼濃度以成多孔狀而用於分離的層（3 1''）以及具有最佳硼濃度以用於 P⁻外延晶圓的層（3 1'）而形成。如果不需要確實實施向外擴散，則即使表面藉著拋光或短時間氫退火而平滑化，也可形成具有與 P⁻外延晶圓相同的品質的晶圓。如此，從二晶圓獲得具有高度價值的一 S O I 晶圓及一外延晶圓。此外延晶圓被轉用或販賣成為被採用於被用來製造 S O I 晶圓以外的其他各種不同的用途的晶圓，因而可建構在經濟上有利的 S O I 晶圓製造方法。另外，可始終使用新的晶圓來製造 S O I 晶圓，因而其製造效率增加。

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (45)

(實施例 8)

圖 9 A 至 9 G 為顯示根據本發明的第八實施例的製造晶圓的方法的示意圖。

首先，在圖 9 A 中，提供由 P 型矽晶圓所構成的第一晶圓 1，並且藉著外延生長在其表面上形成具有第一導電型式（例如 P⁻）的第一電阻係數的外延層 3 1，以及具有第二導電型式（例如 n）的第二電阻係數的外延層 3 2。在此實施例中，外延層 3 2 形成為 S O I 晶圓上的主動層，而外延層 3 1 形成為外延晶圓上的主動層。各別主動層可藉著一系列的外延生長步驟來製造。外延層 3 1 及 3 2 可具有相同的導電型式（P 型或 N 型），並且電阻係數可在未特別改變下相同（亦即可形成單一外延層）。單晶半導體層 3 1 及 3 2 最終形成為外延晶圓以及例如 S O I 的晶圓的表面半導體層，因而雜質濃度最好最佳化以用於各別的用途。較佳地採用高濃度 P 型矽晶圓成為第一晶圓。

在圖 9 B 中，第一晶圓的外延層 3 2 的表面被熱氧化，因而形成絕緣層 6（圖 9 C）。其次，植入從氫，氮，或稀有氣體選擇的離子，因而形成於預定深度處的成為分離層的含有細小空腔的層 1 4。分離層的位置被規定成使得單晶半導體 3 2 的至少一部份（非多孔層 5）存留在分離層 1 4 上，並且另外單晶半導體 3 1 的至少一部份（非多孔層 1 0）存留在分離層 1 4 下方。如此，形成第一構件。

此時，可較佳地將離子植入外延層 3 1 及／或外延層

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (46)

3 2 內，以使得非多孔狀外延層 1 0 (外延層 3 1 的一部份) 以 1 0 n m 至 2 0 μ m 的厚度存留在分離層 1 4 下方。此處，顯示分離層 1 4 形成爲使得外延層 3 1 與 3 2 之間的界面存在於分離層 1 4 中 (亦即使得分離層形成在外延層 3 1 與 3 2 之間) 的情況。

在圖 9 D 中，第一晶圓 1 的絕緣層 6 的表面與第二晶圓 2 的表面互相黏結而形成多層結構。由例如 C Z 矽晶圓，F Z 矽晶圓，或類似者的大塊晶圓所構成的成爲第二構件的第二晶圓可爲上面暴露半導體的晶圓，或是在其表面上可形成有例如氧化物膜的絕緣膜的晶圓。或者，可採用例如石英玻璃的絕緣透光基板來取代第二晶圓。這些表面可於室溫互相黏結。在黏結中，表面可在互相接觸下於室溫承受熱處理以增加黏結強度，並且可藉著陽極黏結而互相黏結。或者，熱處理可在二者開始互相接觸時同時執行。另外，在黏結步驟中，可在二者被加壓以使其互相更緊密接觸下執行熱處理或類似者。另外，可在這些要黏結的表面之間插入一黏結層。另外，最好藉著對成對黏結面的至少之一施加使用氧，氮，矽，氫，稀有氣體，或類似者的電漿處理來預先活化黏結面。

在圖 9 E 中，於分離層 1 4 處，藉著上述方法來分離多層結構。在此例的方法中，當在圖 9 D 所示的熱處理期間溫度被設定於 4 0 0 $^{\circ}$ C 或以上而以 4 0 0 $^{\circ}$ C 至 6 0 0 $^{\circ}$ C 較佳時，分離現象可與黏結同時發生。

剝離的第一晶圓 1 在厚度未減小下維持晶圓形狀，並

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

且在分離面上具有分離層 1 4 的存留部份 1 4 1。另一方面，從第一晶圓轉移的非多孔層 5 與絕緣層 6 一起形成在第二晶圓上，並且在分離面上具有分離層 1 4 的存留部份 1 4 2。在圖 9 F 中，存留部份 1 4 2 被去除。存留部份 1 4 1 是藉著拋光，濕蝕刻，氬退火，或類似者而去除及平滑化。因此，獲得具有高價值的 S O I 晶圓。

在圖 9 F 中，存留部份 1 4 2 被去除。此時，存留部份可以低拋光率被拋光，然後可承受氬退火。或者，可在不拋光之下執行氬退火，並且可與去除存留部份 1 4 2 同時地執行平滑化處理。如此，獲得具有高價值的 S O I 晶圓。

在圖 9 G 中，在剝離後的晶圓 1（半導體基板）上的存留部份 1 4 1 藉著拋光，濕蝕刻，氬退火，或類似者而被去除及平滑化。此時，圖 9 A 中所形成的外延層 1 0 存留。當在此狀態中施加氬退火時，表面平滑化，並且所含的硼的濃度藉著向外擴散而降低，因而可採用層 1 0 成為 P 型單晶半導體層。如此，可從二晶圓獲得一 S O I 晶圓及一外延晶圓（例如， P^- 外延層形成在 P^+ 基板上的晶圓）。

以下敘述適合來實施上述的實施例 7 及 8 的製造方法的製造系統（製造工廠）。

圖 1 3 為顯示製造系統的例子示意圖。圖 1 3 的製造系統只有一部份與圖 6 A 至 6 G 的製造系統不同，因而與圖 6 A 至 6 G 中相同的元件是由相同的參考數字表示，

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (48)

並且在此省略其敘述。

圖 1 3 的製造系統與圖 6 A 至 6 G 的製造系統的不同在於外延層形成在第一基板 (晶圓) 1 上，然後被送至具有陽極化設備，外延生長設備，離子植入設備，氧化設備，或類似者的一群處理設備 5 1，亦即當剝離的第一基板在一群設備 5 4 處被平滑化時，外延晶圓 2 1 完成 (亦即，不需要實施新的外延生長來形成外延層)。

(製造系統)

以下敘述適合於實施本發明的晶圓製造方法的製造系統 (製造工廠)。

圖 1 0 為顯示製造系統的例子示意圖。如圖中所示，第一基板 (晶圓) 1 被送至具有陽極化設備，外延生長設備，離子植入設備，氧化設備，或類似者的一群處理設備 5 1，並且實施上述的步驟 S 2 或類似者。

上面形成有分離層的第一基板 1 被送至一群黏結設備 5 2，並且於其中與第二基板 (晶圓) 2 黏結，因而獲得多層結構。

多層結構被送至含有至少水噴射流設備，熱處理設備，楔塊插入設備，或類似者的一群分離設備 5 3，並且於其中被分離。

剝離後的第二基板被送至含有蝕刻設備，拋光設備，熱處理設備，或類似者的一群分離層去除及表面平滑化設備 5 4。然後，基板承受處理，因而完成 S O I 晶圓 2 0

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (49)

。 另一方面，剝離的第一基板在一群設備 5 4 中被平滑化，並且完成成為大塊晶圓，或是被送至外延生長設備 5 5。然後，施加外延生長處理，因而完成外延晶圓 2 1。當然，在處理設備 5 1 中，當在第一基板 1 上實施外延生長時，在與其分離時的同時獲得外延晶圓，因而可不使用外延生長設備 5 5。

這些 S O I 晶圓 2 0 及外延晶圓 2 1（或大塊晶圓）被送至一群檢驗及分析設備 5 6，測量膜厚度分佈，外來粒子密度，及缺陷密度或類似者，並且晶圓在一群運貨封裝設備 5 7 中被封裝，然後被運送。外延晶圓 2 1 被轉用或販賣成為用於被使用成為第一基板 1 或第二基板 2 以外的其他用途的晶圓。參考數字 5 8 表示維修區域，而參考數字 5 9 表示用來運送晶圓的清潔區域。如此，採用二晶圓，並且可製造一 S O I 晶圓及一外延晶圓（或大塊晶圓）。可始終採用新的晶圓來製造 S O I 晶圓。藉著將晶圓轉用於其他用途以及販賣傳統上被重新利用於同一製程中或是丟棄的晶圓，可建構有效率的半導體製造過程。

圖 1 1 為顯示圖 1 0 的系統的部份修正的視圖，其中所獲得的 S O I 晶圓 2 0 及外延晶圓 2 1（或大塊晶圓）被分開地檢驗以被封裝。

在此情況中，當外延晶圓 2 1 必須具有與所獲得的 S O I 晶圓 2 0 相同的品質時，外延晶圓 2 1（或大塊晶圓）不被再次使用成為第一基板 1 或第二基板 2。如此，

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (50)

從二晶圓可製造一 S O I 晶圓及一外延晶圓，並且可建構具有有效率的晶圓利用性的製造方法。

圖 1 2 為用來決定剝離後的第一晶圓的轉用用途的檢驗步驟的流程圖。

如圖 1 2 所示，首先測量在剝離後的晶圓的表面上外來物質（步驟 S 5 0）。當未測到表面外來物質或是表面外來物質在標準值以下時，根據第一標準（低標準）來測量表面粗糙度（步驟 S 5 1）。當滿足表面粗糙度的第一標準時，根據第二標準（比第一標準高的標準）來測量表面粗糙度（步驟 S 5 2）。當滿足表面粗糙度的第二標準時，實施邊緣部份判斷（步驟 S 5 3）。如果邊緣部份沒問題，則產生第一晶圓，並且其被採用成為設備晶圓，外延晶圓，或是高品質的虛設晶圓（步驟 S 5 4）。

當在步驟 S 5 0 中表面外來物質超過標準值時，或是當在步驟 S 5 1 中表面粗糙度不滿足第一標準時，實施例如再清洗，再拋光，或類似者的表面再處理（步驟 S 5 5）。在表面再處理之後，晶圓再次在步驟 S 5 0 至 S 5 4 中被檢驗，或是如果需要被採用成為虛設晶圓（步驟 S 5 6）。另外，如果表面粗糙度在步驟 S 5 2 中不滿足第二標準，則晶圓被採用成為虛設晶圓（步驟 S 5 6）。

如果在步驟 S 5 3 中邊緣判斷有問題，則實施例如邊緣拋光的邊緣再處理（步驟 S 5 7）。不要求邊緣規格的晶圓照原樣產生，並且採用成為設備晶圓，外延晶圓，或是高品質虛設晶圓（步驟 S 5 4）。

（請先閱讀背面之注意事項再
訂本頁）

裝

訂

線

五、發明說明 (51)

以下敘述適合於實施上述的實施例 7 及 8 的製造方法的製造系統（製造工廠）。

圖 1 3 為顯示製造系統的例子示意圖。圖 1 3 的製造系統與圖 1 0 的製造系統部份不同，因而與圖 1 0 中相同的元件由相同的參考數字表示，並且省略其敘述。

圖 1 3 的製造系統與圖 1 0 的製造系統的不同在於外延層形成在第一基板（晶圓）1 上，然後被送至具有陽極化設備，外延生長設備，離子植入設備，氧化設備，或類似者的一群處理設備 5 1，亦即當剝離的第一基板在一群設備 5 4 中被平滑化時，外延晶圓 2 1 完成（亦即，不需要實施新的外延生長來形成外延層）。

圖 1 4 為顯示圖 1 3 的系統的部份修正的視圖，其中所獲得的 S O I 晶圓 2 0 及外延晶圓 2 1（或大塊晶圓）被分開地檢驗及封裝。圖 1 4 的製造系統與圖 1 1 的製造系統部份不同。圖 1 4 的製造系統與圖 1 1 的製造系統的不同在於外延層形成在第一基板（晶圓）1 上，然後被送至具有陽極化設備，外延生長設備，離子植入設備，氧化設備，或類似者的一群處理設備 5 1，亦即當剝離的第一基板在一群設備 5 4 中被平滑化時，外延晶圓 2 1 完成（亦即，不需要實施新的外延生長來形成外延層）。

用來決定剝離後的第一晶圓的轉用用途的檢驗步驟與圖 1 2 所示的流程圖相同。

以下藉著例子來敘述本發明。

在以下的例子中，必須注意 8 0 T o r r 大約等於以

（請先閱讀背面之注意事項再為本頁）

裝 · 訂 · 線

五、發明說明 (52)

S i 單位系統表示的 $1.07 \times 10^4 \text{ Pa}$ 。類似地，
 760 Torr 大約等於 $1.01 \times 10^5 \text{ Pa}$ ， $0.5 \text{ } \mu\text{L} / \text{min}$ 大約等於 $0.0083 \text{ L} / \text{S}$ ， $180 \text{ } \mu\text{L} / \text{min}$ 等於 $3 \text{ L} / \text{S}$ ，而 $2 \text{ } \mu\text{L} / \text{min}$ 大約等於 $0.0033 \text{ L} / \text{S}$ 。

(例 1)

顯示在 0.01 與 $0.02 \Omega \cdot \text{cm}$ 之間的電阻係數的第一 p 型單晶 S i 基板在 HF 溶液中被陽極化。

陽極化的條件如下所列。

電流密度： $7 (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $11 (\text{分鐘})$

多孔狀 S i 的厚度： $12 (\mu\text{m})$

多孔狀 S i 也被使用成為分離層，用來形成高品質的外延 S i 層。因此，其為多功能層。注意多孔狀 S i 層的厚度可具有從 0.1 與 $600 \mu\text{m}$ 之間的範圍所選擇的值。

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 S i 層的孔的內壁被熱氧化膜覆蓋。然後，單晶 S i 外延生長至 $0.3 \mu\text{m}$ 的厚度。外延生長的條件如下所列。注意可在生長單晶 S i 的過程之前實施以上所述的氫烘焙過程，供應少量原料的過程，以及高

(請先閱讀背面之注意事項再
 本頁)

裝

訂

線

五、發明說明 (53)

溫烘焙過程。

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.5 / 180 \text{ } \ell / \text{min}$
氣體壓力：	80 Torr
溫度：	950°C
生長率：	$0.15 \mu\text{m} / \text{min}$

然後， 100 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著熱處理而黏結在一起以產生多層結構。

剛性材料構成的楔塊從多層結構的橫向側面被驅入多層結構內以剝開多層結構，並且從多層結構移去第一基板。由於剝開的結果，外延層轉移至第二基板上。

存留在外延層上的多孔層藉著濕蝕刻而被去除，並且第二基板承受氫退火處理而獲得 SOI 晶圓。然後，藉著使用此 SOI 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，剝離的第一基板的暴露表面被拋光以去除殘餘的多孔層，並且被平滑化而獲得大塊晶圓，然後其被使用來製備 CMOS 邏輯電路。

也可藉著使用所獲得的大塊晶圓以以下所述的方式來製備太陽電池。

首先，在藉著陽極化而形成多孔層 4 之後，如圖

16A 所示地生長外延層 5。

(請先閱讀背面之注意事項再
訂本頁)

裝

訂

線

五、發明說明 (54)

更明確地說，以以下所述的方式實施半導體膜 5 的外延生長。由 p^+Si 構成的第一半導體層 503 在大氣壓力 Si 外延生長系統中藉著外延生長而形成，其係使用 SiH_4 氣體及 B_2H_6 氣體來以硼 B 摻雜第一半導體層 503 的 p^+Si 三分鐘，以獲得 10^{19} 原子 / cm^3 的硼濃度。然後，在相同系統中形成第二半導體層 502，其係藉著改變 B_2H_6 氣體的流量，以用硼 B 來摻雜第二半導體層 502 的 p^-Si 十分鐘，以獲得 10^{16} 原子 / cm^3 的低硼濃度。然後，第三半導體層 501 也藉著外延生長而形成在 p^- 外延半導體層 502 上，其係使用 PH_3 氣體來取代 B_2H_6 氣體，以用磷來摻雜第三半導體層 501 的 n^+Si 四分鐘，以獲得 10^{19} 原子 / cm^3 的高磷濃度。如此，所獲得的具有第一至第三外延半導體層 501 至 503 的半導體膜 5 顯示 $p^+ / p^- / n^+$ 結構。

然後，在此例中，透明 SiO_2 絕緣膜 80 藉著表面熱氧化而形成在半導體膜 5 上，並且承受使用光石印技術的圖型蝕刻操作以使其與電極或線 81 接觸。線 81 以所需的間隔配置成互相平行地延伸，成為許多在垂直於圖面的方向的條紋。

電極或線 81 的每一個均是由製備成多層膜的金屬膜製成，其係藉著利用蒸發來依序分別澱積 Ti 膜， Pd 膜，及 Ag 膜至 $30nm$ ， $50nm$ ，及 $100nm$ 的厚度，然後以 Ag 電鍍表面。然後所獲得的多層膜於 $400^\circ C$ 退火 20 至 30 分鐘。

(請先閱讀背面之注意事項再
訂本頁)

裝
訂
線

五、發明說明 (55)

然後，金屬線導體 8 2 黏結於條紋形電極或線 8 1 的每一個的表面成為沿著相應的線 8 1 延伸，並且透明基板 8 3 黏結於導體 8 2 上。導體 8 2 可藉著軟焊而黏結於電極或線 8 1。導體 8 2 的一末端延伸超過電極或線 8 1。

然後，大塊晶圓 1 及透明基板 8 3 承受外力以試圖使二者互相分離。然後，二者沿著多孔層 4 分離而產生包含透明基板 8 3 及黏結於基板 8 3 的表面的外延半導體膜 5 的薄膜半導體 8 6。

在多孔層 4 1 部份留在薄膜半導體 8 6 的後表面上之下，銀糊漿施加於其上，並且金屬板黏結於其，因而於該處產生後表面電極 8 5。如此，製備包含透明基板 8 3 及具有 $p^+ / p^- / n^+$ 結構的薄膜半導體 8 6 的太陽電池（圖 1 6 C）。金屬電極 8 5 也操作成為保護太陽電池的後表面的裝置保護膜層。

注意可使多孔層 4 成為具有由具有不同孔隙度的層構成的多層結構，如圖 1 6 D 所示。

例如，層 4 0 1 可具有低孔隙度（以產生高品質的外延膜），並且層 4 0 2 及 4 0 4 可顯示比層 4 0 1 高的孔隙度，而層 4 0 3 可顯示最高的孔隙度。

以此配置，可沿著高孔隙度層 4 0 3 有效地分離大塊晶圓 1 及透明基板 8 3。具有不同孔隙度的層可藉著在形成多孔層的過程期間控制電流密度來形成。

（例 2）

（請先閱讀背面之注意事項再
本頁）

裝

訂

線

五、發明說明 (56)

顯示在 0.01 與 $0.02 \Omega \cdot \text{cm}$ 之間的電阻係數的第一 p 型單晶 Si 基板在 HF 溶液中被陽極化。

陽極化的條件如下所列。

電流密度： $7 (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $5 (\text{分鐘})$

多孔狀 Si 的厚度： $5.5 (\mu\text{m})$

電流密度： $30 (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $10 (\text{秒鐘})$

多孔狀 Si 的厚度： $0.2 (\mu\text{m})$

在二多孔狀 Si 層中，藉著使用低電流密度的陽極化而製備的上方的一層被用來形成高品質的外延 Si 層，而藉著使用高電流密度的陽極化而製備的下方一層被使用成為分離層。因此，二者具有其各別的功能。

注意低電流密度多孔狀 Si 層的厚度可具有從 0.1 與 $600 \mu\text{m}$ 之間的範圍所選擇的值。並且注意在形成第二多孔狀 Si 層之後可形成一個或一個以上的額外的層。

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 Si 層的孔的內壁被熱氧化膜覆蓋。然後，單晶 Si 藉著 CVD 而外延生長至 $0.3 \mu\text{m}$ 的厚度。外延生長的條件如下所列。注意可在生長單晶 Si

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (57)

的過程之前實施以上所述的氫烘焙過程，供應小量原料的過程，以及高溫烘焙過程。

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.5 / 180 \text{ } ^\circ / \text{min}$
氣體壓力：	80 Torr
溫度：	950°C
生長率：	$0.3 \mu\text{m} / \text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著熱處理而黏結在一起以產生多層結構。

水藉著水噴射流設備而在高壓下噴送至多層結構的橫向側面以使其如同楔塊般被驅入多層結構內以剝開多層結構，並且從多層結構移去第一基板。

由於剝開的結果，外延層轉移至第二基板上。

存留在外延層上的多孔層藉著濕蝕刻而被去除，並且第二基板承受氫退火處理而獲得 SOI 晶圓。然後，藉著使用此 SOI 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，剝離的第一基板的暴露表面被拋光以去除殘餘的多孔層，並且被平滑化。然後，第一基板承受外延生長處理，以獲得在高濃度 p 型基板上具有 p^- 外延層的外延晶圓。發現有 600 nm 厚的氧化物膜已經形成在晶圓背面上成為背面屏蔽。當外延晶圓被用來製備裝置時，表

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明 (58)

面氧化物膜形成在與外延層相反的表面上並且也形成在橫側表面上而成爲背面屏蔽，以防止雜質從晶圓擴散至外部。

但是，因爲當多層結構被剝開時，背面屏蔽已經形成在與外延層相反的後表面上並且也形成在第二基板的橫側表面上，所以可從此例子的裝置製備過程省略形成背面屏蔽的過程。這是因爲此種背面屏蔽已經在黏結步驟之前的氧化外延層的表面的步驟中以及在黏結步驟的熱處理期間形成在晶圓的後表面及橫側表面上。在其餘的例子中也觀察到形成背面屏蔽的類似功效。注意此氧化物膜具有 10 nm 至 $10\text{ }\mu\text{ m}$ 的膜厚度，而以 100 nm 至 $3\text{ }\mu\text{ m}$ 較佳。

然後，使用外延晶圓來製備 C M O S 邏輯電路。

D R A M 及其他裝置形成在外延晶圓上，以證明其可用來增進製造裝置的品質，產率，以及可靠性。

可藉著相同的 C V D 系統來實施在多孔狀 S i 上的外延生長以及在分離過程之後的第一基板上的外延生長的操作，以增進無論就哪一方面來說成本均很高的 C V D 系統的操作效率。

(例 3)

顯示 $0.015\text{ }\Omega\cdot\text{cm}$ 的電阻係數的 p 型單晶 S i 藉著使用 C V D 技術的外延生長而形成在第一單晶 S i 基板上至 $15\text{ }\mu\text{ m}$ 的厚度，然後在 H F 溶液中從基板的表面

(請先閱讀背面之注意事項再) (本頁)

裝

訂

線

五、發明說明 (59)

被陽極化。

陽極化的條件如下所列。

電流密度： $7 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： 11 (分鐘)

多孔狀 Si 的厚度： $12 \text{ (}\mu\text{m)}$

電流密度： $22 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$

時間： 2 (分鐘)

多孔狀 Si 的厚度： $3 \text{ (}\mu\text{m)}$

在二多孔狀 Si 層中，藉著使用低電流密度的陽極化而製備的上方的一層被用來形成高品質的外延 Si 層，而藉著使用高電流密度的陽極化而製備的下方一層被使用成為分離層。因此，二者具有其各別的功能。

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 Si 層的孔的內壁被熱氧化膜覆蓋。然後，單晶 Si 藉著 CVD 而外延生長至 $0.3 \mu\text{m}$ 的厚度。外延生長的條件如下所列。注意可在生長單晶 Si 的過程之前實施以上所述的氫烘焙過程，供應小量原料的過程，以及高溫烘焙過程。

來源氣體： $\text{SiH}_2\text{Cl}_2 / \text{H}_2$

氣體流量： $0.5 / 180 \text{ }^\circ / \text{min}$

(請先閱讀背面之注意事項再(訂本頁))

裝 · 訂 · 線

五、發明說明 (60)

氣體壓力： 80 Torr

溫度： 950°C

生長率： $0.3\text{ }\mu\text{m}/\text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著熱處理而黏結在一起以產生多層結構。

水藉著水噴射流設備而在高壓下噴送至多層結構的橫向側面以使其如同楔塊般被驅入多層結構內以剝開多層結構，並且從多層結構移去第一基板。由於剝開的結果，外延層轉移至第二基板上。

存留在外延層上的多孔層藉著濕蝕刻而被去除，並且第二基板承受氬退火處理而獲得 SOI 晶圓。然後，藉著使用此 SOI 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，分離的第一基板的暴露表面被拋光以去除殘餘的多孔層，並且承受氬退火以獲得具有平坦表面的大塊晶圓。

然後，所得的大塊晶圓被用來製備 CMOS 邏輯電路。不用說大塊晶圓可在不被用來製備邏輯電路下以比大塊晶圓的一般市場價格低的價格販賣。

(例4)

顯示 $0.015\text{ }\Omega\cdot\text{cm}$ 的電阻係數的 p 型單晶 Si

(請先閱讀背面之注意事項再
訂本頁)

裝
訂
線

五、發明說明 (61)

藉著使用 C V D 技術的外延生長而形成在第一單晶 S i 基板上至 $16\ \mu\text{m}$ 的厚度，然後在 H F 溶液中從基板的表面被陽極化。

陽極化的條件如下所列。

電流密度： $7\ (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $11\ (\text{分鐘})$

多孔狀 S i 的厚度： $12\ (\mu\text{m})$

電流密度： $22\ (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $2\ (\text{分鐘})$

多孔狀 S i 的厚度： $3\ (\mu\text{m})$

在二多孔狀 S i 層中，藉著使用低電流密度的陽極化而製備的上方的一層被用來形成高品質的外延 S i 層，而藉著使用高電流密度的陽極化而製備的下方一層被使用成為分離層。因此，二者具有其各別的功能。

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 S i 層的孔的內壁被熱氧化膜覆蓋。然後，單晶 S i 藉著 C V D 而外延生長至 $0.3\ \mu\text{m}$ 的厚度。外延生長的條件如下所列。

來源氣體： $\text{SiH}_4 / \text{CH}_4 / \text{H}_2$

氣體流量： $0.5 / 180\ \text{cc} / \text{min}$

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (62)

氣體壓力：80 Torr

溫度：950℃

生長率：0.3 $\mu\text{m}/\text{min}$

然後，200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著熱處理而黏結在一起以產生多層結構。

水藉著水噴射流設備而在高壓下噴送至多層結構的橫向側面以使其如同楔塊般被驅入多層結構內以剝開多層結構，並且從多層結構移去第一基板。由於剝開的結果，外延層轉移至第二基板上。

存留在外延層上的多孔層藉著濕蝕刻而被去除，並且第二基板承受氬退火處理而獲得 SOI 晶圓。然後，藉著使用此 SOI 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，剝離的第一基板的暴露表面被拋光以去除殘餘的多孔層以及未成為多孔狀的外延層，並且承受氬退火以外部分散殘餘的外延層而獲得性能在與外延晶圓相同水準的大塊晶圓。

然後，所得的大塊晶圓被用來製備 CMOS 邏輯電路。

(例 5)

200 nm 厚的 SiO_2 層藉著熱氧化而形成在第一單

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (63)

晶 S i 基板的表面上。

然後， H^+ 離子藉著施加 40 keV 的電壓以將投射範圍局限在 S i 基板內而以 $5 \times 10^{16} \text{ cm}^{-2}$ 的植入率從第一基板的表面植入第一基板內。結果，應變層形成在相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著於 500 °C 的熱處理而黏結在一起以產生多層結構，然後其被分離成第一基板及第二基板。

由於分開的結果，外延層轉移至第二基板上。

在轉移至第二基板上的單晶半導體層的表面上的殘餘分離層藉著氫退火而被去除，並且表面被平面化而產生 S O I 晶圓。然後，藉著使用此 S O I 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，發現分離的第一基板的暴露表面載有一部份的分離層，其藉著氫退火而被去除。然後，表面被平滑化以產生大塊晶圓。隨後，低濃度 p 型外延層形成於其上而獲得外延晶圓。

(例 6)

單晶 S i 藉著 C V D 而在第一單晶 S i 基板上外延生長至 $1 \mu\text{m}$ 的厚度。外延生長的條件如下所列。

來源氣體： $\text{SiH}_2\text{Cl}_2 / \text{H}_2$

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (64)

氣體流量： $0.5 / 180 \text{ } ^\circ / \text{min}$

氣體壓力： 80 Torr

溫度： $950 \text{ } ^\circ\text{C}$

生長率： $0.30 \mu\text{m} / \text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後， H^+ 離子藉著施加 40 keV 的電壓以將投射範圍局限在 Si 基板內而以 $5 \times 10^{16} \text{ cm}^{-2}$ 的植入率從第一基板的表面植入第一基板內。結果，應變層形成在相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

隨後，具有相同直徑並且載有形成在其表面上的氧化物膜的矽晶圓（第二晶圓）在其要被黏結的表面處藉著氮電漿而被處理，然後使第一與第二基板互相接觸，並且黏結在一起而產生多層結構。水噴射流被噴送至多層結構的橫側面並且被驅動朝向多層結構的中心而將其分離成第一及第二基板。

由於分開的結果，外延層轉移至第二基板上。

在轉移至第二基板上的外延層的表面上的殘餘分離層藉著氬退火而被去除，並且表面被平面化而產生 SOI 晶圓。然後，藉著使用此 SOI 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，發現分離的第一基板的暴露表面載有外延層及一部份的分離層，其藉著氬退火而被去除。然後，表

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (65)

面被平滑化以獲得大塊晶圓。大塊晶圓具有藉著氬退火外延層而產生的表面層，因而其性能在與外延晶圓相同的水準。

然後，所得的大塊晶圓被用來製備 C M O S 邏輯電路。

(例 7)

1 0 0 n m 厚的 S i O₂ 層藉著熱氧化而形成在第一單晶基板的表面上。

然後，H⁺離子藉著施加 3 0 k e V 的電壓以將投射範圍局限在 S i 基板內而以 $5 \times 10^{16} \text{ cm}^{-2}$ 的植入率從第一基板的表面植入第一基板內。結果，應變層形成在相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

在去除表面氧化物膜之後，非晶 S i 或多晶 S i 藉著 C V D 而在單晶 S i 的表面上生長至 0 . 3 0 μ m 的厚度。生長的條件如下所列。

氣體種源： S i H₄

氣體壓力： 7 6 0 T o r r

溫度： 4 0 0 °C

然後，2 0 0 n m 厚的 S i O₂ 層形成在表面上。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著於 6 0 0 °C 的熱處理而黏結在一起以產生多層結構，其隨後被分離

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (66)

成第一基板及第二基板。

由於分開的結果，藉著外延生長而形成的單晶半導體層轉移至第二基板上。在轉移至第二基板上的單晶半導體層的表面上的殘餘分離層藉著氫退火而被去除，並且表面被平面化而產生 S O I 晶圓。然後，藉著使用此 S O I 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，發現分離的第一基板的暴露表面載有一部份的分離層，其藉著氫退火而被去除。然後，表面被平滑化以產生大塊晶圓。為本發明的目的，在氫退火之前藉著拋光或蝕刻來完全或部份地去除殘餘物。

然後，所得的大塊晶圓被用來製備 C M O S 邏輯電路。

(例 8)

顯示在 0.01 與 $0.02 \Omega \cdot \text{cm}$ 之間的電阻係數的第一 p 型單晶 S i 基板在 H F 溶液中被陽極化。

陽極化的條件如下所列。

電流密度： $7 (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1$

時間： $11 (\text{分鐘})$

多孔狀 S i 的厚度： $12 (\mu\text{m})$

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 S i 層的孔的內壁被熱氧化膜覆蓋

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (67)

然後，離子從第一基板的表面植入第一基板內以將投射範圍局限在多孔狀 Si 層內（或於多孔狀 Si / 基板界面）。結果，應變層形成在相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

然後，單晶 Si 藉著 CVD 而在多孔狀 Si 層上外延生長至 $0.3 \mu\text{m}$ 的厚度。外延生長的條件如下所列。注意可在生長單晶 Si 的過程之前實施以上所述的氫烘焙過程，供應小量原料的過程，以及高溫烘焙過程。

來源氣體：	SiH ₂ Cl ₂ / H ₂
氣體流量：	0.5 / 180 l / min
氣體壓力：	80 Torr
溫度：	950 °C
生長率：	0.3 μm / min

然後，200 nm 厚的 SiO₂ 層藉著熱氧化而形成在外延 Si 層的表面上。然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著熱處理而黏結在一起以產生多層結構。

水藉著水噴射流設備而在高壓下噴送至多層結構的橫向側面以使其如同楔塊般被驅入多層結構內以剝開多層結構，並且從多層結構移去第一基板。由於剝開的結果，外延層轉移至第二基板上。

存留在外延層上的多孔層藉著濕蝕刻而被去除，並且

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (68)

第二基板承受氫退火處理而獲得 S O I 晶圓。然後，藉著使用此 S O I 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，剝離的第一基板的暴露表面承受外延生長過程而獲得外延晶圓。注意殘餘多孔層可在外延生長過程之前被完全去除。

然後，使用所得的外延晶圓來製備 C M O S 邏輯電路。

D R A M 及其他裝置形成在外延晶圓上，以證明其可用來增進製造裝置的品質，產率，以及可靠性。

(例 9)

顯示 $0.01 \Omega \cdot \text{cm}$ 的電阻係數的第一 p 型單晶 S i 基板在 H F 溶液中被陽極化。

陽極化的條件如下所列。

電流密度： $7 (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $12 (\text{分鐘})$

多孔狀 S i 的厚度： $11 (\mu\text{m})$

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 S i 層的孔的內壁被熱氧化膜覆蓋。然後，單晶 S i 藉著 C V D 而在多孔狀 S i 層上外延生長至 $0.3 \mu\text{m}$ 的厚度。外延生長的條件如下所列。注意可在生長單晶 S i 的過程之前實施以上所述的氫烘焙過程

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (69)

，供應小量原料的過程，以及高溫烘焙過程。

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.5 / 180 \text{ } \ell / \text{min}$
氣體壓力：	80 Torr
溫度：	950°C
生長率：	$0.3 \mu\text{m} / \text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，離子從第一基板的表面植入第一基板內以將投射範圍局限於外延層／多孔狀 Si 層界面（或多孔狀 Si ／基板界面或在多孔狀 Si 層內）。結果，應變層形成在相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

然後，使表面上的天然氧化物膜已經被去除的具有相同直徑的矽晶圓與上述的矽晶圓接觸，並且藉著於 1000°C 的熱處理而黏結在一起以產生多層結構，然後其被分離。由於分離的結果，外延層轉移至第二基板上。

因為實務上沒有任何多孔層存留在外延層上，所以第二基板在不濕蝕刻下承受氬退火處理而獲得 SOI 晶圓。然後，藉著使用此 SOI 晶圓來製備完全耗盡型薄膜電晶體。

另一方面，分離的第一基板的暴露表面被拋光而獲得大塊晶圓。

然後，使用所得的大塊晶圓來製備 CMOS 邏輯電路

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (70)

。

可藉著例如 C V D 的澱積技術來在第一基板的最上方表面上形成多晶矽至 200 至 $800 \mu m$ 的厚度，而非黏結以上任一例子中的第二基板。或者，所得的結構可分成多個不同的晶圓，以分別用於適當的應用。

(例 10)

外延生長層藉著 C V D 而在第一 p 型單晶 S i 基板的表面上形成至 $1 \mu m$ 的厚度。在此處理期間，成為摻雜劑加入的乙硼烷的濃度被調整而使其成為顯示 $0.015 \Omega \cdot cm$ 的電阻係數的 $p^{++} Si$ 層。晶圓的厚度為 $6.34 \mu m$ 。

然後，外延層在 H F 與乙醇的混合溶液中被陽極化。

陽極化的條件如下所列。

電流密度： $7 (mA \cdot cm^{-2})$

陽極化溶液： $H F : H_2 O : C_2 H_5 O H = 1 : 1 : 1$

時間： $12 (分鐘)$

藉著經由高解析度掃描式電子顯微鏡來觀察陽極化產物的樣本的截面證明已經形成有具有 20% 的孔隙度的 $10 \mu m$ 厚的多孔層。

然後，晶圓在氧氣氛中於 $400^\circ C$ 被處理一小時，並且浸入 1.25% 的 H F 水溶液中 30 秒鐘，以去除表面上的非常薄的矽氧化物膜。然後，晶圓被放入外延生長設

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (71)

備中，以藉著使用 C V D (化學汽相澱積) 技術的外延生長產生 $0.3 \mu\text{m}$ 厚的單晶 Si 層。外延生長的條件如下所列。注意可在生長單晶 Si 的過程之前實施以上所述的氫烘焙過程，供應小量原料的過程，以及高溫烘焙過程。

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.2 / 180 \text{ } \ell / \text{min}$
氣體壓力：	760 Torr
溫度：	1060°C
生長率：	$0.15 \mu\text{m} / \text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，晶圓被放在另一 Si 基板 (支撐基板) 上，而以 SiO_2 層的表面面對支撐基板的表面，並且使二者互相接觸。然後，二者於 1180°C 退火 5 分鐘，因而發現二者穩固地互相黏結。

黏結的晶圓沿著高度多孔層被強制分離。可使用各種不同的技術來將二者分開，包括施加壓力，施加拉力或剪力，藉著楔塊來施加外部壓力，施加超音波，加熱，藉著經由氧化來使其膨脹而在多孔 Si 層內產生內部壓力，施加熱脈衝以在內部產生熱應力，及軟化。事實上，可藉著以上所列的技術的任何之一來分離二者。隨後，支撐基板浸入 HF 與過氧化氫的混合物的水溶液中，因而發現殘餘多孔狀矽層在大約 60 分鐘內從表面被去除而產生 SOI 晶圓。

(請先閱讀背面之注意事項再
為本頁)

裝
訂
線

五、發明說明 (72)

然後，所得的晶圓在氫氣氛中於 1100°C 被熱處理 4 小時。

經由原子力顯微鏡來觀察表面粗糙度，因而發現在 $50\mu\text{m}$ 見方的區域內的均方根粗糙度為 0.2nm ，此大致等於商業上可得的 Si 晶圓的均方根粗糙度。也對樣本觀察晶體缺陷密度，因而發現多層缺陷密度為 $50\text{缺陷}/\text{cm}^2$ 。換句話說，低缺陷密度的單晶 Si 層形成在矽氧化物膜層上。

當氧化物膜並非形成在外延層的表面上而是形成在第二基板的表面上或是在二者的表面上時，也獲得類似的結果。

第一基板上的殘餘多孔層浸入 HF 與過氧化氫的混合物的水溶液中，因而發現其在大約 30 分鐘內被去除。然後，在第一 p 型單晶 Si 基板上的 $1\mu\text{m}$ 厚的外延層承受氫退火以減小雜質濃度。然後，基板被用來製備 CMOS 邏輯電路。

DRAM 及其他裝置形成在外延晶圓上以證明其可用來增進製造裝置的品質，產率，以及可靠性。

(例 11)

外延生長層藉著 CVD 而在第一 p 型單晶 Si 基板的表面上形成至 $3\mu\text{m}$ 的厚度。在此處理期間，改變加入成為摻雜劑的乙硼烷的濃度以產生顯示 $0.015\Omega\cdot\text{cm}$ 的電阻係數的 $2\mu\text{m}$ 厚的上表面 p^{++} Si 層及顯示 0.5

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (73)

$\Omega \cdot \text{cm}$ 的電阻係數的 $1 \mu\text{m}$ 厚的下表面 $p^+ \text{Si}$ 層。

在外延生長期間， $\text{SiH}_2\text{Cl}_2 / \text{H}_2$ 的來源氣體在 760 Torr 的壓力下於 1110°C 的溫度供應，而同時在外延層的生長率為 $3.33 \mu\text{m} / \text{min}$ 下讓 1% B_2H_6 的摻雜劑對 $p^+ \text{Si}$ 層以 60 sccm 流動，而對 $p^+ \text{Si}$ 層以 0.1 sccm 流動。

然後，外延層在 HF 與乙醇的混合溶液中被陽極化。

陽極化的條件如下所列。

電流密度： $7 (\text{mA} \cdot \text{cm}^{-2})$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} = 1 : 1 : 1$

時間： $4 (\text{分鐘})$

藉著經由高解析度掃描式電子顯微鏡來觀察陽極化產物的樣本的截面證明具有 20% 的孔隙度的低孔隙度層及具有 50% 的孔隙度的高孔隙度層已經分別形成於 $p^+ \text{Si}$ 層的 $2 \mu\text{m}$ 厚的上表面及 $0.5 \mu\text{m}$ 厚的下表面層。薄的高孔隙度層顯然結構非常易碎。

然後，晶圓在氧氣氛中於 400°C 被處理一小時，並且浸入 1.25% 的 HF 水溶液中 30 秒鐘，以去除表面上的非常薄的矽氧化物膜。然後，晶圓被放入外延生長設備中，以藉著使用 CVD （化學汽相澱積）技術的外延生長產生 $0.3 \mu\text{m}$ 厚的單晶 Si 層。外延生長的條件如下所列。注意可在生長單晶 Si 的過程之前實施以上所述的氬烘焙過程，供應少量原料的過程，以及高溫烘焙過程。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (74)

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.2 / 180 \text{ } ^\circ / \text{min}$
氣體壓力：	760 Torr
溫度：	1060°C
生長率：	$0.15 \mu\text{m} / \text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

然後，晶圓被放在另一 Si 基板（支撐基板）上，而以 SiO_2 層的表面面對支撐基板的表面，並且使二者互相接觸。然後，二者於 1180°C 退火 5 分鐘，因而發現二者穩固地互相黏結。

黏結的晶圓沿著高度多孔層被強制分離。可使用各種不同的技術來將二者分開，包括施加壓力，施加拉力或剪力，藉著楔塊來施加外部壓力，施加超音波，加熱，藉著經由氧化來使其膨脹而在多孔 Si 層內產生內部壓力，施加熱脈衝以在內部產生熱應力，及軟化。事實上，可藉著以上所列的技術的任何之一來分離二者。

隨後，支撐基板浸入 HF 與過氧化氫的混合物的水溶液中，因而發現殘餘多孔狀矽層在大約 60 分鐘內從表面被去除而產生 SOI 晶圓。

然後，所得的晶圓在氫氣氛中於 1100°C 被熱處理 4 小時。經由原子力顯微鏡來觀察表面粗糙度，因而發現在 $50 \mu\text{m}$ 見方的區域內的均方根粗糙度為 0.2 nm ，此大致等於商業上可得的 Si 晶圓的均方根粗糙度。也對

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (75)

樣本觀察晶體缺陷密度，因而發現多層缺陷密度為 5 0 缺陷 / cm^2 。

換句話說，低缺陷密度的單晶 Si 層形成在矽氧化物膜層上。

當氧化物膜並非形成在外延層的表面上而是形成在第二基板的表面上或是在二者的表面上時，也獲得類似的結果。

第一基板上的殘餘多孔層浸入 HF 與過氧化氫的混合物的水溶液中，因而發現其在大約 3 0 分鐘內被去除。然後，生長具有比第一 p 型單晶 Si 基板的硼濃度低的硼濃度的外延層，以產生外延晶圓。此外延晶圓被用來製備 CMOS 邏輯電路。

DRAM 及其他裝置形成在外延晶圓上以證明其可用來增進製造裝置的品質，產率，以及可靠性。

(例 1 2)

單晶 Si 藉著 CVD 而在第一單晶 Si 基板上外延生長至 $1\ \mu\text{m}$ 的厚度。外延生長的條件如下所列。

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.5 / 180\ \text{l} / \text{min}$
氣體壓力：	$80\ \text{Torr}$
溫度：	950°C
生長率：	$0.30\ \mu\text{m} / \text{min}$

更明確地說，初始的 $0.5\ \mu\text{m}$ 的高度為藉著使用

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (76)

B₂H₆ 成為摻雜劑而形成的 1 Ω · c m 的 P⁻ 層，而上方的 0 . 5 μ m 的高度為藉著使用 P H₃ 成為摻雜劑而形成的 1 Ω · c m 的 N⁻ 層。

然後，200 nm 厚的 S i O₂ 層藉著熱氧化而形成在外延 S i 層的表面上。

然後，H⁺ 離子藉著施加 70 k e V 的電壓以將投射範圍局限在外延層內而以 $5 \times 10^{16} \text{ c m}^{-2}$ 的植入率從第一基板的表面植入第一基板內。結果，應變層形成在接近 P⁻ / N⁻ 界面的相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

隨後，具有相同直徑的矽晶圓（第二基板）在其要被黏結的表面處藉著氮電漿而被處理，然後使第一與第二基板互相接觸，並且黏結在一起而產生多層結構，其可於或可不於大約 200 °C 被熱處理。

水噴射流被噴送至多層結構的橫側面並且被驅動朝向多層結構的中心而將其分離成第一及第二基板。

二基板也可藉著於 500 °C 的熱處理或是藉著利用晶體重新安排的效果或微氣泡內壓力的效果而分離。

結果，N⁻ 單晶半導體層轉移至第二基板上。

在轉移至第二基板上的外延層上的殘餘分離層藉著氫退火而被去除，並且外延層的表面被平滑化而獲得 S O I 晶圓。可藉著表面的碰觸拋光來取代氫退火而製備類似的 S O I 晶圓。然後，晶圓被用來製備完全耗盡型薄膜電晶

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (77)

體。

另一方面，分離的第一基板在其表面上載有 P^- 外延層及殘餘的分離層，其藉著氬退火而被去除。然後，基板的表面被平滑化以獲得外延晶圓。可藉著表面的碰觸拋光來取代氬退火而製備類似的外延晶圓。因為大塊晶圓在表面上具有藉著外延層的氬退火而形成的層，所以其性能如同外延晶圓。目前最流行的成為 P^- 外延 / P^+ 晶圓的外延晶圓是藉著使用 P^+ 基板於第一 Si 晶圓而獲得。然後，外延晶圓被用來製備 CMOS 邏輯電路。

DRAM 及其他裝置形成在外延晶圓上以證明其可用來增進製造裝置的品質，產率，以及可靠性。

(例 13)

P^- 單晶 Si 藉著 CVD 的外延生長而在顯示 0.01 與 $0.02 \Omega \cdot cm$ 之間的電阻係數的第一 P^+ 單晶 Si 基板上形成至 $1 \mu m$ 的厚度而顯示大約 $18 \Omega \cdot cm$ 的電阻係數。

外延生長的條件如下所列。

來源氣體：	SiH_2Cl_2 / H_2
氣體流量：	$0.5 / 180 \text{ } \ell / min$
氣體壓力：	80 Torr
溫度：	$950^\circ C$
生長率：	$0.30 \mu m / min$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

五、發明說明 (78)

外延 S i 層的表面。

然後， H^+ 離子藉著施加 40 keV 的電壓以將投射範圍局限在外延層內而以 $5 \times 10^{16} \text{ cm}^{-2}$ 的植入率從第一基板的表面植入第一基板內。結果，應變層形成在相應於投射範圍的深度處成為微氣泡層，或是成為植入離子種源顯示高濃度的層，然後其操作成為分離層。

隨後，具有相同直徑的矽晶圓（第二基板）在其要被黏結的表面處藉著氮電漿而被處理，然後使第一與第二基板互相接觸，並且黏結在一起而產生多層結構。水噴射流被噴送至多層結構的橫側面並且被驅動朝向多層結構的中心而將其分離成第一及第二基板。二基板也可藉著熱處理而分離。

結果，單晶半導體層轉移至第二基板上。

在轉移至第二基板上的外延層的表面上的殘餘分離層藉著氫退火而被去除，並且外延層的表面被平滑化而獲得 S O I 晶圓。然後，S O I 晶圓被用來製備完全耗盡型薄膜電晶體。如此，如果利用外延晶圓，則可使用 P^+ 基板來藉著植入氫離子而製備 S O I 晶圓。

另一方面，分離的第一基板在其表面上載有 P^- 外延層及殘餘的分離層，其藉著氫退火而被去除。然後，基板的表面被平滑化以獲得大塊晶圓。因為大塊晶圓在表面上具有藉著外延層的氫退火而形成的層，所以其性能如同外延晶圓。

然後，外延晶圓被用來製備 C M O S 邏輯電路。

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (79)

(例 1 4)

第一單晶 Si 基板的表面承受在 HF 溶液中的陽極化處理。

陽極化的條件如下所列。

用來製備首先被製備且被使用成為最上層的第一多孔層的條件：

電流密度： $1 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} =$
 $1 : 1 : 1$

時間： 0.1 (分鐘)

多孔狀 Si 的厚度： $0.02 \text{ (}\mu\text{m)}$

用來製備其次被製備的第二多孔層的條件：

電流密度： $50 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} =$
 $1 : 1 : 1$

時間： 5 (秒鐘)

多孔狀 Si 的厚度： $0.1 \text{ (}\mu\text{m)}$

用來製備最後被製備的第三多孔層的條件

電流密度： $7 \text{ (mA} \cdot \text{cm}^{-2}\text{)}$

陽極化溶液： $\text{HF} : \text{H}_2\text{O} : \text{C}_2\text{H}_5\text{OH} =$
 $1 : 1 : 1$

時間： 1 (分鐘)

多孔狀 Si 的厚度： $1 \text{ (}\mu\text{m)}$

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (80)

由於陽極化的結果，比第一多孔層厚且以 $50 \text{ (mA} \cdot \text{cm}^{-2})$ 的電流密度製備的第二多孔層在所有的多孔狀 Si 層中顯示最高的空隙度，因而在結構上最易碎。

然後，基板在氧氣氛中於 400°C 被氧化一小時。由於氧化的結果，多孔狀 Si 層的孔的內壁被熱氧化膜覆蓋。晶圓被放置在充填有氫氣氛的外延生長設備中，並且於 1040°C 被烘焙 5 分鐘。由於熱處理（烘焙）的結果，最上方多孔狀 Si 層的表面孔被充填。然後，為以 $1 \text{ (mA} \cdot \text{cm}^{-2})$ 的電流密度製備的第一多孔狀 Si 層的最上方表面層經由 Si 原子的移動而轉變成非多孔層。

隨後，單晶 Si 藉著 CVD（化學汽相澱積）而在具有非多孔狀表面的多孔狀 Si 上外延生長至 $0.3 \mu\text{m}$ 的厚度。外延生長的條件如下所列。

來源氣體：	$\text{SiH}_2\text{Cl}_2 / \text{H}_2$
氣體流量：	$0.5 / 180 \text{ } \ell / \text{min}$
氣體壓力：	80 Torr
溫度：	950°C
生長率：	$0.15 \mu\text{m} / \text{min}$

然後， 200 nm 厚的 SiO_2 層藉著熱氧化而形成在外延 Si 層的表面上。

隨後，提供另一矽基板（第二基板），然後使第一與第二基板互相接觸，並且於 1180°C 熱處理 5 分鐘，因而發現二者穩固地黏結在一起。

然後，施加外力於黏結的基板。結果，顯示最高孔隙

（請先閱讀背面之注意事項再為本頁）

裝訂線

五、發明說明 (81)

度的第二多孔層被破壞，並且二基板沿著非多孔層與相鄰多孔層的界面分離。

如此， $0.2\ \mu\text{m}$ 厚的單晶 Si 層形成在第二基板的 Si 氧化物膜上而產生 SOI 基板。未發現有任何多孔狀 Si 存留在單晶 Si 層的表面上（分離層）。藉著沿著非多孔層與相鄰多孔層的界面分離二基板，可省略獲得具有平滑表面的 SOI 層一般所需的各種不同的步驟。

更明確地說，二基板可沿著界面分離，因為應力可於界面處及接近界面處集中地產生。此沿著界面集中地產生應力的技術也可用於異質外延膜，例如在矽上的 SiGe。

存留在第一基板上的多孔狀 Si 是藉著將其浸入於 49% 氫氟酸與 30% 過氧化氫的混合物的水溶液中而被選擇性地蝕刻去除，因而產生具有平滑表面的大塊晶圓。其被使用成為裝置形成晶圓或監視器晶圓，而不被使用成為如上所述的第一或第二基板。

如以上的詳細討論，本發明提供具有增進的再現性程度的在大量生產的基礎上的製造高品質半導體晶圓的方法。根據本發明的製造半導體晶圓的方法可提供在不影響晶圓對市場的供應下可被有效率地使用及重新使用的高品質 SOI 晶圓。

（請先閱讀背面之注意事項再為本頁）

裝 · 訂 · 線

四、中文發明摘要(發明之名稱:

製造半導體晶圓之方法及使用半導體晶圓之方法

一種製造具有優異的大量生產適合性及再現性的半導體晶圓的方法。此方法包含的步驟為在以半導體晶圓成為原料之下製備在半導體基板上具有單晶半導體層而在二者之間配置有分離層的第一構件，在經由分離層而分離單晶半導體層之後將單晶半導體層轉移至包含半導體晶圓的第二構件上，以及在轉移步驟之後使半導體基板的表面平滑以被使用成為目的與形成第一及第二構件不同的半導體晶圓。

英文發明摘要(發明之名稱:METHOD OF MANUFACTURING SEMICONDUCTOR WAFER
METHOD OF USING AND UTILIZING THE SAME

A process for manufacturing a semiconductor wafer which has superior suitability for mass production and reproducibility. The process comprises the steps of preparing a first member which has a monocrystalline semiconductor layer on a semiconductor substrate with a separation layer arranged therebetween with a semiconductor wafer as the raw material, transferring the monocrystalline semiconductor layer onto a second member which comprises a semiconductor wafer after separating the monocrystalline semiconductor layer through the separation layer, and smoothing the surface of the semiconductor substrate after the transferring step so as to be used as a semiconductor wafer for purposes other than forming the first and second members.

六、申請專利範圍

1. 一種製造半導體晶圓之方法，包含以下步驟：

製備在一半導體基板上具有一半導體層的一第一構件；

經由從該第一構件分離該半導體層而將該半導體層轉移至一第二構件上；及

在該轉移步驟之後使該半導體基板的表面平滑，以將該半導體基板使用成為用於與形成該第一及第二構件不同的目的的一半導體晶圓。

2. 一種製造半導體晶圓之方法，包含以下步驟：

製備在一半導體基板上具有一半導體層而在二者之間配置有一分離層的一第一構件；

藉著經由該分離層來分離該半導體層而將該半導體層轉移至一第二構件上；及

在該轉移步驟之後使該半導體基板的表面平滑，以將該半導體基板使用成為用於與形成該第一及第二構件不同的目的的一半導體晶圓。

3. 一種製造半導體晶圓之方法，包含以下步驟：

製備在一 p 型半導體基板上具有一半導體層的一第一構件；

從該第一構件分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在該半導體層已經從其分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導

六、申請專利範圍

電性的雜質濃度。

4．一種製造半導體晶圓之方法，包含以下步驟：

製備在一 p 型半導體基板上具有一半導體層而在二者之間配置有一分離層的一第一構件；

經由該分離層分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在已經經由該分離層分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

5．一種製造半導體晶圓之方法，包含以下步驟：

在一 p 型半導體基板內形成一分離層，以形成在該分離層上具有一半導體層的一第一構件；

經由該分離層分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在已經經由該分離層分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

6．一種製造半導體晶圓之方法，包含以下步驟：

製備在一 p 型半導體基板上具有一半導體層而在二者之間配置有一分離層的一第一構件；

將該第一構件與一第二構件黏結以形成一多層結構；

在氧化氣氛下實施該多層結構的熱處理；

六、申請專利範圍

經由該分離層分離該多層結構，以將該半導體層轉移至該第二構件上，因而形成一第一半導體晶圓；及

經由該分離層分離該半導體層以將該半導體層轉移至一第二構件上，因而形成一第一半導體晶圓；及

在已經經由該分離層分離的該 p 型半導體基板上實施一低濃度 p 型半導體層的外延生長，該低濃度 p 型半導體層具有比該 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度。

7. 一種製造半導體晶圓之方法，包含以下步驟：

製備一第一構件，其至少具有包含一外延半導體層的一第一半導體層，該外延半導體層具有比一 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度；一分離層；及一第二半導體層；上述各層依所提及的順序配置在該 p 型半導體基板上；及

藉著經由從該分離層分離該第二半導體層的分離步驟來將該第二半導體層轉移至一第二構件上而形成一第一半導體晶圓，並且形成在該 p 型半導體基板上具有該第一半導體層的一第二半導體晶圓。

8. 一種製造半導體晶圓之方法，包含以下步驟：

至少形成包含一外延半導體層的一第一半導體層，其具有比一 p 型半導體基板的雜質濃度低的界定 p 型導電性的雜質濃度；及包含一外延半導體層的一第二半導體層，其具有比該第一半導體層的雜質濃度高的界定 p 型導電性的雜質濃度；上述二層依所提及的順序配置在該 p 型半導

(請先閱讀背面之注意事項五) 寫本頁)

裝

訂

線

六、申請專利範圍

體基板上；使該第一半導體層的一部份及該第二半導體層成多孔狀，並且在成為多孔狀的該第二半導體層上形成一第三半導體層，因而形成一第一構件；及

將該第三半導體層轉移至一第二構件上以形成一第一半導體晶圓，並且形成包含具有該第一半導體層的該 p 型半導體基板的一第二半導體晶圓。

9．如申請專利範圍第 1 項至第 8 項中任一項所述的製造半導體晶圓之方法，其中該半導體基板，該 p 型半導體基板，及該 p 型矽基板的每一個均是擇自由 C Z 矽晶圓，F Z 矽晶圓，外延矽晶圓，及氬退火矽晶圓所組成的群類。

10．如申請專利範圍第 1 項至第 6 項中任一項所述的製造半導體晶圓之方法，其中該半導體層是擇自由單晶半導體層，多晶半導體層，及非晶半導體層所組成的群類。

11．如申請專利範圍第 2 項，第 4 項，第 5 項，第 6 項，或第 7 項所述的製造半導體晶圓之方法，其中該分離層是擇自由多孔層及微氣泡層所組成的群類。

12．如申請專利範圍第 8 項所述的製造半導體晶圓之方法，其中該分離層及該成為多孔狀的層的每一個均是藉著陽極化處理而形成。

13．如申請專利範圍第 11 項所述的製造半導體晶圓之方法，其中該分離層是藉著使用擇自由氫，氮，及稀有氣體所組成的群類的氣體的離子植入而形成。

(請先閱讀背面之注意事項再
寫本頁)

裝

訂

線

六、申請專利範圍

1 4 . 如申請專利範圍第 1 3 項所述的製造半導體晶圓之方法，其中該離子植入為電漿浸漬離子植入。

1 5 . 如申請專利範圍第 2 項，第 4 項，第 5 項，第 6 項，或第 7 項所述的製造半導體晶圓之方法，其中該第一構件是藉著在該半導體基板的表面上形成作用成為該分離層的一多孔層並且接著在該多孔層的表面上形成該半導體層而形成。

1 6 . 如申請專利範圍第 1 5 項所述的製造半導體晶圓之方法，另外包含在形成該半導體層之前在該多孔層的孔的壁上形成一保護層的步驟。

1 7 . 如申請專利範圍第 1 5 項所述的製造半導體晶圓之方法，另外包含在形成該半導體層之前在含有氫的還原氣氛下對該多孔層實施熱處理的步驟。

1 8 . 如申請專利範圍第 1 5 項所述的製造半導體晶圓之方法，包含藉著供應用於該半導體層的小量原料氣體而以等於或小於 20 mm/min (毫米/分鐘) 的生長速率形成該半導體層的步驟。

1 9 . 如申請專利範圍第 1 5 項所述的製造半導體晶圓之方法，另外包含在形成該半導體層之前密封該多孔層的表面並且接著在比該密封步驟中高的溫度實施熱處理的步驟，該密封步驟包含在氫還原氣氛下對該多孔層實施熱處理及/或供應用於該半導體層的小量原料氣體的步驟。

2 0 . 如申請專利範圍第 2 項，第 4 項，第 5 項，第 6 項，或第 7 項所述的製造半導體晶圓之方法，其中該第

六、申請專利範圍

一構件是藉著植入擇自由氫，氮，及稀有氣體所組成的群類的至少一離子至該半導體基板的表面內以在該半導體基板內形成作用成為該分離層的一離子植入層而獲得。

2 1 . 如申請專利範圍第 2 項，第 4 項，第 5 項，第 6 項，或第 7 項所述的製造半導體晶圓之方法，其中該第一構件是藉著形成一絕緣層並且接著在該半導體基板內形成作用成為該分離層的一離子植入層而獲得。

2 2 . 如申請專利範圍第 1 項或第 2 項所述的製造半導體晶圓之方法，其中構成該第一構件的該半導體基板是擇自由 P^+ 矽晶圓及 P^- 矽晶圓所組成的群類。

2 3 . 如申請專利範圍第 2 項，第 4 項，第 5 項，第 6 項，或第 7 項所述的製造半導體晶圓之方法，其中該第一構件是藉著在該半導體基板上形成一外延層的步驟，藉著使該外延層的表面成為多孔狀以形成該分離層的步驟，以及然後在該分離層的表面形成該半導體層的步驟而獲得。

2 4 . 如申請專利範圍第 2 3 項所述的製造半導體晶圓之方法，其中該外延層的表面是成為多孔狀以使得存留在該半導體基板上的外延層的厚度是在 100 nm （毫微米）與 $20\text{ }\mu\text{ m}$ （微米）之間。

2 5 . 如申請專利範圍第 2 3 項所述的製造半導體晶圓之方法，其中該外延層為內部硼濃度在 $1 \times 10^{17}\text{ cm}^{-3}$ 與 $1 \times 10^{20}\text{ cm}^{-3}$ 之間的 P^+ 層。

2 6 . 如申請專利範圍第 1 項或第 2 項所述的製造半

（請先閱讀背面之注意事項再
寫本頁）

裝
訂
線

六、申請專利範圍

導體晶圓之方法，其中該轉移步驟包含將該第一構件與該第二構件黏結以將該半導體層配置於內部而形成一多層結構的步驟以及分離該多層結構的步驟。

27．如申請專利範圍第26項所述的製造半導體晶圓之方法，其中該黏結步驟是經由一絕緣層而實施。

28．如申請專利範圍第26項所述的製造半導體晶圓之方法，其中該黏結步驟是於在該半導體層的表面上形成一絕緣層之後實施。

29．如申請專利範圍第26項所述的製造半導體晶圓之方法，其中該黏結步驟是於在該第二構件的表面上形成一絕緣層之後實施。

30．如申請專利範圍第26項所述的製造半導體晶圓之方法，其中該分離步驟是藉著擇自由熱處理該多層結構及氧化處理一分離層的側面及／或其附近所組成的群類的方法來實施。

31．如申請專利範圍第30項所述的製造半導體晶圓之方法，其中該熱處理是在400℃至600℃的範圍內的溫度實施。

32．如申請專利範圍第26項所述的製造半導體晶圓之方法，其中該分離步驟是藉著擇自由將楔塊插入該分離層的側面，噴灑流體至該多層結構及該分離層的側面的任一者上，施加拉力，壓縮力，及剪力的任一者，於該分離層處切開該多層結構，及施加超音波振動於該分離層上所組成的群類的至少一方法來實施。

(請先閱讀背面之注意事項五) 寫本頁)

裝

訂

線

六、申請專利範圍

3 3 . 如申請專利範圍第 3 2 項所述的製造半導體晶圓之方法，其中該流體是擇自由水，醇類，蝕刻劑，空氣，氮氣，一氧化碳氣體，及稀有氣體所組成的群類。

3 4 . 如申請專利範圍第 1 項或第 2 項所述的製造半導體晶圓之方法，其中該半導體晶圓為外延晶圓。

3 5 . 如申請專利範圍第 1 項至第 8 項中任一項所述的製造半導體晶圓之方法，其中該半導體晶圓及該第二半導體晶圓被用來製造半導體裝置及太陽電池的任一者。

3 6 . 如申請專利範圍第 1 項至第 8 項中任一項所述的製造半導體晶圓之方法，其中該第二構件是擇自由 C Z 矽晶圓，F Z 矽晶圓，外延晶圓，氬退火矽晶圓，玻璃，石英玻璃，塑膠，撓性膜，陶瓷，及導電性基板所組成的群類。

3 7 . 如申請專利範圍第 1 項至第 8 項中任一項所述的製造半導體晶圓之方法，其中該第二構件為在其表面上具有氧化物膜的矽晶圓。

3 8 . 如申請專利範圍第 1 項或第 2 項所述的製造半導體晶圓之方法，其中該平滑化步驟為實施擇自由表面拋光，平面化，蝕刻，及熱處理所組成的群類的至少一種處理的步驟。

3 9 . 如申請專利範圍第 3 8 項所述的製造半導體晶圓之方法，其中該表面拋光是擇自由化學機械拋光及碰觸拋光所組成的群類。

4 0 . 如申請專利範圍第 3 8 項所述的製造半導體晶

(請先閱讀背面之注意事項再寫本頁)

裝
訂
線

六、申請專利範圍

圖之方法，其中該熱處理為氬退火。

4 1 . 如申請專利範圍第 4 0 項所述的製造半導體晶圓之方法，其中該氬退火所用的溫度不低於 8 0 0 ℃，並且不高於該半導體基板的組份材料的熔化溫度。

4 2 . 如申請專利範圍第 4 0 項所述的製造半導體晶圓之方法，其中該氬退火為在含有至少氬的還原氣氛下所實施的熱處理。

4 3 . 一種使用半導體晶圓之方法，其中如申請專利範圍第 1 項或第 2 項所述的在平滑化步驟之後的該半導體晶圓被使用成為一非 S O I 晶圓。

4 4 . 一種使用半導體晶圓之方法，其中如申請專利範圍第 1 項或第 2 項所述的在平滑化步驟之後的該半導體晶圓被使用成為一半導體晶圓來製造一半導體裝置。

4 5 . 一種使用半導體晶圓之方法，其中如申請專利範圍第 1 項或第 2 項所述的在平滑化步驟之後的該半導體晶圓被使用成為虛設晶圓。

4 6 . 一種使用半導體晶圓之方法，其中如申請專利範圍第 1 項或第 2 項所述的在平滑化步驟之後的該半導體晶圓被使用成為監視器晶圓。

4 7 . 如申請專利範圍第 1 項或第 2 項所述的製造半導體晶圓之方法，另外包含在平滑化的半導體基板上形成一外延層的步驟。

4 8 . 如申請專利範圍第 1 項或第 2 項所述的製造半導體晶圓之方法，其中對平滑化步驟之後所獲得的半導體

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

六、申請專利範圍

基板實施擇自由表面外來粒子密度的檢驗，膜厚度分佈的檢驗，缺陷密度的檢驗，表面輪廓的檢驗，及邊緣的檢驗所組成的群類的至少一檢驗步驟。

49．如申請專利範圍第48項所述的製造半導體晶圓之方法，其中該基板被選別以被使用成為擇自由虛設晶圓，監視器晶圓，裝置晶圓，及外延晶圓所組成的群類的一晶圓。

50．如申請專利範圍第3項，第4項，第5項，第7項，或第8項所述的製造半導體晶圓之方法，其中該p型半導體基板為高濃度p型矽晶圓。

51．如申請專利範圍第50項所述的製造半導體晶圓之方法，其中該高濃度p型矽晶圓中的硼的濃度是在 $1 \times 10^{17} \text{ cm}^{-3}$ 與 $1 \times 10^{20} \text{ cm}^{-3}$ 之間。

52．如申請專利範圍第50項所述的製造半導體晶圓之方法，其中該高濃度p型矽晶圓的電阻係數是在 $0.001 \Omega \cdot \text{cm}$ 與 $0.5 \Omega \cdot \text{cm}$ 之間。

53．如申請專利範圍第3項至第8項中任一項所述的製造半導體晶圓之方法，其中形成該第一半導體晶圓的步驟包含將該第一構件與該第二構件黏結以將該半導體層配置於內部而形成一多層結構的步驟以及分離該多層結構的步驟。

54．如申請專利範圍第53項所述的製造半導體晶圓之方法，其中該黏結步驟是經由一絕緣層而實施。

55．如申請專利範圍第53項所述的製造半導體晶

(請先閱讀背面之注意事項再
寫本頁)

裝

訂

線

六、申請專利範圍

圓之方法，其中該黏結步驟是於在該半導體層的表面上形成一絕緣層之後實施。

56．如申請專利範圍第53項所述的製造半導體晶圓之方法，其中該黏結步驟是於在該第二構件的表面上形成一絕緣層之後實施。

57．如申請專利範圍第53項所述的製造半導體晶圓之方法，其中該分離步驟是藉著擇自由熱處理該多層結構及氧化處理分離層的側面及／或其附近所組成的群類的方法來實施。

58．如申請專利範圍第57項所述的製造半導體晶圓之方法，其中該熱處理是在400℃至600℃的範圍內的溫度實施。

59．如申請專利範圍第53項所述的製造半導體晶圓之方法，其中該分離步驟是藉著擇自由將楔塊插入該分離層的側面，噴灑流體至該多層結構及該分離層的側面的任一者上，施加拉力，壓縮力，及剪力的任一者，於該分離層處切開該多層結構，及施加超音波振動於該分離層上所組成的群類的至少一方法來實施。

60．如申請專利範圍第59項所述的製造半導體晶圓之方法，其中該流體是擇自由水，醇類，蝕刻劑，空氣，氮氣，一氧化碳氣體，及稀有氣體所組成的群類。

61．如申請專利範圍第3項至第6項中任一項所述的製造半導體晶圓之方法，其中該低濃度p型矽晶圓的電阻係數是在0.02Ω·cm與10000Ω·cm之間

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

六、申請專利範圍

6 2 . 如申請專利範圍第 3 項至第 6 項中任一項所述的製造半導體晶圓之方法，其中該低濃度 p 型矽晶圓為內部硼的濃度為 $1 \times 10^{17} \text{ cm}^{-3}$ 的外延矽晶圓。

6 3 . 如申請專利範圍第 3 項至第 8 項中任一項所述的製造半導體晶圓之方法，其中對該第二半導體晶圓實施擇自由表面外來粒子密度的檢驗，膜厚度分佈的檢驗，缺陷密度的檢驗，表面輪廓的檢驗，及邊緣的檢驗所組成的群類的至少一檢驗步驟。

6 4 . 如申請專利範圍第 3 項至第 6 項中任一項所述的製造半導體晶圓之方法，其中該外延生長是藉著化學汽相澱積 (CVD) 方法來實施。

6 5 . 如申請專利範圍第 6 項所述的製造半導體晶圓之方法，其中該 p 型半導體基板為高濃度 p 型矽晶圓。

6 6 . 如申請專利範圍第 6 5 項所述的製造半導體晶圓之方法，其中該高濃度 p 型矽晶圓中的硼的濃度是在 $1 \times 10^{17} \text{ cm}^{-3}$ 與 $1 \times 10^{20} \text{ cm}^{-3}$ 之間。

6 7 . 如申請專利範圍第 6 5 項所述的製造半導體晶圓之方法，其中該高濃度 p 型矽晶圓的電阻係數是在 $0.001 \Omega \cdot \text{cm}$ 與 $0.5 \Omega \cdot \text{cm}$ 之間。

6 8 . 如申請專利範圍第 7 項或第 8 項所述的製造半導體晶圓之方法，其中該第一半導體層為 P⁺ 外延矽層。

6 9 . 如申請專利範圍第 7 項或第 8 項所述的製造半導體晶圓之方法，其中該第一半導體層由多個層構成。

(請先閱讀背面之注意事項再為本頁)

裝 · 訂 · 線

六、申請專利範圍

70 . 如申請專利範圍第 7 項所述的製造半導體晶圓之方法，其中該第二半導體層具有比該第一半導體層的雜質濃度高的界定 p 型導電性的雜質濃度。

71 . 如申請專利範圍第 7 項所述的製造半導體晶圓之方法，其中該第一半導體層的界定 p 型導電性的雜質濃度與該第二半導體層的雜質濃度相同。

72 . 如申請專利範圍第 7 項所述的製造半導體晶圓之方法，其中該第二半導體層及該分離層是藉著使用擇自由氫，氮，及稀有氣體所組成的群類的氣體的離子植入而形成。

73 . 如申請專利範圍第 8 項所述的製造半導體晶圓之方法，其中該第三半導體層為外延單晶矽層。

74 . 如申請專利範圍第 7 項所述的製造半導體晶圓之方法，其中該第一構件是藉著形成該分離層並且接著形成該第二半導體層而獲得。

75 . 如申請專利範圍第 7 4 項所述的製造半導體晶圓之方法，另外包含在形成該第二半導體層之前在作用成為該分離層的該多孔層的孔的壁上形成保護層的步驟。

76 . 如申請專利範圍第 7 4 項所述的製造半導體晶圓之方法，另外包含在形成該半導體層之前在含有氫的還原氣氛下對作用成為該分離層的該多孔層實施熱處理的步驟。

77 . 如申請專利範圍第 7 4 項所述的製造半導體晶圓之方法，包含藉著供應構成該第二半導體層的小量原料

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

六、申請專利範圍

氣體而以等於或小於 20 nm/min (毫微米/分鐘) 的生長速率形成該第二半導體層的步驟。

78. 如申請專利範圍第 74 項所述的製造半導體晶圓之方法，另外包含在形成該第二半導體層之前密封該多孔層的表面並且接著在比該密封步驟中高的溫度實施熱處理的步驟，該密封步驟包含在氫還原氣氛下對該多孔層實施熱處理及/或供應用於該第二半導體層的小量原料氣體的步驟。

79. 如申請專利範圍第 8 項所述的製造半導體晶圓之方法，其中該第一構件是藉著在成為多孔狀的該第二半導體層上形成一第三半導體層而獲得。

80. 如申請專利範圍第 79 項所述的製造半導體晶圓之方法，另外包含在形成該第三半導體層之前在成為多孔狀的該第二半導體層的多孔層的孔的壁上形成保護層的步驟。

81. 如申請專利範圍第 79 項所述的製造半導體晶圓之方法，另外包含在形成該第三半導體層之前在含有氫的還原氣氛下對成為多孔狀的該第二半導體層的多孔層實施熱處理的步驟。

82. 如申請專利範圍第 79 項所述的製造半導體晶圓之方法，包含藉著供應構成該第三半導體層的小量原料氣體而以等於或小於 20 nm/min (毫微米/分鐘) 的生長速率形成該第三半導體層的步驟。

83. 如申請專利範圍第 79 項所述的製造半導體晶

(請先閱讀背面之注意事項再寫本頁)

裝
訂
線

六、申請專利範圍

圓之方法，另外包含在形成該第三半導體層之前密封成為多孔狀的該第二半導體層的多孔層的表面並且接著在比該密封步驟中高的溫度實施熱處理的步驟，該密封步驟包含在氫還原氣氛下對該多孔層實施熱處理及／或供應用於該第三半導體層的小量原料氣體的步驟。

84．如申請專利範圍第3項至第6項中任一項所述的製造半導體晶圓之方法，其中該高濃度p型矽晶圓的表面在該高濃度p型矽層的外延生長之前被平面化。

85．如申請專利範圍第7項或第8項所述的製造半導體晶圓之方法，其中該第二半導體晶圓是藉著將在該分離的p型半導體基板上的該第一半導體層的表面平滑化而形成。

86．如申請專利範圍第85項所述的製造半導體晶圓之方法，其中該平滑化步驟是藉著實施擇自由表面拋光，平面化，蝕刻，及熱處理所組成的群類的至少一種處理來執行。

87．如申請專利範圍第86項所述的製造半導體晶圓之方法，其中該熱處理是在含有氫的還原氣氛下實施。

88．如申請專利範圍第87項所述的製造半導體晶圓之方法，其中在含有氫的還原氣氛下的該熱處理所用的溫度不低於800℃，並且不高於該p型半導體基板的組份材料的熔化溫度。

89．如申請專利範圍第7項所述的製造半導體晶圓之方法，另外包含將該第二半導體層轉移至該第二半導體

六、申請專利範圍

基板並且接著去除存留在該第二半導體層上的該分離層的步驟。

9 0 . 如申請專利範圍第 8 項所述的製造半導體晶圓之方法，另外包含將該第三半導體層轉移至該第二半導體基板並且接著去除存留在該第二半導體層上的該分離層的步驟。

9 1 . 如申請專利範圍第 8 9 項或第 9 0 項所述的製造半導體晶圓之方法，其中在含有氫的還原氣氛下的熱處理在去除存留的該分離層之後實施。

9 2 . 如申請專利範圍第 2 項，第 4 項，第 5 項，第 6 項，或第 7 項所述的製造半導體晶圓之方法，其中經由該分離層的該分離是在擇自由該分離層的內部，上表面，及下表面所組成的群類的一部份處所造成的分離。

9 3 . 如申請專利範圍第 8 項所述的製造半導體晶圓之方法，其中將該第三半導體層轉移至該第二構件上的該步驟是藉著在擇自由成為多孔狀的該第一半導體層的內部，上表面，及下表面所組成的群類的一部份處實施分離而執行。

9 4 . 如申請專利範圍第 3 項至第 6 項中任一項所述的製造半導體晶圓之方法，其中該半導體層及該低濃度 p 型矽層是藉著相同的 C V D 設備來形成。

9 5 . 如申請專利範圍第 3 項至第 8 項中任一項所述的製造半導體晶圓之方法，其中該第二半導體晶圓被用來用於該第一及第二構件以外的其他用途。

六、申請專利範圍

9 6 . 如申請專利範圍第 6 項所述的製造半導體晶圓之方法，其中具有 10 nm 至 $10\text{ }\mu\text{ m}$ 的厚度的氧化物膜在氧化氣氛下藉著該熱處理而形成在該 p 型矽基板的背側上。

9 7 . 一種使用半導體晶圓之方法，其特徵在於製備已經被用來製造一黏結 S O I 基板的一種子晶圓，並且接著對該種子晶圓的至少一表面實施平滑化處理，以成為一半導體晶圓來販賣。

9 8 . 如申請專利範圍第 9 7 項所述的使用半導體晶圓之方法，其中用來製造該黏結 S O I 晶圓的方法包含將在單晶矽的一區域上具有一單晶半導體層的一第一構件經由一絕緣層而與一第二構件黏結的步驟，以及經由該分離層的內部及／或表面來實施分離的步驟。

9 9 . 如申請專利範圍第 9 8 項所述的使用半導體晶圓之方法，其中該黏結步驟為經由形成在該單晶半導體層及／或該第二構件上的一絕緣層來實施分離的步驟。

1 0 0 . 如申請專利範圍第 9 8 項所述的使用半導體晶圓之方法，其中該分離層是擇自由藉著一矽基板的陽極化處理而形成的多孔層及藉著擇自由氫，氮，及稀有氣體所組成的群類的至少一元素的離子植入而形成微氣泡層所組成的群類。

1 0 1 . 如申請專利範圍第 9 7 項所述的使用半導體晶圓之方法，其中該平滑化處理包含鏡面精拋光的步驟。

1 0 2 . 如申請專利範圍第 9 7 項所述的使用半導體

六、申請專利範圍

晶圓之方法，其中該平滑化處理是在該種子晶圓的兩面均實施。

1 0 3 . 如申請專利範圍第 9 7 項所述的使用半導體晶圓之方法，其中該鏡面精拋光是在該種子晶圓的兩面均實施以成為該半導體晶圓來販賣。

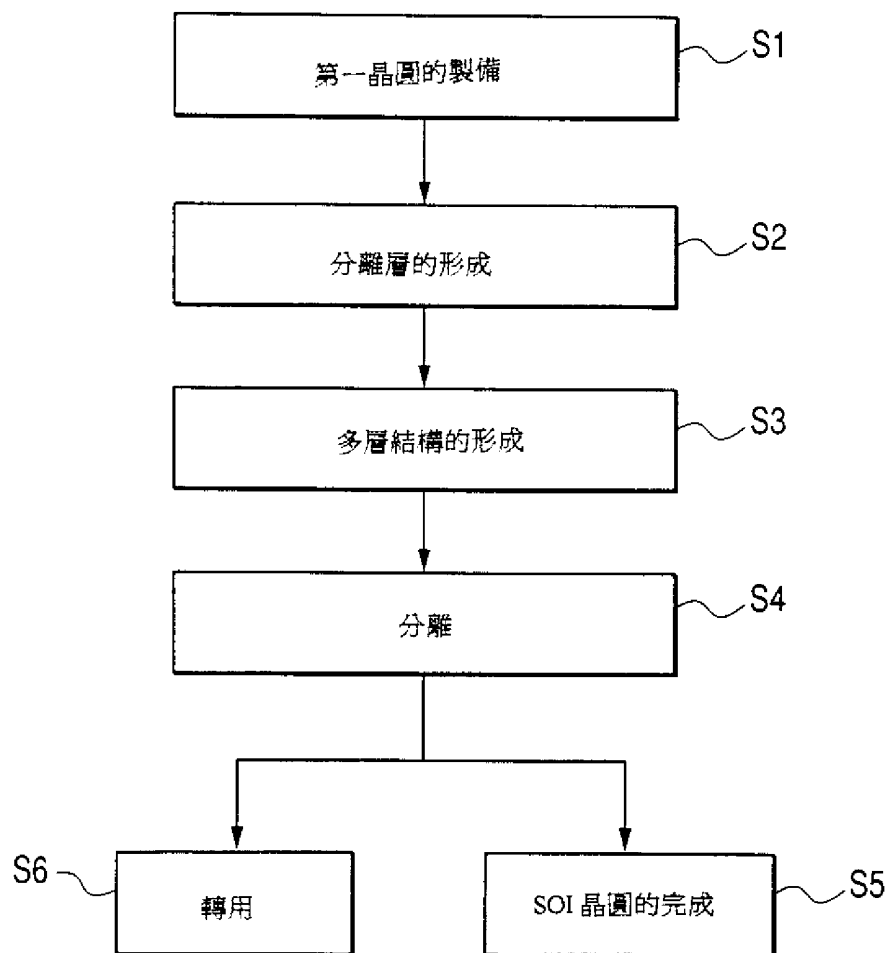
1 0 4 . 如申請專利範圍第 9 7 項所述的使用半導體晶圓之方法，其中該平滑化處理包含含有氫退火的步驟。

1 0 5 . 如申請專利範圍第 9 7 項所述的使用半導體晶圓之方法，另外包含在該種子晶圓上形成外延半導體層的步驟。

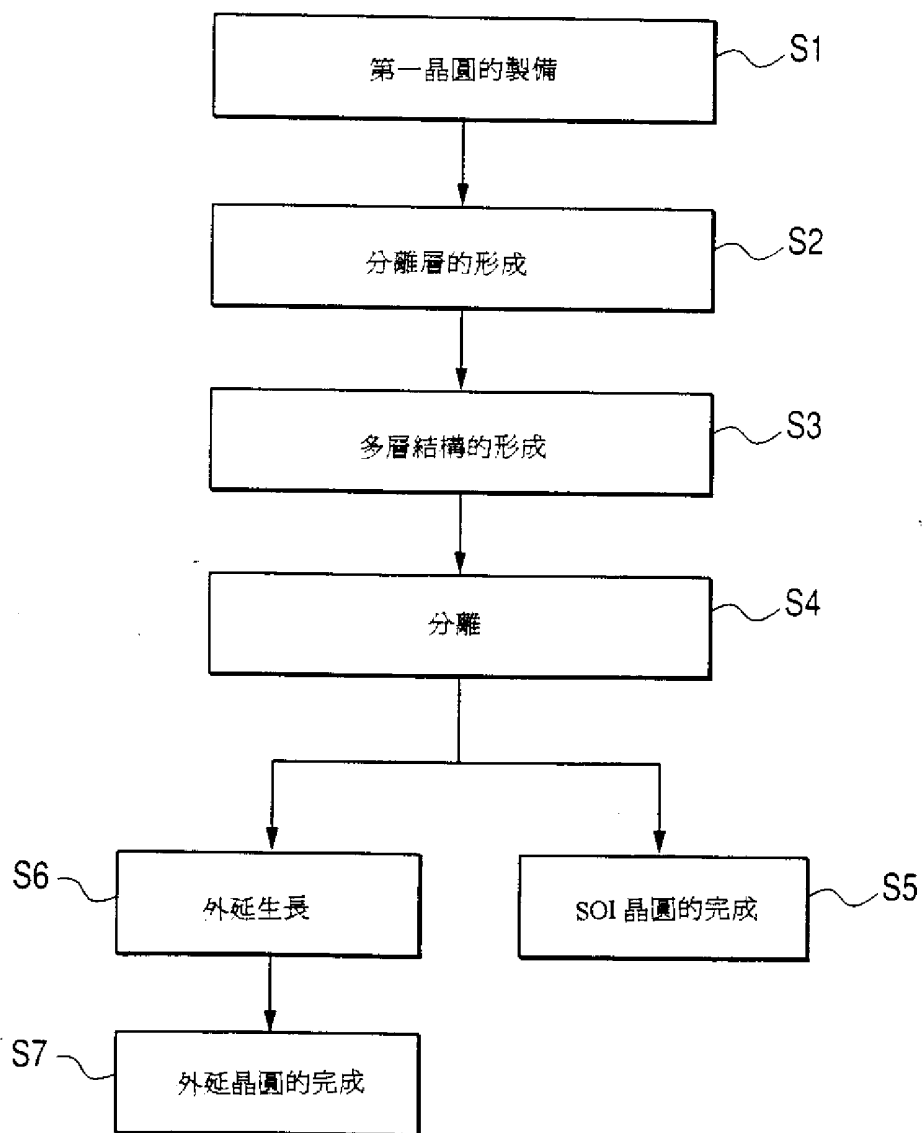
1 0 6 . 如申請專利範圍第 1 1 項所述的製造半導體晶圓之方法，其中該分離層及該成為多孔狀的層的每一個均是藉著陽極化處理而形成。

(請先閱讀背面之注意事項至
為本頁)

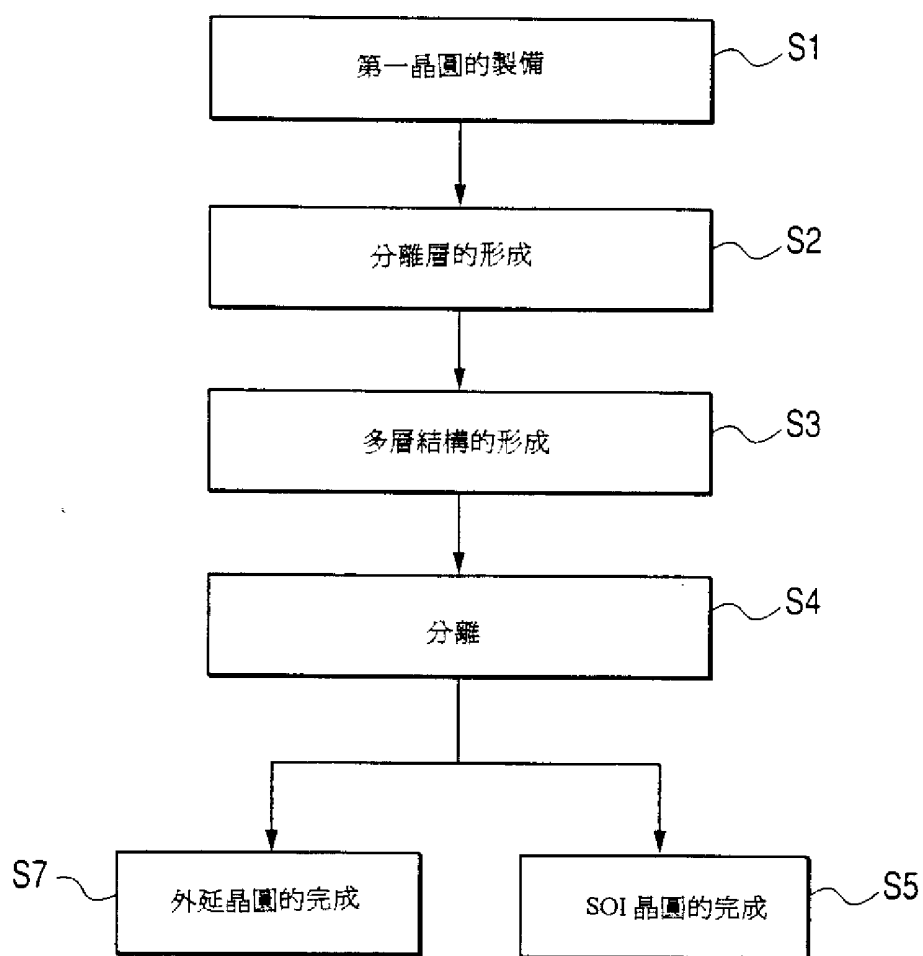
裝
訂
線



第 1 圖

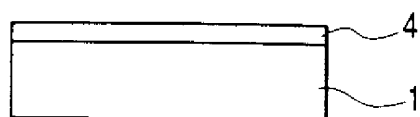


第 2 圖

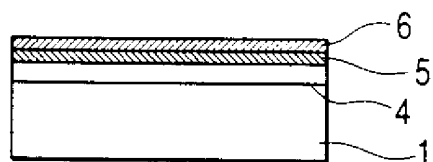


第 3 圖

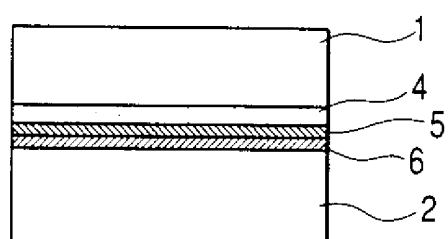
第 4 圖 A



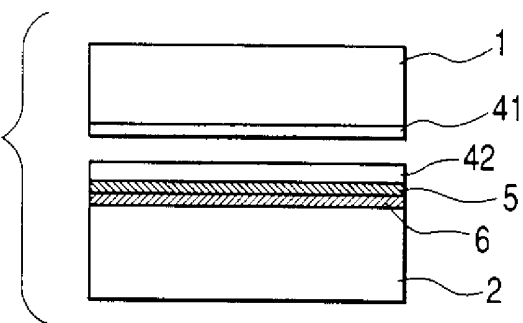
第 4 圖 B



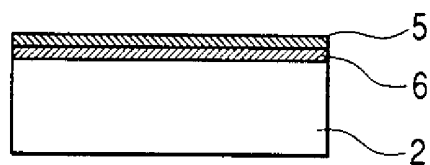
第 4 圖 C



第 4 圖 D



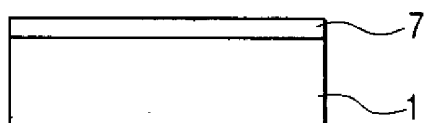
第 4 圖 E



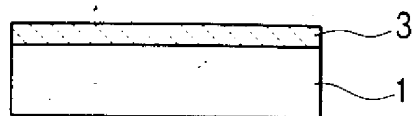
第 4 圖 F



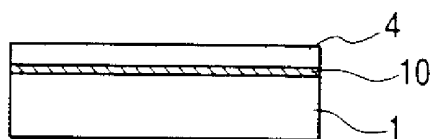
第 4 圖 G



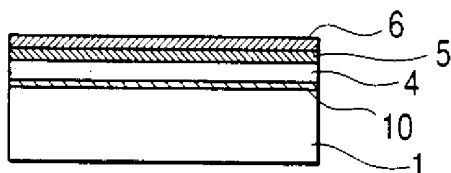
第 5 圖 A



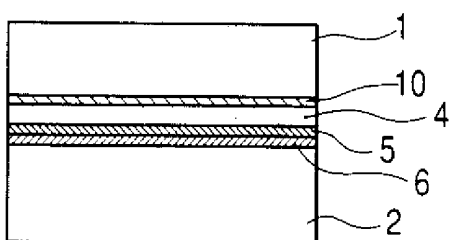
第 5 圖 B



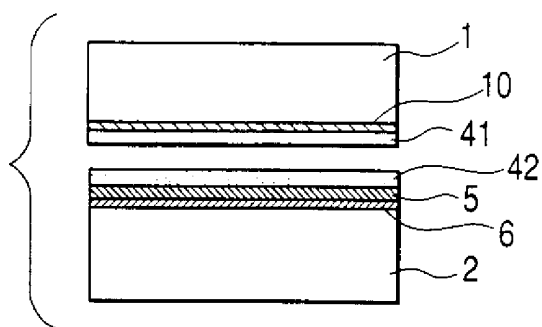
第 5 圖 C



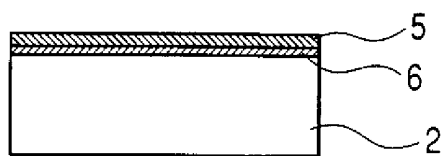
第 5 圖 D



第 5 圖 E



第 5 圖 F



第 5 圖 G



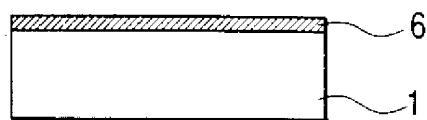
第 5 圖 H



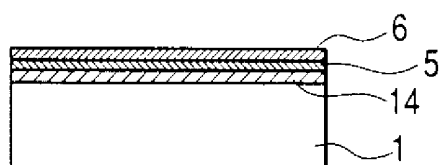
第 5 圖 I



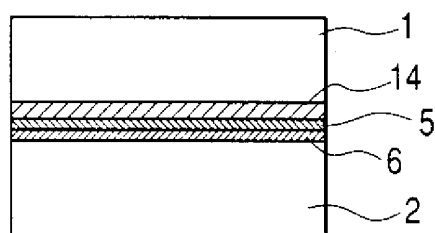
第 6 圖 A



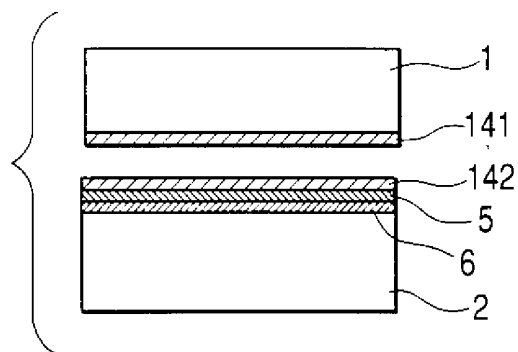
第 6 圖 B



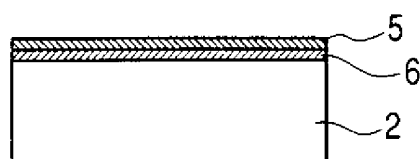
第 6 圖 C



第 6 圖 D



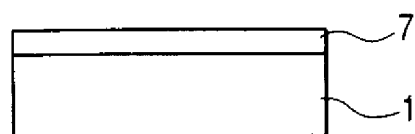
第 6 圖 E



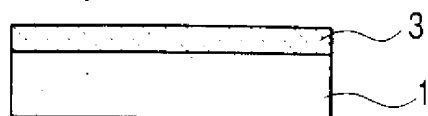
第 6 圖 F



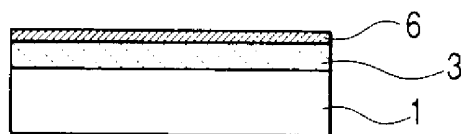
第 6 圖 G



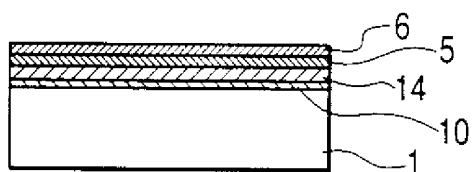
第 7 圖 A



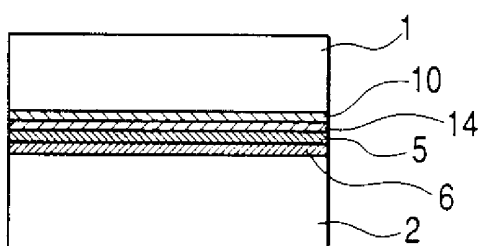
第 7 圖 B



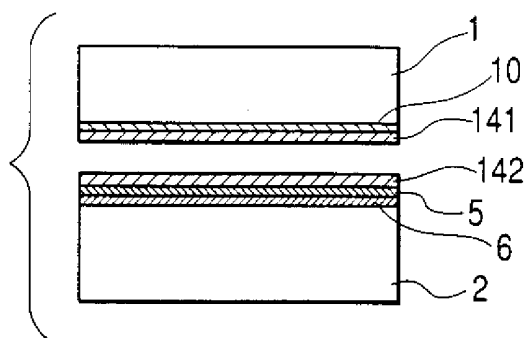
第 7 圖 C



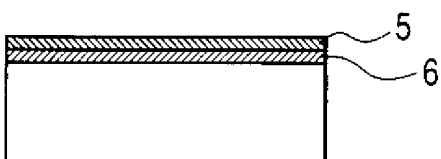
第 7 圖 D



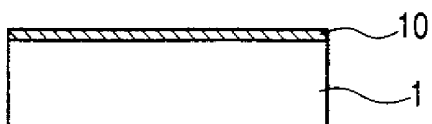
第 7 圖 E



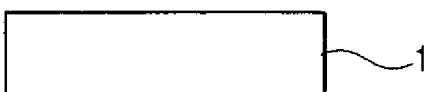
第 7 圖 F



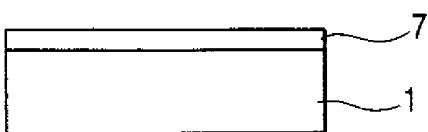
第 7 圖 G



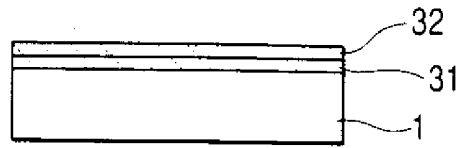
第 7 圖 H



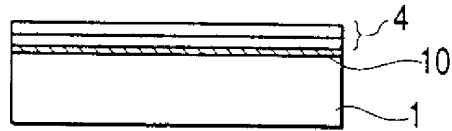
第 7 圖 I



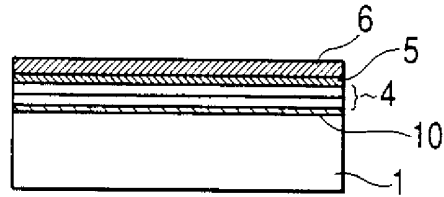
第 8 圖 A



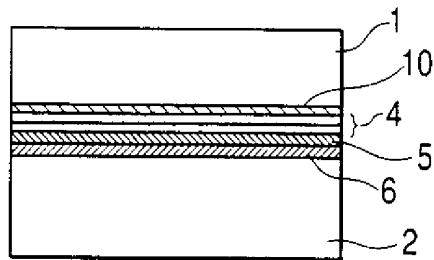
第 8 圖 B



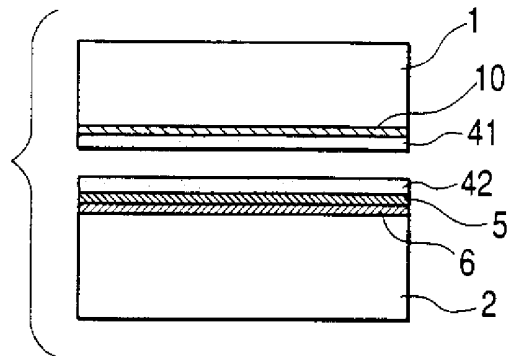
第 8 圖 C



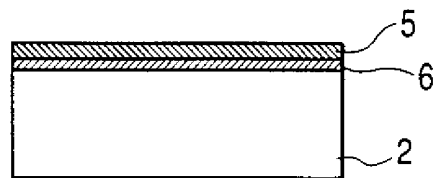
第 8 圖 D



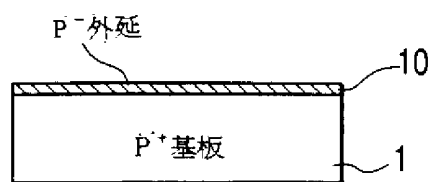
第 8 圖 E



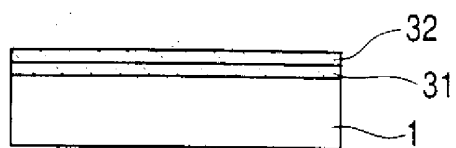
第 8 圖 F



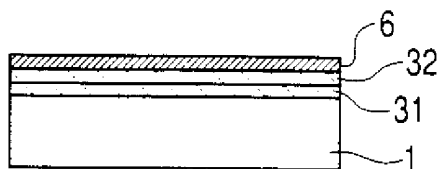
第 8 圖 G



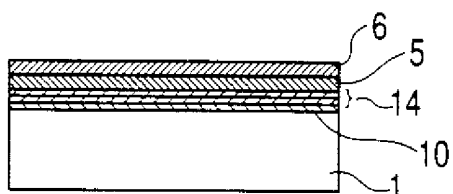
第 9 圖 A



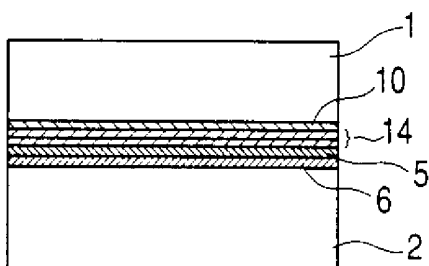
第 9 圖 B



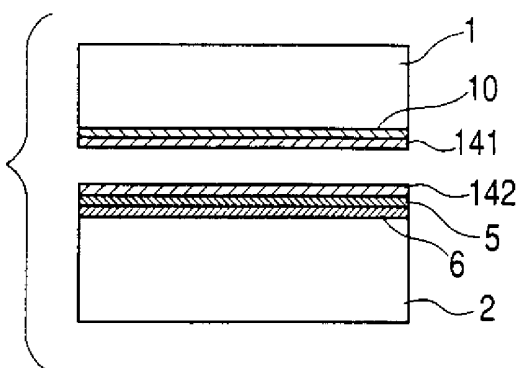
第 9 圖 C



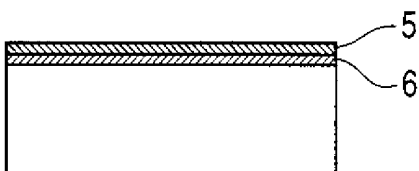
第 9 圖 D



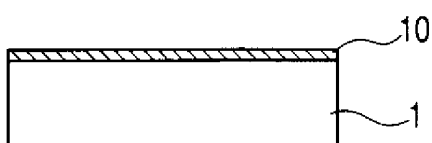
第 9 圖 E

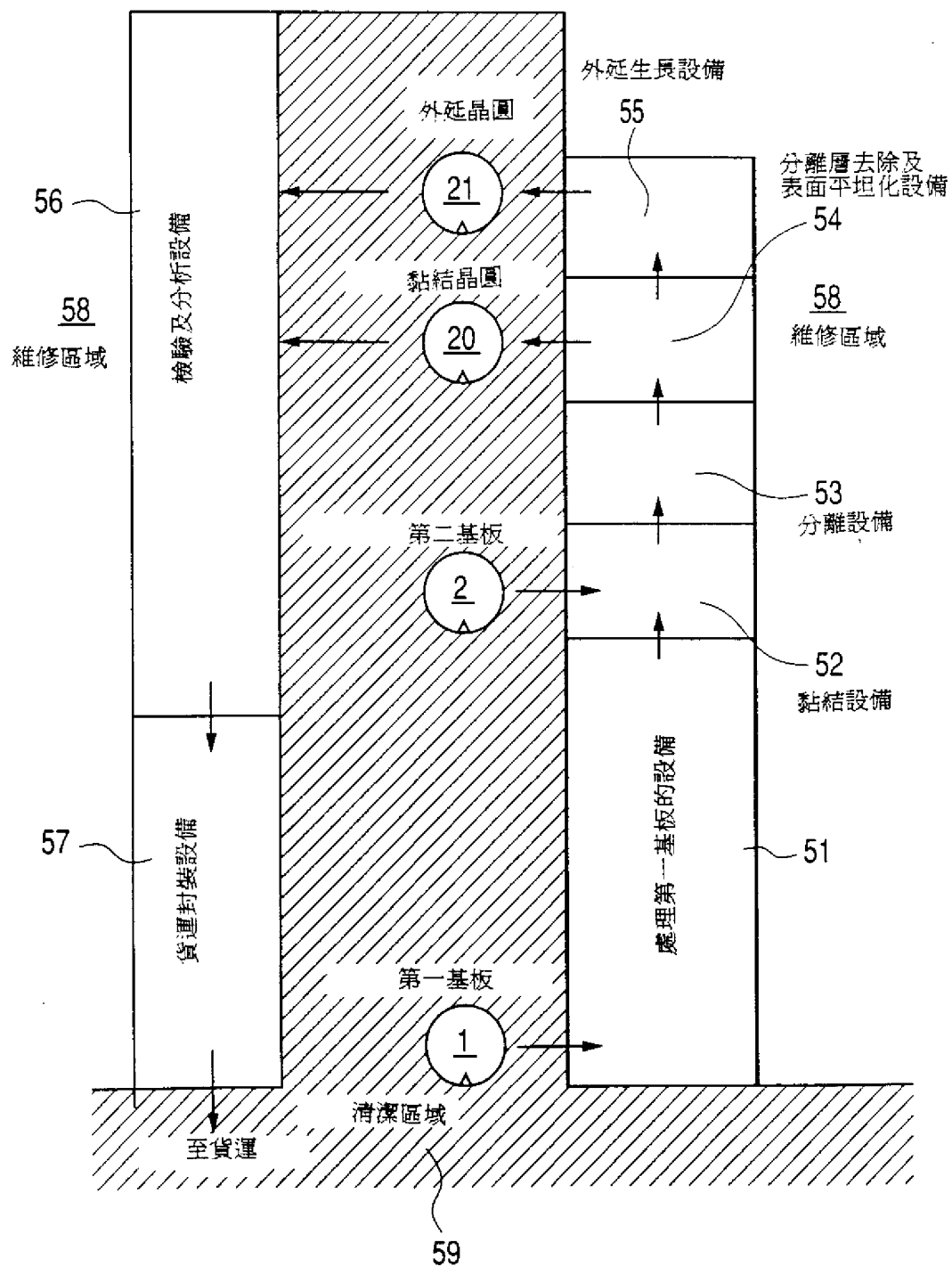


第 9 圖 F

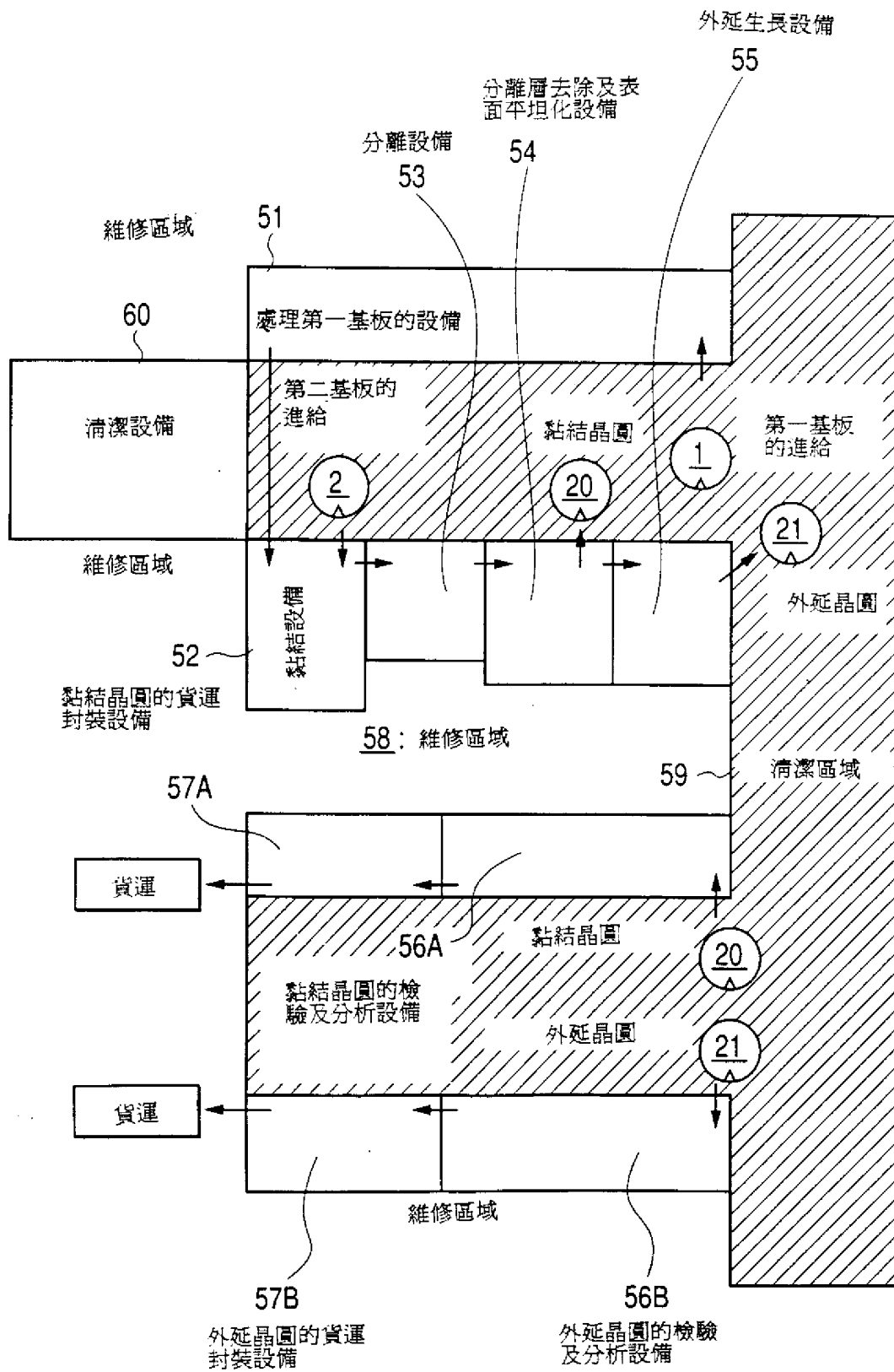


第 9 圖 G

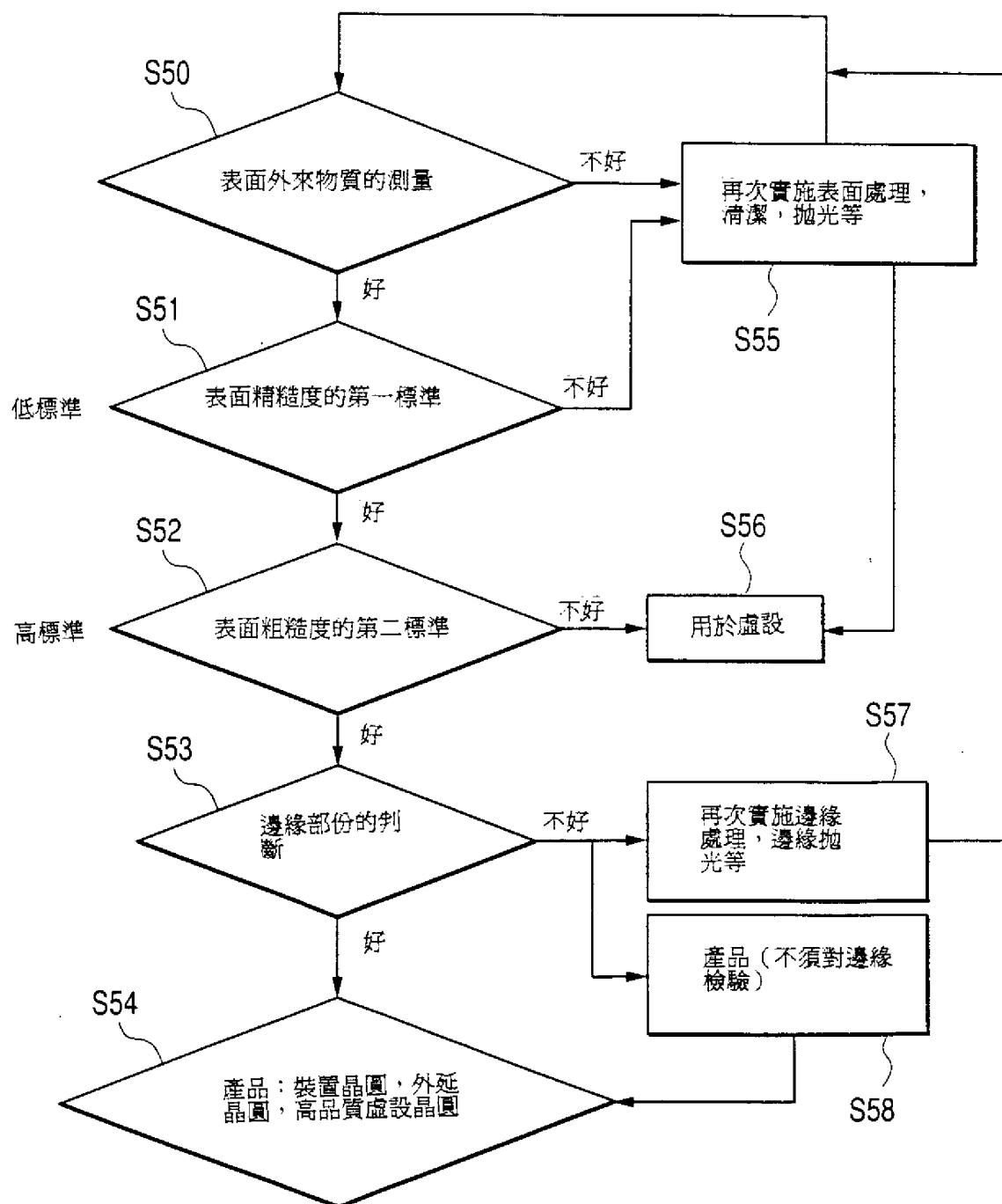




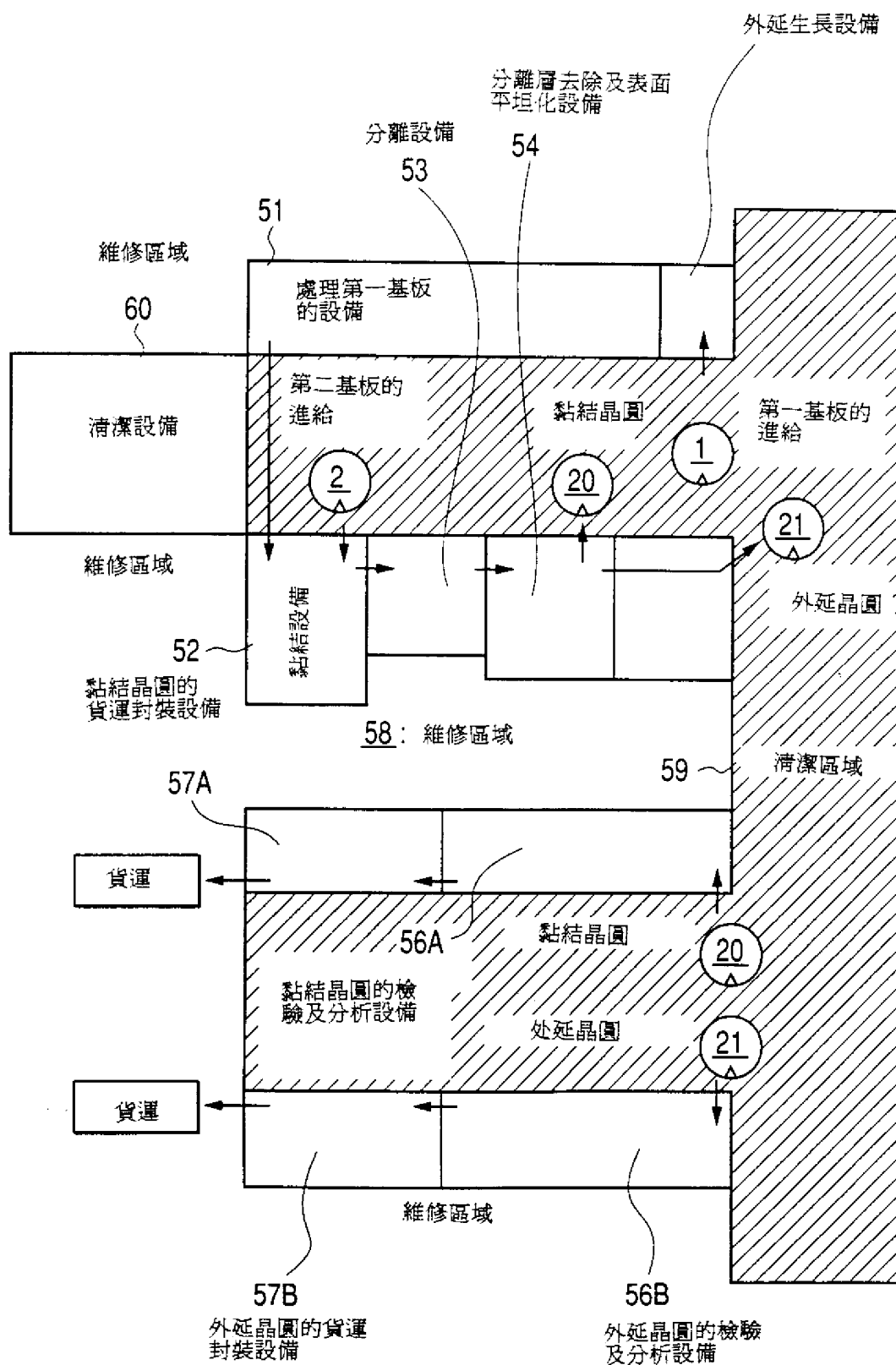
第 10 圖



第 11 圖

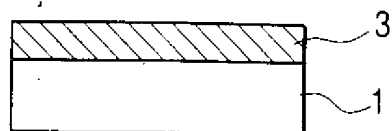


第 12 圖

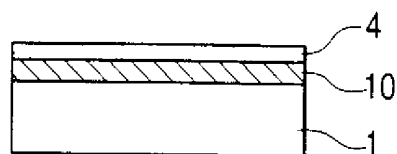


第 14 圖

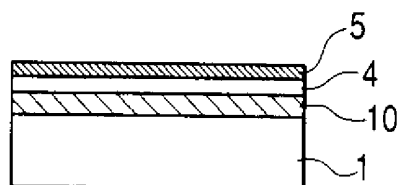
第 15 圖 A



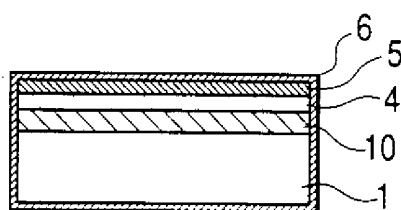
第 15 圖 B



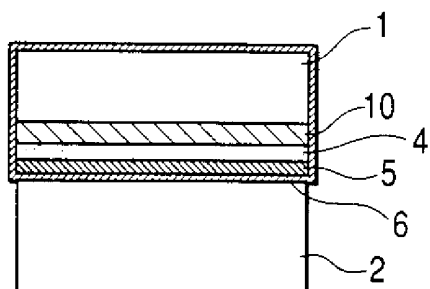
第 15 圖 C



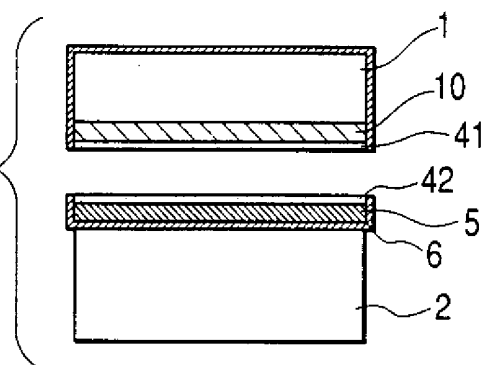
第 15 圖 D



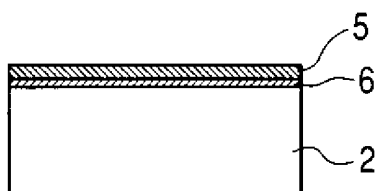
第 15 圖 E



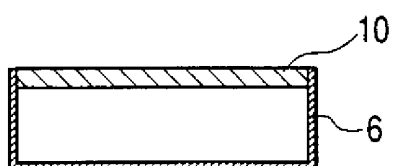
第 15 圖 F



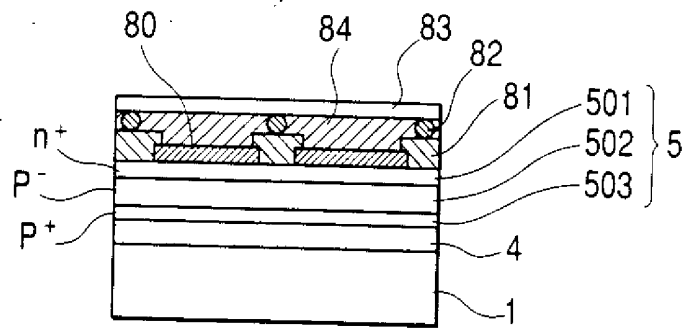
第 15 圖 G



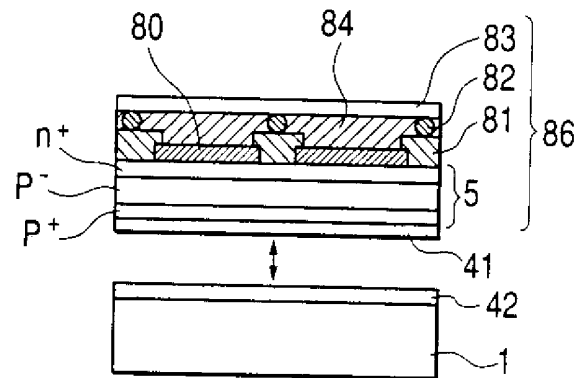
第 15 圖 H



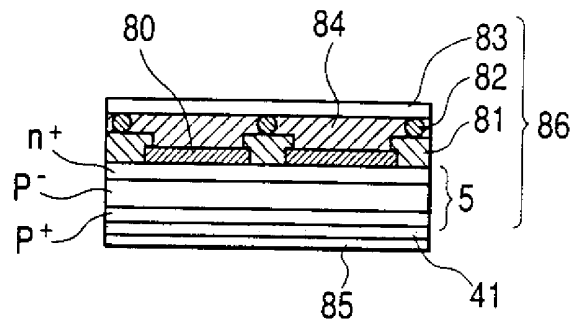
第 16 圖 A



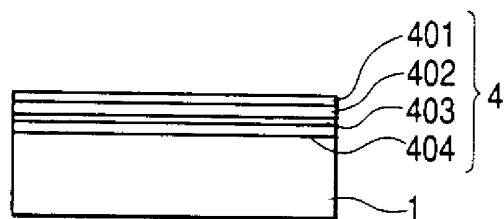
第 16 圖 B



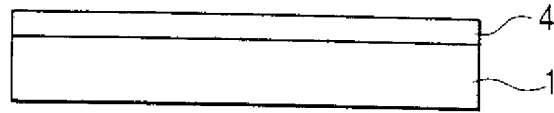
第 16 圖 C



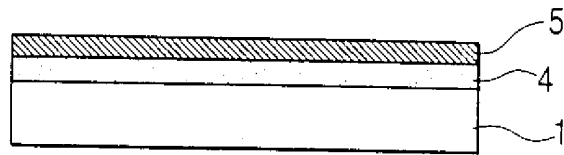
第 16 圖 D



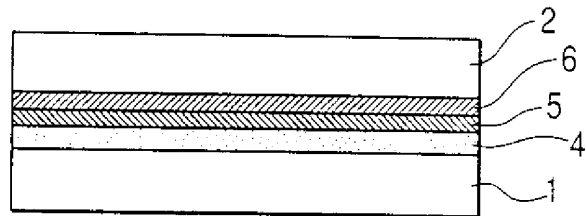
第 17 圖 A



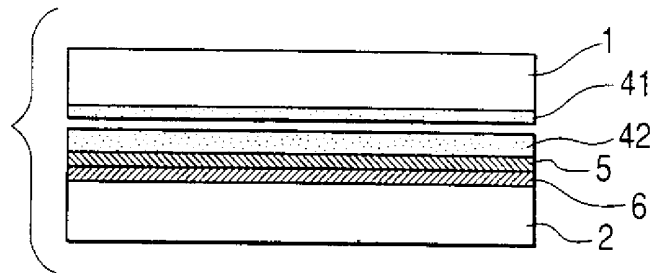
第 17 圖 B



第 17 圖 C



第 17 圖 D



第 17 圖 E

