

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-130197

(P2012-130197A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.

H02M 7/155 (2006.01)

F I

H02M 7/155

C

テーマコード (参考)

5H006

H02M 7/155

B

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号 特願2010-280853 (P2010-280853)

(22) 出願日 平成22年12月16日 (2010.12.16)

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100108578

弁理士 高橋 詔男

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100094400

弁理士 鈴木 三義

(74) 代理人 100107836

弁理士 西 和哉

(74) 代理人 100108453

弁理士 村山 靖彦

最終頁に続く

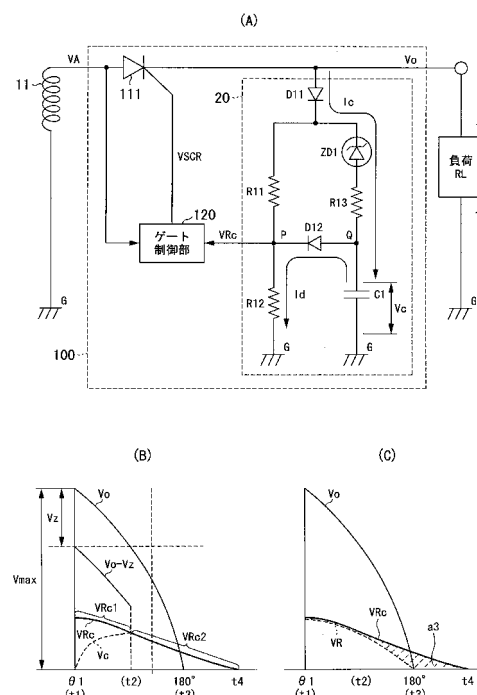
(54) 【発明の名称】 電圧検出回路、及び電圧変換回路

(57) 【要約】

【課題】電圧変換回路(RMS - DC変換回路)にオペアンプを使用している場合に、オペアンプのスルーレートに起因して発生する実効値の演算誤差を低減する。

【解決手段】電力変換装置100は電圧検出回路20を備える。この電圧検出回路20は、出力電圧 V_o が負荷 R_L に印加されると、最初は、出力電圧 V_o を抵抗 R_{11} 及び抵抗 R_{12} により分圧した電圧 V_{Rc1} を検出電圧 V_{Rc} として出力する。また、コンデンサ C_1 は、出力電圧 V_o とツェナーダイオード $ZD1$ のツェナー電圧 V_z との差分電圧により充電され、充電電圧 V_c が次第に増加する。そして、出力電圧 V_o を抵抗 R_{11} と抵抗 R_{12} によって分圧した検出電圧 V_{Rc1} が、コンデンサ C_1 の充電電圧 V_c よりも低くなると、コンデンサ C_1 の電圧 $V_c (= V_{Rc2})$ を次第に減衰(抵抗 R_{12} により放電)させながら、検出電圧 V_{Rc} として出力する。

【選択図】図6



【特許請求の範囲】**【請求項 1】**

交流電圧を位相制御して負荷に印加される印加電圧と予め設定された基準電圧とをオペアンプにより比較し、前記負荷に印加する電圧の実効値を演算する電圧変換回路を有する電力変換装置内に設けられ、前記負荷に印加される電圧を検出し、この検出電圧を前記基準電圧と比較する前記印加電圧として出力する電圧検出回路であり、

前記交流電圧の各周期において、前記オペアンプのスルーレートの特性に対応して前記検出電圧の波形を補正し、当該補正した検出電圧を前記印加電圧として前記電圧変換回路に出力する

ことを特徴とする電圧検出回路。

10

【請求項 2】

前記電圧検出回路は、

前記負荷に印加される位相制御された出力電圧を分圧して得られる電圧を検出電圧として出力する電圧分圧回路と、

前記位相制御された出力電圧が所定の充電基準電圧を超える場合に、前記出力電圧と前記充電基準電圧との差分電圧により所定の第 1 の時定数を持って充電される充電部と、

を備え、

前記電圧分圧回路により出力される前記検出電圧が前記充電部の充電電圧よりも低くなった場合に、前記充電部の電圧を所定の第 2 の時定数を持って次第に減衰させながら、補正された前記検出電圧として出力する

20

ことを特徴とする請求項 1 に記載の電圧検出回路。

【請求項 3】

前記電圧検出回路は、

第 1 のダイオードと第 1 の抵抗と第 2 の抵抗とが直列に接続される第 1 の直列回路と、電圧検出部と第 3 の抵抗とコンデンサとが直列に接続される第 2 の直列回路と、

前記第 3 の抵抗とコンデンサとの接続点と、前記第 1 の抵抗と第 2 の抵抗との接続点に接続される第 2 のダイオードと、

を備え、

前記第 1 の直列回路において、前記第 1 のダイオードのアノードが前記負荷の正側に接続され、前記第 1 のダイオードのカソードが前記第 1 の抵抗の一端に接続され、前記第 1 の抵抗の他端が前記第 2 の抵抗の一端に接続され、該第 2 の抵抗の他端が前記負荷の負側に接続され、

30

前記第 2 の直列回路において、前記電圧検出部のカソードが前記第 1 のダイオードのカソードに接続され、前記電圧検出部のアノードが前記第 3 の抵抗の一端に接続され、前記第 3 の抵抗の他端が前記コンデンサの一端に接続され、前記コンデンサの他端が前記負荷の負側に接続され、

前記第 2 のダイオードは、アノードが前記第 3 の抵抗とコンデンサとの接続点に接続され、カソードが前記第 1 の抵抗と第 2 の抵抗との接続点に接続され、

前記第 1 の抵抗と前記第 2 の抵抗との接続点から前記検出電圧を出力する

ことを特徴とする請求項 1 または 2 に記載の電圧検出回路。

40

【請求項 4】

前記電圧検出部をツェナーダイオードで構成してある

ことを特徴とする請求項 3 に記載の電圧検出回路。

【請求項 5】

請求項 1 から 4 のいずれか 1 項に記載の電圧検出回路を入力側に備え、

前記電圧検出回路により補正された検出電圧の信号を入力とし、該補正された検出電圧の信号を基に、前記負荷に印加される電圧の実効値を演算する

ことを特徴とする電圧変換回路。

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明は、発電機から出力された交流電圧を整流及び位相制御して負荷に直流電圧を印加する電力変換装置に関する。

【 背景技術 】

【 0 0 0 2 】

従来、発電機から出力された交流電力を整流して直流電力に変換する電力変換装置が、例えば、車両のランプの駆動（あるいはバッテリーを充電）するために利用されている（特許文献 1 を参照）。

図 1 0 に、この種の従来の電力変換装置 1 0 0 A の構成を示す。なお、この図に示す電力変換装置 1 0 0 A は、後述する本発明の実施形態における電力変換装置 1 0 0 （図 1 ）と基本的に同じ構成のものであり、ここでは、その構成と動作について簡単にだけ説明する（詳細については後述の実施形態において説明する）。

10

【 0 0 0 3 】

図 1 0 に示す電力変換装置 1 0 0 A は、発電機 1 0 のコイル 1 1 から出力された交流電圧 V_A を直流の出力電圧 V_o に変換して、車体負荷（例えば、ランプ負荷）である負荷 R_L に供給するものであって、サイリスタ 1 1 1、ゲート制御部 1 2 0 A、抵抗 R_1 、 R_2 から構成される。また、サイリスタ 1 1 1 のカソードとグランドとの間には、サイリスタ 1 1 1 を介して負荷 R_L の正極 + （正側の端子）に供給される出力電圧 V_o を検出するための抵抗 R_1 および抵抗 R_2 が直列接続される。これら抵抗 R_1 と抵抗 R_2 との直列接続における接続点 P からは、これら抵抗 R_1 及び抵抗 R_2 によって出力電圧 V_o が分圧された電圧（検出電圧） V_R が出力される。

20

【 0 0 0 4 】

図 1 1 に、図 1 0 におけるゲート制御部 1 2 0 A の構成を示す。ゲート制御部 1 2 0 A は、サイリスタ 1 1 1 （図 1 0 ）の導通を制御するものであり、電圧変換回路 1 2 1、基準電圧発生回路 1 2 2、差動回路 1 2 3、増幅回路 1 2 4、三角波発生回路 1 2 5、比較回路 1 2 6 から構成される。ここで、電圧変換回路 1 2 1 は、上記接続点 P に現れる電圧 V_R を、その実効値を表す電圧 V_R' に変換するものである。この電圧 V_R' は、出力電圧 V_o の検出値として取り扱われる。

【 0 0 0 5 】

基準電圧発生回路 1 2 2 は、負荷 R_L に電力を供給するための目標電圧 V_T を発生させるものである。差動回路 1 2 3 は、電圧 V_R' と目標電圧 V_T との差分電圧 V_D （ $= V_R' - V_T$ ）を生成するものである。増幅回路 1 2 4 は、差分電圧 V_D を増幅した差分電圧 V_D' を出力するものである。三角波発生回路 1 2 5 は、上記発電機のコイル 1 1 から出力された交流電圧 V_A の各周期に対応した三角波電圧 V_B を生成するものである。

30

【 0 0 0 6 】

図 1 2 は、電力変換装置 1 0 0 A における各部の波形を示す図であり、横方向に時間の経過を示し、縦方向に、交流電圧 V_A 、出力電圧 V_o 、三角波電圧 V_B 、信号電圧 V_D' 、ゲートパルス信号 V_{SCR} のそれぞれを並べて示したものである。なお、図 1 2 に示す波形は、説明と理解の容易さのために、負荷 R_L が軽負荷、あるいは抵抗負荷（例えば、ランプ負荷）の場合の例を示したものである。すなわち、交流電圧 V_A をサイリスタ 1 1 1 により整流及び位相制御した波形が、ほぼそのまま出力電圧 V_o として負荷 R_L に印加される例を示したものである（バッテリーが負荷の場合は、負荷 R_L に印加される出力電圧 V_o の波形がバッテリーの充電電圧により影響を受ける）。

40

【 0 0 0 7 】

この図に示すように、三角波電圧 V_B は、交流電圧 V_A の正相のサイクル期間に対応し、交流電圧 V_A が負電圧から正電圧に転じる時点を中心として 0 V から一定の傾きで増加し、交流電圧 V_A が正電圧から負電圧に転じる時点で 0 V となる波形を有する。各サイクル期間での三角波電圧 V_B のピーク電圧 V_P は一定である。比較回路 1 2 6 は、差分電圧 V_D' と三角波電圧 V_B とを比較し、この比較の結果に基づきサイリスタ 1 1 1 の導通タイミングを規定するパルス信号 V_{SCR} を生成する

50

【 0 0 0 8 】

サイリスタ 1 1 1 は、パルス信号 V_{SCR} がハイレベルになった時点でターンオンされる。この後、パルス信号 V_{SCR} がローレベルになると共に交流電圧 V_A が負電圧に移行すると、サイリスタ 1 1 1 は逆バイアス状態とされてターンオフされる。このように、ゲート制御部 1 2 0 A は、三角波発生回路 1 2 5 で発生された三角波電圧 V_B と、増幅回路 1 2 4 から出力された差分電圧 V_D' とに基づきサイリスタ 1 1 1 の導通状態を制御することにより、電力変換装置 1 0 0 A の出力電圧 V_o (実効値) が目標電圧 V_T に一致するように制御する。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 9 】

【 特許文献 1 】 国際公開第 2 0 0 7 / 1 0 2 6 0 1 号パンフレット

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

図 1 0 に示す電力変換装置 1 0 0 A では、電圧変換回路 ($RMS - DC$ 変換回路) 1 2 1 (図 1 1) により、出力電圧 V_o の実効値を演算して、実効値電圧 (直流電圧) V_R' を出力している。この電圧変換回路 1 2 1 は、例えば、図 1 3 に示すような回路で構成されている。この図に示す回路は、入力される電圧 V_R から実効値電圧 V_R' を算出して出力する回路であり、絶対値回路 2 0 1 と、アナログ乗算回路 2 0 2 と、比例積分回路 2 0 3 とで構成されている。この回路は、汎用のアナログ乗算回路 2 0 2 を用いた応用回路例としてよく知られたものであり、絶対値回路 2 0 1、アナログ乗算回路 2 0 2、及び比例積分回路 2 0 3 のそれぞれは、図に示すようにオペアンプ (演算増幅器) から構成されている。

20

【 0 0 1 1 】

ところで、電力変換装置 1 0 0 A において、負荷 R_L に印加される電圧は、負荷 R_L が軽負荷である場合 (あるいは抵抗負荷である場合) は、前述の図 1 2 に示すような位相制御されたパルス状の波形が出力電圧 V_o として出力される。この出力電圧 V_o は、交流電圧 V_A の正の半サイクルを、ゲートパルス信号 V_{SCR} がハイレベルとなる位相 θ_1 から位相 180 度までの間で切り取った形状の波形となる。このため、位相 θ_1 の時点における波形の立ち上がりが急峻となる。

30

【 0 0 1 2 】

このような立ち上がりが急峻な波形が、上述した電圧変換回路 ($RMS - DC$ 変換回路) 1 2 1 に入力されると、その演算結果に誤差が発生することになる。すなわち、電圧変換回路 1 2 1 は、オペアンプを内部に有しており、入力される信号の立ち上がりが急峻な場合にはオペアンプのスルーレートが問題になる。このオペアンプのスルーレートは、図 1 4 に示すように、ボルテージ・フォロワ回路のパルス応答として、大振幅のパルス波形入力に対する応答性 (応答遅れ) を規定したものであり、 $1 \mu s$ 当たりの出力電圧の変化量 (単位 : $V / \mu s$) で示されるものである。このオペアンプの応答遅れにより、 $RMS - DC$ 変換における実効値演算の結果に誤差が生じることになる。

40

【 0 0 1 3 】

具体的には、図 1 5 (A) に示すように、出力電圧 V_o の波形に対して、電圧変換回路 ($RMS - DC$ 変換回路) 1 2 1 内のオペアンプの応答遅れのために、領域 a 1 の部分が入力信号として取り込まれず、領域 a 2 の部分により、 $RMS - DC$ 変換演算が行われることになる。このため、 $RMS - DC$ 変換演算の際に演算誤差が生じる。この演算誤差により、電圧変換回路 1 2 1 から出力される電圧 V_R' が実際の値よりも低くなり、その結果、出力電圧 V_o (実効値) の検出値としてのフィードバック量が減少し、その分、出力電圧 V_o (実効値) が増大することになる。

なお、この演算誤差は、図 1 5 (B) に示すように、発電機 1 0 の回転数が低い場合は、出力電圧 V_o の電圧値及び周波数が低くなり、オペアンプの応答遅れが影響する領域 a

50

1の面積は、領域a2の面積に対してその割合が少なくなり、演算誤差が少なくなる。また、図15(C)に示すように、発電機10の回転数が高い場合は、出力電圧 V_o の電圧値及び周波数が高くなり、オペアンプの応答遅れが影響する領域a1の面積は、領域a2の面積に対してその割合が大きくなり、回転数が低い場合に比較してより演算誤差が大きくなる。

【0014】

図16は、出力電圧 V_o (実効値)と発電機回転数との関係を示す図である。この図に示すように、発電機回転数が高くなるに従い、電圧変換回路121における演算誤差が上述したように増大することにより、出力電圧 V_o の検出値としてのフィードバック量が減少し、その結果として出力電圧 V_o が目標電圧 V_T (この例では13V)よりも増大する。このように、出力電圧 V_o の波形が急峻な立ち上がりを持つ場合は、オペアンプのスルーレートの影響により実効値の演算結果に誤差が生じ、出力電圧 V_o (実効値)を目標電圧 V_T に一致させるように制御できないという問題があった。このため、電圧変換回路121において、オペアンプのスルーレートに起因して発生する演算誤差を低減することが望まれていた。

【0015】

本発明は、斯かる実情に鑑みなされたものであり、本発明の目的は、負荷に印加される電圧波形から実効値を演算する際に、オペアンプのスルーレートに起因して発生する演算誤差を低減できる、電圧検出回路、及び電圧変換回路を提供することにある。

【課題を解決するための手段】

【0016】

本発明は、上記課題を解決するためになされたものであり、本発明の電圧検出回路は、交流電圧を位相制御して負荷に印加される印加電圧と予め設定された基準電圧とをオペアンプにより比較し、前記負荷に印加する電圧の実効値を演算する電圧変換回路を有する電力変換装置内に設けられ、前記負荷に印加される電圧を検出し、この検出電圧を前記基準電圧と比較する前記印加電圧として出力する電圧検出回路であり、前記交流電圧の各周期において、前記オペアンプのスルーレートの特性に対応して前記検出電圧の波形を補正し、当該補正した検出電圧を前記印加電圧として前記電圧変換回路に出力することを特徴とする。

【0017】

また、本発明の電圧検出回路は、前記電圧検出回路は、前記負荷に印加される位相制御された出力電圧を分圧して得られる電圧を検出電圧として出力する電圧分圧回路と、前記位相制御された出力電圧が所定の充電基準電圧を超える場合に、前記出力電圧と前記充電基準電圧との差分電圧により所定の第1の時定数を持って充電される充電部と、を備え、前記電圧分圧回路により出力される検出電圧が、前記充電部の充電電圧よりも低くなった場合に、前記充電部の電圧を所定の第2の時定数を持って次第に減衰させながら、前記検出電圧として出力することを特徴とする。

【0018】

また、本発明の電圧検出回路は、前記電圧検出回路は、第1のダイオードと第1の抵抗と第2の抵抗とが直列に接続される第1の直列回路と、電圧検出部と第3の抵抗とコンデンサとが直列に接続される第2の直列回路と、前記第3の抵抗とコンデンサとの接続点と、前記第1の抵抗と第2の抵抗との接続点に接続される第2のダイオードと、を備え、前記第1の直列回路において、前記第1のダイオードのアノードが前記負荷の正側に接続され、前記第1のダイオードのカソードが前記第1の抵抗の一端に接続され、前記第1の抵抗の他端が前記第2の抵抗の一端に接続され、該第2の抵抗の他端が前記負荷の負側に接続され、前記第2の直列回路において、前記電圧検出部のカソードが前記第1のダイオードのカソードに接続され、前記電圧検出部のアノードが前記第3の抵抗の一端に接続され、前記第3の抵抗の他端が前記コンデンサの一端に接続され、前記コンデンサの他端が前記負荷の負側に接続され、前記第2のダイオードは、アノードが前記第3の抵抗とコンデンサとの接続点に接続され、カソードが前記第1の抵抗と第2の抵抗との接続点に接続さ

れ、前記第 1 の抵抗と前記第 2 の抵抗との接続点から前記検出電圧を出力することを特徴とする。

【0019】

また、本発明の電圧検出回路は、前記電圧検出部をツェナーダイオードで構成してあることを特徴とする。

【0020】

また、本発明の電圧変換回路は、上記のいずれかに記載の電圧検出回路を入力側に備え、前記電圧検出回路により補正された検出電圧の信号を入力とし、該補正された検出電圧の信号を基に、前記負荷に印加される電圧の実効値を演算することを特徴とする。

【発明の効果】

10

【0021】

本発明の電圧検出回路においては、負荷に印加される電圧を検出し、この検出電圧の信号に対して補正（変形）を加える。この波形の補正の際には、電圧変換回路（RMS - DC 変換回路）内のオペアンプのスルーレートに起因する実効値演算の演算誤差をキャンセルするように補正を加える。

これにより、負荷に印加される電圧波形から実効値を演算する際に、オペアンプのスルーレートに起因して発生する演算誤差を低減できる。

【図面の簡単な説明】

【0022】

【図 1】本発明の実施形態に係わる電力変換装置（電圧変換回路）の構成を示す図である。

20

【図 2】図 1 に示すゲート制御部の構成を示すブロック図である。

【図 3】電力変換装置の動作を説明するための波形図である。

【図 4】三角波発生回路における三角波の発生メカニズム（方形波の生成過程）を説明するための波形図である。

【図 5】三角波発生回路における三角波の発生メカニズム（スロープ部分の生成過程）を説明するための波形図である。

【図 6】電圧検出回路の構成と動作を説明するための図である。

【図 7】電圧検出回路から出力される波形の例を示す図である。

【図 8】スルーレートに対応する波形補正の例を示す図である。

30

【図 9】電圧検出回路の効果を説明するための図である。

【図 10】従来の電力変換装置の構成を示す図である。

【図 11】図 10 に示すゲート制御部の構成を示すブロック図である。

【図 12】電力変換装置における各部の波形を示す図である。

【図 13】電圧変換回路（RMS - DC 変換回路）の構成例を示す図である。

【図 14】スルーレートについて説明するための図である。

【図 15】スルーレートによる演算誤差について説明するための図である。

【図 16】演算誤差による出力電圧 V_o への影響について説明するための図である。

【発明を実施するための形態】

【0023】

40

図 1 に、本実施形態に係る電力変換装置 100 の構成を示す。図 1 に示す電力変換装置 100 は、図 10 に示した従来の電力変換装置 100 A と比較して、基本的な構成は同じものであり、図 10 に示す抵抗 R_1 と R_2 とで構成される電圧検出回路（抵抗分圧回路）を、図 1 に示す電圧検出回路 20 に変更した点だけが異なる。他の構成は、図 10 に示す電力変換装置 100 A と同様であり、同一の構成部分には同一の符号を付している。

【0024】

< 電力変換装置 100 の全体構成についての説明 >

図 1 に示す本電力変換装置 100 は、発電機 10 のコイル 11 から出力された交流電圧 V_A を整流及び位相制御して直流の出力電圧 V_o に変換し、この出力電圧 V_o を負荷 R_L に供給するものであって、サイリスタ 111、ゲート制御部 120、電圧検出回路 20 か

50

ら構成される。ここで、サイリスタ 111 は発電機 10 の出力部と負荷 R_L との間に接続されている。具体的には、サイリスタ 111 のアノードは発電機のコイル 11 の一端に接続され、そのカソードには負荷 R_L の正側が接続されている。負荷 R_L の負側はグラウンド G に接続されている。

【0025】

また、サイリスタ 111 のカソードとグラウンド G との間には、サイリスタ 111 を介して負荷 R_L の正極に供給される出力電圧 V_o を検出するための電圧検出回路 20 が接続されている。この電圧検出回路 20 内の抵抗 R_{11} と R_{12} の接続点 P には出力電圧 V_o の検出信号となる検出電圧 V_{Rc} が現れる。この接続点 P にはゲート制御部 120 の入力部が接続され、このゲート制御部 120 の出力部はサイリスタ 111 のゲート電極に接続される。なお、この電圧検出回路 20 は、本発明の特徴をなす部分であり、その詳細な構成と動作については後述するものとして、まず、ゲート制御部 120 の全体の構成と動作について説明する。

10

【0026】

<ゲート制御部 120 の構成と動作についての説明>

図 2 に、ゲート制御部 120 の構成を示す。図 2 に示すゲート制御部 120 は、図 11 に示したゲート制御部 120A と同じ構成のものであり、電圧変換回路 (RMS - DC 変換回路) 121 の入力部に、電圧検出回路 20 からの出力電圧 (出力電圧 V_o の検出電圧) V_{Rc} が入力される点だけが異なる。このため、図 2 に示すゲート制御部 120 では、図 11 に示すゲート制御部 120A の構成要素と共通する要素には同一符号を付している。

20

【0027】

ゲート制御部 120 は、サイリスタ 111 の導通を制御するものであり、電圧変換回路 121、基準電圧発生回路 122、差動回路 123、増幅回路 124、三角波発生回路 125、比較回路 126 から構成される。ここで、電圧変換回路 121 は、上記接続点 P に現れる検出電圧 V_{Rc} を、その実効値を表す電圧 V_R' に変換するものであり、電圧変換回路 121 の入力部には上記接続点 P が接続されると共に、その出力部は差動回路 123 の一方の入力部に接続される。この電圧 V_R' は、上記負荷 R_L に供給される出力電圧 V_o に対応しており、出力電圧 V_o の検出値 (実効値) として取り扱われる。

30

【0028】

基準電圧発生回路 122 は、負荷 R_L に給電するための目標電圧 V_T を発生させるものであり、その出力値は差動回路 123 の他方の入力部に接続される。差動回路 123 は、電圧 V_R' と目標電圧 V_T との差分電圧 $V_D (= V_R' - V_T)$ を生成するものであり、その出力部は増幅回路 124 の入力部に接続される。

【0029】

増幅回路 124 は、上記差分電圧 V_D に倍率係数 (増幅度) $M (> 0)$ を乗じて、差分電圧 V_D が M 倍に増幅された差分電圧 V_D' を出力するものであり、その出力部は比較回路 126 の一方の入力部に接続される。三角波発生回路 125 は、上記発電機のコイル 11 から出力された交流電圧 V_A の各周期に対応した三角波電圧 V_B を生成するものであり、その出力部は比較回路 126 の他方の入力部に接続される。

40

【0030】

本実施形態では、三角波電圧 V_B は、後述する図 3 に示すように、交流電圧 V_A の正相のサイクル期間に対応し、交流電圧 V_A が負電圧から正電圧に転じる時点を起点として 0 V から一定の傾きで増加し、交流電圧 V_A が正電圧から負電圧に転じる時点で 0 V となる波形を有する。各サイクル期間での三角波電圧 V_B のピーク電圧 V_P は一定である。この三角波電圧 V_B の発生メカニズムについては後述する。

【0031】

比較回路 126 は、上記三角波電圧 V_B と差分電圧 V_D' とを比較して、その大小関係に応じた信号レベルを有するパルス信号 V_{SCR} を出力するものである。本実施形態では、三角波電圧 V_B が電圧 V_D' よりも大きい区間でパルス信号 V_{SCR} をハイレベルとし

50

、それ以外ではローレベルとする。パルス信号 V_{SCR} はサイリスタ 111 のゲート電極に供給される。

【0032】

< 電力変換装置 100 の動作の説明 >

次に、図 3 ないし図 6 を参照して、本電力変換装置 100 の動作を説明する。

図 3 は、電力変換装置の動作を説明するための波形図である。横方向に時間の経過を示し、縦方向に、交流電圧 V_A 、三角波電圧 V_B 、差分電圧 V_D' 、サイリスタゲートのパルス信号 V_{SCR} 、及び出力電圧 V_o のそれぞれを並べて示したものである。この図において、図 3 (A) は発電機の回転数が低い場合を示し、図 3 (B) は発電機の回転数が高い場合を示すが、ここでは、初期状態で発電機の回転が停止した状態にあるものとし、この初期状態から順に説明する。

10

【0033】

発電機の回転が停止状態にあれば、発電機 10 のコイル 11 には電力が誘起されないの
で、交流電圧 V_A は 0 V であり、本電力変換装置 100 は無給電状態とされる。このとき
、負荷が抵抗負荷（例えばランプ等の抵抗負荷）とした場合、接続点 P の電圧 V_R も 0 V
となるから、差動電圧 V_D および差分電圧 V_D' は負の値をとる。従って、初期状態では
、三角波電圧 V_B は差分電圧 V_D' より高い状態となり、比較回路 126 はパルス信号 V_{SCR}
をハイレベルとしてサイリスタ 111 のゲートに送る。

【0034】

この初期状態から発電機が発電を開始すると、オン状態にあるサイリスタ 111 を介し
て、発電機から出力された交流電圧 V_A が出力電圧 V_o として負荷 R_L に供給される。ま
た、発電機から交流電圧 V_A が出力されると、三角波発生回路 125 は、交流電圧 V_A の
各周期に対応した三角波電圧 V_B を発生する。

20

【0035】

その後、出力電圧 V_o の上昇に伴い、接続点 P の電圧 V_{Rc} も上昇する。この電圧 V_{Rc}
の上昇に伴い、電圧変換回路 121 から出力する電圧 $V_{R'}$ （実効値の検出電圧）も上
昇する。差動回路 123 は、基準電圧発生回路 122 で発生された目標電圧 V_T と、電圧
変換回路 121 から出力された電圧 $V_{R'}$ とを入力し、これらの差分電圧 V_D を生成して
出力する。増幅回路 124 は差分電圧 V_D を M 倍に増幅して、比較回路 126 に電圧 V_D'
（ $= M \times V_D$ ）を供給する。

30

【0036】

ここで、電圧 $V_{R'}$ が目標電圧 V_T を超えると、差動回路 123 が出力する差分電圧 V_D
は正の値に転じ、この差分電圧 V_D を入力する増幅回路 124 の出力電圧（増幅された
差分電圧） V_D' も正の値に転じる。

【0037】

比較回路 126 は、差分電圧 V_D' と三角波電圧 V_B とを比較し、この比較の結果に基
づきサイリスタ 111 の導通タイミングを規定するパルス信号 V_{SCR} を生成する。即ち
、比較回路 126 は、三角波電圧 V_B が差分電圧 V_D' よりも高い区間でパルス信号 V_{SCR}
をハイレベルとし、三角波電圧 V_B が差分電圧 V_D' よりも低い区間でパルス信号 V_{SCR}
をローレベルとして、このパルス信号 V_{SCR} をサイリスタ 111 のゲート電極に
供給する。

40

【0038】

パルス信号 V_{SCR} をゲート電極に入力するサイリスタ 111 は、パルス信号 V_{SCR}
がハイレベルになった時点でターンオンされる。この後、パルス信号 V_{SCR} がローレ
ベルになると共に交流電圧 V_A が負電圧に移行すると、サイリスタ 111 は逆バイアス状態
とされてターンオフされる。即ち、サイリスタ 111 は、三角波電圧 V_B が差分電圧 V_D'
よりも高い区間においてオン状態とされ、それ以外の区間ではオフ状態とされる。この
ように、ゲート制御部 120 は、三角波発生回路 125 で発生された三角波電圧 V_B と、
増幅回路 124 から出力された差分電圧 V_D' とに基づきサイリスタ 111 の導通状態を
制御する。

50

【 0 0 3 9 】

ここで、サイリスタ 1 1 1 のオン状態の区間、即ち三角波電圧 V_B が差分電圧 $V_{D'}$ よりも高い期間は差分電圧 $V_{D'}$ のレベルに依存し、この差分電圧 $V_{D'}$ のレベルは、目標電圧 V_T に対する出力電圧 V_o (実効値) のレベルに依存する。従って、出力電圧 V_o (実効値) が高ければ、電圧 $V_{D'}$ のレベルも高くなり、三角波電圧 V_B が差分電圧 $V_{D'}$ より高くなる期間が減少し、サイリスタ 1 1 1 がオン状態となる期間が減少する。この結果、出力電圧 V_o (実効値) が目標電圧 V_T に向けて低下する。

【 0 0 4 0 】

逆に、出力電圧 V_o が低ければ、差分電圧 $V_{D'}$ のレベルも低くなり、この結果、三角波電圧 V_B が差分電圧 $V_{D'}$ よりも高い期間が増加し、サイリスタ 1 1 1 がオン状態となる期間が増加する。この結果、出力電圧 V_o (実効値) が目標電圧 V_T に向けて上昇する。このように、発電機の交流電圧 V_A の各周期において、出力電圧 V_o (実効値) が目標電圧 V_T に安定するようにサイリスタ 1 1 1 の導通期間が制御される。

10

【 0 0 4 1 】

以上により発電機の回転数が低い場合を説明したが、発電機の回転数が高い場合には、図 3 (B) に示すように、発電格が出力する交流電圧 V_A の振幅が大きくなると共に、その周波数も高くなるので、三角波 V_B の上昇レートが大きくなるが、その他の点では、上述の図 3 (A) に示す発電機の回転数が低い場合と同様であり、出力電圧 V_o (実効値) が目標電圧 V_T に安定するようにサイリスタ 1 1 1 のゲート制御が実施される。

【 0 0 4 2 】

20

次に、図 4 及び図 5 を参照して、三角波発生回路 1 2 5 における三角波電圧 V_B の発生メカニズムを説明する。

一般には発電機 1 0 が出力する交流電圧の周波数は急激に変化しないので、1 サイクル前の波形と現在のサイクルの波形はほとんど同じと考えることができる。例えば、図 4 において、波形 2 が現在のサイクルの波形だとすれば、波形 2 の半周期 T_2 と、その 1 サイクル前の波形 1 の半周期 T_1 とはほとんど同じである。

【 0 0 4 3 】

上述の特性を利用して、次の手順により三角波電圧 V_B を生成する。

(手順 1) 図 4 に示すように、波形 1 のサイクルにおいて、発電機が出力する交流電圧 V_A から方形波 S を生成する。この波形 1 に対応する方形波 S の半周期は、波形 1 のサイクルにおける交流電圧 V_A の半周期 T_1 と一致する。

30

(手順 2) 続いて、方形波 S の半周期 T_1 の時間をカウントする。

(手順 3) 続いて、半周期 T_1 の時間のカウント数を所定の分解能 n で除算して、時間 t_1 ($= T_1 / n$) を得る。ここで、分解能 n は、三角波電圧 V_B のスロープの滑らかさを規定する量であり、分解能 n が高い程、三角波電圧 V_B のスロープが滑らかになる。

(手順 4) 続いて、三角波電圧 V_B のピーク電圧 V_p を所定の分解能 n で除算して、電圧 v_1 ($= V_p / n$) を得る。

(手順 5) 続いて、図 5 (B) に示すように、次のサイクルの波形 2 の立ち上がりタイミング (T_2 をカウントし始めるタイミング) で、上記電圧 v_1 だけ三角波電圧 V_B を上昇させ、この三角波電圧 V_B を上記時間 t_1 の間だけ維持する。

40

【 0 0 4 4 】

(手順 6) 同じ波形 2 のサイクルにおいて、上記時間 t_1 が経過したタイミングで上記電圧 v_1 だけ三角波電圧 V_B を更に上昇させ、これを全都で n 回繰り返すと、図 5 (B) に示すような階段状の波形が得られ、波形 2 のサイクルに対応する三角波電圧のスロープ部分に相当する階段状の波形が得られる。分解能 n の値を大きくすれば、階段状の波形が滑らかになり、一層良好な三角波を得ることができる。

以上の手順により、1 サイクル前の交流電圧 V_A の波形を用いて、交流電圧 V_A の各周期に対応した三角波電圧であって、ピーク電圧 V_p が一定の電圧波形を生成する。

【 0 0 4 5 】

上述の三角波電圧の発生メカニズムを利用した三角波発生回路 1 2 5 は、本電力変換装

50

置においてサイリスタ 111 の導通タイミングを制御するための三角波電圧を生成するものであって、例えば、カウンタ部と、除算部と、波形生成部とから構成することができる。ここで、カウンタ部は、発電機が出力する第 1 サイクルの交流電圧波形の半周期の時間（図 4 の例えば波形 1 のサイクルにおける時間 T_1 ）をカウントするものである。除算部は、上記カウンタ部によるカウント数を所定の分解能 n （所定値）で除算するものである。波形生成部は、第 1 サイクル後の第 2 サイクル（図 4 の例えば波形 2 のサイクル）において上記第 1 サイクルでの除算部の除算結果で示される時間 t_1 の経過ごとに所定電圧 V_1 だけ上昇する階段状の電圧波形を生成するものである。この階段状の電圧波形は上記三角波電圧の波形として出力される。

【0046】

< 電圧検出回路の構成と動作についての説明 >

次に、本発明の特徴部分である電圧検出回路 20 の構成と動作について詳細に説明する。図 6（A）に示すように、電圧検出回路 20 は、電力変換装置 100 の出力側（サイリスタ 111 のカソード）とグランド G との間に設けられ、負荷 R_L に印加される出力電圧 V_o を検出し、この検出電圧に補償を加えて、検出電圧 V_{Rc} として出力する。

この電圧検出回路 20 は、ダイオード D_{11} と、抵抗 R_{11} と、抵抗 R_{12} とを直列に接続して構成される第 1 の直列回路を有している。このダイオード D_{11} のアノードは、電力変換装置 100 の出力側（サイリスタ 111 のカソード）に接続され、ダイオード D_{11} のカソードは抵抗 R_{11} の一方の端子に接続され、抵抗 R_{11} の他方の端子は抵抗 R_{12} の一方の端子に接続される。抵抗 R_{12} の他方の端子はグランド G に接続される。

【0047】

また、ダイオード D_{12} のカソードとグランド G 側との間に、電圧検出部としての機能をするツェナーダイオード ZD_1 と、抵抗 R_{13} と、コンデンサ C_1 とを直列に接続して構成される第 2 の直列回路が接続される。このツェナーダイオード ZD_1 のカソードがダイオード D_{11} のカソードに接続され、ツェナーダイオード ZD_1 のアノードは抵抗 R_{13} の一方の端子に接続される。抵抗 R_{13} の他方の端子は、コンデンサ C_1 の一方の端子（正側）に接続され、コンデンサ C_1 の他方の端子（負側）はグランド G に接続される。また、抵抗 R_{13} とコンデンサ C_1 の接続点 Q と、抵抗 R_{12} と抵抗 R_{13} の接続点 P との間に、ダイオード D_{12} が接続される。このダイオード D_{12} は、抵抗 R_{12} と抵抗 R_{13} の接続点 P にカソードが接続され、抵抗 R_{13} とコンデンサ C_1 の接続点 Q にアノードが接続される。

上記構成において、抵抗 R_{11} と R_{12} の接続点 P から検出電圧 V_{Rc} （出力電圧 V_o の検出電圧）が出力される。この検出電圧 V_{Rc} がゲート制御部 120 に入力される。

【0048】

なお、電圧検出回路 20 内の各素子の定数は、発電機の定格回転数、極数（ポール数）、発電機電圧及び周波数、及び負荷 R_L に応じて、適宜に決定される。例えば、発電機の定格回転数が 5000 rpm、発電機の定格出力電圧が 200 V、極数が 12 極の場合には、発電機の出力電圧 V_o の周波数は、500 Hz となる。この場合には、例えば、抵抗 R_{11} を 50 K Ω 、抵抗 R_{12} を 5 K Ω 、抵抗 R_{13} を 30 K Ω 、ツェナー電圧 V_z を 36 V、コンデンサ C_1 を 0.2 μ F 程度にすると好適である。

【0049】

次に、図 6（B）を参照して、この電圧検出回路 20 の動作について説明する。図 6（B）に示すように、サイリスタ 111 から位相制御されたパルス状の出力電圧 V_o が出力され、負荷 R_L に印加されるとする。この出力電圧 V_o の波形は、正弦波である交流電圧 V_A の一部分（位相 θ_1 （時刻 t_1 ）から 180°（時刻 t_3 ）まで）を取り出し、パルス状の波形である。このパルス状の波形は、位相 θ_1 （時刻 t_1 ）において、ピーク電圧 V_{max} を生じ、以降、正弦波曲線に沿って変化（減少）する波形である。なお、この例では、ピーク電圧 V_{max} の電圧値が、ツェナーダイオード ZD_1 のツェナー電圧 V_z よりも高いとする（ $V_{max} > V_z$ ）。

この波形が電圧検出回路 20 に入力されると、図 6（B）に示すように、時刻 t_1 にお

10

20

30

40

50

いて、抵抗 R_{11} と抵抗 R_{12} との間の接続点 P には、これら抵抗 R_{11} と R_{12} によって出力電圧 V_o を分圧して得られる検出電圧 V_{Rc1} が現れる。この接続点 P の電圧（検出電圧 V_{Rc1} ）は、時刻 t_1 で最大となり、以降、時間の経過に従い出力電圧 V_o の電圧値が低下するとともに次第に減少する。

【0050】

また、時刻 t_1 の時点からは、出力電圧 V_o により、ダイオード D_{11} と、ツェナーダイオード ZD_1 と、抵抗 R_{13} とを通して、コンデンサ C_1 に充電電流 I_c 流れ、コンデンサ C_1 への充電が開始される。この場合、コンデンサ C_1 への充電目標電圧は、出力電圧 V_o とツェナー電圧 V_z との差分の電圧「 $V_o - V_z$ 」となり、この差分の電圧「 $V_o - V_z$ 」は、出力電圧 V_o が減少するとともに次第に減少する。また、コンデンサ C_1 への充電時定数は、抵抗 R_{13} の抵抗値とコンデンサ C_1 の静電容量により決定される。

10

【0051】

このコンデンサ C_1 への充電は、出力電圧 V_o が、ツェナー電圧 V_z とコンデンサ C_1 の充電電圧 V_c とを加算した電圧よりも大きく（ $V_o > V_z + V_c$ ）、かつ、コンデンサ C_1 の電圧 V_c （接続点 Q の電位）が、接続点 P の電位（出力電圧 V_o を抵抗 R_{11} と抵抗 R_{12} によって分圧した電圧）よりも低い状態まで継続される。

例えば、図6（B）に示すように、時刻 t_1 においてコンデンサ C_1 への充電が開始されると、コンデンサ C_1 の充電電圧 V_c （破線で示す曲線）が次第に上昇する。そして、時刻 t_2 に至ると、接続点 P の検出電圧 V_{Rc1} と、接続点 Q の電圧とが等しくなる。すなわち、接続点 P の検出電圧 V_{Rc1} と、コンデンサ C_1 の充電電圧 V_c （より正確には、コンデンサ C_1 の充電電圧 V_c からダイオード D_{12} の電圧降下分を引いた電圧）とが等しくなる。

20

【0052】

このため、時刻 t_2 以降では、接続点 Q の電圧（コンデンサ C_1 の電圧 V_c ）の方が接続点 P の検出電圧 V_{Rc1} よりも高くなり、ダイオード D_{12} を通してコンデンサ C_1 から抵抗 R_{12} に放電電流 I_d が流れる。このため、時刻 t_2 以降では、接続点 P の電圧は、電圧 V_{Rc1} から V_{Rc2} （コンデンサ C_1 の充電電圧 V_c ）に切り替わる。このコンデンサ C_1 の充電電圧 V_c は抵抗 R_{12} に流れる放電電流により次第に減少し、検出電圧 V_{Rc2} に示すような放電曲線となる。

30

【0053】

このように、時刻 t_1 から時刻 t_2 の間は、抵抗 R_{11} と R_{12} の分圧回路により生成される検出電圧 V_{Rc1} が接続点 P から出力され、時刻 t_2 以降は、コンデンサ C_1 の充電電圧 V_c が検出電圧 V_{Rc2} として接続点 P から出力される。

【0054】

これにより、図6（C）に示すように、従来の回路（図10に示す抵抗 R_1 と R_2 の分圧回路）では、出力電圧 V_o に対応して、接続点 P には破線で示す電圧 V_R （位相 θ_1 （時刻 t_1 ）～ 180° （時刻 t_3 ））が出力される。一方、本発明の電圧検出回路20を用いることにより、太い実線で示す検出電圧 V_{Rc} （時刻 t_1 ～時刻 t_4 ）が得られる。すなわち、従来の検出電圧 V_R に対して信号の継続時間が引き延ばされた検出電圧 V_{Rc} が得られ、斜線部分の領域 a_3 が加算され補正（変形）された検出電圧 V_{Rc} が得られる。

40

【0055】

また、図7は、横軸に時間の経過を示し、縦方向に、交流電圧 V_A と、出力電圧 V_o と、電圧検出回路20から出力される検出電圧 V_{Rc} とを並べて示したものである。この図に示すように、電圧検出回路20を用いることにより、出力電圧 V_o を基に、補正（変形）された検出電圧 V_{Rc} を生成し、検出電圧 V_{Rc} の波形全体の面積を増加させる。

【0056】

すなわち、電圧検出回路20は、交流電圧の各周期において、オペアンプのスルーレートの特性により、実効値から失われる部分を予め波形に付け加える補正を行い、この補正した検出電圧 V_{Rc} を電圧変換回路121に対して出力している。

50

これにより、オペアンプのスルーレートに起因する実効値の演算誤差を低減することができる。すなわち、図 8 の波形図に示すように、オペアンプのスルーレートにより失われる領域 a 1 (演算対象にならない領域) に対応して、領域 a 3 を追加することにより、オペアンプのスルーレートに起因する実効値の演算誤差を緩和することができる。

【 0 0 5 7 】

図 9 は、電圧検出回路 2 0 の効果を模式的に示した図であり、横軸は発電機の回転数を示し、縦軸は出力電圧 V_o (実効値) を示している。

この図に示すように、従来は、曲線 X に示すように、発電機の回転数が増加するにつれて、電圧変換回路 1 2 1 における実効値の演算誤差が増大し、目標電圧 V_T (この例では、13V) に対する出力電圧 V_o (実効値) は最大 18V まで増大する。一方、本発明の電圧検出回路 2 0 を用いることにより、電圧変換回路 1 2 1 における実効値の演算誤差が緩和され、曲線 Y (太い実線) に示すように、出力電圧 V_o (実効値) を目標電圧 V_T にほぼ一致させることができる。

10

【 0 0 5 8 】

なお、発電機の回転数は、低回転数から定格回転数まで大幅に変化し、また、発電機の出力電圧 V_o の電圧値及び周波数も大幅に変化することから、本発明の電圧検出回路 2 0 を用いたとしても、電圧変換回路 1 2 1 における演算誤差を、全ての動作領域において完全になくすることはできないが、実用上の支障がない程度まで演算誤差を低減できる。

【 0 0 5 9 】

また、曲線 Z は、電圧検出回路 2 0 における波形補正の量 (波形の変形の度合い) を、より大きくした場合の例を示す。例えば、コンデンサ C 1 の容量の増加させる、あるいは抵抗 R 1 3 の抵抗値を下げることにより、波形の変形の度合いを増加させると、発電機の回転数の増加に従い、出力電圧 V_o (実効値) を減少させることも可能である。

20

【 0 0 6 0 】

以上、本発明の実施形態について説明したが、ここで、本発明と上記実施形態との対応関係について補足して説明しておく。

上記実施形態において、本発明における電力変換装置は、電力変換装置 1 0 0 が対応し、本発明における電圧検出回路は、電圧検出回路 2 0 が対応し、本発明における電圧変換回路は、電圧変換回路 1 2 1 が対応する。また、本発明における発電機は、発電機 1 0 が対応し、本発明における負荷は、負荷 R L が対応する。また、本発明における交流電圧は、交流電圧 V A が対応し、本発明における出力電圧は、出力電圧 V_o が対応し、本発明における検出電圧は、検出電圧 V_{Rc} が対応する。

30

【 0 0 6 1 】

また、本発明における電圧検出回路内の電圧分圧回路は、抵抗 R 1 1 と抵抗 R 1 2 とで構成される抵抗分圧回路が対応する。また、本発明における充電部は、出力電圧 V_o によりツェナーダイオード Z D 1 と抵抗 R 1 3 を通して充電されるコンデンサ C 1 が対応する。また、本発明における充電基準電圧は、ツェナー電圧 V_z が対応する。また、本発明における第 1 のダイオードは、ダイオード D 1 1 が対応し、本発明における第 2 のダイオードは、ダイオード D 1 2 が対応する。また、本発明における第 1 の抵抗は、抵抗 R 1 1 が対応し、本発明における第 2 の抵抗は、抵抗 R 1 2 が対応し、本発明における第 3 の抵抗は、抵抗 R 1 3 が対応する。また、本発明におけるツェナーダイオードは、ツェナーダイオード Z D 1 が対応し、本発明におけるコンデンサは、コンデンサ C 1 が対応する。

40

【 0 0 6 2 】

(1)そして、上記実施形態において、電圧検出回路 2 0 は、交流電圧 V A を位相制御して負荷 R L に印加される印加電圧と予め設定された基準電圧 V_T とをオペアンプにより比較し、負荷 R L に印加する電圧の実効値を演算する電圧変換回路 1 2 1 を有する電力変換装置 1 0 0 内に設けられ、負荷 R L に印加される電圧を検出し、この検出電圧を基準電圧 V_T と比較する印加電圧として出力する回路であり、交流電圧 V A の各周期において、オペアンプのスルーレートの特性に対応して検出電圧の波形を補正し、この補正した検出電圧 V_{Rc} を印加電圧として電圧変換回路 1 2 1 に出力する。

50

このような構成の電圧検出回路 20 では、負荷 R_L に印加される電圧を検出し、この検出電圧に対して補正を加える。すなわち、検出電圧の波形に対して変形を加える。この波形の補正の際には、オペアンプ（電圧変換回路内のオペアンプ）のスルーレートに起因する実効値の演算誤差をキャンセルするように補正を加える。例えば、出力電圧 V_o の出力時間（電圧が出力されている期間）に対して、この出力電圧 V_o に対応する検出電圧 V_{Rc} の出力時間（信号の継続時間）を引き延ばすようにして、波形全体の面積を増加させる。このようにして、スルーレートの影響により、演算対象に含まれなかった波形の立ち上がり部分を補償する。

これにより、負荷に印加される出力電圧 V_o の電圧波形から実効値を演算する際に、オペアンプのスルーレートに起因して発生する演算誤差を低減できる。

10

【0063】

(2) また、上記実施形態において、電圧検出回路 20 は、負荷 R_L に印加される位相制御された出力電圧を分圧して得られる電圧を検出電圧 V_{Rc} として出力する電圧分圧回路（抵抗 R_{11} と抵抗 R_{12} で構成される抵抗分圧回路）と、位相制御された出力電圧 V_o が所定の充電基準電圧（ツェナー電圧 V_z ）を超える場合に、出力電圧 V_o と充電基準電圧（ツェナー電圧 V_z ）との差分電圧により所定の第 1 の時定数（抵抗 R_{13} とコンデンサ C_1 により決まる時定数）を持って充電される充電部（コンデンサ C_1 ）と、上記電圧分圧回路（ R_{11} と R_{12} ）により出力される検出電圧が、充電部（コンデンサ C_1 ）の充電電圧よりも低くなった場合に、充電部（コンデンサ C_1 ）の電圧 V_c を所定の第 2 の時定数（抵抗 R_{12} とコンデンサ C_1 により決まる時定数）を持って次第に減衰させながら、上記検出電圧 V_{Rc} として出力する。

20

このような構成の電圧検出回路 20 では、図 6 (B) に示すように、出力電圧 V_o が負荷 R_L に印加されると、最初は、出力電圧 V_o を抵抗 R_{11} 及び抵抗 R_{12} により分圧した電圧 V_{Rc1} を検出電圧 V_{Rc} として出力する。また同時に、充電部（コンデンサ C_1 ）は、出力電圧 V_o と充電基準電圧（ツェナー電圧 V_z ）との差分電圧により充電され、充電電圧 V_c が次第に増加する。そして、上記抵抗 R_{11} と R_{12} による分圧電圧 V_{Rc1} は、時間の経過とともに（出力電圧 V_o の減少に応じて）次第に下降する。一方、コンデンサ C_1 の充電電圧 V_c は充電により次第に上昇する。そして、出力電圧 V_o を抵抗 R_{11} と抵抗 R_{12} によって分圧した検出電圧 V_{Rc1} が、コンデンサ C_1 の充電電圧 V_c よりも低くなった場合に、コンデンサ C_1 の充電電圧 V_c ($= V_{Rc2}$) を検出電圧 V_{Rc} として出力する。この検出電圧 V_{Rc2} は、コンデンサ C_1 が放電（抵抗 R_{12} により放電）することにより次第に減衰する信号である。このように、出力電圧 V_o の出力時間（電圧が出力されている期間）に対して、この出力電圧 V_o に対応する検出電圧 V_{Rc} の出力時間（信号の継続時間）を引き延ばすようにして、検出電圧 V_{Rc} の波形全体の面積を増加させる。

30

これにより、オペアンプのスルーレートの影響により、演算対象に含まれなかった波形の立ち上がり部分を補償することができる。このため、負荷 R_L に印加される出力電圧 V_o の波形が急峻に立ち上がる波形である場合においても、オペアンプのスルーレートに起因して発生する実効値の演算誤差を低減できる。

40

【0064】

(3) また、上記実施形態において、電圧検出回路 20 は、第 1 のダイオード D_{11} と第 1 の抵抗 R_{11} と第 2 の抵抗 R_{12} とが直列に接続される第 1 の直列回路と、電圧検出部（ツェナーダイオード ZD_1 ）と第 3 の抵抗 R_{13} とコンデンサ C_1 とが直列に接続される第 2 の直列回路と、第 3 の抵抗 R_{13} とコンデンサ C_1 との接続点 Q と、第 1 の抵抗 R_{11} と第 2 の抵抗 R_{12} との接続点 P に接続される第 2 のダイオード D_{12} と、を備え、第 1 の直列回路において、第 1 のダイオード D_{11} のアノードが負荷 R_L の正側に接続され、第 1 のダイオード D_{11} のカソードが第 1 の抵抗 R_{11} の一端に接続され、第 1 の抵抗 R_{11} の他端が第 2 の抵抗 R_{12} の一端に接続され、該第 2 の抵抗 R_{12} の他端が負荷 R_L の負側に接続され、第 2 の直列回路において、電圧検出部（ツェナーダイオード ZD_1 ）のカソードが第 1 のダイオード D_{11} のカソードに接続され、電圧検出部（ツェナ

50

ーダイオード $ZD1$)のアノードが第3の抵抗 $R13$ の一端に接続され、第3の抵抗 $R13$ の他端がコンデンサ $C1$ の一端に接続され、コンデンサ $C1$ の他端が負荷 RL の負側に接続され、第2のダイオード $D12$ は、アノードが第3の抵抗 $R13$ とコンデンサ $C1$ との接続点 Q に接続され、カソードが第1の抵抗 $R11$ と第2の抵抗 $R12$ との接続点 P に接続され、第1の抵抗 $R11$ と第2の抵抗 $R12$ との接続点 P から上記検出電圧を出力する。

このような構成の電圧検出回路20は、図6(B)に示すように、出力電圧 V_o が電圧検出回路20に入力されると、最初は、抵抗 $R11$ と $R12$ によって出力電圧 V_o を分圧して得られる分圧電圧 V_{Rc1} が検出電圧 V_{Rc} として出力される。また、同時に、出力電圧 V_o により、ダイオード $D11$ と、ツェナーダイオード $ZD1$ と、抵抗 $R13$ とを通して、コンデンサ $C1$ への充電が開始される。そして、上記抵抗 $R11$ と $R12$ による分圧電圧 V_{Rc1} は、時間の経過とともに(出力電圧 V_o の減少に応じて)次第に下降する。一方、コンデンサ $C1$ の充電電圧 V_c は充電により次第に上昇する。そして、抵抗 $R11$ と $R12$ による分圧電圧 V_{Rc1} よりも、コンデンサ $C1$ の充電電圧 V_c 高くなると、コンデンサ $C1$ から抵抗 $R12$ に放電電流を流し、コンデンサ $C1$ の充電電圧 V_c (= V_{Rc2})を検出電圧 V_{Rc} として出力する。このように、出力電圧 V_o に対応して、前半の期間では、抵抗 $R11$ と $R12$ の分圧回路により生成される分圧電圧 V_{Rc1} を検出電圧 V_{Rc} として出力し、後半の期間では、コンデンサ $C1$ の充電電圧 V_c (次第に減少する電圧 V_{Rc2})を検出電圧 V_{Rc} として出力する。

これにより、検出電圧 V_{Rc} の信号の出力時間(信号の継続時間)を引き延ばすようにして補正(変形)し、検出電圧 V_{Rc} の波形全体の面積を増加させることができる。この結果、オペアンプのスルーレートの影響により、演算対象に含まれなかった波形の立ち上がり部分を補償することができる。このため、負荷 RL に印加される出力電圧 V_o の波形(演算対象となる波形)が急峻に立ち上がる波形である場合においても、オペアンプのスルーレートに起因して発生する実効値の演算誤差を低減できる。

【0065】

(4)また、上記実施形態において、上記電圧検出部をツェナーダイオードで構成する。

これにより、出力電圧 V_o により充電部(コンデンサ $C1$)へ充電を行う場合に、充電部(コンデンサ $C1$)への充電の開始、及び充電部(コンデンサ $C1$)への充電を停止する際の基準となる充電基準電圧を、安価な部品を用いて容易に設定することができる。

【0066】

(5)また、上記実施形態において、電圧変換回路121は、上記の電圧検出回路20を入力側に備え、電圧検出回路20により変形(補償)された検出電圧 V_{Rc} の信号を入力とし、該変形された検出電圧 V_{Rc} の信号を基に、負荷 RL に印加される出力電圧 V_o の実効値を演算する。

このような構成の電圧変換回路121では、電圧検出回路20を入力側に備え、この電圧検出回路20により変形(補償)された検出電圧 V_{Rc} の信号を基に、負荷 RL に印加される出力電圧 V_o の実効値を演算する。

これにより、負荷 RL に印加される出力電圧 V_o の波形(演算対象となる波形)が急峻に立ち上がる波形である場合においても、負荷 RL に印加される電圧波形から実効値を演算する際に、オペアンプのスルーレートに起因して発生する演算誤差を低減できる。

【0067】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で変形可能である。

【0068】

例えば、図1に示す実施形態では、発電機から出力される交流電力の正相成分についてのみサイリスタ111を介して負荷に電力を供給するものとし、発電機の出力を半波整流する場合を説明したが、これに限定されることなく、発電機から出力された交流電力の負相成分について同様に半波整流することにより、全波整流するように構成することでも

10

20

30

40

50

きる。また、図 1 に示した実施形態では、単相の交流電力を変換するものとしたが、多相の交流電力に対しても適用することができる。

【 0 0 6 9 】

また、例えば、図 1 に示す実施形態では、出力電圧 V_o の実効値を求める例について説明したが、本発明の思想は、出力電圧 V_o の平均値を算出する場合にも同様に適用できるものである。出力電圧 V_o の平均値を生成するための構成としては公知技術を利用できる。

【 符号の説明 】

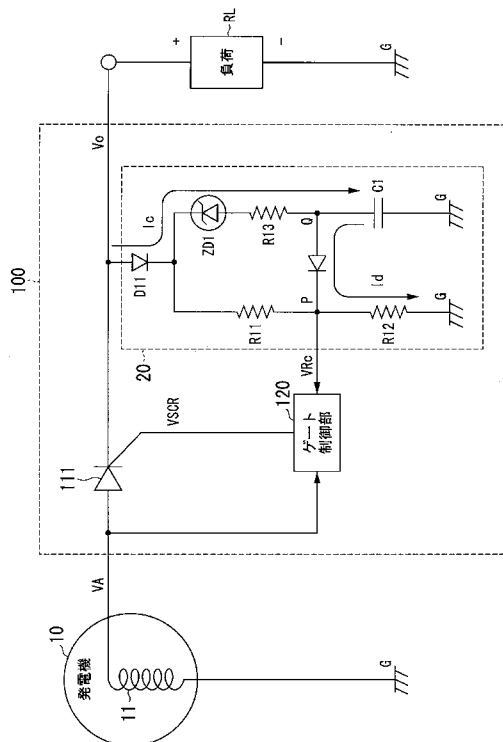
【 0 0 7 0 】

- 10 発電機
- 11 コイル
- 20 電圧検出回路
- 100, 100A 電力変換装置
- 111 サイリスタ
- 120, 120A ゲート制御部
- 121 電圧変換回路 (RMS - DC 変換回路)
- 122 基準電圧発生回路
- 123 差動回路
- 124 増幅回路
- 125 三角波発生回路
- 126 比較回路
- 201 絶対値回路
- 202 アナログ乗算回路
- 203 比例積分回路

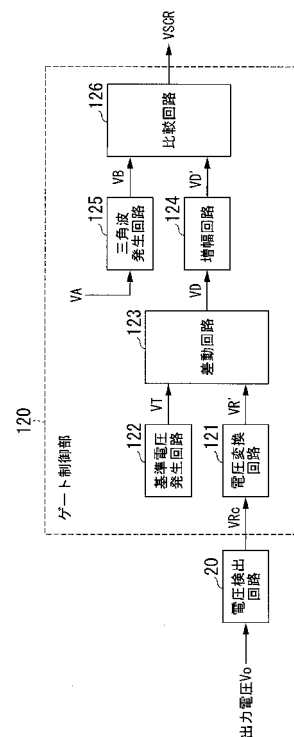
10

20

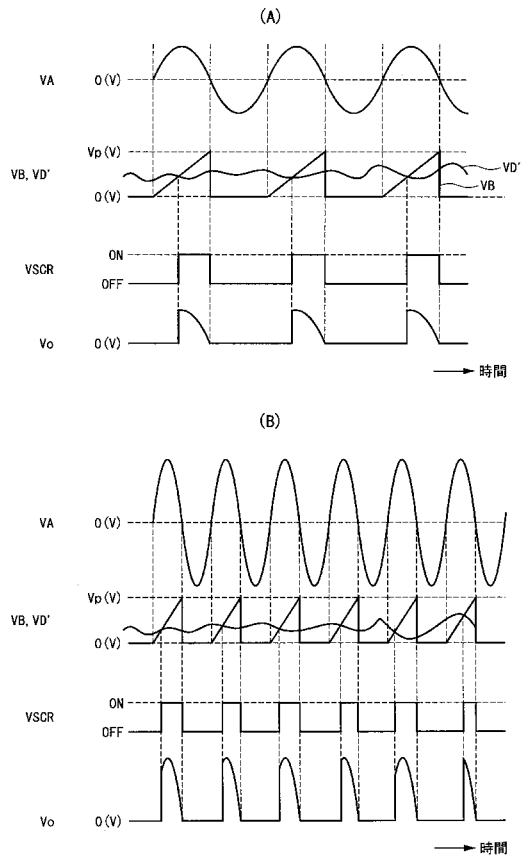
【 図 1 】



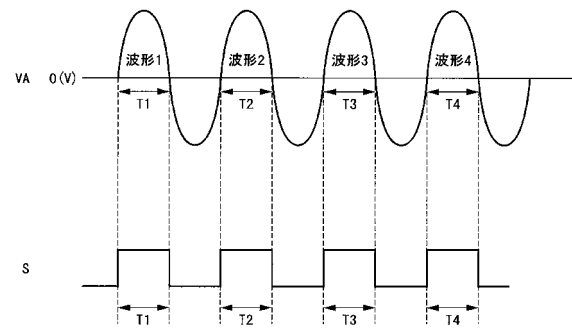
【 図 2 】



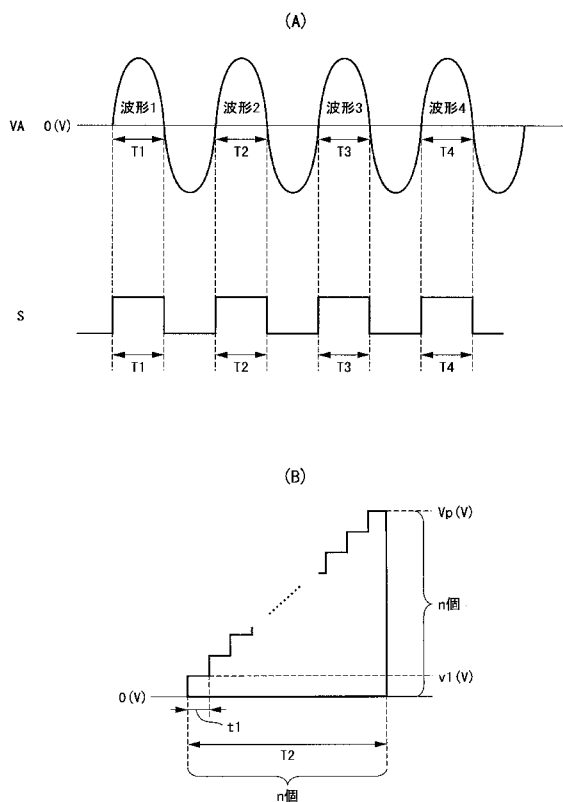
【図 3】



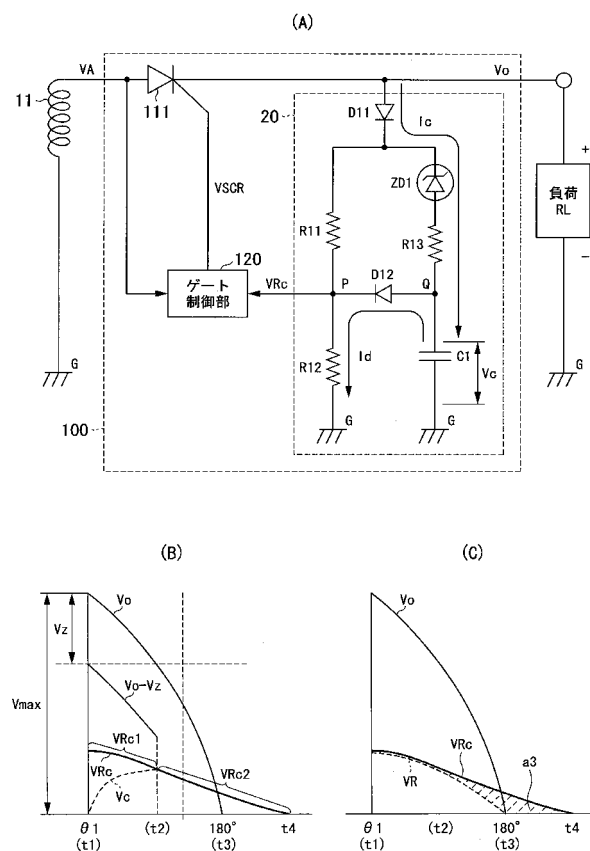
【図 4】



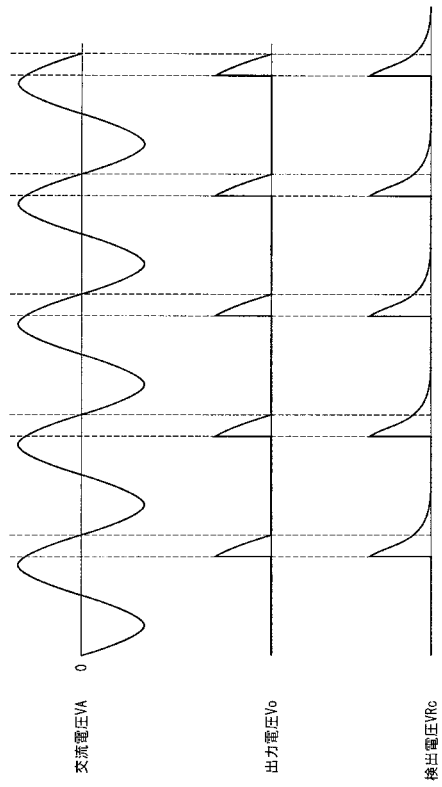
【図 5】



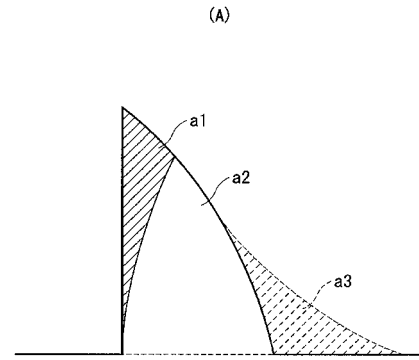
【図 6】



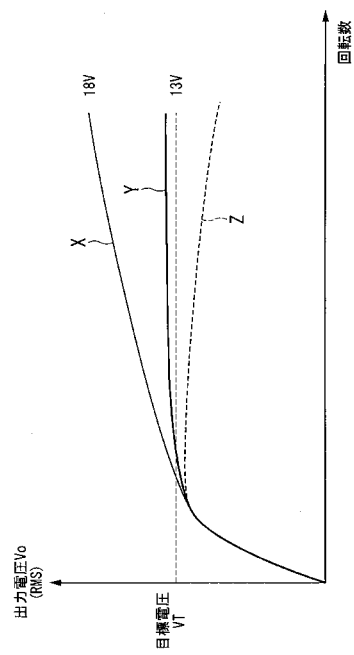
【図 7】



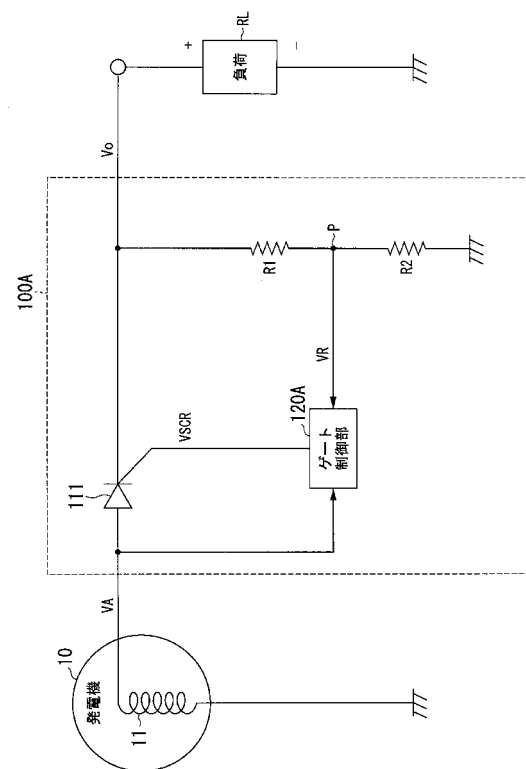
【図 8】



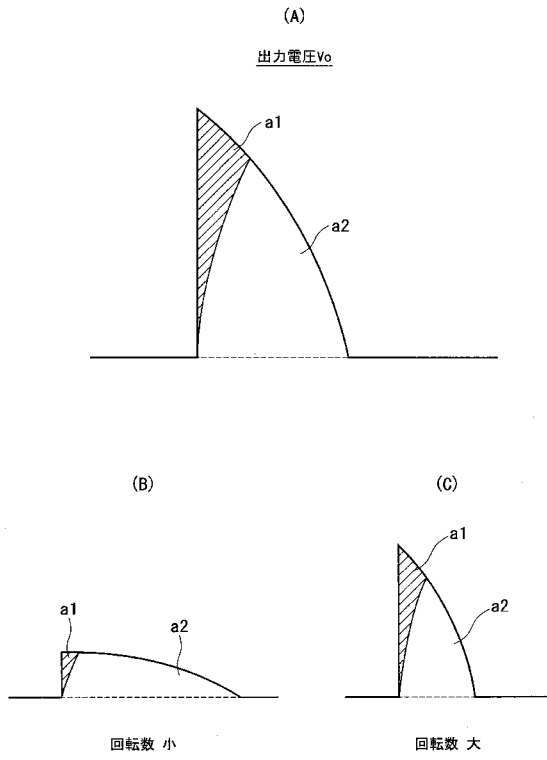
【図 9】



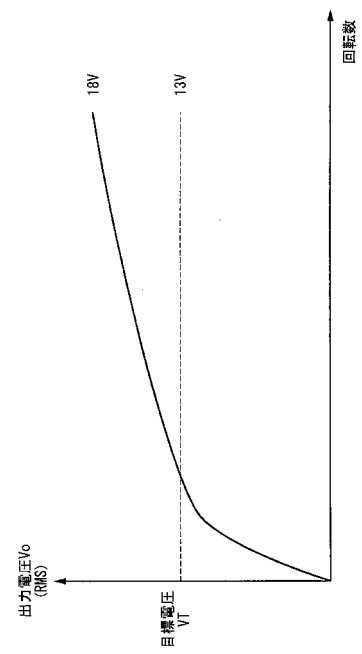
【図 10】



【図 15】



【図 16】



フロントページの続き

(72)発明者 高嶋 豊隆

埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内

Fターム(参考) 5H006 AA06 CA03 CB03 CB08 DA04 DB02 DC04 DC05